



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0099597
(43) 공개일자 2008년11월13일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2007-0045345

(22) 출원일자 2007년05월10일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

신동수

경기 안양시 동안구 호계동 1057번지 무궁화아파트 305동 602호

이재균

경기 수원시 장안구 정자3동 풍림2차아파트 412동 404호

오재영

서울 영등포구 대림3동 현대3차아파트 303동 1204호

(74) 대리인

김용인, 박영복

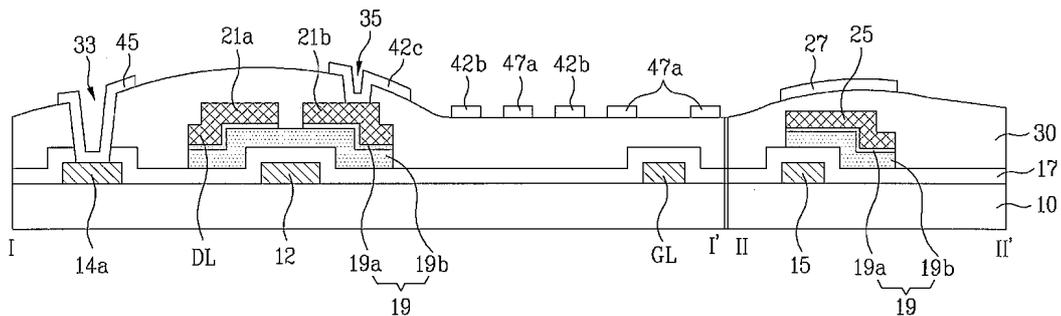
전체 청구항 수 : 총 23 항

(54) 인플레인 스위칭 모드의 액정표시장치 및 그 제조방법

(57) 요약

본 발명은 인플레인 스위칭 모드 액정표시장치 및 그 제조방법에 관한 것으로, 기판 상에 화소 영역을 정의하는 게이트 라인과 데이터 라인과, 상기 게이트 라인과 데이터 라인과 접속된 박막 트랜지스터와, 상기 데이터 라인의 일측부에 상기 데이터 라인과 평행하게 형성된 공통 라인과, 상기 공통 라인으로부터 분기되어 상기 화소 영역에 형성된 공통 전극과, 상기 박막 트랜지스터와 접속되어 상기 화소 영역에서 상기 공통 전극과 수평 전계를 형성하는 화소 전극과, 상기 공통 라인과 접속되고, 상기 데이터 라인과 인접한 상기 드레인 전극의 연장부와 제 1 절연막을 사이에 두고 중첩되어 제 1 스토리지 캐패시터를 형성하는 제 1 스토리지 전극과, 상기 공통 전극으로부터 분기되어 상기 드레인 전극의 연장부와 제 2 절연막을 사이에 두고 중첩되어 제 2 스토리지 전극을 형성하는 제 2 스토리지 전극을 포함한다.

대표도 - 도2



특허청구의 범위

청구항 1

기관 상에 화소 영역을 정의하는 게이트 라인과 데이터 라인과,
 상기 게이트 라인과 데이터 라인과 접속된 박막 트랜지스터와,
 상기 데이터 라인의 일측부에 상기 데이터 라인과 평행하게 형성된 공통 라인과,
 상기 공통 라인으로부터 분기되어 상기 화소 영역에 형성된 공통 전극과,
 상기 박막 트랜지스터와 접속되어 상기 화소 영역에서 상기 공통 전극과 수평 전계를 형성하는 화소 전극과,
 상기 공통 라인과 접속되고, 상기 데이터 라인과 인접한 상기 드레인 전극의 연장부와 제 1 절연막을 사이에 두고 중첩되어 제 1 스토리지 캐패시터를 형성하는 제 1 스토리지 전극과,
 상기 공통 전극으로부터 분기되어 상기 드레인 전극의 연장부와 제 2 절연막을 사이에 두고 중첩되어 제 2 스토리지 전극을 형성하는 제 2 스토리지 전극을 포함하는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치.

청구항 2

제 1 항에 있어서,
 상기 데이터 라인의 양측부에 형성된 상기 공통 라인과 상기 제 1 스토리지 전극을 연결하는 연결 전극을 추가로 구비하는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치.

청구항 3

제 2 항에 있어서,
 상기 연결 전극과 상기 제 1 스토리지 전극은 상기 게이트 라인과 동일층에 형성되는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치.

청구항 4

제 3 항에 있어서,
 상기 연결 전극은 상기 제 1 및 제 2 절연막을 관통하는 콘택홀을 통해 상기 공통 라인과 접속되는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치.

청구항 5

제 1 항에 있어서,
 상기 공통 전극은 상기 공통 라인에서 분기되어 상기 게이트 라인과 평행하게 형성된 다수의 수평부와, 상기 다수의 수평부 중 상기 게이트 라인의 양측에 위치한 수평부를 연결하는 연결부를 포함하는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치.

청구항 6

제 5 항에 있어서,
 상기 게이트 라인의 양측에 위치한 공통 전극의 수평부 중 하나의 수평부는 상기 데이터 라인과 교차하도록 연장되어 상기 공통 라인과 접속되는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치.

청구항 7

기관 상에 화소 영역을 정의하는 게이트 라인과 데이터 라인과,
 상기 게이트 라인과 데이터 라인과 접속된 박막 트랜지스터와,
 상기 데이터 라인의 일측부에 상기 데이터 라인과 평행하게 형성된 공통 라인과,

상기 공통 라인으로부터 분기되어 상기 화소 영역에 형성된 다수의 공통 전극과,
 상기 박막 트랜지스터와 접속되어 상기 화소 영역에서 상기 공통 전극과 수평 전계를 형성하는 화소 전극과,
 상기 화소 전극과 접속되어 상기 게이트 라인과 제 1 절연막을 사이에 두고 제 1 스토리지 캐패시터를 형성하는 스토리지 전극과,
 상기 스토리지 전극이 제 2 절연막을 사이에 두고 상기 공통 전극과 중첩되어 형성된 제 2 스토리지 캐패시터를 포함하는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치.

청구항 8

제 7 항에 있어서,
 상기 다수의 공통 전극 중 상기 제 2 스토리지 캐패시터를 형성하는 공통 전극은 상기 게이트 라인과 중첩되면서 인접한 화소 영역의 공통 전극과 연결된 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치.

청구항 9

제 7 항에 있어서,
 상기 데이터 라인의 일측부에 형성된 상기 공통 라인을 연결하는 더미 전극을 추가로 구비하는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치.

청구항 10

제 9 항에 있어서,
 상기 더미 전극은 상기 제 1 및 제 2 절연막을 관통하는 콘택홀을 통해 공통 라인과 접속되는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치.

청구항 11

제 1 항 또는 제 7 항에 있어서,
 상기 공통 라인 및 상기 공통 전극은 상기 화소 전극과 동일층에 형성되는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치.

청구항 12

제 1 항 또는 제 7 항에 있어서,
 상기 화소 영역은 상기 게이트 라인 방향의 장변 및 상기 데이터 라인 방향의 단변을 구비하는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치.

청구항 13

기판 상에 게이트 라인, 게이트 전극, 제 1 스토리지 전극을 포함하는 게이트 패턴을 형성하는 단계와,
 상기 게이트 패턴이 형성된 기판 상에 게이트 절연막 및 반도체층을 형성하는 단계와,
 상기 반도체층 상에 데이터 라인, 소스 및 드레인 전극, 상기 제 1 스토리지 전극과 중첩되어 형성된 상기 드레인 전극의 연장부를 포함하는 소스/드레인 패턴을 형성하는 단계와,
 상기 소스/드레인 패턴 상에 다수의 콘택홀을 포함하는 보호막을 형성하는 단계와,
 상기 보호막 상에 상기 드레인 전극과 전기적으로 접속하는 화소 전극, 상기 데이터 라인과 평행한 공통 라인, 상기 공통 라인에서 분기되어 상기 화소 전극과 평행하게 형성된 공통 전극, 상기 공통 전극에서 분기되어 상기 드레인 전극의 연장부와 중첩된 제 2 스토리지 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치의 제조방법.

청구항 14

제 13 항에 있어서,

상기 데이터 라인의 양측부에 형성된 상기 공통 라인과 상기 제 1 스토리지 전극을 연결하는 연결 전극을 형성하는 단계를 추가로 구비하는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치의 제조방법.

청구항 15

제 14 항에 있어서,

상기 연결 전극과 상기 제 1 스토리지 전극은 상기 게이트 라인과 동일층에 형성되는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치의 제조방법.

청구항 16

제 15 항에 있어서,

상기 연결 전극은 상기 게이트 절연막 및 상기 보호막을 관통하는 콘택홀을 통해 상기 공통 라인과 접속되는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치의 제조방법.

청구항 17

제 13 항에 있어서,

상기 공통 전극은 상기 공통 라인에서 분기되어 상기 게이트 라인과 평행하게 형성된 다수의 수평부와, 상기 다수의 수평부 중 상기 게이트 라인의 양측에 위치한 수평부를 연결하는 연결부를 포함하는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치의 제조방법.

청구항 18

제 17 항에 있어서,

상기 게이트 라인의 양측에 위치한 공통 전극의 수평부 중 하나의 수평부는 상기 데이터 라인과 교차하도록 연장되어 상기 공통 라인과 접속되는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치의 제조방법.

청구항 19

기관 상에 게이트 라인, 게이트 전극을 포함하는 게이트 패턴을 형성하는 단계와,

상기 게이트 패턴이 형성된 기관 상에 게이트 절연막 및 반도체층을 형성하는 단계와,

상기 반도체층 상에 데이터 라인, 소스 및 드레인 전극, 상기 게이트 라인과 중첩된 스토리지 전극을 포함하는 소스/드레인 패턴을 형성하는 단계와,

상기 소스/드레인 패턴 상에 다수의 콘택홀을 포함하는 보호막을 형성하는 단계와,

상기 보호막 상에 상기 스토리지 전극 및 드레인 전극과 전기적으로 접속하는 화소 전극, 상기 데이터 라인과 평행한 공통 라인, 상기 공통 라인에서 분기되어 상기 화소 전극과 평행하게 형성되고 상기 스토리지 전극과 중첩된 부분을 포함하는 다수의 공통 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치의 제조방법.

청구항 20

제 19 항에 있어서,

상기 다수의 공통 전극 중 상기 스토리지 전극과 중첩된 공통 전극은 상기 게이트 라인과 중첩되면서 인접한 화소 영역의 공통 전극과 연결된 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치의 제조방법.

청구항 21

제 19 항에 있어서,

상기 데이터 라인의 일측부에 형성된 상기 공통 라인을 연결하는 더미 전극을 형성하는 단계를 추가로 구비하는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치의 제조방법.

청구항 22

제 21 항에 있어서,

상기 더미 전극은 상기 게이트 절연막 및 상기 보호막을 관통하는 콘택홀을 통해 상기 공통 라인과 접속되는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치의 제조방법.

청구항 23

제 13 항 또는 제 19 항에 있어서,

상기 공통 라인 및 공통 전극은 상기 화소 전극과 동일층에 형성되는 것을 특징으로 하는 인플레인 스위칭 모드 액정표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명은 액정표시장치에 관한 것으로, 특히 개구율을 향상시킬 수 있는 인플레인 스위칭 모드 액정표시장치 및 그 제조방법에 관한 것이다.
- <14> 일반적으로, 액정표시장치는 액정의 분자의 배열에 따라서 다양한 모드가 존재한다. 예를 들면, 액정표시장치는 수직 전계에 의해 액정 방향자를 제어하는 TN 모드(Twisted Nematic Mode)와, 수평 전계에 의해 액정의 방향자를 제어하는 인플레인 스위칭 모드(In-Plane Switching Mode)로 구분된다.
- <15> 인플레인 스위칭 모드 액정표시장치는 서로 대향 배치되어 그 사이에 액정층을 구비한 컬러필터 어레이 기판과 박막 어레이 기판으로 구성된다. 컬러필터 어레이 기판에는 빛샘을 방지하기 위한 블랙 매트릭스와, 블랙 매트릭스 상에 색상을 구현하기 위한 컬러필터층이 형성된다. 박막 트랜지스터 어레이 기판에는 단위 화소를 정의하는 게이트 라인 및 데이터 라인과, 게이트 라인 및 데이터 라인의 교차 지점에 형성된 박막 트랜지스터와, 서로 평행하게 형성되어 수평 전계를 발생시키는 공통 전극 및 화소 전극이 형성된다.
- <16> 일반적인 액정표시장치는 적색, 녹색, 청색의 컬러 픽셀들이 게이트 라인의 방향으로 반복적으로 배치되는 수직 스트라이프 형태의 화소 구조를 가지기 때문에 단위 화소를 구동하기 위하여 다수의 데이터 라인이 필요하게 된다. 이에 따라, 데이터 라인에 화상 신호를 공급하는 데이터 드라이버 IC의 수 또한 증가하여 제조 단가가 증가하는 문제점이 있다.
- <17> 또한, 인플레인 스위칭 모드 액정표시장치는 스토리지 캐패시터 용량을 확보하기 위해 화소 영역의 상부 및 하부에서 공통 전극 및 화소 전극이 절연막을 사이에 두고 중첩된 구조를 갖는다. 공통 전극은 게이트 라인과 동일 금속층으로 형성된다. 이로 인하여, 화소 영역의 상부 및 하부에 스토리지 캐패시터 형성을 위한 불투명한 공통 전극이 위치하므로 개구율이 감소된다.
- <18> 또한, 공통 전극과 게이트 라인의 쇼트 불량을 방지하기 위해 공통 전극과 게이트 라인의 총 이격 거리가 확보되어야 하므로 개구율이 감소된다.

발명이 이루고자 하는 기술적 과제

- <19> 따라서, 본 발명은 상기와 같은 종래의 문제점을 해결하기 위한 것으로, 개구율을 향상시킬 수 있는 인플레인 스위칭 모드 액정표시장치 및 그 제조방법을 제공하는 것에 그 목적이 있다.

발명의 구성 및 작용

- <20> 상기 목적을 달성하기 위하여, 본 발명의 한 특징에 따른 인플레인 스위칭 모드 액정표시장치는 기판 상에 화소 영역을 정의하는 게이트 라인과 데이터 라인과, 상기 게이트 라인과 데이터 라인과 접속된 박막 트랜지스터와, 상기 데이터 라인의 일측부에 상기 데이터 라인과 평행하게 형성된 공통 라인과, 상기 공통 라인으로부터 분기되어 상기 화소 영역에 형성된 공통 전극과, 상기 박막 트랜지스터와 접속되어 상기 화소 영역에서 상기 공통

전극과 수평 전계를 형성하는 화소 전극과, 상기 공통 라인과 접속되고, 상기 데이터 라인과 인접한 상기 드레인 전극의 연장부와 제 1 절연막을 사이에 두고 중첩되어 제 1 스토리지 캐패시터를 형성하는 제 1 스토리지 전극과, 상기 공통 전극으로부터 분기되어 상기 드레인 전극의 연장부와 제 2 절연막을 사이에 두고 중첩되어 제 2 스토리지 전극을 형성하는 제 2 스토리지 전극을 포함한다.

- <21> 본 발명의 다른 특징에 따른 인플레인 스위칭 모드 액정표시장치는 기판 상에 게이트 라인, 게이트 전극, 제 1 스토리지 전극을 포함하는 게이트 패턴을 형성하는 단계와, 상기 게이트 패턴이 형성된 기판 상에 게이트 절연막 및 반도체층을 형성하는 단계와, 상기 반도체층 상에 데이터 라인, 소스 및 드레인 전극, 상기 제 1 스토리지 전극과 중첩되어 형성된 상기 드레인 전극의 연장부를 포함하는 소스/드레인 패턴을 형성하는 단계와, 상기 소스/드레인 패턴 상에 다수의 콘택홀을 포함하는 보호막을 형성하는 단계와, 상기 보호막 상에 상기 드레인 전극과 전기적으로 접속하는 화소 전극, 상기 데이터 라인과 평행한 공통 라인, 상기 공통 라인에서 분기되어 상기 화소 전극과 평행하게 형성된 공통 전극, 상기 공통 전극에서 분기되어 상기 드레인 전극의 연장부와 중첩된 제 2 스토리지 전극을 형성하는 단계를 포함한다.
- <22> 본 발명의 또 다른 특징에 따른 인플레인 스위칭 모드 액정표시장치는 기판 상에 화소 영역을 정의하는 게이트 라인과 데이터 라인과, 상기 게이트 라인과 데이터 라인과 접속된 박막 트랜지스터와, 상기 데이터 라인의 일측부에 상기 데이터 라인과 평행하게 형성된 공통 라인과, 상기 공통 라인으로부터 분기되어 상기 화소 영역에 형성된 다수의 공통 전극과, 상기 박막 트랜지스터와 접속되어 상기 화소 영역에서 상기 공통 전극과 수평 전계를 형성하는 화소 전극과, 상기 화소 전극과 접속되어 상기 게이트 라인과 제 1 절연막을 사이에 두고 제 1 스토리지 캐패시터를 형성하는 스토리지 전극과, 상기 스토리지 전극이 제 2 절연막을 사이에 두고 상기 공통 전극과 중첩되어 형성된 제 2 스토리지 캐패시터를 포함한다.
- <23> 본 발명의 또 다른 특징에 따른 인플레인 스위칭 모드 액정표시장치는 기판 상에 게이트 라인, 게이트 전극을 포함하는 게이트 패턴을 형성하는 단계와, 상기 게이트 패턴이 형성된 기판 상에 게이트 절연막 및 반도체층을 형성하는 단계와, 상기 반도체층 상에 데이터 라인, 소스 및 드레인 전극, 상기 게이트 라인과 중첩된 스토리지 전극을 포함하는 소스/드레인 패턴을 형성하는 단계와, 상기 소스/드레인 패턴 상에 다수의 콘택홀을 포함하는 보호막을 형성하는 단계와, 상기 보호막 상에 상기 스토리지 전극 및 드레인 전극과 전기적으로 접속하는 화소 전극, 상기 데이터 라인과 평행한 공통 라인, 상기 공통 라인에서 분기되어 상기 화소 전극과 평행하게 형성되고 상기 스토리지 전극과 중첩된 부분을 포함하는 다수의 공통 전극을 형성하는 단계를 포함한다.
- <24> 이하, 첨부된 도면을 참고하여 본 발명의 실시예에 따른 인플레인 스위칭 모드 액정표시장치 및 그 제조방법을 상세히 설명하면 다음과 같다.
- <25> 도 1은 본 발명의 제 1 실시예에 따른 인플레인 스위칭 모드 액정표시장치의 박막 트랜지스터 기판을 나타낸 평면도이며, 도 2는 도 1에 도시된 I-I' 선에 따른 박막 트랜지스터 기판을 나타내는 단면도이다.
- <26> 도 1 및 도 2에 도시된 인플레인 스위칭 모드 액정표시장치는 기판(10) 상에 형성된 복수의 게이트 라인(GL), 게이트 절연막(17)을 사이에 두고 게이트 라인(GL)과 교차하게 형성되어 화소 영역을 정의하는 복수의 데이터 라인(DL), 게이트 라인(GL)과 데이터 라인(DL)이 교차하는 부분에 형성된 박막 트랜지스터(TFT), 데이터 라인(DL)의 일측부에서 데이터 라인(DL)과 평행하도록 형성된 공통 라인(45), 공통 라인(45)으로부터 분기된 공통 전극(47), 데이터 라인(DL)의 일측부에 형성된 연결 전극(14), 박막 트랜지스터(TFT)와 접속되어 각 화소 영역에서 공통 전극(47)과 수평 전계를 형성하는 화소 전극(42)으로 구성된다. 여기서, 각 화소 영역은 게이트 라인(GL) 방향의 장변 및 데이터 라인(DL) 방향의 단변을 갖는다. 이에 따라, 단위 화소를 구동하기 위한 데이터 라인(DL)의 수가 줄어들고, 데이터 라인(DL)에 화상 신호를 공급하는 데이터 드라이버 IC의 수 또한 감소하여 제조 단가를 줄일 수 있다.
- <27> 박막 트랜지스터(TFT)는 게이트 라인(GL)에서 분기된 게이트 전극(12)과, 게이트 전극(12)이 형성된 기판(10)의 전면에 형성된 게이트 절연막(17)과, 게이트 절연막(17) 상에 게이트 전극(12)과 중첩되게 형성된 오믹 콘택층(19a) 및 활성층(19b)으로 구성된 반도체층(19)과, 데이터 라인(DL)에서 분기되어 반도체층(19) 상에 형성되는 소스 전극(21a), 반도체층(19) 상에 소스 전극(21a)과 마주하게 형성된 드레인 전극(21b)으로 구성된다. 여기서 반도체층(19)은 데이터 라인(DL)과도 중첩되면서 연장된다.
- <28> 화소 전극(42)은 데이터 라인(DL)과 평행하게 형성된 수직부(42a)와, 화소 전극(42)의 수직부(42a)에서 분기되어 게이트 라인(GL)과 평행하게 형성된 다수의 수평부(42b)와, 수직부(42a)로부터 돌출되어 드레인 전극(21b)과 접속된 돌출부(42c)를 포함한다. 화소 전극의 돌출부(42c)는 보호막(30)을 관통하는 제 2 콘택홀(35)을 통해

드레인 전극(21b)과 접속된다.

- <29> 화소 전극(42)은 투명 도전층 또는 불투명 금속층으로 형성될 수 있다. 화소 전극(42)을 불투명 금속층으로 형성하면, 화소 전극(42) 상부의 수평 전계가 취약한 부분에서 액정이 제대로 동작하지 않아 빛샘이 발생하는 문제점을 방지할 수 있다. 투명 도전층으로는 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO), 인듐아연산화물(Indium Zinc Oxide : IZO) 또는 인듐주석아연산화물(Indium Tin Zinc Oxide : ITZO) 등이 이용된다. 불투명 금속층으로는 몰리브덴(Mo), 알루미늄(Al), 알루미늄-네오디미움(Al-Nd), 구리(Cu), 크롬(Cr), 티타늄(Ti) 등의 금속과 이들의 합금이 단일층 또는 복수층 구조로 이용된다.
- <30> 공통 라인(45)은 데이터 라인(DL)의 일측부에서 데이터 라인(DL)과 평행하게 형성된다.
- <31> 공통 전극(47)은 공통 라인(45)에서 분기되어 게이트 라인(GL)과 평행하게 형성되어 화소 전극(42)의 수평부(42b)와 수평 전계를 형성하는 다수의 수평부(47a)와, 다수의 수평부(47a) 중 게이트 라인(GL)의 양측에 위치한 즉, 한 화소 영역의 게이트 라인(GL)과 인접한 수평부(47a) 및 다른 화소 영역에 위치한 수평부(47a)를 연결하는 공통 전극(47)의 연결부(47b)로 구성된다. 다수의 수평부(47a) 중 게이트 라인(GL)과 인접한 외곽 수평부(47a)는 게이트 라인(GL)과 게이트 절연막(17) 및 보호막(30)을 사이에 두고 중첩되거나 이격될 수 있다. 게이트 라인(GL)과 인접한 공통 전극(47)의 수평부(47a) 중 하나의 수평부(47a)는 데이터 라인(DL)과 교차하도록 연장되어 공통 라인(45)과 접속된다.
- <32> 또한, 공통 전극(47)은 게이트 라인(GL)과 인접한 하나의 수평부(47a)로부터 분기되어 데이터 라인(DL)과 평행하게 형성된 제 2 스토리지 전극(27)을 더 구비한다. 제 2 스토리지 전극(27)은 데이터 라인(DL)과 평행한 드레인 전극(21b)의 연장부(25)와 보호막(30)을 사이에 두고 중첩되어 제 2 스토리지 캐패시터(Cst2)를 형성한다.
- <33> 또한, 드레인 전극(21b)의 연장부(25)는 게이트 절연막(17)을 사이에 두고 연결 전극(14)과 연결된 제 1 스토리지 전극(15)과 중첩되어 제 1 스토리지 캐패시터(Cst1)를 형성한다.
- <34> 이와 같은 스토리지 캐패시터(Cst)는 제 1 스토리지 캐패시터(Cst1)와 제 2 스토리지 캐패시터(Cst2)가 서로 중첩된 이중 구조로 형성되고 화소 전극(42)과 병렬로 접속된다. 이에 따라, 캐패시터 용량을 충분히 확보하면서도 제 1 스토리지 캐패시터(Cst1) 및 제 2 스토리지 캐패시터(Cst2)가 화소 영역의 상부 및 하부 각각에 형성된 종래보다 개구율을 향상시킬 수 있다.
- <35> 연결 전극(14)은 데이터 라인(DL) 일측에 한 화소 영역의 공통 라인(45)과 접속된 수직부(14a)와, 수직부(14a) 및 데이터 라인(DL) 타측에 데이터 라인(DL)과 평행하게 형성된 제 1 스토리지 전극(15)을 연결하는 다수의 수평부(14b)로 구성된다. 연결 전극(14)의 수직부(14a)는 공통 라인(45)과 제 1 스토리지 전극(15)을 병렬로 연결시킴으로써 공통 라인(45)의 저항에 따른 공통 전압의 감소를 보상한다. 이러한 연결 전극(14)은 게이트 라인(GL)과 함께 기판(10) 상에 형성된다. 연결 전극(14)의 수직부(14a)는 게이트 절연막(17) 아래에서 공통 라인(45)과 중첩되게 형성되며 게이트 절연막(17) 및 보호막(30)을 관통하는 제 1 콘택홀(33)을 통해 공통 라인(45)과 접속된다. 연결 전극(14)의 수평부(14b)는 연결 전극(14)의 수직부(14a) 및 제 1 스토리지 전극(15)과 일체화되어 형성된다.
- <36> 도면에서는 생략하였으나, 박막 트랜지스터 기판은 컬러 필터 기판과 액정층을 사이에 두고 합착된다. 컬러 필터 기판은 화소 영역을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스층과, 컬러 색상을 표현하기 위한 컬러 필터층을 구비한다.
- <37> 도 3a 내지 도 3d는 도 2에 도시된 박막 트랜지스터 기판의 제조방법을 나타낸 공정단면도들이다.
- <38> 도 3a를 참조하면, 기판(10) 상에 게이트 라인(GL), 게이트 전극(12), 연결 전극(14), 제 1 스토리지 전극(15)을 포함하는 게이트 패턴이 형성된다.
- <39> 구체적으로, 기판(10) 상에 게이트 금속층을 스퍼터링 등의 증착 방법으로 형성한다. 이어서, 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 게이트 금속층이 패터닝되어 게이트 라인(GL), 게이트 전극(12), 제 1 스토리지 전극(15), 연결 전극(14)의 수직부(14a), 연결 전극(14)의 수직부(14a)와 제 1 스토리지 전극(15)을 연결하는 연결 전극(14)의 수평부(14b)가 형성된다.
- <40> 게이트 금속층은 몰리브덴(Mo), 알루미늄(Al), 알루미늄-네오디미움(Al-Nd), 구리(Cu), 크롬(Cr), 티타늄(Ti) 등의 금속과 이들의 합금이 단일층 또는 복수층 구조로 형성된다.
- <41> 도 3b를 참조하면, 게이트 전극(12) 상에 게이트 절연막(17), 반도체층(19), 그리고, 데이터 라인(DL), 소스 및

드레인 전극(21a, 21b), 드레인 전극(21b)의 연장부(25)를 포함하는 소스/드레인 패턴이 순차적으로 형성된다.

- <42> 구체적으로, 게이트 전극(12)을 포함하는 기판 전면에 PECVD(Plasma Enhanced Chemical Vapor Deposition)등의 증착 방법으로 게이트 절연막(17), 비정질실리콘(a-Si)층 및 불순물(n+)이 도핑된 비정질실리콘층이 순차적으로 형성된다. 이어서, 소스/드레인 금속층을 스퍼터링 등의 증착 방법으로 형성한 후, 마스크를 이용한 포토리소그래피 공정 및 식각 공정에 의해 패터닝되어 활성층(19b) 및 오믹 콘택층(19a)으로 구성된 반도체층(19)과, 데이터 라인(DL), 소스 및 드레인 전극(21a, 21b), 드레인 전극(21b)의 연장부(25)를 포함하는 소스/드레인 패턴이 순차적으로 형성된다. 이때, 소스 전극(21a) 및 드레인 전극(21b)과 오믹 콘택층(19a)의 전기적인 분리를 위해 회절 노광 또는 하프톤 마스크(half-tone mask)가 이용된다. 드레인 전극(21b)의 연장부(25)는 게이트 절연막(17)을 사이에 두고 제 1 스토리지 전극(15)과 중첩되어 제 1 스토리지 캐패시터(Cst1)를 형성한다.
- <43> 게이트 절연막(17)은 산화 실리콘(SiO_x) 또는 질화 실리콘(SiN_x) 등의 무기 절연물질이 이용된다. 소스/드레인 금속층은 몰리브덴(Mo), 알루미늄(Al), 알루미늄-네오디미움(Al-Nd), 구리(Cu), 크롬(Cr), 티타늄(Ti) 등의 금속과 이들의 합금이 단일층 또는 복수층 구조로 형성된다.
- <44> 도 3c를 참조하면, 소스/드레인 패턴 상에 다수의 콘택홀(33, 35)을 포함하는 보호막(30)이 형성된다.
- <45> 구체적으로, 데이터 라인(DL), 소스 및 드레인 전극(21a, 21b), 드레인 전극(21b)의 연장부(25)를 포함하는 소스/드레인 패턴 상에 보호막(30)이 형성된 후, 마스크를 이용한 포토리소그래피 공정 및 식각 공정에 의해 패터닝되어 연결 전극(14)의 수직부(14a)를 노출시키는 제 1 콘택홀(33)과, 드레인 전극(21b)을 노출시키는 제 2 콘택홀(35)이 형성된다.
- <46> 보호막(30)은 게이트 절연막(17)과 같은 무기 절연물질이 PECVD 등의 증착 방법으로 증착되어 형성되거나, 유전 상수가 작은 아크릴(acryl)계 유기화합물, BCB(Benzocyclobuten) 또는 PFCB(Perfluorocyclobutane) 등과 같은 유기 절연물질이 스핀 또는 스핀리스 등의 코팅 방법으로 코팅되어 형성된다.
- <47> 도 3d를 참조하면, 보호막(30) 상에 화소 전극(42), 공통 라인(45) 및 공통 전극(47), 제 2 스토리지 전극(27)이 형성된다.
- <48> 구체적으로, 보호막(30) 상에 투명 도전층 또는 불투명 금속층을 증착한 후 마스크를 이용한 포토리소그래피 공정 및 식각 공정에 의해 패터닝되어 제 1 콘택홀(33)을 통해 연결 전극(21b)과 전기적으로 연결되는 공통 라인(45), 공통 라인(45)에서 분기되어 게이트 라인(GL)의 양측에 형성된 공통 전극(47)의 수평부(47a), 게이트 라인(GL) 양측의 수평부(47a)를 연결하는 공통 전극(47)의 수직부(도 1의 47b), 데이터 라인(DL)과 평행하게 형성된 화소 전극(42)의 수직부(도 1의 42a), 화소 전극(42)의 수직부(42a)에서 분기되어 게이트 라인(GL)과 평행하게 형성된 화소 전극(42)의 다수의 수평부(42b), 화소 전극(42)의 수직부(42a)로부터 돌출되어 제 2 콘택홀(35)을 통해 드레인 전극(21b)과 전기적으로 연결되는 화소 전극(42)의 돌출부(42c)가 형성된다.
- <49> 여기서, 공통 전극(47)의 수평부(47a)는 게이트 라인(GL)과 중첩되지 않게 형성됨으로써 기생 캐패시턴스를 줄일 수 있다. 또한, 공통 전극(47)의 수평부(47a)는 화소 전극(42)의 수평부(42b)와 평행하게 형성된다.
- <50> 화소 전극(42)을 불투명 금속층으로 형성하면, 화소 전극(42) 상부의 수평 전계가 취약한 부분에서 액정이 제대로 동작하지 않아 빛샘이 발생하는 문제점을 방지할 수 있다. 투명 도전층으로는 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO), 인듐아연산화물(Indium Zinc Oxide : IZO) 또는 인듐주석아연산화물(Indium Tin Zinc Oxide : ITZO) 등이 이용된다. 불투명 금속층으로는 몰리브덴(Mo), 알루미늄(Al), 알루미늄-네오디미움(Al-Nd), 구리(Cu), 크롬(Cr), 티타늄(Ti) 등의 금속과 이들의 합금이 단일층 또는 복수층 구조로 이용된다.
- <51> 또한, 제 1 스토리지 캐패시터(Cst1)와 제 2 스토리지 캐패시터(Cst2)가 서로 중첩된 이중 구조로 형성되고 화소 전극(42)과 병렬로 접속된다. 이에 따라, 캐패시터 용량을 충분히 확보하면서도 제 1 스토리지 캐패시터(Cst1) 및 제 2 스토리지 캐패시터(Cst2)가 화소 영역의 상부 및 하부 각각에 형성된 종래보다 개구율을 향상시킬 수 있다.
- <52> 또한, 공통 라인(45)은 데이터 라인(DL)의 일측부에서 중첩되지 않게 데이터 라인(DL)과 다른 금속층에서 평행하게 형성된다. 이와 같이, 공통 라인(45)을 데이터 라인(DL)과 다른 금속층으로 평행하게 형성함으로써, 공통 라인(45)과 데이터 라인(DL)이 동일층에 평행하게 형성된 경우와 같은 쇼트 불량 위험이 없으므로 이격거리를 줄일 수 있으므로 개구율을 향상시킬 수 있다.
- <53> 도 4는 본 발명의 제 2 실시예에 따른 인플레이션 스위칭 모드 액정표시장치의 박막 트랜지스터 기판을 나타낸 평

면도이며, 도 5는 도 4에 도시된 III-III' 내지 IV-IV' 선에 따른 박막 트랜지스터 기판을 나타낸 단면도이다.

- <54> 도 4에 도시된 인플레인 스위칭 모드 액정표시장치는 도 1에 도시된 인플레인 스위칭 모드 액정표시장치의 박막 트랜지스터 기판과 대비하여 중복된 구성 요소들에 대한 설명은 생략하기로 한다.
- <55> 도 4 및 도 5를 참조하면, 공통 라인(45)에서 분기되어 게이트 라인(GL)과 평행하게 형성된 다수의 공통 전극(49), 드레인 전극(21b)과 전기적으로 연결되는 화소 전극(42), 데이터 라인(DL) 일측에 공통 라인(45)과 중첩되어 형성된 더미 전극(15), 게이트 라인(GL)과 평행하게 형성된 스토리지 전극(50)으로 구성된다.
- <56> 화소 전극(42)은 데이터 라인(DL)과 평행하게 형성된 수직부(42a)와, 수직부(42a)에서 분기되어 게이트 라인(GL)과 평행하게 형성된 다수의 수평부(42b)와, 다수의 수평부(42b) 중 드레인 전극(21b)과 인접한 화소 전극(42)의 수평부(42b)로부터 돌출되어 보호막(30)을 관통하는 제 2 콘택홀(36)을 통해 드레인 전극(21b)과 접속되는 제 1 돌출부(42c)와, 수직부(42a)로부터 돌출되어 보호막(30)을 관통하는 제 3 콘택홀(37)을 통해 스토리지 전극(50)과 접속되는 제 2 돌출부(42d)로 구성된다.
- <57> 공통 전극(49)은 공통 라인(45)에서 분기되어 게이트 라인(GL)과 평행하게 형성되어 화소 전극(42)의 수평부(42b)와 수평 전계를 형성한다. 공통 전극(49) 중 게이트 라인(GL)과 인접한 공통 전극(49)은 게이트 전극(12)과 중첩되며, 데이터 라인(DL)과 교차하도록 연장되어 공통 라인(45)과 접속된다.
- <58> 스토리지 전극(50) 및 게이트 라인(GL)은 게이트 절연막(17)을 사이에 두고 중첩되어 제 1 스토리지 캐패시터(Cst1)를 형성하고, 스토리지 전극(50) 및 전단 게이트 라인(GL)과 인접한 공통 전극(49)은 보호막(30)을 사이에 두고 중첩되어 제 2 스토리지 캐패시터(Cst2)를 형성한다.
- <59> 더미 전극(14)은 데이터 라인(DL) 일측에 형성된 공통 라인(45)과 연결시킴으로써 공통 라인(45)의 저항에 따른 공통 전압의 감소를 보상한다.
- <60> 또한, 게이트 라인(GL)과 게이트 절연막(17)을 사이에 두고 스토리지 전극(50)이 중첩되어 형성된 제 1 스토리지 캐패시터(Cst1)와, 스토리지 전극(50)과 보호막(30)을 사이에 두고 공통 전극(49)과 중첩되어 형성된 제 2 스토리지 캐패시터(Cst2)를 더 구비한다.
- <61> 이와 같은 스토리지 캐패시터(Cst)는 제 1 스토리지 캐패시터(Cst1)와 제 2 스토리지 캐패시터(Cst2)가 서로 중첩된 이중 구조로 형성되고 화소 전극(42)과 병렬로 접속된다. 이에 따라, 캐패시터 용량을 충분히 확보하면서도 개구율을 향상시킬 수 있다.
- <62> 도 6a 내지 도 6d는 도 5에 도시된 박막 트랜지스터 기판의 제조방법을 나타낸 공정단면도들이다.
- <63> 도 6a를 참조하면, 기판(10) 상에 게이트 라인(GL), 게이트 전극(12), 더미 전극(15)을 포함하는 게이트 패턴이 형성된다.
- <64> 구체적으로, 기판(10) 상에 게이트 금속층을 스퍼터링 등의 증착 방법으로 형성한다. 이어서, 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 게이트 금속층이 패터닝되어 게이트 라인(GL), 게이트 전극(12), 더미 전극(15)이 형성된다.
- <65> 도 6b를 참조하면, 게이트 전극(12) 상에 게이트 절연막(17), 반도체층(19), 그리고, 데이터 라인(DL), 소스 및 드레인 전극(21a, 21b), 스토리지 전극(50)을 포함하는 소스/드레인 패턴이 순차적으로 형성된다.
- <66> 구체적으로, 게이트 전극(12)을 포함하는 기판 전면에 PECVD(Plasma Enhanced Chemical Vapor Deposition)등의 증착 방법으로 게이트 절연막(17), 비정질실리콘(a-Si)층 및 불순물(n+)이 도핑된 비정질실리콘층이 순차적으로 형성된다. 이어서, 소스/드레인 금속층을 스퍼터링 등의 증착 방법으로 형성한 후, 마스크를 이용한 포토리소그래피 공정 및 식각 공정에 의해 패터닝되어 활성층(19b) 및 오믹 콘택층(19a)으로 구성된 반도체층(19)과, 데이터 라인(DL), 소스 및 드레인 전극(21a, 21b), 스토리지 전극(50)을 포함하는 소스/드레인 패턴이 순차적으로 형성된다. 이때, 소스 전극(21a) 및 드레인 전극(21b)과 오믹 콘택층(19a)의 전기적인 분리를 위해 회절 노광 또는 하프톤 마스크(half-tone mask)가 이용된다. 게이트 라인(GL)과 게이트 절연막(17)을 사이에 두고 스토리지 전극(50)이 중첩되어 제 1 스토리지 캐패시터(Cst1)가 형성된다.
- <67> 도 6c를 참조하면, 소스/드레인 패턴 상에 다수의 콘택홀(34, 36, 37)을 포함하는 보호막(30)이 형성된다.
- <68> 구체적으로, 데이터 라인(DL), 소스 및 드레인 전극(21a, 21b), 스토리지 전극(50)을 포함하는 소스/드레인 패턴 상에 보호막(30)이 형성된 후, 마스크를 이용한 포토리소그래피 공정 및 식각 공정에 의해 패터닝되어 더미

전극(15)을 노출시키는 제 1 콘택홀(34)과, 드레인 전극(21b)을 노출시키는 제 2 콘택홀(36), 스토리지 전극(50)을 노출하는 제 3 콘택홀(37)이 형성된다.

- <69> 도 6d를 참조하면, 보호막(30) 상에 화소 전극(42), 공통 라인(45) 및 공통 전극(49)이 형성된다.
- <70> 구체적으로, 보호막(30) 상에 투명 도전층 또는 불투명 금속층을 증착한 후 마스크를 이용한 포토리소그래피 공정 및 식각 공정에 의해 패터닝되어 제 1 콘택홀(33)을 통해 더미 전극(15)과 전기적으로 연결되는 공통 라인(45), 공통 라인(45)에서 분기되어 형성된 다수의 공통 전극(49), 공통 전극(49)과 평행하게 형성된 화소 전극(42)의 다수의 수평부(42b), 제 2 콘택홀(36)을 통해 드레인 전극(21b)과 전기적으로 연결되는 화소 전극(42)의 수평부(42b)로부터 돌출된 제 1 돌출부(42c), 화소 전극(42)의 수직부(42a)로부터 돌출되어 제 3 콘택홀(37)을 통해 스토리지 전극(50)과 접속되는 제 2 돌출부(42d)가 형성된다. 여기서, 스토리지 전극(50)은 보호막(30)을 사이에 두고 형성된 공통 전극(49)과 중첩되어 제 2 스토리지 캐패시터(Cst2)를 형성한다.
- <71> 이와 같은 스토리지 캐패시터(Cst)는 제 1 스토리지 캐패시터(Cst1)와 제 2 스토리지 캐패시터(Cst2)가 서로 중첩된 이중 구조로 형성되고 화소 전극(42)과 병렬로 접속된다. 이에 따라, 캐패시터 용량을 충분히 확보하면서도 개구율을 향상시킬 수 있다.
- <72> 공통 라인(45)은 데이터 라인(DL)의 일측부에 중첩되지 않게 데이터 라인(DL)과 다른 금속층에서 형성함으로써, 공통 라인(45)과 데이터 라인(DL)이 동일층에 평행하게 형성될 경우와 같은 쇼트 불량 위험이 없으므로 이격거리를 줄일 수 있으므로 개구율을 향상시킬 수 있다.
- <73> 또한, 각 화소 영역은 게이트 라인(GL) 방향의 장변 및 데이터 라인(DL) 방향의 단변을 갖음으로써, 단위 화소를 구동하기 위한 데이터 라인의 수가 줄어들고, 데이터 라인에 화상 신호를 공급하는 데이터 드라이버 IC의 수 또한 감소하여 제조 단가를 줄일 수 있다.
- <74> 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

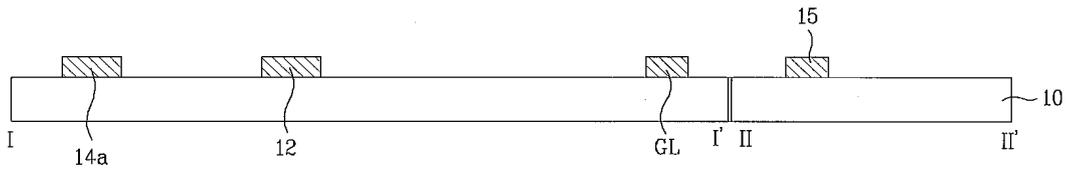
발명의 효과

- <75> 상기한 바와 같은 본 발명에 의한 인플레인 스위칭 모드 액정표시장치 및 그 제조방법은 다음과 같은 효과가 있다.
- <76> 첫째, 스토리지 캐패시터의 형성을 위한 공통 전극을 화소 영역의 상, 하부가 아닌 게이트 라인 또는 데이터 라인 일측의 연결 전극과 중첩되게 형성함으로써, 개구율을 향상시킬 수 있다.
- <77> 둘째, 스토리지 캐패시터가 이중으로 형성함으로써 동일 셀에서 차지하는 스토리지 캐패시터의 면적은 줄어들면서 필요한 캐패시터의 용량은 확보할 수 있게 된다.
- <78> 셋째, 공통 라인을 데이터 라인과 다른 금속층으로 형성함으로써 동일층에 형성된 경우와 같은 쇼트 불량 위험이 없으므로, 이격 거리를 줄일 수 있어 개구율을 향상시킬 수 있다.
- <79> 넷째, 각 화소 영역은 게이트 라인 방향의 장변 및 데이터 라인 방향의 단변을 갖음으로써 데이터 드라이버 IC의 수를 줄여 제조 단가를 감소시킬 수 있다.

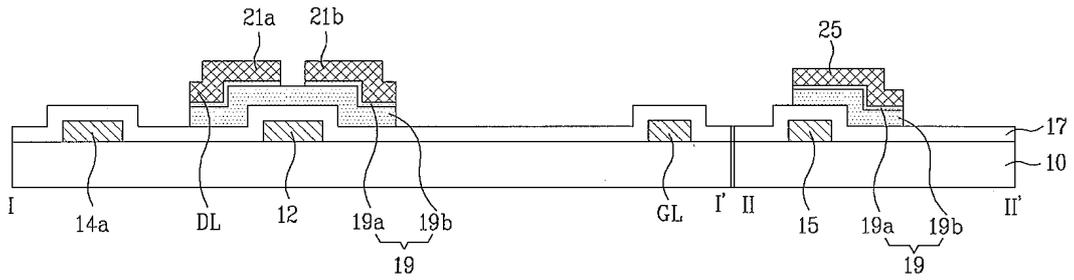
도면의 간단한 설명

- <1> 도 1은 본 발명의 제 1 실시예에 따른 인플레인 스위칭 모드 액정표시장치의 박막 트랜지스터 기판을 나타낸 평면도
- <2> 도 2는 도 1에 도시된 I-I' 내지 II-II' 선에 따른 박막 트랜지스터 기판을 나타내는 단면도
- <3> 도 3a 내지 도 3d는 도 2에 도시된 박막 트랜지스터 기판의 제조방법을 나타낸 공정단면도들
- <4> 도 4는 본 발명의 제 2 실시예에 따른 인플레인 스위칭 모드 액정표시장치의 박막 트랜지스터 기판을 나타낸 평면도
- <5> 도 5는 도 4에 도시된 III-III' 내지 IV-IV' 선에 따른 박막 트랜지스터 기판을 나타낸 단면도
- <6> 도 6a 내지 도 6d는 도 5에 도시된 박막 트랜지스터 기판의 제조방법을 나타낸 공정단면도들

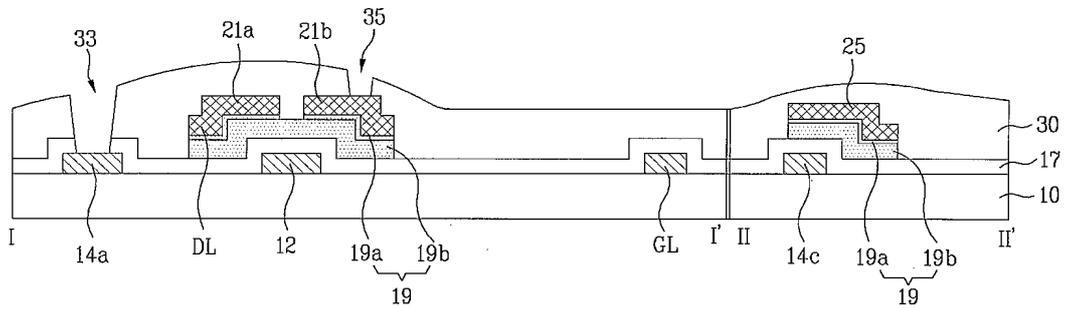
도면3a



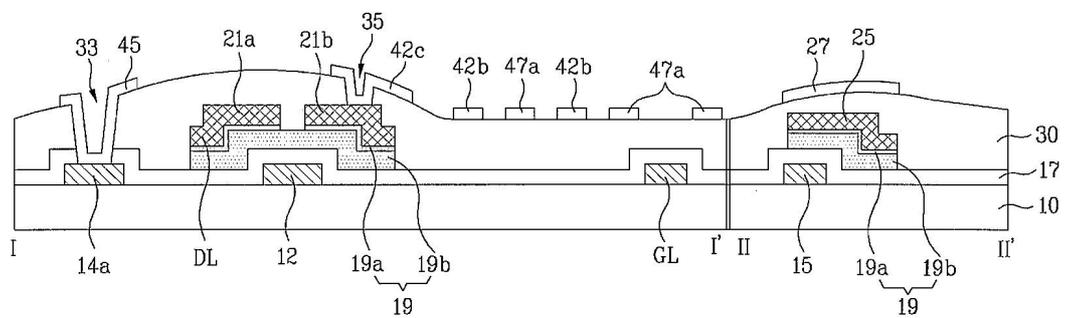
도면3b



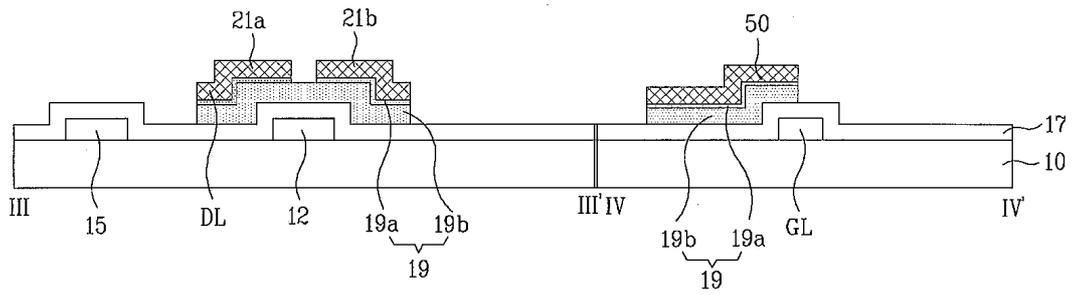
도면3c



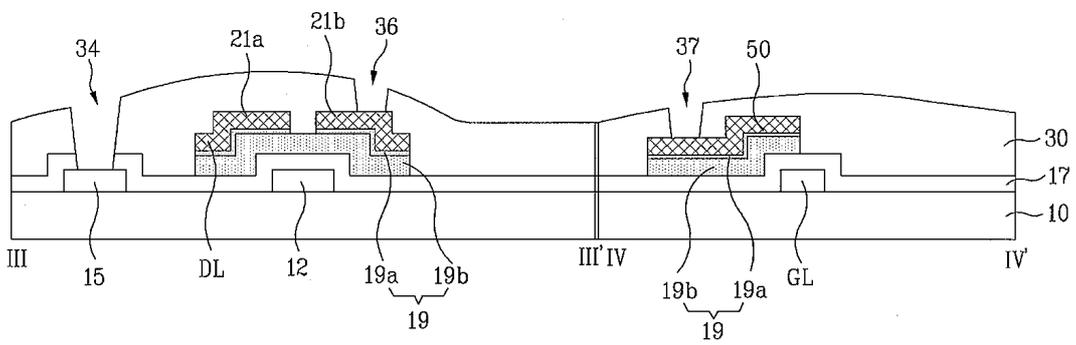
도면3d



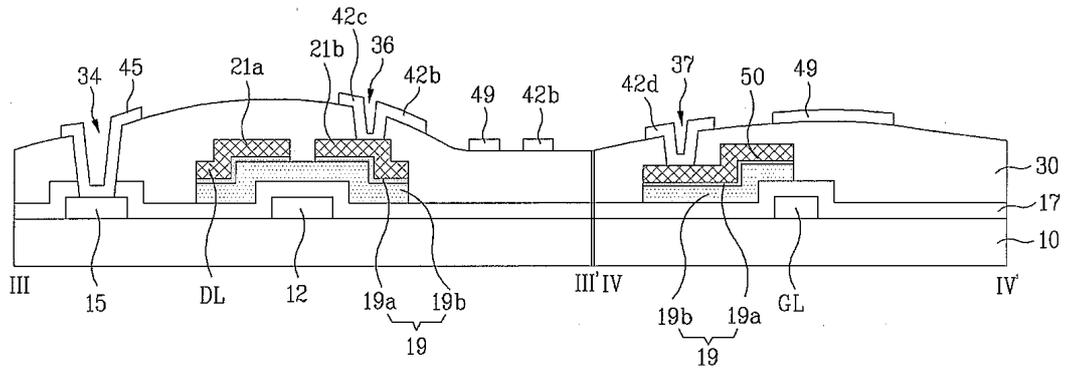
도면6b



도면6c



도면6d



专利名称(译)	面内切换模式的液晶显示装置及其制造方法		
公开(公告)号	KR1020080099597A	公开(公告)日	2008-11-13
申请号	KR1020070045345	申请日	2007-05-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SHIN DONG SU 신동수 LEE JAE KYUN 이재균 OH JAE YOUNG 오재영		
发明人	신동수 이재균 오재영		
IPC分类号	G02F1/136		
CPC分类号	G02F1/134363 G02F1/13458 G02F1/136213 G02F1/136227 G02F1/136286 G02F2201/40		
代理人(译)	金勇 年轻的小公园		
外部链接	Espacenet		

摘要(译)

本发明涉及平面切换模式LCD及其制造方法，包括在基板上限定像素区域的栅极线和连接到数据线并连接到栅极线和数据线的薄膜晶体管以及第一存储器电极形成第一存储电容器，它连接到它重叠的公共线，第二存储电极形成第二存储电极，它从公共电极分支，延伸部分和漏电极的第二绝缘层放在间隔与重叠的栅极线连接到薄膜晶体管，其中像素电极形成公共电极，并且在连接的像素区域中的横向电场连接栅极线连接到形成在公共线上的公共电极，在数据线的另一侧部分中并行地形成数据线和像素区域，它从公共线分支。横向电场，公共电极，像素电极，存储电容器。

