



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0121999
(43) 공개일자 2007년12월28일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0056904

(22) 출원일자 2006년06월23일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

정지현

울산광역시 동구 서부동 257-4번지 서부아파트
121동 203호

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 9 항

(54) 박막트랜지스터 액정표시장치 및 그 제조방법

(57) 요약

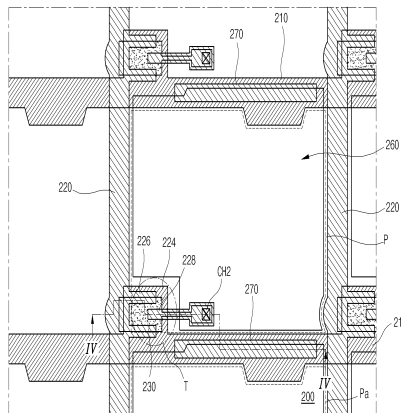
본 발명은 박막트랜지스터 액정표시장치 및 그 제조방법에 관한 것으로, 특히 기판 상에 일 방향으로 구성된 게이트 배선과, 상기 게이트 배선과 수직하게 교차하여 화소 영역을 정의하는 데이터 배선과;

상기 게이트 배선에서 연장한 게이트 전극과, 상기 게이트 전극 상의 순수 및 불순물 비정질 실리콘층과, 상기 데이터 배선에서 연장한 소스 전극과, 상기 소스 전극과 이격한 드레인 전극을 포함하는 박막트랜지스터와;

상기 드레인 전극과 연결하여 화소 영역에 대응하여 구성된 화소 전극과;

상기 화소 영역 상부에 위치한 화소 전극의 일부와 그 하부의 게이트 배선이 중첩하여 구성되며, 상기 게이트 배선 상에 구성된 절연상태의 막대 형상의 금속층을 포함하는 것을 특징으로 한다.

대표도 - 도3



특허청구의 범위

청구항 1

기관과;

상기 기관 상에 일 방향으로 형성된 게이트 배선과, 상기 게이트 배선과 수직하게 교차하여 화소 영역을 정의하는 데이터 배선과;

상기 게이트 배선에서 연장되는 게이트 전극과, 상기 게이트 전극 상의 순수 및 불순물 비정질 실리콘층과, 상기 데이터 배선에서 연장되는 소스 전극과, 상기 소스 전극과 이격된 드레인 전극을 포함하는 박막트랜지스터와;

상기 드레인 전극과 연결하여 상기 화소 영역에 대응하여 구성한 화소 전극과;

상기 게이트 배선 상에 구성된 전기적 절연상태의 막대 형상의 금속층;

을 포함하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 막대 형상의 금속층은 게이트 절연막을 사이에 두고 상기 게이트 전극과 절연되어 있으며, 그 상부에는 보호막을 사이에 두고 상기 화소 전극과 절연된 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 막대 형상의 금속층은 상기 소스 및 드레인 전극과 동일층에서 동일 물질로 구성하는 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 일 방향으로 구성된 게이트 배선에 단선이 발생하였을 시 상기 단선된 게이트 배선 좌측의 게이트 배선과 연결된 제 1 원기둥을 통해 상기 전기적 절연상태의 막대 형상의 금속층과 연결되며, 상기 단선된 게이트 배선 우측의 게이트 배선과 연결한 제 2 원기둥을 통해 상기 전기적 절연상태의 막대 형상의 금속층과 연결되는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 화소 영역 상부에 위치한 상기 화소 전극의 일부를 상기 게이트 배선과 중첩하여 구성하는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 게이트 배선의 일부를 제 1 전극으로 하고, 상기 화소 전극의 일부를 제 2 전극으로 한 스토리지 커패시터를 포함하는 액정표시장치.

청구항 7

기관 상에 일 방향으로 구성된 게이트 배선과, 상기 게이트 배선에서 연장된 게이트 전극을 형성하는 단계와;

상기 게이트 전극 상에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 상에 순수 및 불순물 비정질 실리콘층을 형성하는 단계와;

상기 순수 및 불순물 비정질 실리콘층 상에 데이터 배선과, 소스 및 드레인 전극과, 전기적 절연상태의 막대 형

상의 금속층을 형성하는 단계와;
 상기 소스 및 드레인 전극 상에 드레인 콘택홀을 갖는 보호막을 형성하는 단계와;
 상기 보호막 상에 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계
 를 포함하는 액정표시장치 제조방법.

청구항 8

제 7 항에 있어서,
 상기 막대 형상의 금속층은 게이트 배선 상에서 상기 게이트 절연막을 사이에 두고 형성하는 액정표시장치 제조 방법.

청구항 9

제 7 항에 있어서,
 상기 일 방향으로 구성된 게이트 배선에 단선이 발생하였을 시 어레이 기판 상부에서 상기 증착한 화소 전극과, 그 하부의 상기 막대 형상의 금속층과 상기 단선된 좌측 및 우측 게이트 배선을 레이저 웰딩 공정으로 연결하는 단계를 더 포함하는 액정표시장치 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <15> 본 발명은 박막트랜지스터 액정표시장치에 관한 것으로, 특히 게이트 배선에 단선이 발생하였을 시 이를 수리(repair)할 수 있는 것에 관한 것이다.
- <16> 최근 정보화 사회로 발전함에 따라 박형화, 경량화, 저 소비전력화 등의 우수한 특성을 가지는 평판 표시장치의 필요성이 대두되었는데, 이 중 액정표시장치가 해상도, 컬러표시, 화질 등에서 우수하여 노트북이나 데스크탑 모니터에 활발하게 적용되고 있다.
- <17> 일반적으로 액정표시장치는 전극이 각각 형성되어 있는 두 기판을 두 전극이 형성되어 있는 면이 마주 대하도록 배치하고 두 기판 사이에 액정 물질을 주입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 액정 분자를 움직이게 함으로써, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.
- <18> 이하, 첨부한 도면을 참조하여 설명한다.
- <19> 도 1은 일반적인 박막트랜지스터 액정표시장치를 개략적으로 도시한 도면이다.
- <20> 도시한 바와 같이, 일반적인 액정표시장치(10)는 블랙매트릭스(15)를 포함하는 컬러필터(20)와 상기 컬러필터(20) 상에 투명한 공통 전극(35)이 형성된 상부 기판(20)과, 화소 영역(P)과 상기 화소 영역(P) 상에 형성된 화소 전극(45)과 스위칭 소자를 포함하는 어레이 배선이 형성된 하부 기판(30)으로 구성되며, 상기 상부 기판(20)과 하부 기판(30) 사이에는 액정(48)이 충전되어 있다.
- <21> 상기 하부 기판(30)은 어레이 기판이라고도 하며, 스위칭 소자인 박막트랜지스터(T)가 매트릭스(matrix) 형태로 위치하고, 이러한 다수의 박막트랜지스터(T)를 교차하여 지나가는 게이트 배선(40)과 데이터 배선(42)이 형성된다.
- <22> 상기 화소 영역(P)은 상기 게이트 배선(40)과 데이터 배선(42)이 교차하여 정의되는 영역이다.
- <23> 상기 화소 영역(P) 상에 형성되는 화소 전극(45)은 인듐-틴-옥사이드(ITO) 혹은 인듐-징크-옥사이드(IZO)와 같이 빛의 투과율이 비교적 뛰어난 투명한 도전성 금속을 사용한다.
- <24> 전술한 바와 같이 구성되는 액정표시장치는 상기 박막트랜지스터(T)와 그에 연결된 화소 전극(45)이 매트릭스 내에 존재함으로써 영상을 표시한다.

- <25> 상기 게이트 배선(40)은 상기 박막트랜지스터(T)의 제 1 전극인 게이트 전극을 구동하는 펄스전압을 전달하며, 상기 데이터 배선(42)은 상기 박막트랜지스터(T)의 제 2 전극인 소스 전극을 구동하는 신호 전압을 전달하는 수단이 된다.
- <26> 이러한 구성에서, 상기 게이트 배선(40)에 펄스가 주사되고 있으면, 상기 박막트랜지스터(T)의 소스 전극에 신호가 인가된다.
- <27> 이때, 상기 게이트 전극의 신호에 의해 임의의 소스 전극에 액정을 구동할 수 있는 전압이 인가되고, 나머지에는 액정 구동전압보다 작은 전압이 인가된다면, 액정 구동전압이 인가된 화소만 동작할 것이다.
- <28> 이러한 동작원리에 의해 모든 게이트 전극에 순차적으로 펄스(pulse)를 인가하고, 해당 소스 전극에 신호 전압을 인가함으로써, 액정표시장치의 모든 화소 전극을 구동하는 것이 가능하다.
- <29> 전술한 바와 같이, 수백만 개의 화소 전극을 각각 독립적으로 구동하기 위해 전체 표시면적에 게이트 배선 및 데이터 배선이 매트릭스 형태로 배치되어 있으며, 이러한 게이트 배선 및 데이터 배선은 스위칭 소자인 박막트랜지스터를 구동하기 위해 사용된다.
- <30> 수백만 개의 화소를 구동하기 위해 각 화소 마다 스위칭 소자를 두어야 하는 표시소자를 제조하는데 있어서, 세밀한 패턴을 형성함과 동시에 박막소자의 특성을 동일하게 제어하는 기술은 매우 중요하다고 볼 수 있다.
- <31> 이러한 세밀한 패턴을 형성하는데 있어서 각종 먼지는 패턴의 단선, 단락 및 박막특성 불량 등의 주원인으로 작용하고 있다.
- <32> 따라서, 이러한 원인들은 액정표시장치의 전반적인 수율, 품질, 신뢰성을 악화시키는 주요 요인이 되고 있다.
- <33> 이 밖에도, 소자 배열에 있어서 결함을 발생시키는 다양한 원인이 있는데, 예를 들면 성막공정의 먼지나 레지스트(resist) 도포공정의 먼지, 세정공정의 먼지, 세정 공정의 건조 불균일, 유리 기판 상의 미세한 긁힘 등 여러 원인이 있다.
- <34> 이러한 여러 가지 원인의 복합 작용에 의해 액정표시장치용 어레이 기판을 제작하는 과정에서 여러 가지 결함이 발생할 수 있다.
- <35> 이러한 결함은 발생 원인에 따라 공정편차에 의해 특성값이 설계기준을 벗어나서 발생한 결함, 막 계면의 세정 불량이나 먼지 등에 의한 불량, 그리고 정전기에 의한 특성변화 및 박막트랜지스터 또는 액정셀의 파괴로 나타나는 불량 등을 예로 들 수 있다.
- <36> 이러한 불량들은 형태에 따라 점 결함, 선 결함, 또는 표시얼룩으로 나뉘 수 있으며, 점 결함은 박막트랜지스터 소자 또는 화소 전극 등의 불량으로 발생되며, 선결함은 배선의 단선, 단락 및 정전기에 의한 박막트랜지스터 등의 파괴에 기인한다.
- <37> 이러한 결함들은 이미지 소자의 표시면적이 대면적화 됨에 따라 더욱 중요한 문제로 대두되고 있으며, 이러한 결함 발생을 능동적으로 대처하기 위한 방법으로 리던던시(redundancy) 및 리페어(repair) 가능한 설계가 도입되었다.
- <38> 상기 리던던시 개념은 예를 들어, 점결함의 한 종류인 박막트랜지스터의 결함일 경우, 결함이 발생한 박막트랜지스터를 대신하기 위해 하나의 화소에 복수개의 박막트랜지스터를 더 배치하여 점결함의 발생을 막을 수 있으며, 선결함의 한 종류인 게이트 배선 또는 데이터 배선이 단선 되었을 경우, 상기 각 배선의 양 끝부분에 인접한 예비 배선을 연결하여 단선을 수리하는 방법으로 결함을 방지 할 수 있다.
- <39> 이러한 리던던시 또는 리페어 설계의 개념은 상기 결함들 중 점결함의 경우보다는 선결함의 경우에 더욱 필요하다.
- <40> 왜냐하면 점결함의 경우는 그 분포, 개수, 유형에 따라 허용 레벨이 있지만, 선결함의 경우는 한 개라도 발생하면 제품으로서의 가치가 없어지기 때문이다.
- <41> 예를 들면, 상기 데이터 배선 또는 게이트 배선 중 한 라인이 단선이 되었다고 가정하면 단선된 배선과 연결되어 있는 모든 박막트랜지스터의 동작이 불가능하게 될 것이고, 이러한 어레이 기판에서의 결함은 액정표시장치에서 치명적인 결함이 된다.
- <42> 이하, 첨부한 도면을 참조하여 종래의 액정표시장치에 대해 상세히 설명한다.

- <43> 도 2는 종래의 액정표시장치의 단위 화소를 확대한 평면도이다.
- <44> 도시한 바와 같이, 기관(100) 상에 일 방향으로 구성된 게이트 배선(110)과 상기 게이트 배선(110)과는 수직하게 교차하여 화소 영역(P)을 정의하는 데이터 배선(120)이 구성된다.
- <45> 상기 게이트 배선(110)과 데이터 배선(120)이 교차하는 영역에 박막트랜지스터(T)가 구성된다.
- <46> 이때, 상기 박막트랜지스터(T)는 게이트 배선(110)에서 연장한 게이트 전극(124)과, 상기 게이트 전극(124) 상의 순수 비정질 실리콘층(130) 및 불순물 비정질 실리콘층(미도시)과, 상기 데이터 배선(120)에서 연장되는 소스 전극(126)과, 상기 소스 전극(126)과 이격된 드레인 전극(128)을 포함하여 이루어진다.
- <47> 상기 드레인 전극(128)과 연결하여 상기 화소 영역(P)에 대응하여 화소 전극(160)이 구성된다.
- <48> 그러나, 전술한 구성에서 어레이 기관의 공정 중 게이트 배선이 단선(open)된다면, 단선된 게이트 배선을 대신할 수리배선이 구성되어 있지 않기 때문에 수리가 불가능하다.
- <49> 또한, 한 화소에 위치한 하나의 게이트 배선의 단선은 일 방향으로 위치한 모든 게이트 신호가 차단되어 비용의 낭비와 더불어 액정표시장치의 수율을 상당히 저하시키는 문제가 발생한다.

발명이 이루고자 하는 기술적 과제

- <50> 따라서, 전술한 바와 같은 문제점을 해결하기 위해 안출된 것으로, 본 발명에 따른 액정표시장치는 소스 및 드레인 전극을 형성할 때, 절연상태의 막대 형상의 금속층을 추가로 구성하여 게이트 배선에 단선이 발생하였을 시 이를 수리하여 수율을 향상시키는 장점이 있다.

<51>

발명의 구성 및 작용

- <52> 본 발명에 따른 박막트랜지스터 액정표시장치는 기관 상에 일 방향으로 형성된 게이트 배선과, 상기 게이트 배선과 수직하게 교차하여 화소 영역을 정의하는 데이터 배선과,
- <53> 상기 게이트 배선에서 연장되는 게이트 전극과, 상기 게이트 전극 상의 순수 및 불순물 비정질 실리콘층과, 상기 데이터 배선에서 연장되는 소스 전극과, 상기 소스 전극과 이격된 드레인 전극을 포함하는 박막트랜지스터와,
- <54> 상기 드레인 전극과 연결하여 상기 화소 영역에 대응하여 구성된 화소 전극과, 상기 게이트 배선 상에 구성된 전기적 절연상태의 막대 형상의 금속층을 포함하는 것을 특징으로 한다.
- <55> 상기 막대 형상의 금속층은 게이트 절연막을 사이에 두고 상기 게이트 전극과 절연되어 있으며, 그 상부에는 보호막을 사이에 두고 상기 화소 전극과 절연되며, 상기 막대 형상의 금속층은 상기 소스 및 드레인 전극과 동일층에서 동일 물질로 구성하는 것을 특징으로 한다.
- <56> 상기 화소 영역 상부에 위치한 상기 화소 전극의 일부를 상기 게이트 배선과 중첩하여 구성한다.
- <57> 상기 게이트 배선의 일부를 제 1 전극으로 하고, 상기 화소 전극의 일부를 제 2 전극으로 한 스토리지 커패시터를 포함하는 것을 특징으로 한다.
- <58> 본 발명에 따른 박막트랜지스터 액정표시장치 제조방법은 기관 상에 일 방향으로 구성된 게이트 배선과, 상기 게이트 배선에서 연장한 게이트 전극을 형성하는 단계와, 상기 게이트 전극 상에 게이트 절연막을 형성하는 단계와,
- <59> 상기 게이트 절연막 상에 순수 및 불순물 비정질 실리콘층을 형성하는 단계와, 상기 순수 및 불순물 비정질 실리콘층 상에 데이터 배선과, 소스 및 드레인 전극과, 전기적 절연상태의 막대 형상의 금속층을 형성하는 단계와,
- <60> 상기 소스 및 드레인 전극 상에 드레인 콘택홀을 갖는 보호막을 형성하는 단계와, 상기 보호막 상에 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.
- <61> 를 포함하는 것을 특징으로 한다.
- <62> 상기 막대 형상의 금속층은 게이트 배선 상에서 상기 게이트 절연막을 사이에 두고 형성한다.

- <63> 상기 일 방향으로 구성된 게이트 배선에 단선이 발생하였을 시 어레이 기판 상부에서 상기 중첩한 화소 전극과, 그 하부의 상기 막대 형상의 금속층과 상기 단선된 좌측 및 우측 게이트 배선을 레이저 웰딩 공정으로 연결하는 단계를 더 포함하는 것을 특징으로 한다.
- <64> 이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시장치에 대해 설명한다.
- <65> 도 3은 본 발명에 따른 액정표시장치의 단위 화소를 확대한 평면도이다.
- <66> 도시한 바와 같이, 기판(200) 상에 일 방향으로 게이트 배선(210)과, 상기 게이트 배선(210)과 수직하게 교차하여 화소 영역(P)을 정의하는 데이터 배선(220)을 구성한다.
- <67> 상기 게이트 배선(210)에서 연장한 게이트 전극(224)과, 상기 게이트 전극(224) 상의 순수 비정질 실리콘층(230) 및 불순물 비정질 실리콘층(미도시)과, 상기 데이터 배선(220)에서 연장한 소스 전극(226)과, 상기 소스 전극(226)과 이격한 드레인 전극(228)으로 이루어진 박막트랜지스터(T)를 구성한다.
- <68> 상기 드레인 전극(228)은 드레인 콘택홀(CH2)을 통해 상기 화소 영역(P)에 대응하여 구성된 화소 전극(260)과 연결되며, 상기 화소 영역(P) 중 상부에 위치한 화소 전극(260)의 일부와 상기 게이트 배선(210)을 중첩하여 구성한다.
- <69> 이때, 상기 게이트 배선(210)과 화소 전극(260)의 일부가 중첩하는 사이에 절연상태의 막대 형상의 금속층(270)을 구성한다.
- <70> 여기서, 상기 게이트 배선(210)의 일부를 제 1 전극으로 하고, 상기 화소 전극(260)의 일부를 제 2 전극으로 하는 스토리지 커패시터(storage capacitor: Cst)가 구성된다.
- <71> 이때, 상기 게이트 배선(210)은 일 방향으로 구성되며, 충분한 스토리지 커패시터(Cst)를 확보하기 위해 일부가 돌출 연장한 구조이다.
- <72> 전술한 구조에서 특징적인 것은 화소 영역 중 상부에 위치한 화소 전극의 일부를 게이트 배선과 중첩하여 구성하고, 상기 화소 전극과 게이트 배선 사이에 추가로 절연상태의 막대 형상의 금속층을 구성하여 상기 게이트 배선에 단선이 발생했을 때, 상기 화소 전극의 일부와, 막대 형상의 금속층과 게이트 배선을 레이저 웰딩(laser welding)으로 수리하여 게이트 배선의 단선에 대비할 수 있는 것을 특징으로 한다.
- <73> 이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시장치의 제조방법을 상세히 설명한다.
- <74> 도 4a 내지 도 4d는 도 3의 IV-IV 선을 따라 절단한 공정 단면도이다.
- <75> 도 3과 도 4a에 도시한 바와 같이, 기판(200) 상에 일 방향으로 게이트 배선(210)과, 상기 게이트 배선(210)에서 연장하여 게이트 전극(224)을 형성한다.
- <76> 도 3과 도 4b에 도시한 바와 같이, 상기 게이트 전극(224)을 형성한 기판(200) 상에 산화실리콘(SiO₂)과 질화실리콘(SiNx)을 포함하는 무기절연물질 그룹 중에서 선택된 하나로 게이트 절연막(235)을 형성한다.
- <77> 이어, 상기 게이트 절연막(235) 상에 순수 비정질 실리콘층(230)과 불순물 비정질 실리콘층(232)을 연속하여 적층한다.
- <78> 도 3과 도 4c에 도시한 바와 같이, 상기 순수 및 불순물 비정질 실리콘층(230, 232)을 형성한 기판(200) 상에 소스 및 드레인 금속층(미도시)을 적층하고, 상기 소스 및 드레인 금속층을 패터닝하여, 상기 게이트 배선(210)과 수직하게 교차하여 구성한 데이터 배선(220)과, 상기 데이터 배선(220)에서 연장한 소스 전극(226)과, 상기 소스 전극(226)과 이격하여 드레인 전극(228)을 형성한다.
- <79> 또한, 상기 소스 및 드레인 금속층을 패터닝할 때, 일 방향으로 구성된 게이트 배선(210) 상에 절연상태의 막대 형상의 금속층(270)을 형성한다.
- <80> 또한, 상기 소스 전극(226)과 드레인 전극(228)을 이격한 하부에 위치한 불순물 비정질 실리콘층(232)을 제거하여 순수 비정질 실리콘층(230)이 노출되게 형성한다.
- <81> 도 3과 도 4d에 도시한 바와 같이, 상기 소스 및 드레인 전극(226, 228) 상에 산화실리콘(SiO₂)과 질화실리콘(SiNx)을 포함하는 무기절연물질 그룹 중에서 선택된 하나로 보호막(245)을 형성한 후, 상기 보호막(245)의 일부를 제거하여 드레인 전극(228)의 일부를 노출시키는 드레인 콘택홀(CH2)을 형성한다.

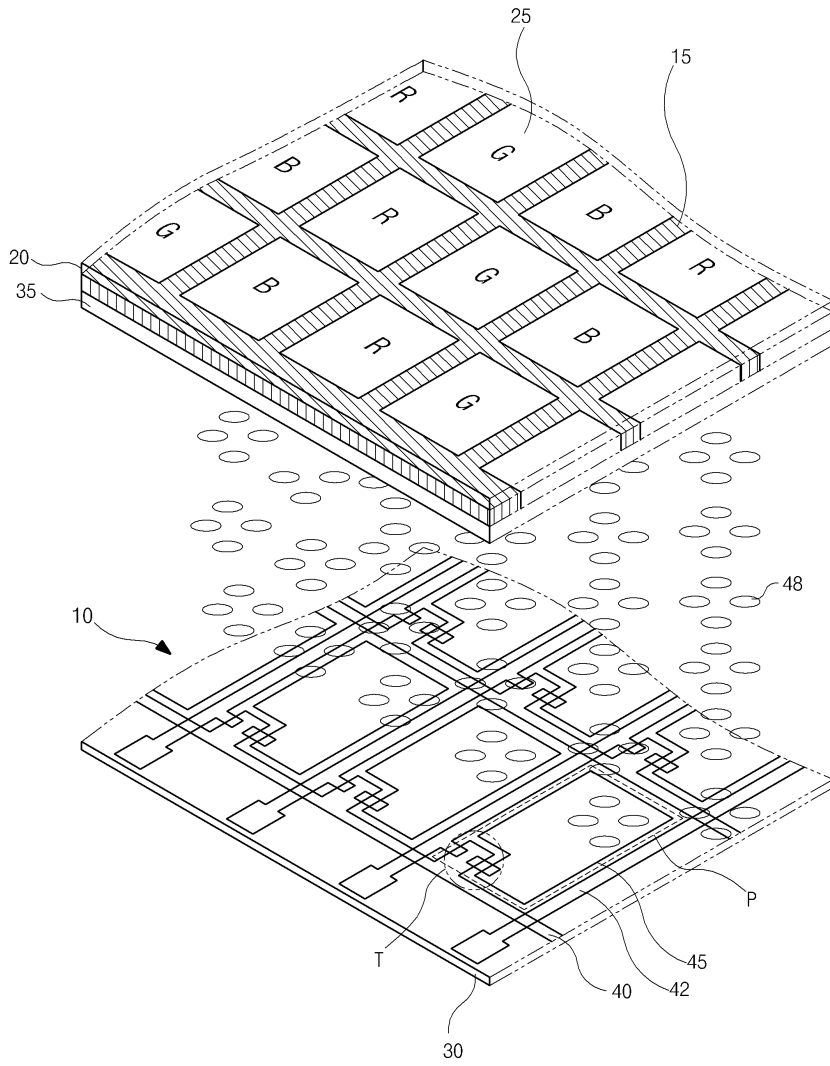
- <82> 이어, 상기 보호막(245) 상에 인듐-틴-옥사이드(ITO) 혹은 인듐-징크-옥사이드(IZO) 중 선택된 어느 하나로 투명한 도전성 금속층을 증착 및 패터하여 드레인 전극(228)과 연결하여 화소 전극(260)을 형성한다.
- <83> 이때, 화소 영역(P) 중 상측 끝단에 위치한 화소 전극(260)을 인접한 화소 영역의 게이트 배선(210)의 일부와 중첩하여 형성하게 되는데, 도면에서는 설명의 편의를 위해 하부의 화소 영역(Pa) 중 상부에 위치한 화소 전극(260a) 끝단의 일부와 상기 게이트 배선(210)의 일부가 중첩한 부분을 나타내었다.
- <84> 따라서, 상기 공정을 통해 어레이 기관(200)을 제작할 수 있으며, 상기 어레이 기관(200)을 제작하는 과정에서 전술한 복합적인 원인에 의해 게이트 배선(210)에 단선이 발생했을 때, 추가로 구성된 절연상태의 막대 형상의 금속층(270)을 통해 상기 막대 형상의 금속층(270) 하부의 게이트 배선(210)의 단선을 대비하는 것이 가능하다.
- <85> 이하, 첨부한 도면을 참조하여 이를 상세히 설명한다.
- <86> 도 5는 도 3에서 게이트 배선의 단선이 발생했을 경우 이를 수리하는 과정을 도시한 평면도이고, 도 6은 도 5의 VI-VI 선을 따라 절단한 단면도이다.
- <87> 도 5와 도 6에 도시한 바와 같이, 기관(300) 상에 일 방향으로 게이트 배선(310)과, 상기 게이트 배선(310)에서 연장한 게이트 전극(324)이 형성되어 있으며, 상기 게이트 전극(324) 상에는 게이트 절연막(335)과 순수 및 불순물 비정질 실리콘층(330, 332)과 소스 및 드레인 전극(326, 328)이 차례로 형성되어 있다.
- <88> 이때, 전술한 소스 및 드레인 금속층(미도시)을 패터할 때, 상기 게이트 배선(310) 상에 게이트 절연막(335)을 사이에 두고 절연상태의 막대 형상의 금속층(370)이 형성되어 있다.
- <89> 상기 소스 및 드레인 전극(326, 328) 상에는 보호막(345)을 사이에 두고 드레인 콘택홀(CH3)을 통해 드레인 전극(328)과 다수의 화소 전극(360, 360a)이 연결되어 있다.
- <90> 그러나, 이때 전술한 복합적인 원인에 의해 게이트 배선(310)이 단선(GO)된 상태이다.
- <91> 따라서, 상기 게이트 배선(310)의 단선(GO)이 발생한 부분을 수리하는 공정을 필요로 하게 된다.
- <92> 전술한 수리 공정은 완성된 어레이 기관(300) 상부에서 단선된 게이트 배선(310) 좌측 및 우측의 게이트 배선(310a, 310b)을 상기 단선된 게이트 배선(310) 상부에 위치한 막대 형상의 금속층(370)과 레이저 웰딩(laser welding)에 의해 연결하게 된다.
- <93> 이를 상세히 설명하면, 상기 단선된 게이트 배선(310) 좌측의 게이트 배선(310a)은 그 상부에서 레이저 웰딩에 의해 연결한 제 1 원기둥(380a)을 통해 절연상태의 막대 형상의 금속층(370)과 연결되며, 상기 단선된 게이트 배선(310) 우측의 게이트 배선(310b)은 그 상부에서 레이저 웰딩에 의해 연결한 제 2 원기둥(380b)을 통해 절연상태의 막대 형상의 금속층(370)과 연결된다.
- <94> 따라서, 상기 좌측 게이트 배선(310a)은 상기 제 1 원기둥(380a)을 통해 상기 막대 형상의 금속층(370)으로 우회하고, 상기 막대 형상의 금속층(370)과 연결된 제 2 원기둥(380b)을 통해 우측 게이트 배선(310a, 310b)과 연결된다.
- <95> 여기서, 상기 레이저 웰딩으로 연결한 화소 전극(360a)에 게이트 신호가 인가되어 데이터 신호를 표시할 수 있게 되며, 상기 단선된 게이트 배선(310)을 레이저 웰딩으로 연결하게 되면, 일 방향으로 구성된 게이트 배선(310)으로 게이트 신호를 인가하는 것이 가능하게 된다.
- <96> 즉, 선결함을 점결함으로 바꿈으로써 불량 패널을 우량 패널로 판정받을 수 있게 된다.
- <97> 따라서, 전술한 바와 같이 하나의 게이트 배선의 단선에 의해 일 방향에 위치한 게이트 배선 전체에 신호를 인가하는 것이 불가능하였지만, 본 발명에서는 절연상태의 막대 형상의 금속층을 추가로 구성하여 게이트 배선 단선 시 레이저 웰딩으로 이를 수리하는 것이 가능함으로 인해 수율 및 생산성의 향상을 가져올 수 있다.
- <98>

발명의 효과

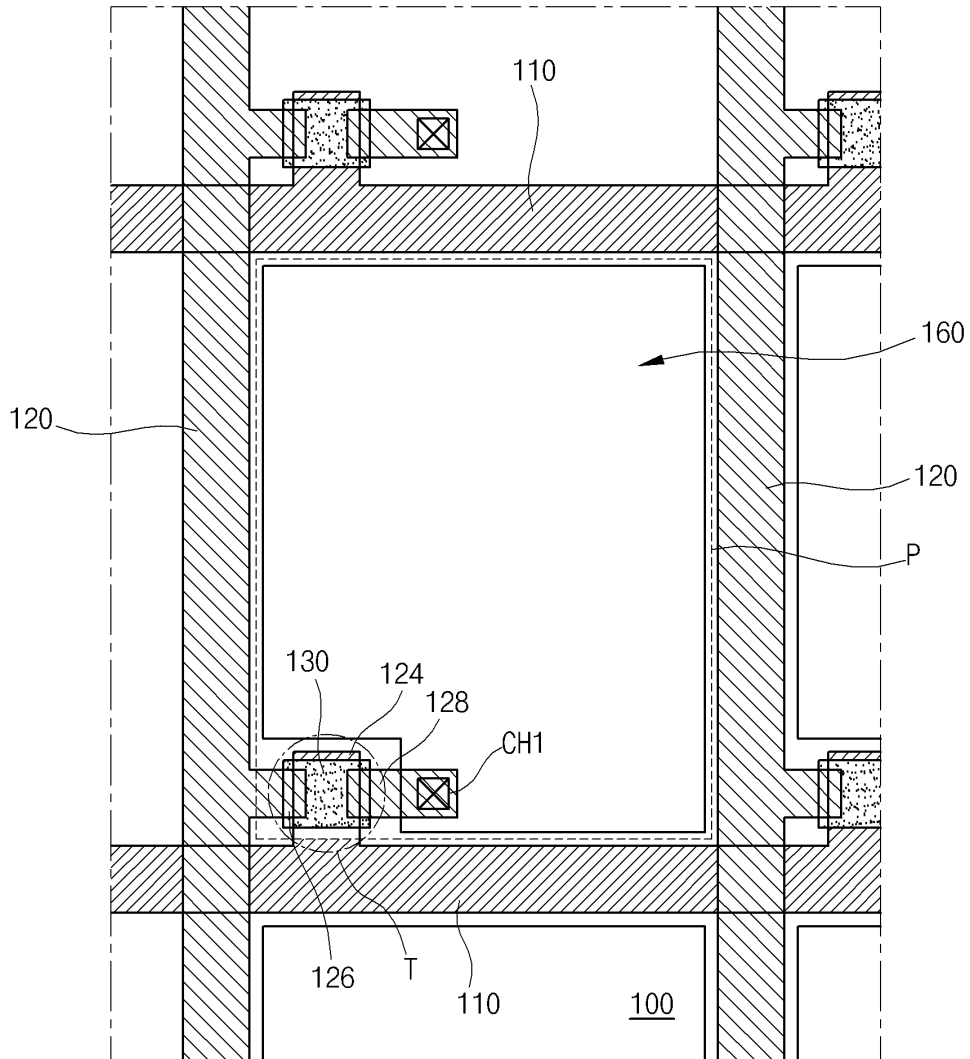
- <99> 따라서, 본 발명에 따른 박막트랜지스터 액정표시장치는 절연상태의 막대 형상의 금속층을 추가로 구성하여 게이트 배선에 단선이 발생하였을 때, 이를 수리하는 것을 가능하게 함으로 인해 수율 및 생산성을 향상시키는 효과가 있다.

도면

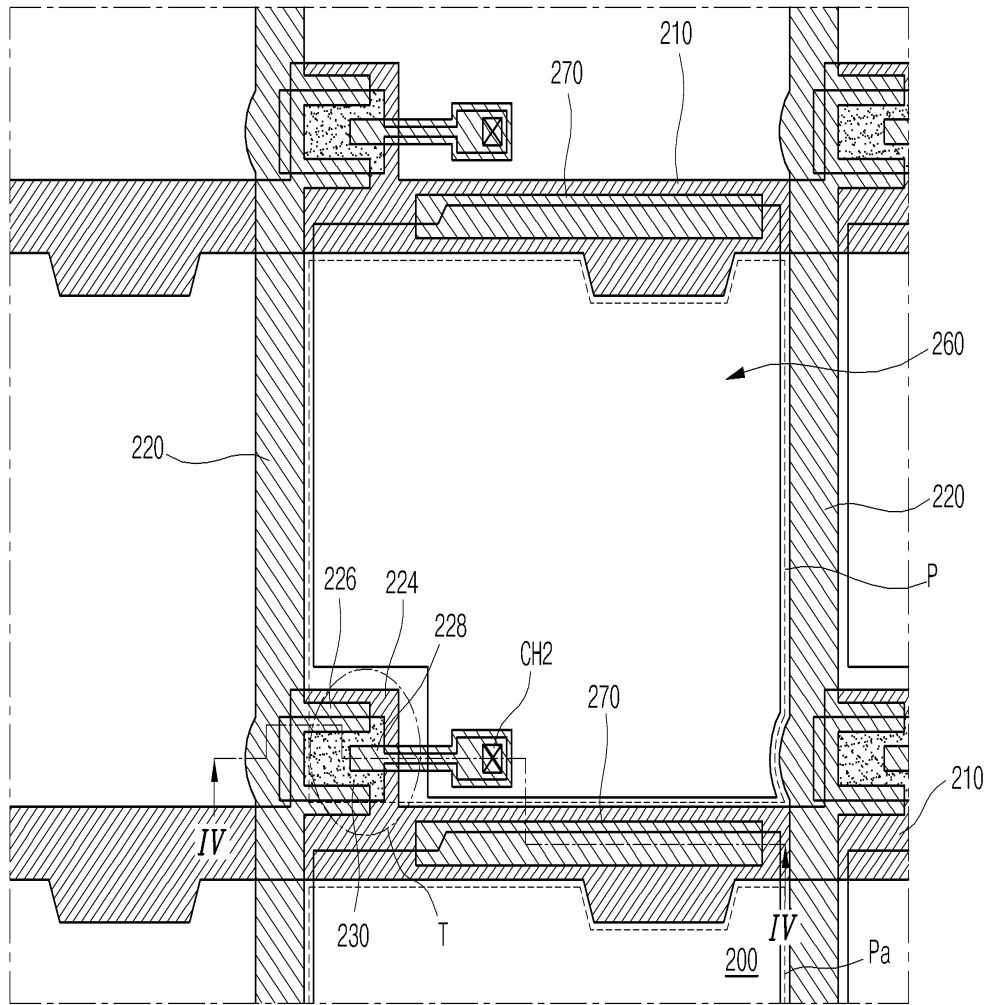
도면1



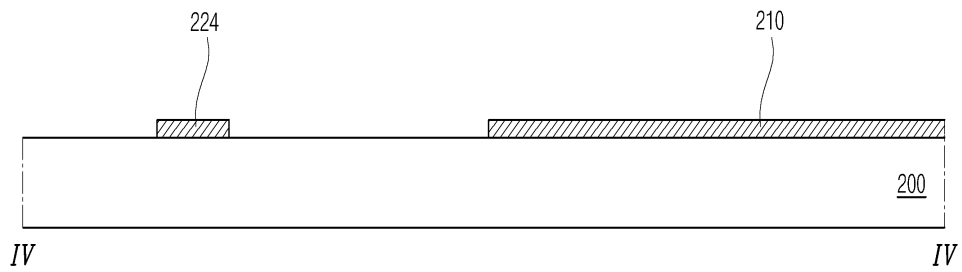
도면2



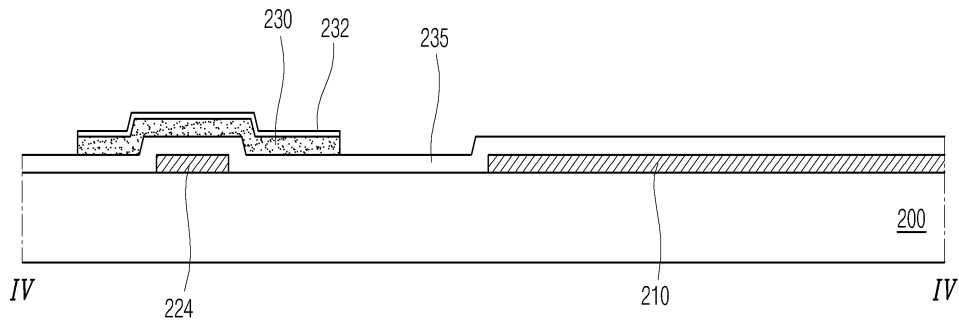
도면3



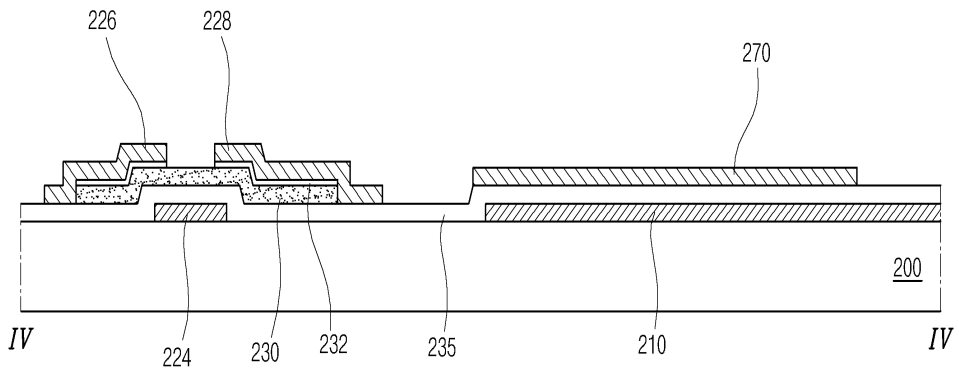
도면4a



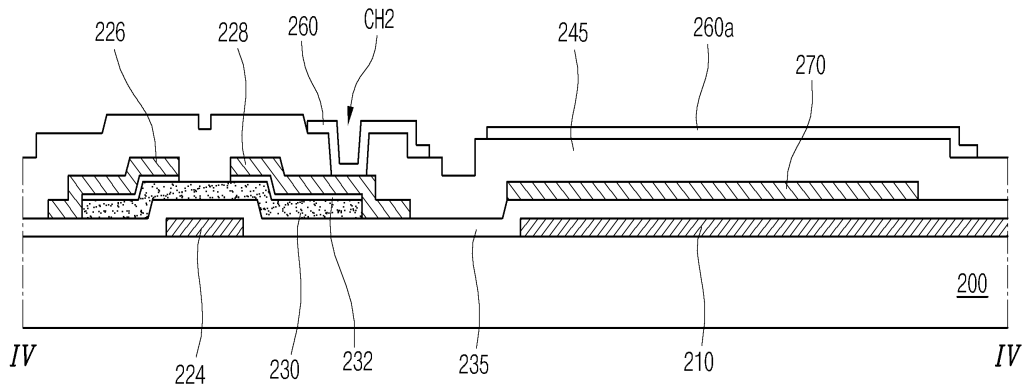
도면4b



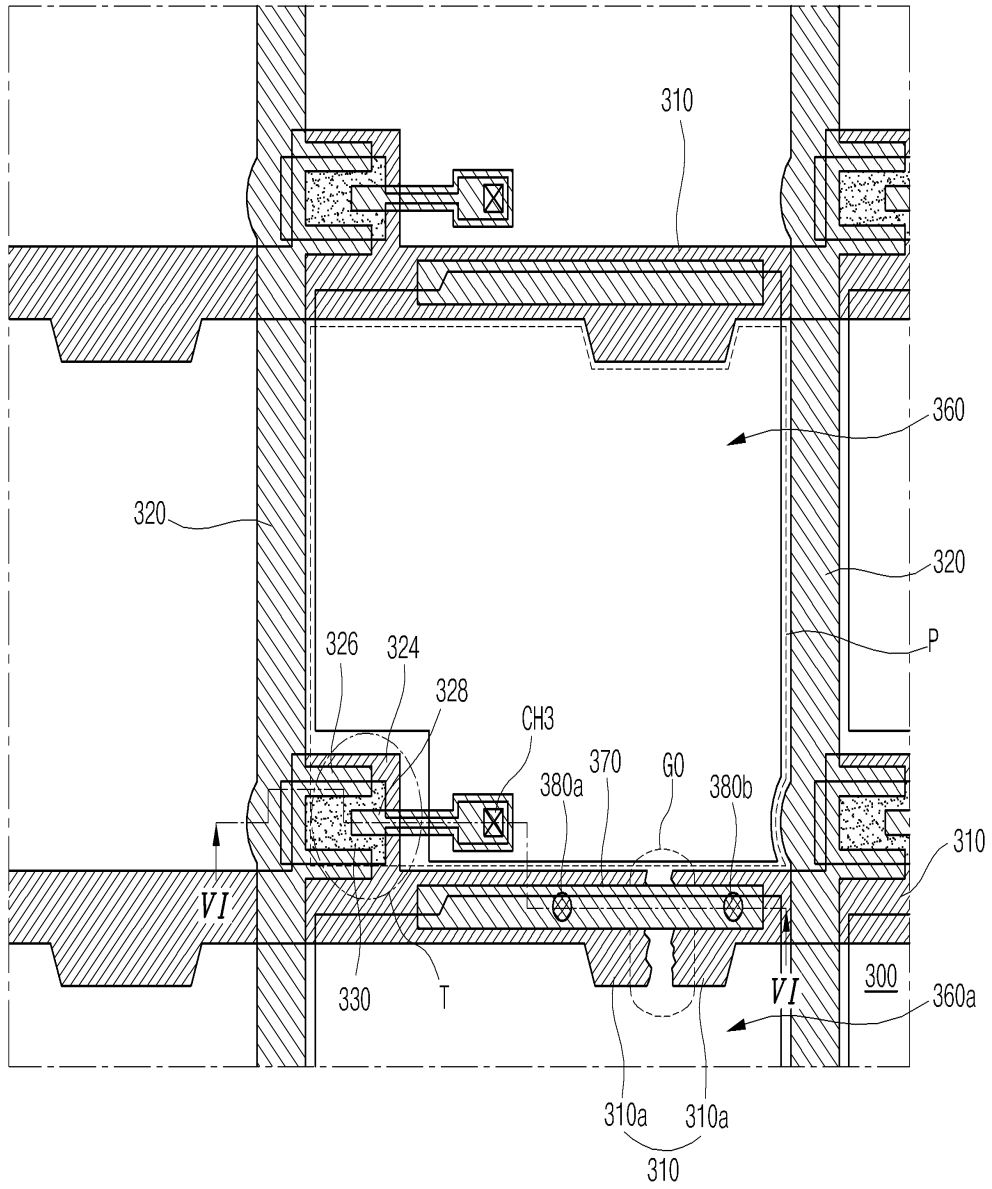
도면4c



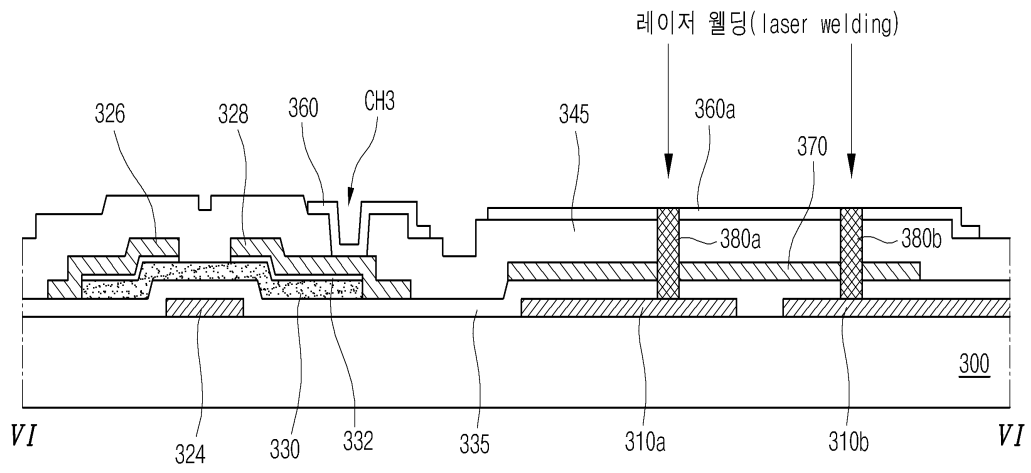
도면4d



도면5



도면6



专利名称(译)	薄膜晶体管液晶显示装置及其制造方法		
公开(公告)号	KR1020070121999A	公开(公告)日	2007-12-28
申请号	KR1020060056904	申请日	2006-06-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JUNG JI HYUN		
发明人	JUNG,JI HYUN		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136286 G02F1/136259 H01L27/124 H01L29/786		
外部链接	Espacenet		

摘要(译)

薄膜晶体管液晶显示装置及其制造方法本发明涉及薄膜晶体管液晶显示装置及其制造方法。特别地，它包括绝缘状态的棒状金属层，其中像素电极下部的部分和栅极布线位于包括杂质非晶硅层的薄膜晶体管中，并且源极电极在数据线中延伸源电极分离并且漏电极分离，像素电极连接到漏电极并且对应于像素区域并且被组织并且：像素区域顶部重叠和部分被构成并且它组织在栅极布线上。

