

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁷
G02F 1/136(11) 공개번호 10-2005-0069047
(43) 공개일자 2005년07월05일(21) 출원번호 10-2003-0100878
(22) 출원일자 2003년12월30일(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지(72) 발명자 최재식
부산광역시기장군기장읍동부리한신아파트101동1306호
박석원
경상북도구미시구평동부영아파트303동1202호

(74) 대리인 박장원

심사청구 : 없음

(54) 액정표시소자 및 그 제조방법

요약

본 발명의 액정표시소자는 하부-게이트 구조의 박막 트랜지스터에서 상기 게이트 배선을 평탄화 함으로써 상기 게이트 배선의 단차에 의한 소자특성의 불균일을 방지하기 위한 것으로, 기판; 상기 기판 위에 평탄화 되어 형성된 게이트전극; 상기 기판 위에 평탄화 되어 형성된 게이트절연막; 상기 게이트전극 위에 상기 게이트절연막을 개재하여 형성된 액티브층; 상기 액티브층 위에 형성된 소오스/드레인전극; 상기 기판 위에 형성되며, 콘택홀이 형성되어 있는 층간절연막; 및 상기 기판 위에 형성되어 상기 콘택홀을 통해 드레인전극과 연결되는 화소전극을 포함한다.

대표도

도 5e

색인어

하부-게이트, 선택적 금속증착, 화학기계적 평탄화, 스핀-온-글라스

명세서

도면의 간단한 설명

도 1은 일반적인 액정표시패널의 구조를 개략적으로 나타내는 평면도.

도 2a 내지 도 2f는 도 1에 도시된 액정표시소자의 제조공정을 순차적으로 나타내는 단면도.

도 3은 본 발명의 액정표시소자가 형성되어 있는 어레이 기판의 일부를 나타내는 평면도.

도 4a 내지 도 4e는 본 발명의 제 1 실시예에 따른 평탄화 된 게이트 배선을 형성하는 방법을 순차적으로 나타내는 예시도.

도 5a 내지 도 5e는 본 발명의 제 1 실시예에 따른 액정표시소자의 제조공정을 순차적으로 나타내는 예시도.

도 6a 내지 도 6e는 본 발명의 제 2 실시예에 따른 액정표시소자의 제조공정을 순차적으로 나타내는 예시도.

도 7a 내지 도 7e는 본 발명의 제 3 실시예에 따른 액정표시소자의 제조공정을 순차적으로 나타내는 예시도.

** 도면의 주요부분에 대한 부호의 설명 **

210,310,410 : 어레이 기판 211,411 : 버퍼층
 221,321,421 : 게이트전극 240 : 실리콘 시드층
 315 : 절연막 480 : 스핀-온-글라스

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시소자 및 그 제조방법에 관한 것으로, 특히 게이트 배선을 평탄화 함으로써 상기 게이트 배선의 단차에 의한 소자특성의 불균일을 방지할 수 있는 액정표시소자 및 그 제조방법에 관한 것이다.

최근 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보매체를 이용하려는 요구가 높아지면서 기존의 표시장치인 브라운관(Cathode Ray Tube; CRT)을 대체하는 경량 박막형 평판표시장치(Flat Panel Display; FPD)에 대한 연구 및 상업화가 중점적으로 이루어지고 있다. 특히, 이러한 평판표시장치 중 액정표시장치(Liquid Crystal Display; LCD)는 액정의 광학적 이방성을 이용하여 이미지를 표현하는 장치로서, 해상도와 컬러표시 및 화질 등에서 우수하여 노트북이나 데스크탑 모니터 등에 활발하게 적용되고 있다.

상기 액정표시장치는 구동회로 유닛(unit)을 포함하여 영상을 출력하는 액정표시패널, 상기 액정표시패널의 하부에 설치되어 액정표시패널에 빛을 방출하는 백라이트(backlight) 유닛, 상기 백라이트 유닛과 액정표시패널을 결합시켜 지지하는 케이스(case) 등으로 이루어져 있다.

이하, 도 1을 참조하여 액정표시패널에 대해서 자세히 설명한다.

도 1은 일반적인 액정표시패널의 구조를 개략적으로 나타내는 평면도이다.

도면에 도시된 바와 같이, 상기 액정표시패널은 크게 구동회로부를 포함하는 어레이 기판(110)과 컬러필터 기판(105) 및 상기 어레이 기판(110)과 컬러필터 기판(105) 사이에 형성된 액정층(미도시)으로 이루어져 있다.

상기 어레이 기판(110)은 상기 기판(110) 위에 종횡으로 배열되어 복수개의 화소영역을 정의하는 복수개의 게이트라인(116)과 데이터라인(117), 상기 게이트라인(116)과 데이터라인(117)의 교차영역에 형성된 스위칭소자인 박막 트랜지스터(Thin Film Transistor; TFT)(미도시) 및 상기 화소영역에 형성된 화소전극(미도시)으로 구성된다.

또한, 상기 어레이 기판(110)의 일측 장(長)변과 일측 단(短)변은 컬러필터 기판(105)에 비해 돌출하여 액정표시패널을 구동시키기 위한 구동회로부가 위치하며, 특히 상기 어레이 기판(110)의 돌출된 일측 단변에는 게이트 패드부(106)가 형성되고 돌출된 일측 장변에는 데이터 패드부(107)가 형성된다.

이 때, 상기 게이트 패드부(106)는 게이트 구동회로부(미도시)로부터 공급되는 주사신호(scanning signal)를 화상표시 영역(101)인 화소부의 각 화소영역의 게이트라인(116)에 공급하고, 상기 데이터 패드부(107)는 데이터 구동회로부(미도시)로부터 공급되는 화상정보를 화소영역의 데이터라인(117)에 공급한다.

한편, 도면에는 도시하지 않았지만 상기 컬러필터 기판(105)의 화상표시 영역(101)에는 컬러를 구현하는 컬러필터와 상기 어레이 기판(110)에 형성된 화소전극의 대향전극인 공통전극이 형성되어 있다.

이와 같이 구성된 상기 어레이 기판과 컬러필터 기판은 스페이서(spacer)에 의해 일정하게 이격되도록 셀갭(cell gap)이 마련되고, 화상표시 영역의 외곽에 형성된 실 패턴(seal pattern)에 의해 합착되어 단위 액정표시패널을 이루게 된다. 이 때, 상기 두 기판의 합착은 어레이 기판 또는 컬러필터 기판에 형성된 합착기를 통해 이루어진다.

일반적으로, 상기와 같이 구성되는 액정표시장치는 매트릭스(matrix) 형태로 배열된 액정셀들에 화상정보에 따른 데이터신호를 개별적으로 공급하여 상기 액정셀들의 광투과율을 조절함으로써 원하는 화상을 표시할 수 있으며, 이를 위한 상기 박막 트랜지스터는 화소전극에 신호전압을 인가하고 차단하는 스위칭소자로 전계에 의하여 전류의 흐름을 조절하는 일종의 전계 효과 트랜지스터(Field Effect Transistor; FET)이다.

한편, 상기 박막 트랜지스터의 채널층으로는 일반적으로 비정질 실리콘 박막 또는 다결정 실리콘 박막을 사용하고 있으며, 게이트전극의 형성위치에 따라 상기 게이트전극이 채널층의 상부에 위치하는 탑-게이트 구조 및 상기 게이트전극이 채널층에 대해 하부에 위치하는 하부-게이트 구조가 있다.

이 때, 상기 탑-게이트 구조를 사용하는 경우에는 채널층인 액티브층을 형성한 후에 게이트절연막을 증착하기 때문에 상기 계면특성이 좋지 않은 단점이 있었으며, 이에 따라 제작된 액정표시소자의 특성 및 신뢰성에 악영향을 미치게 하는 문제점이 있었다.

이에 대해, 상기 게이트전극이 채널층에 대해 하부에 위치하는 하부-게이트 구조에서는 상기 액티브층과 게이트절연막을 연속으로 증착하기 때문에 계면특성이 향상되게 된다.

그러나, 상기 하부-게이트 구조의 박막 트랜지스터는 하부층에 형성되는 게이트전극이 단차를 가지고 있어, 상기 게이트전극의 단차부에서 여러 가지 문제가 발생하게 되며, 이를 다음의 액정표시소자의 제조공정을 통해 자세히 설명한다.

도 2a 내지 도 2f는 도 1에 도시된 액정표시소자의 제조공정을 순차적으로 나타내는 단면도로써, 하부-게이트 구조의 박막 트랜지스터를 제조하는 공정을 나타내고 있다.

이 때, 상기 박막 트랜지스터로 다결정 실리콘 박막을 이용한 다결정 실리콘 박막 트랜지스터를 예를 들어 설명한다.

먼저, 도 2a에 도시된 바와 같이, 유리와 같은 투명한 절연 물질로 이루어진 기판(110) 위에 게이트전극(121)을 형성한다.

이 때, 상기 금속층의 식각에는 습식식각 또는 건식식각 모두가 가능하지만 습식식각의 등방성 식각특성을 이용할 경우, 상기 게이트전극(121) 위에 형성되는 여러 막의 단락 방지에 유리한 테이퍼(taper) 형상의 게이트전극(121)을 형성할 수 있게 된다.

하지만, 상기와 같은 테이퍼 형상의 게이트전극(121)이라 하더라도 상기 게이트전극(121)의 높이만큼 하부 기판(110)과 단차를 가지게 되며, 이에 따라 후술할 여러 문제가 발생하게 된다.

이후, 도 2b에 도시된 바와 같이, 상기 게이트전극(121)이 형성된 기판(110) 전면에 연속적으로 게이트절연막인 제 1 절연막(115A)과 실리콘 박막(124A)을 증착한다.

다음으로, 상기 실리콘 박막(124A)은 도 2c에 도시된 바와 같이, 결정화공정을 거쳐 다결정 실리콘 박막으로 결정화된 후 포토리소그래피(photolithography)공정을 이용하여 패터닝되어 박막 트랜지스터의 액티브층(124)으로 사용되게 된다.

이 때, 도면에는 도시하지 않았지만, 상기 액티브층(124)의 소정영역(즉, 소오스/드레인영역)에 불순물 이온을 주입하여 상기 소오스/드레인영역과 소오스/드레인전극간의 옴-콘택(ohmic contact)을 형성하게 된다.

한편, 상기와 같이 게이트전극(121) 위에 형성되는 제 1 절연막(115A)과 액티브층(124)은 상기 게이트전극(121)의 단차에 의해 숄더(shoulder)영역에서 단차가 생기게 된다.

다음으로, 도 2d에 도시된 바와 같이, 상기 기판(110) 전면에 도전성 금속물질을 증착한 후 포토리소그래피 공정을 이용하여 상기 도전성 금속물질을 패터닝함으로써 소오스전극(122)과 드레인전극(123)을 형성한다.

다음으로, 도 2e에 도시된 바와 같이, 상기 기판(110) 전면에 층간절연막인 제 2 절연막(115B)을 증착한 후, 포토리소그래피 공정을 통해 상기 드레인전극(123)의 일부를 노출시키는 콘택홀(140)을 형성한다.

마지막으로, 도 2f에 도시된 바와 같이, 상기 제 2 절연막(115B)이 형성된 기판(110) 전면에 투명 도전물질을 증착한 후, 포토리소그래피 공정을 이용하여 상기 콘택홀(140)을 통해 드레인전극(123)과 연결되는 화소전극(118)을 형성한다.

이 때, 전술한 바와 같이 게이트전극(121)을 형성할 때 그 상부에 형성되는 여러 막의 단락 방지를 위해, 상기 게이트전극(121)을 테이퍼 형상으로 만드는 습식식각공정을 진행하게 되므로 CD(critical dimension) 제어의 어려움이 있어 고정제화 소자의 제조에 취약한 문제가 있었다.

또한, 저온 다결정 실리콘 박막(124)을 제작하기 위해 일반적으로 사용되는 레이저 결정화공정을 진행할 경우 상기 숄더(S)영역에서는 주변의 평탄한 영역과 다른 결정화특성을 가지는 다결정 실리콘 박막이 형성되게 되므로 소자특성의 균일도에 악영향을 미치고 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 문제를 해결하기 위한 것으로, 하부-게이트 구조의 박막 트랜지스터에서 상기 게이트 배선을 평탄화함으로써 상기 게이트 배선의 단차에 의한 소자특성의 불균일을 방지한 액정표시소자 및 그 제조방법을 제공하는데 목적이 있다.

본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

발명의 구성 및 작용

상기한 목적을 달성하기 위하여, 본 발명의 액정표시소자는 기판, 상기 기판 위에 평탄화 되어 형성된 게이트전극, 상기 기판 위에 평탄화 되어 형성된 게이트절연막, 상기 게이트전극 위에 상기 게이트절연막을 개재하여 형성된 액티브층, 상기 액티브층 위에 형성된 소오스/드레인전극, 상기 기판 위에 형성되며, 콘택홀이 형성되어 있는 층간절연막 및 상기 기판 위에 형성되어 상기 콘택홀을 통해 드레인전극과 연결되는 화소전극을 포함한다.

또한, 본 발명의 액정표시소자의 제조방법은 기판을 제공하는 단계, 상기 기판 위에 실리콘 시드를 소정 두께로 형성하는 단계, 상기 기판 전면에 음각 형태의 게이트 배선이 패터닝된 버퍼층을 형성하는 단계, 상기 기판 전면에 금속물질을 증착하여 상기 음각 형태의 게이트 배선 내에 평탄화 된 게이트전극을 형성하는 단계, 상기 기판 위에 게이트절연막을 형성하는 단계, 상기 기판 위에 액티브층을 형성하는 단계, 상기 액티브층 위에 소오스/드레인전극을 형성하는 단계, 상기 기판 위에 콘택홀이 형성되어 있는 중간절연막을 형성하는 단계 및 상기 콘택홀을 통해 드레인전극과 연결되는 화소전극을 형성하는 단계를 포함한다.

이 때, 상기 실리콘 시드는 게이트 배선의 금속물질을 증착시 핵생성 사이트로 작용하여 상기 하부층에 노출된 실리콘 시드를 중심으로 상기 금속물질이 성장하여 게이트전극을 형성할 수 있다.

또한, 상기 버퍼층은 상기 게이트전극의 높이에 대응하는 두께로 형성할 수 있다.

한편, 상기 게이트전극용 금속물질은 선택적 화학기상증착방법으로 증착할 수 있으며, 상기 선택적 화학기상증착방법은 텅스텐 또는 알루미늄 등의 금속물질을 이용할 수 있다.

또한, 본 발명의 액정표시소자의 다른 제조방법은 기판을 제공하는 단계, 상기 기판 위에 게이트전극을 형성하는 단계, 상기 기판 위에 1차 게이트절연막을 형성하는 단계, 상기 1차 게이트절연막을 화학기계적 평탄화로 연마하여 상기 게이트전극을 평탄화 하는 단계, 상기 기판 위에 2차 게이트절연막을 형성하는 단계, 상기 기판 위에 액티브층을 형성하는 단계, 상기 액티브층 위에 소오스/드레인전극을 형성하는 단계, 상기 기판 위에 콘택홀이 형성되어 있는 중간절연막을 형성하는 단계 및 상기 콘택홀을 통해 드레인전극과 연결되는 화소전극을 형성하는 단계를 포함한다.

이 때, 상기 1차 게이트절연막은 상기 게이트전극의 높이보다 두껍게 형성할 수 있다.

또한, 상기 1차 게이트절연막과 게이트전극이 평탄화 되도록 상기 1차 게이트절연막의 일부를 화학기계적 평탄화로 제거할 수 있다.

또한, 본 발명의 액정표시소자의 또 다른 제조방법은 기판을 제공하는 단계, 상기 기판 위에 게이트전극을 형성하는 단계, 상기 기판 위에 스핀-온-글라스를 도포하여 상기 게이트전극을 평탄화 하는 단계, 상기 스핀-온-글라스에 큐팅공정을 실시하여 경화시키는 단계, 상기 기판 위에 게이트절연막을 형성하는 단계, 상기 기판 위에 액티브층을 형성하는 단계, 상기 액티브층 위에 소오스/드레인전극을 형성하는 단계, 상기 기판 위에 콘택홀이 형성되어 있는 중간절연막을 형성하는 단계 및 상기 콘택홀을 통해 드레인전극과 연결되는 화소전극을 형성하는 단계를 포함한다.

이 때, 상기 스핀-온-글라스는 유기용매에 규산염성분이 용해되어 일정한 점도를 가질 수 있으며, 상기 스핀-온-글라스는 코팅의 방법으로 도포하여 상기 게이트전극을 평탄화 할 수 있다.

또한, 상기 큐팅공정은 300℃ 전후에서 실시하여 상기 스핀-온-글라스 내의 유기용매를 증발시켜 규산염 성분을 경화시킬 수 있으며, 상기 스핀-온-글라스를 경화시킨 후 상기 게이트전극 위에 남아있는 규산염성분을 에치-백 등의 식각공정을 이용하여 제거하는 단계를 추가로 포함할 수 있다.

한편, 상기 액티브층은 비정질 실리콘 박막 또는 다결정 실리콘 박막으로 구성될 수 있다.

이 때, 상기 액티브층을 다결정 실리콘 박막으로 구성하는 경우에는 상기 액티브층을 형성한 후에 상기 액티브층의 소정 영역에 불순물 이온을 주입하여 소오스영역과 드레인영역을 형성하는 단계를 추가로 포함할 수 있다.

상기와 같은 특징을 가지는 본 발명의 액정표시소자는 게이트 배선을 평탄화하기 위해 선택적 금속증착, 화학기계적 평탄화(Chemical Mechanical Planarization; CMP) 또는 스핀-온-글라스(Spin On Glass; SOG) 등의 방법을 이용하였으며, 이하 첨부한 도면을 참조하여 본 발명에 따른 액정표시소자 및 그 제조방법의 바람직한 실시예를 설명한다.

도 3은 본 발명의 액정표시소자가 형성되어 있는 어레이 기판의 일부를 나타내는 평면도로써, 실제의 액정표시패널에서는 N개의 게이트라인과 M개의 데이터라인이 교차하여 NxM개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 단지 한 화소만을 나타내었다.

도면에 도시된 바와 같이, 어레이 기판(210)은 화소영역 위에 형성된 화소전극(218), 상기 기판(210) 위에 중첩으로 배열된 게이트라인(216)과 데이터라인(217), 그리고 상기 게이트라인(216)과 데이터라인(217)의 교차영역에 형성된 스위칭소자인 박막 트랜지스터로 이루어져 있다.

상기 박막 트랜지스터는 게이트라인(216)에 연결된 게이트전극(221), 데이터라인(217)에 연결된 소오스전극(222) 및 화소전극(218)에 연결된 드레인전극(223)으로 구성되어 있다. 또한, 상기 박막 트랜지스터는 게이트전극(221)과 소오스/드레인전극(222, 223)의 절연을 위한 게이트절연막(미도시) 및 상기 게이트전극(221)에 공급되는 게이트 전압에 의해 소오스전극(222)과 드레인전극(223) 간에 전도채널을 형성하는 액티브층(224)을 포함한다.

이 때, 상기 드레인전극(223) 위에는 콘택홀(240)이 형성된 중간절연막(미도시)이 있어, 상기 콘택홀(240)을 통해 상기 드레인전극(223)과 화소전극(218)이 전기적으로 접속되게 된다.

한편, 상기 게이트전극(221) 및 게이트라인(216)을 포함하여 게이트 배선은 본 발명에 따라 단차가 제거되어 평탄화 된 상태로 구성되는데, 이를 다음의 액정표시소자 제조공정을 통해 상세히 설명한다.

도 4a 내지 도 4e는 본 발명의 제 1 실시예에 따른 평탄화 된 게이트 배선을 형성하는 방법을 순차적으로 나타내는 예시도로써, 도 3에 도시된 어레이 기판의 III-III'선에 따른 제조공정을 나타내고 있다.

먼저, 도 4a에 도시된 바와 같이, 유리와 같은 투명한 절연 물질로 이루어진 기판(210) 전면에 실리콘 시드(seed)(240)를 수습 A 두께로 증착한다.

상기 실리콘 시드(240)는 추후 게이트 금속 증착시 핵생성 사이트(site)로서의 역할을 하게 된다.

이후, 도 4b에 도시된 바와 같이, 상기 실리콘 시드(240)가 증착된 기판(210) 전면에 실리콘산화막 등의 절연물질로 버퍼층(buffer layer)(211)을 소정 두께로 형성한다.

이 때, 상기 버퍼층(211)은 유리기판(210) 내에 존재하는 나트륨(sodium; Na) 등의 불순물이 공정 중에 상부층으로 침투하는 것을 차단하는 역할을 하는 동시에 본 실시예의 평탄화 된 게이트 배선을 형성하기 위해 구성되게 되는데, 추후에 형성시킬 게이트 배선의 높이에 대응하는 두께로 형성하게 된다.

다음으로, 도 4c에 도시된 바와 같이, 포토리소그래피공정을 이용하여 상기 버퍼층(211)을 패터닝하여 게이트전극 및 게이트라인 등의 게이트 배선을 형성하기 위한 예비패턴을 형성한다.

즉, 일반적으로 상기 게이트 배선은 양각으로 형성하게 되며, 이에 따라 상기 버퍼층(211)은 양각의 게이트 배선에 대응하는 음각 패턴이 되도록 패터닝하여야 한다.

이후, 도 4d에 도시된 바와 같이, 상기 음각으로 패터닝된 버퍼층(211)에 게이트 배선을 형성하기 위한 도전성 금속물질(270)을 증착한다.

이 때, 선택적 금속증착방법인 선택적 화학기상증착(selective Chemical Vapour Deposition; selective CVD)공정을 사용하여 실리콘 시드(240)층이 노출되어 있는 상기 음각 패턴 하부에만 금속물질(270)이 증착 되도록 할 수 있다.

이와 같이 버퍼층(211) 하부에 형성된 시드(240)층 상부에서만 금속물질이 증착 되는 선택적 화학기상증착방법을 사용함으로써, 도전성 금속을 증착한 후 후속 공정의 진행(즉, 게이트 패턴을 형성하기 위한 마스크공정)없이 게이트 배선의 형성이 가능하게 된다.

이 때, 상기 선택적 금속증착으로 텅스텐(tungsten; W) 또는 알루미늄(aluminium; Al) 등의 금속을 이용할 수 있다.

이후, 도 4e에 도시된 바와 같이, 상기 금속물질(270)을 버퍼층(211)의 두께만큼만 성장하도록 하여 상기 버퍼층(211)의 상부와 평탄한 게이트전극(221)과 게이트라인(216)을 형성한다.

이와 같이 본 실시예에서는 선택적 화학기상증착 텅스텐(selective CVD-W)공정을 이용하여 적절한 조건의 설정을 통해 시드층이 노출되어 있는 배선 하부층에서만 상기 금속이 성장하도록 함으로써 평탄화 된 게이트 배선을 형성할 수 있게 된다.

한편, 상기와 같이 평탄화 된 게이트 배선을 이용하여 액정표시소자를 제작하게 되면 전술한 바와 같은 단차로 인한 문제들이 발생하지 않게 되어 소자특성 및 그 신뢰성이 향상되게 된다.

도 5a 내지 도 5e는 본 발명의 제 1 실시예에 따른 액정표시소자의 제조공정을 순차적으로 나타내는 예시도로써, 도 4e에 도시된 평탄화 된 게이트 배선을 이용하여 액정표시소자를 제조하는 공정을 나타내고 있다.

먼저, 도 5a에 도시된 바와 같이, 상기 평탄화 된 게이트전극(221) 및 게이트라인(216)이 형성된 기판(210) 전면에 차례대로 게이트절연막인 제 1 절연막(215A)과 실리콘 박막(224A)을 형성한다.

상기 실리콘 박막(224A)은 비정질 실리콘 박막 또는 결정화된 실리콘 박막일 수 있으며, 본 실시예에서는 결정화된 다결정 실리콘 박막을 이용하여 박막 트랜지스터를 구성하였으나, 본 발명이 이에 한정되는 것은 아니다.

한편, 상기 다결정 실리콘 박막은 기판(210) 위에 비정질 실리콘 박막을 증착한 후 여러 가지 결정화 방식을 이용하여 형성할 수 있다.

이후, 상기 실리콘 박막(224A)은 도 5b에 도시된 바와 같이, 결정화공정을 거쳐 다결정 실리콘 박막으로 결정화된 후 포토리소그래피공정을 이용하여 패터닝되어 박막 트랜지스터의 액티브층(224)으로 사용되게 된다.

이 때, 도면에는 도시하지 않았지만, 상기 액티브층(224)의 소정영역(즉, 소오스/드레인영역)에 불순물 이온을 주입하여 상기 소오스/드레인영역과 소오스/드레인전극간의 오믹-콘택을 형성하게 된다.

상기 액티브층(224)의 전기적 특성은 주입되는 도펀트의 종류에 따라 바뀌게 되며, 상기 주입되는 도펀트가 붕소(B) 등의 3족 원소에 해당하면 P-타입 박막 트랜지스터로 인(P) 등의 5족 원소에 해당하면 N-타입 박막 트랜지스터로 동작을 하게 된다. 이후, 상기 이온 주입 공정 후에 주입된 도펀트를 활성화하는 공정을 진행할 수도 있다.

한편, 상기와 같이 평탄화 된 게이트전극(221) 위에 형성되는 제 1 절연막(215A)과 액티브층(224)은 상기 게이트전극(221)과 동일하게 평탄화 되게 된다.

다음으로, 도 5c에 도시된 바와 같이, 상기 기판(210) 전면에 도전성 금속물질을 증착한 후 포토리소그래피 공정을 이용하여 상기 도전성 금속물질을 패터닝함으로써 소오스전극(222)과 드레인전극(223)을 형성한다.

이 때, 상기 소오스전극(222)의 일부는 연장 형성되어 데이터 구동회로부(미도시)로부터 화상정보를 인가 받는 데이터라인(217)을 구성한다.

상기 데이터라인(217)은 도시된 바와 같이 하부에 형성되어 있는 게이트라인(216)이 평탄화 되어있어 종래와 같은 단차에 의한 데이터라인(217)의 단선 문제는 발생하지 않게 된다.

다음으로, 도 5d에 도시된 바와 같이, 상기 기판(210) 전면에 층간절연막인 제 2 절연막(215B)을 증착한 후, 포토리소그래피 공정을 통해 상기 드레인전극(223)의 일부를 노출시키는 콘택홀(240)을 형성한다.

이 때, 상기 제 2 절연막(215B)은 고개구율을 위한 벤조사이클로부텐(Benzocyclobutene; BCB) 또는 아크릴계 수지(resin)와 같은 투명 유기절연물질로 형성할 수 있다.

마지막으로, 도 5e에 도시된 바와 같이, 상기 제 2 절연막(215B)이 형성된 기판(210) 전면에 투명 도전물질을 증착한 후, 포토리소그래피 공정을 이용하여 상기 콘택홀(240)을 통해 드레인전극(223)과 연결되는 화소전극(218)을 형성한다.

한편, 게이트전극 위에 1차 게이트절연막을 형성한 후 화학기계적 평탄화를 이용하여 평탄화 한 후 2차 게이트절연막을 형성함으로써 상기와 같이 평탄화 된 게이트 배선을 형성시키는 다른 실시예를 설명하면 다음과 같다.

도 6a 내지 도 6e는 본 발명의 제 2 실시예에 따른 액정표시소자의 제조공정을 순차적으로 나타내는 예시도로서, 게이트전극이 위치하는 박막 트랜지스터영역을 중심으로 나타내고 있다.

먼저, 도 6a에 도시된 바와 같이, 유리와 같은 투명한 절연 물질로 이루어진 기판(310) 위에 게이트전극(321)을 형성한다.

이후, 도 6b에 도시된 바와 같이, 상기 게이트전극(321)이 형성된 기판(310) 전면에 1차 게이트절연막(315)을 증착한다.

상기 1차 게이트절연막(315)은 게이트전극(321)의 평탄화를 위해 추후 화학기계적 평탄화공정을 이용하여 상기 게이트전극(321)의 높이까지만 남겨야 하므로 게이트전극(321)의 높이보다 두껍게 증착하여야 한다.

이후, 도 6c에 도시된 바와 같이, 화학기계적 평탄화공정을 이용하여 상기 1차 게이트절연막(315)의 일부를 제거하여 상기 1차 게이트절연막(315)과 게이트전극(321)이 평탄화 되도록 한다.

이 때, 상기 화학기계적 평탄화공정은 평면상을 회전 또는 편심 운동하는 연마 테이블 표면에 연마 패드를 붙이고, 여기에 연마제가 포함된 슬러리를 공급하면서 상기 1차 게이트절연막(315)과 같은 평탄화대상의 표면을 마찰시켜 평탄화시키는 공정이다.

상기 화학기계적 평탄화공정은 문자 그대로 화학적으로 반응한 표면을 슬러리와 패드의 기계적 운동을 통해 제거하는 방식으로 공정이 진행된다.

예를 들어 실리콘산화막의 평탄화과정을 설명하면, 상기 산화막 표면의 실록산(siloxane)(Si-O-Si)결합은 상기 화학기계적 평탄화공정 중에 인가된 압력과 슬러리 내의 알칼리의 작용으로 물분자와 반응하기 용이한 상태로 되고, 수화반응에 의해 상기 실록산결합이 깨어져 두 개의 수산기(hydroxyl)(Si-OH)결합을 생성한다.

이렇게 형성된 상기 수산기결합은 슬러리의 연마제 입자 표면의 수산기와 반응하여 연마제와 산화막 표면의 실리콘이 결합된 상태가 되고, 연마제 입자가 이동하면서 산화막 표면의 실리콘-산소 결합이 함께 떨어져 나감으로써 산화막 표면이 제거되게 된다.

다음으로, 도 6d에 도시된 바와 같이, 상기 평탄화 된 1차 게이트절연막(315) 및 게이트전극(321) 전면에 차례대로 2차 게이트절연막(315A) 및 액티브층(324)을 형성한다.

이와 같이 2차 게이트절연막(315A)과 액티브층(324)인 실리콘 박막을 연속적으로 증착하여 상기 액티브층(324)을 형성하게 되면, 일반적인 하부-게이트 구조의 단점인 상기 게이트 배선의 단차부에 의한 계면특성 및 결정화특성의 저하를 방지할 수 있게 된다.

이후, 상기 도 5c 내지 도 5e에 도시된 제 1 실시예의 나머지 제조공정과 동일한 공정을 진행하게 되면, 도 6e에 도시된 바와 같이 평탄화 된 게이트전극(321)을 구비한 액정표시소자가 형성되게 된다.

한편, 게이트전극 형성 후 상기 게이트전극과 동일한 높이로 스핀-온-글라스를 형성시킴으로써 상기와 같이 평탄화 된 게이트 배선을 형성시키는 다른 실시예를 설명하면 다음과 같다.

도 7a 내지 도 7e는 본 발명의 제 3 실시예에 따른 액정표시소자의 제조공정을 순차적으로 나타내는 예시도이다.

먼저, 도 7a에 도시된 바와 같이, 유리와 같은 투명한 절연 물질로 이루어진 기판(410) 전면에 실리콘질화막 또는 실리콘 산화막으로 구성되는 버퍼층(411)과 게이트전극용 도전성 금속물질(430)을 차례대로 증착한다.

이후, 도 7b에 도시된 바와 같이, 포토리소그래피공정을 이용하여 상기 도전성 금속물질(430)을 패터닝하여 게이트전극(421)을 형성한다.

다음으로, 도 7c에 도시된 바와 같이, 상기 게이트전극(421)이 패터닝된 기판(410)에 스핀-온-글라스(480)를 코팅 등의 방법으로 형성시킨다.

상기 스핀-온-글라스(480)는 유기용매에 규산염(silicate)성분을 용해시켜놓은 일정한 점도를 가진 물질로, 코팅 시 상기 와 같이 일정한 점도 때문에 요철부분의 평탄화가 가능하게 된다.

다음으로, 도 7d는 큐팅(curing)공정을 나타내며, 도시된 바와 같이 상기 액체상태의 스핀-온-글라스(480)를 큐팅공정을 통해 고체화되게 한다.

즉, 상기 액체상태의 스핀-온-글라스(480)를 300℃ 전후로 열처리하여 상기 스핀-온-글라스(480) 내에 존재하는 솔벤트, 즉 유기용매성분을 증발시키고 규산염성분을 경화시키게 한다.

한편, 필요한 경우에는 상기 게이트전극(421) 위에 남아있는 규산염성분을 전면 에치-백(etch-back)공정을 적용하여 제거할 수도 있다.

이후, 상기 도 5a 내지 도 5e에 도시된 제 1 실시예의 나머지 제조공정과 동일한 공정을 진행하게 되면, 도 7e에 도시된 바와 같이 평탄화 된 게이트전극(421)을 구비한 액정표시소자가 형성되게 된다.

상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

발명의 효과

상술한 바와 같이, 본 발명의 액정표시소자 및 그 제조방법은 하부-게이트 구조의 박막 트랜지스터에서 상기 게이트 배선을 평탄화 함으로써 상기 게이트 배선의 단차에 의한 소자특성의 불균일을 방지할 수 있게 된다.

즉, 상기와 같이 게이트 배선을 평탄화 시키면, 전술한 단차 극복을 위한 습식식각공정에 따른 CD 제어의 어려움 및 고정세화 한계를 극복할 수 있게 되며, 결정화특성이 다른 결정의 형성에 의한 소자특성의 불균일이 해결되게 된다. 그 결과 제작된 액정표시소자의 특성이 향상되고 그 신뢰성이 개선되는 효과를 얻을 수 있다.

(57) 청구의 범위

청구항 1.

기판을 제공하는 단계;

상기 기판 위에 실리콘 시드를 소정 두께로 형성하는 단계;

상기 기판 전면에 음각 형태의 게이트 배선이 패터닝된 버퍼층을 형성하는 단계;

상기 기판 전면에 금속물질을 증착하여 상기 음각 형태의 게이트 패턴 내에 평탄화 된 게이트전극을 형성하는 단계;

상기 기판 위에 게이트절연막을 형성하는 단계;

상기 기판 위에 액티브층을 형성하는 단계;

상기 액티브층 위에 소오스/드레인전극을 형성하는 단계;

상기 기판 위에 콘택홀이 형성되어 있는 층간절연막을 형성하는 단계; 및

상기 콘택홀을 통해 드레인전극과 연결되는 화소전극을 형성하는 단계를 포함하는 액정표시소자의 제조방법.

청구항 2.

제 1 항에 있어서, 상기 실리콘 시드는 게이트 배선의 금속물질층을 증착시 핵생성 사이트로 작용하여 상기 하부층에 노출된 실리콘 시드를 중심으로 상기 금속물질이 성장하여 게이트전극을 형성하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 3.

제 1 항에 있어서, 상기 버퍼층은 상기 게이트전극의 높이에 대응하는 두께로 형성하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 4.

제 1 항에 있어서, 상기 게이트전극용 금속물질은 선택적 화학기상증착방법으로 증착하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 5.

제 4 항에 있어서, 상기 선택적 화학기상증착방법은 텅스텐 또는 알루미늄 등의 금속물질을 이용하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 6.

기판을 제공하는 단계;

상기 기판 위에 게이트전극을 형성하는 단계;

상기 기판 위에 1차 게이트절연막을 형성하는 단계;

상기 1차 게이트절연막을 화학기계적 평탄화로 연마하여 상기 게이트전극을 평탄화 하는 단계;

상기 기판 위에 2차 게이트절연막을 형성하는 단계;

상기 기판 위에 액티브층을 형성하는 단계;

상기 액티브층 위에 소오스/드레인전극을 형성하는 단계;

상기 기판 위에 콘택홀이 형성되어 있는 층간절연막을 형성하는 단계; 및

상기 콘택홀을 통해 드레인전극과 연결되는 화소전극을 형성하는 단계를 포함하는 액정표시소자의 제조방법.

청구항 7.

제 6 항에 있어서, 상기 1차 게이트절연막은 상기 게이트전극의 높이보다 두껍게 형성하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 8.

제 6 항에 있어서, 상기 1차 게이트절연막과 게이트전극이 평탄화 되도록 상기 1차 게이트절연막의 일부를 화학기계적 평탄화로 제거하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 9.

기판을 제공하는 단계;

상기 기판 위에 게이트전극을 형성하는 단계;

상기 기판 위에 스핀-온-글라스를 도포하여 상기 게이트전극을 평탄화 하는 단계;

상기 스핀-온-글라스에 큐어링공정을 실시하여 경화시키는 단계;

상기 기판 위에 게이트절연막을 형성하는 단계;

상기 기판 위에 액티브층을 형성하는 단계;

상기 액티브층 위에 소오스/드레인전극을 형성하는 단계;

상기 기판 위에 콘택홀이 형성되어 있는 층간절연막을 형성하는 단계; 및

상기 콘택홀을 통해 드레인전극과 연결되는 화소전극을 형성하는 단계를 포함하는 액정표시소자의 제조방법.

청구항 10.

제 9 항에 있어서, 상기 스핀-온-글라스는 유기용매에 규산염성분이 용해되어 일정한 점도를 가지는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 11.

제 9 항에 있어서, 상기 스핀-온-글라스는 코팅의 방법으로 도포하여 상기 게이트전극을 평탄화 하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 12.

제 10 항에 있어서, 상기 큐어링공정은 300℃ 전후에서 실시하여 상기 스핀-온-글라스 내의 유기용매를 증발시켜 규산염성분을 경화시키는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 13.

제 12 항에 있어서, 상기 스핀-온-글라스를 경화시킨 후 상기 게이트전극 위에 남아있는 규산염성분을 에치-백 등의 식각공정을 이용하여 제거하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 14.

제 1 항, 제 6 항 또는 제 9 항에 있어서, 상기 액티브층은 비정질 실리콘 박막으로 구성되는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 15.

제 1 항, 제 6 항 또는 제 9 항에 있어서, 상기 액티브층은 다결정 실리콘 박막으로 구성되는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 16.

제 15 항에 있어서, 액티브층을 형성한 후에 상기 액티브층의 소정 영역에 불순물 이온을 주입하여 소오스영역과 드레인영역을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 17.

기판;

상기 기판 위에 평탄화 되어 형성된 게이트전극;

상기 기판 위에 평탄화 되어 형성된 게이트절연막;

상기 게이트전극 위에 상기 게이트절연막을 개재하여 형성된 액티브층;

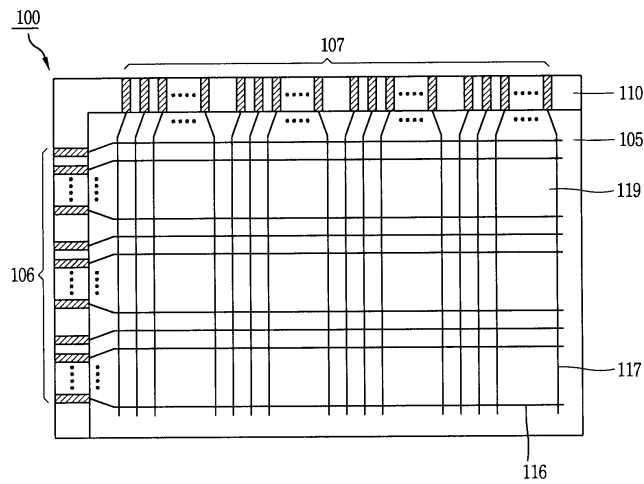
상기 액티브층 위에 형성된 소오스/드레인전극;

상기 기판 위에 형성되며, 콘택홀이 형성되어 있는 층간절연막; 및

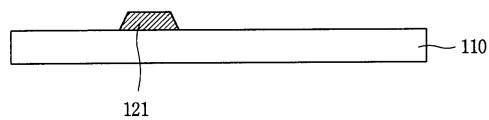
상기 기판 위에 형성되어 상기 콘택홀을 통해 드레인전극과 연결되는 화소전극을 포함하는 액정표시소자.

도면

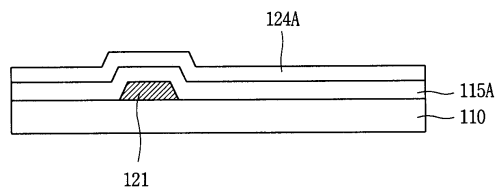
도면1



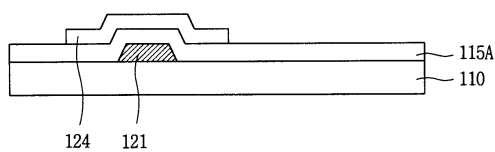
도면2a



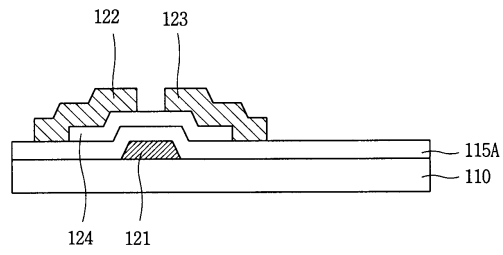
도면2b



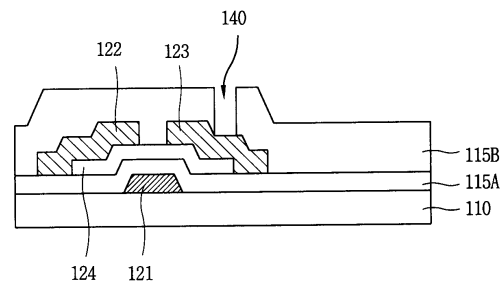
도면2c



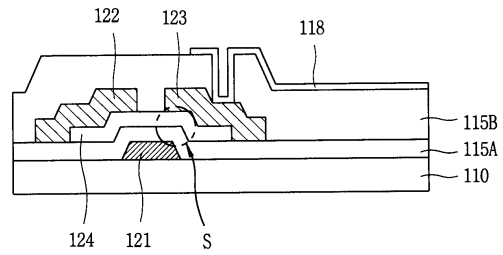
도면2d



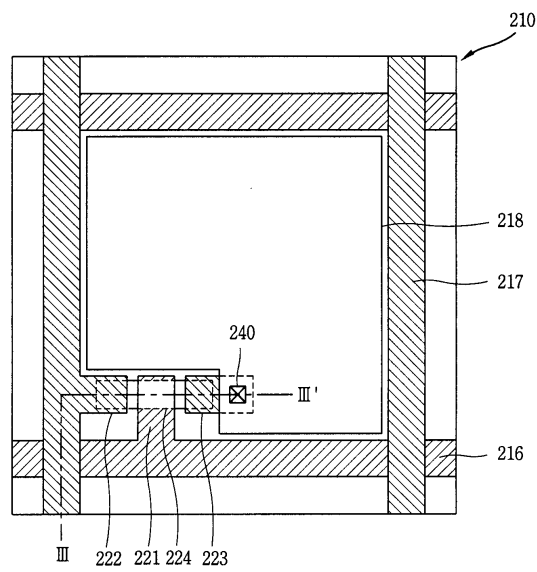
도면2e



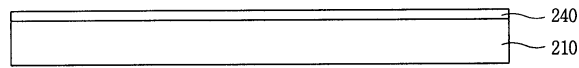
도면2f



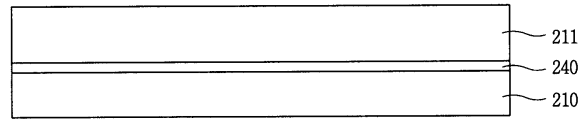
도면3



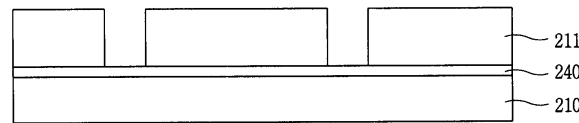
도면4a



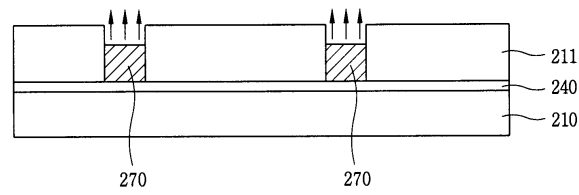
도면4b



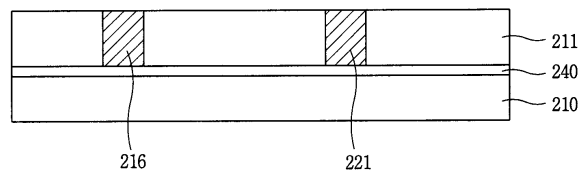
도면4c



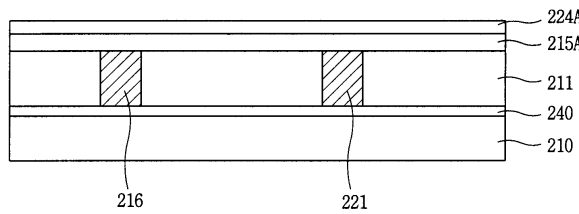
도면4d



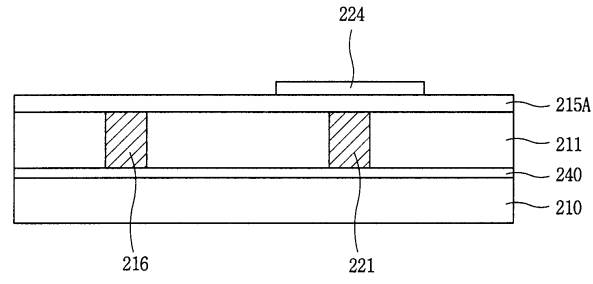
도면4e



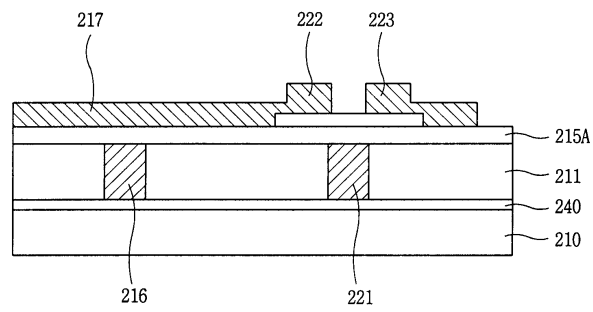
도면5a



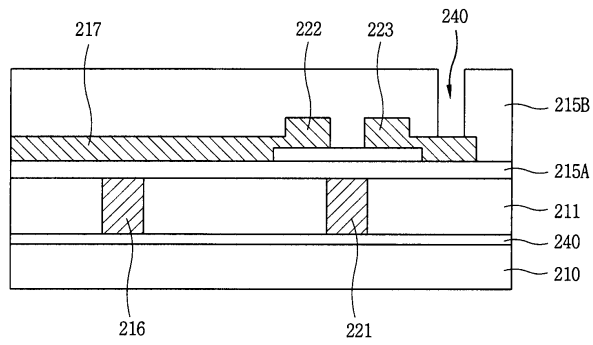
도면5b



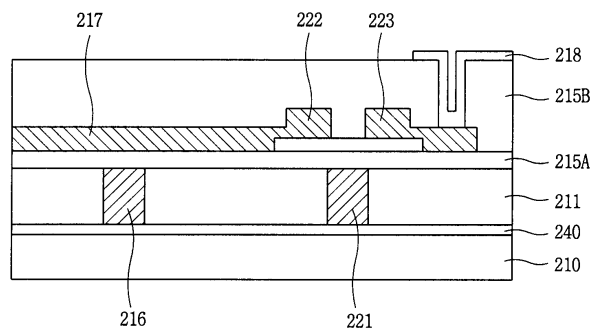
도면5c



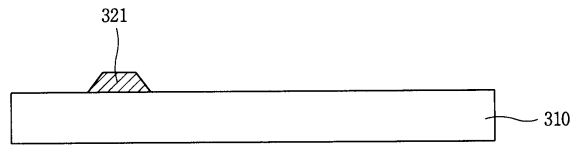
도면5d



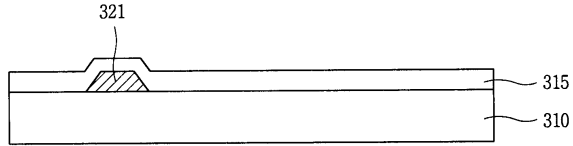
도면5e



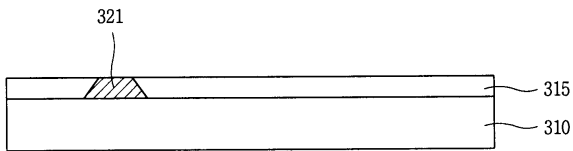
도면6a



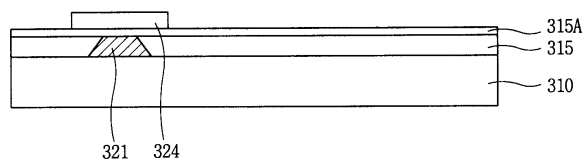
도면6b



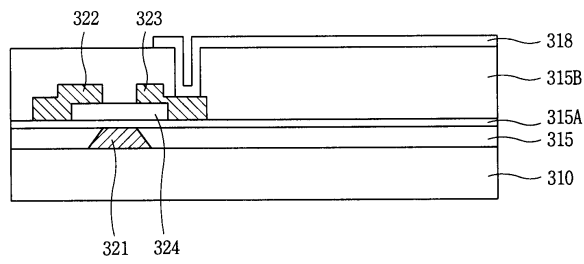
도면6c



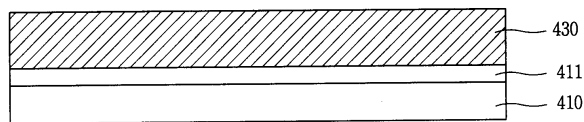
도면6d



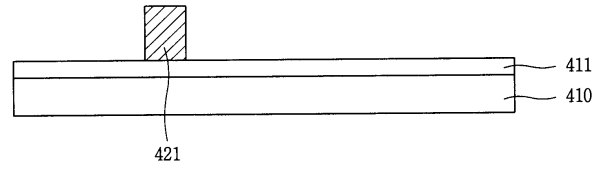
도면6e



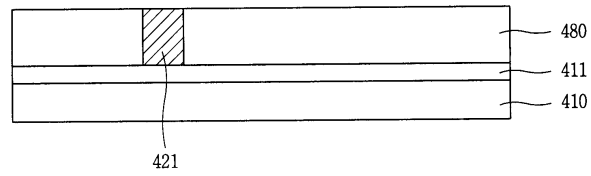
도면7a



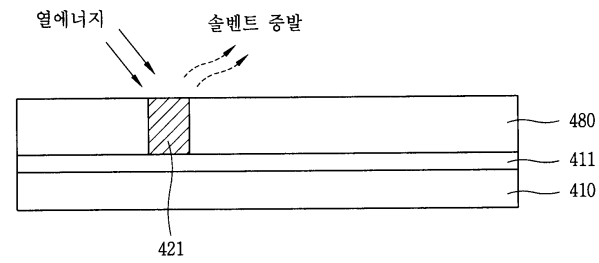
도면7b



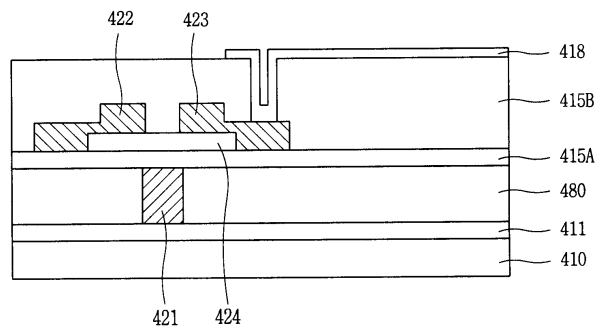
도면7c



도면7d



도면7e



专利名称(译)	液晶显示元件及其制造方法		
公开(公告)号	KR1020050069047A	公开(公告)日	2005-07-05
申请号	KR1020030100878	申请日	2003-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI JAESIK 최재식 PARK SEOKWON 박석원		
发明人	최재식 박석원		
IPC分类号	G02F1/136		
代理人(译)	PARK , JANG WON		
外部链接	Espacenet		

摘要(译)

本发明的液晶显示装置具有层间绝缘膜，其中形成有接触孔，层间绝缘膜形成在栅电极上：栅极绝缘层：有源层：源/漏电极：形成在有源层上的衬底形成它在栅极上方插入绝缘层，形成层间绝缘膜在衬底上平坦化形成层间绝缘膜在衬底上平面化：衬底用于防止分散通过栅极布线的阶梯式滑轮使器件特征平坦化，底部栅极结构的薄膜晶体管中的栅极布线和形成在基板上的像素电极通过接触孔连接到漏极电极。底栅，选择性金属沉积，化学机械平坦化，旋涂玻璃。

