(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G02F 1/136

(11) 공개번호 10-2005-0035422
(43) 공개일자 2005년04월18일

(21) 출원번호 10-2003-0071085
(22) 출원일자 2003년10월13일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 안병철
경기도안양시동안구평촌동899-2(9통6반)향촌아파트203동903호
권오남
경기도수원시장안구천천동544천천삼성래미안아파트109동903호
남승희
경기도수원시장안구율전동394-22번지502호

(74) 대리인 김영호

심사청구 : 있음

(54) 액정표시패널의 제조방법 및 그 제조장치

요약

본 발명은 제조공정을 단순화함과 아울러 수율을 향상시킬 수 있는 제조방법 및 그 제조장치에 관한 것이다.

본 발명은 다수의 신호라인 및 박막 트랜지스터가 형성된 박막 트랜지스터 어레이 영역과, 상기 신호라인과 접속된 패드가 형성된 패드영역을 갖는 박막 트랜지스터 어레이 기판을 형성하는 단계와; 상기 다수개의 박막 트랜지스터 어레이 기판이 스크라이빙 공정에 의해 다수개의 액정표시패널로 분리되는 단계와; 상기 다수의 액정표시패널의 패드영역을 상부에 가스차단몰드물이 위치하는 식각액 용기 내의 식각액에 딥핑하여 상기 패드를 노출시키는 단계와; 상기 식각액으로 부터 발생된 산성가스가 액정표시패널 쪽으로 진행하는 것을 상기 가스차단몰드로 차단하는 단계를 포함하는 것을 특징으로 한다.

대표도

도 10

명세서

도면의 간단한 설명

도 1은 통상적인 액정표시패널에 포함되는 박막 트랜지스터 어레이 기판의 일부분을 도시한 평면도이다.

도 2는 도 1에 도시된 박막 트랜지스터 어레이 기판을 Ⅰ-Ⅰ'선을 따라 절단하여 도시한 단면도이다.

도 3a 내지 도 3d는 도 2에 도시된 박막 트랜지스터 어레이 기판을 도시한 단면도이다.

도 4는 본 발명의 실시예와 관련된 기술을 설명하기 위한 액정표시패널을 개략적으로 나타낸 평면도이다.

도 5는 도 4에 도시된 액정표시패널의 박막 트랜지스터 어레이 기판을 나타내는 평면도이다.

도 6은 도 5에 도시된 박막 트랜지스터 어레이 기판을 Ⅱ-Ⅱ'선을 따라 도시한 단면도이다.

도 7a 내지 도 7d는 도 6에 도시된 박막 트랜지스터 어레이 기판의 제조방법을 단계적으로 도시한 단면도이다.

도 8은 액정표시패널의 패드를 노출시키기 위해 패드를 식각액에 딥핑하는 단계를 나타내는 도면이다.

도 9는 딥핑법에 의해 패드 오픈 공정시 액정표시패널이 손상됨을 나타내는 도면이다.

도 10은 도 9에 도시된 액정표시패널의 손상을 방지하기 위한 장치를 나타내는 도면이다.

도 11은 도 10에 도시된 액정표시장치를 나타내는 평면도이다.

<도면의 주요 부분에 대한 부호의 설명>

2, 152 : 게이트 라인 4,174 : 데이터 라인

6, 190 : 박막 트랜지스터 8, 154 : 게이트 전극

10, 162 : 소스 전극 12,195 : 드레인 전극

14, 164 : 활성층 16 : 제 1 컨택홀

18, 160 : 화소전극 28, 156 : 게이트 패드

184 : 데이터 패드 205 : 산성가스

210 : 가스차단몰드 220 : 식각액

230 : 식각액 용기 240 : 배기관

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시패널의 제조방법 및 그 제조장치에 관한 것으로, 특히 제조공정을 단순화함과 아울러 수율을 향상시킬 수 있는 액정표시패널의 제조방법 및 그 제조장치에 관한 것이다.

통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정표시패널과, 액정표시패널을 구동하기 위한 구동회로를 구비한다.

액정표시패널은 서로 대향하는 박막 트랜지스터 어레이 기판 및 칼러필터 어레이 기판과, 두 기판 사이에 일정한 셀갭 유지를 위해 위치하는 스페이서와, 그 셀갭에 채워진 액정을 구비한다.

박막 트랜지스터 어레이 기판은 게이트 라인들 및 데이터 라인들과, 그 게이트 라인들과 데이터 라인들의 교차부마다 스위치소자로 형성된 박막 트랜지스터와, 액정셀 단위로 형성되어 박막 트랜지스터에 접속된 화소 전극 등과, 그들 위에 도포된 배향막으로 구성된다. 게이트 라인들과 데이터 라인들은 각각의 패드부를 통해 구동회로들로부터 신호를 공급받는다. 박막 트랜지스터는 게이트 라인에 공급되는 스캔신호에 응답하여 데이터 라인에 공급되는 화소전압신호를 화소 전극에 공급한다.

칼라필터 어레이 기판은 액정셀 단위로 형성된 칼라필터들과, 칼러필터들간의 구분 및 외부광 반사를 위한 블랙 매트릭스와, 액정셀들에 공통적으로 기준전압을 공급하는 공통 전극 등과, 그들 위에 도포되는 배향막으로 구성된다.

액정표시패널은 박막 트랜지스터 어레이 기판과 칼라필터 어레이 기판을 별도로 제작하여 합착한 다음 액정을 주입하고 봉입함으로써 완성하게 된다.

이러한 액정표시패널에서 박막 트랜지스터 어레이 기판은 반도체 공정을 포함함과 아울러 다수의 마스크 공정을 필요로 함에 따라 제조 공정이 복잡하여 액정표시패널 제조단가 상승의 중요원인이 되고 있다. 이를 해결하기 위하여, 박막 트랜지스터 어레이 기판은 마스크 공정수를 줄이는 방향으로 발전하고 있다. 이는 하나의 마스크 공정이 증착공정, 세정공정, 포토리쏘그래피 공정, 식각공정, 포토레지스트 박리공정, 검사공정 등과 같은 많은 공정을 포함하고 있기 때문이다. 이에 따라, 최근에는 박막 트랜지스터 어레이 기판의 표준 마스크 공정이던 5 마스크 공정에서 하나의 마스크 공정을 줄인 4 마스크 공정이 대두되고 있다.

도 1은 4 마스크 공정을 채용한 박막 트랜지스터 어레이 기판을 예를 들어 도시한 평면도이고, 도 2는 도 1에 도시된 박막 트랜지스터 어레이 기판을 Ⅰ-Ⅰ'선을 따라 절단하여 도시한 단면도이다.

도 1 및 도 2에 도시된 박막 트랜지스터 어레이 기판은 하부기판(42) 위에 게이트 절연막(44)을 사이에 두고 교차하게 형성된 게이트 라인(2) 및 데이터 라인(4)과, 그 교차부마다 형성된 박막 트랜지스터(6)와, 그 교차구조로 마련된 셀영역에 형성된 화소 전극(18)을 구비한다. 그리고, 박막 트랜지스터 어레이 기판은 화소전극(18)과 전단 게이트 라인(2)의 중첩부에 형성된 스토리지 캐패시터(20)와, 게이트 라인(2)에 접속되는 게이트 패드부(26)와, 데이터 라인(4)에 접속되는 데이터 패드부(34)를 구비한다.

박막 트랜지스터(6)는 게이트 라인(2)에 접속된 게이트 전극(8)과, 데이터 라인(4)에 접속된 소스 전극(10)과, 화소 전극(16)에 접속된 드레인 전극(12)과, 게이트 전극(8)과 중첩되고 소스 전극(10)과 드레인 전극(12) 사이에 채널을 형성하는 활성층(14)을 구비한다. 활성층(14)은 데이터 패드하부전극(36), 스토리지 전극(22), 데이터 라인(4), 소스 전극(10) 및 드레인 전극(12)과 중첩되게 형성되고 소스 전극(10)과 드레인 전극(12) 사이의 채널부를 더 포함한다. 활성층(14) 위에는 데이터 패드하부전극(36), 스토리지 전극(22), 데이터 라인(4), 소스 전극(10) 및 드레인 전극(12)과 오믹접촉을 위한 오믹접촉층(48)이 더 형성된다. 이러한 박막 트랜지스터(6)는 게이트 라인(2)에 공급되는 게이트 신호에 응답하여 데이터 라인(4)에 공급되는 화소전압 신호가 화소 전극(18)에 충전되어 유지되게 한다.

화소 전극(18)은 보호막(50)을 관통하는 제1 컨택홀(16)을 통해 박막 트랜지스터(6)의 드레인 전극(12)과 접속된다. 화소 전극(18)은 충전된 화소전압에 의해 도시하지 않은 상부 기판에 형성되는 공통 전극과 전위차를 발생시키게 된다. 이 전위차에 의해 박막 트랜지스터 기판과 상부 기판 사이에 위치하는 액정이 유전 이방성에 의해 회전하게 되며 도시하지 않은 광원으로부터 화소 전극(18)을 경유하여 입사되는 광을 상부 기판 쪽으로 투과시키게 된다.

스토리지 캐패시터(20)는 전단 게이트라인(2)과, 그 게이트라인(2)과 게이트 절연막(44), 활성층(14) 및 오믹접촉층(48)을 사이에 두고 중첩되는 스토리지 전극(22)과, 그 스토리지 전극(22)과 보호막(50)을 사이에 두고 중첩됨과 아울러 그 보호막(50)에 형성된 제2 컨택홀(24)을 경유하여 접속된 화소전극(22)으로 구성된다. 이러한 스토리지 캐패시터(20)는 화소 전극(18)에 충전된 화소전압이 다음 화소전압이 충전될 때까지 안정적으로 유지되게 한다.

게이트 라인(2)은 게이트 패드부(26)를 통해 게이트 드라이버(도시하지 않음)와 접속된다. 게이트 패드부(26)는 게이트 라인(2)으로부터 연장되는 게이트 패드하부전극(28)과, 게이트 절연막(44) 및 보호막(50)을 관통하는 제3 컨택홀(30)을 통해 게이트 패드하부전극(28)에 접속된 게이트 패드 상부전극(32)으로 구성된다.

데이터 라인(4)은 데이터 패드부(34)를 통해 데이터 드라이버(도시하지 않음)와 접속된다. 데이터 패드부(34)는 데이터 라인(4)으로부터 연장되는 데이터 패드하부전극(36)과, 보호막(50)을 관통하는 제4 컨택홀(38)을 통해 데이터 패드하부전극(36)과 접속된 데이터 패드 상부전극(40)으로 구성된다.

이러한 구성을 가지는 박막 트랜지스터 기판의 제조방법을 4마스크 공정을 이용하여 상세히 하면 도 3a 내지 도 3d에 도시된 바와 같다.

도 3a를 참조하면, 하부기판(42) 상에 게이트 패턴들이 형성된다.

하부기판(42) 상에 스퍼터링 방법 등의 증착방법을 통해 게이트 금속층이 형성된다. 이어서, 제1 마스크를 이용한 포토리쏘그래피 공정과 식각공정으로 게이트 금속층이 패터닝됨으로써 게이트라인(2), 게이트전극(8), 게이트 패드하부전극(28)을 포함하는 게이트 패턴들이 형성된다. 게이트 금속으로는 크롬(Cr), 몰리브덴(Mo), 알루미늄계 금속 등이 단일층 또는 이중층 구조로 이용된다.

도 3b를 참조하면, 게이트 패턴들이 형성된 하부기판(42) 상에 게이트 절연막(44), 활성층(14), 오믹접촉층(48), 그리고 소스/드레인 패턴들이 순차적으로 형성된다.

게이트 패턴들이 형성된 하부기판(42) 상에 PECVD, 스퍼터링 등의 증착방법을 통해 게이트 절연막(44), 비정질 실리콘층, n+ 비정질 실리콘층, 그리고 소스/드레인 금속층이 순차적으로 형성된다.

소스/드레인 금속층 위에 제2 마스크를 이용한 포토리쏘그래피 공정으로 포토레지스트 패턴을 형성하게 된다. 이 경우 제2 마스크로는 박막 트랜지스터의 채널부에 회절 노광부를 갖는 회절 노광 마스크를 이용함으로써 채널부의 포토레지스트 패턴이 다른 소스/드레인 패턴부 보다 낮은 높이를 갖게 한다.

이어서, 포토레지스트 패턴을 이용한 습식 식각공정으로 소스/드레인 금속층이 패터닝됨으로써 데이터 라인(4), 소스 전극(10), 그 소스 전극(10)과 일체화된 드레인 전극(12), 스토리지 전극(22)을 포함하는 소스/드레인 패턴들이 형성된다.

그 다음, 동일한 포토레지스트 패턴을 이용한 건식 식각공정으로 n+ 비정질 실리콘층과 비정질 실리콘층이 동시에 패터닝됨으로써 오믹접촉층(48)과 활성층(14)이 형성된다.

그리고, 채널부에서 상대적으로 낮은 높이를 갖는 포토레지스트 패턴이 애싱(Ashing) 공정으로 제거된 후 건식 식각공정으로 채널부의 소스/드레인 패턴 및 오믹접촉층(48)이 식각된다. 이에 따라, 채널부의 활성층(14)이 노출되어 소스 전극(10)과 드레인 전극(12)이 분리된다.

이어서, 스트립 공정으로 소스/드레인 패턴부 위에 남아 있는 포토레지스트 패턴이 제거된다.

게이트 절연막(44)의 재료로는 산화 실리콘(SiOx) 또는 질화 실리콘(SiNx) 등의 무기 절연물질이 이용된다. 소스/드레인 금속으로는 몰리브덴(Mo), 티타늄, 탄탈륨, 몰리브덴 합금(Mo alloy) 등이 이용된다.

도 3c를 참조하면, 소스/드레인 패턴들이 형성된 게이트 절연막(44) 상에 제1 내지 제4 콘택홀들(16, 24, 30, 38)을 포함하는 보호막(50)이 형성된다.

소스/드레인 패턴들이 형성된 게이트 절연막(44) 상에 PECVD 등의 증착방법으로 보호막(50)이 전면 형성된다. 보호막(50)은 제3 마스크를 이용한 포토리쏘그래피 공정과 식각공정으로 패터닝됨으로써 제1 내지 제4 컨택홀들(16, 24, 30,

38)이 형성된다. 제1 컨택홀(16)은 보호막(50)을 관통하여 드레인 전극(12)이 노출되게 형성되고, 제2 컨택홀(24)은 보호막(50)을 관통하여 스토리지 전극(22)이 노출되게 형성된다. 제3 컨택홀(30)은 보호막(50) 및 게이트 절연막(44)을 관통하여 게이트 패드하부전극(28)이 노출되게 형성된다. 제4 컨택홀(38)은 보호막(50)을 관통하여 데이터 패드하부전극(36)가 노출되게 형성된다.

보호막(50)의 재료로는 게이트 절연막(94)과 같은 무기 절연물질이나 유전상수가 작은 아크릴(acryl)계 유기화합물, BCB 또는 PFCB 등과 같은 유기 절연물질이 이용된다.

도 3d를 참조하면, 보호막(50) 상에 투명전극 패턴들이 형성된다.

보호막(50) 상에 스퍼터링 등의 증착방법으로 투명전극 물질이 전면 증착된다. 이어서 제4 마스크를 이용한 포토리쏘그래피 공정과 식각공정을 통해 투명전극 물질이 패텅님됨으로써 화소전극(18), 게이트 패드 상부전극(32), 데이터 패드 상부전극(40)을 포함하는 투명전극 패턴들이 형성된다. 화소 전극(18)은 제1 컨택홀(16)을 통해 드레인 전극(12)과 전기적으로 접속되고, 제2 컨택홀(24)을 통해 전단 게이트라인(2)과 중첩되는 스토리지 전극(22)과 전기적으로 접속된다. 게이트 패드 상부전극(32)은 제3 컨택홀(30)을 통해 게이트 패드하부전극(28)과 전기적으로 접속된다. 데이터 패드 상부전극(40)은 제4 컨택홀(38)을 통해 데이터 패드하부전극(36)과 전기적으로 접속된다. 투명전극 물질로는 인듐주석산화물(Indium Tin Oxide : ITO)이나 주석산화물(Tin Oxide : TO) 또는 인듐아연산화물(Indium Zinc Oxide : IZO)이 이용된다.

이와 같이 종래의 박막 트랜지스터 어레이 기판 및 그 제조방법은 4마스크 공정을 채용함으로써 5마스크 공정을 이용한 경우보다 제조공정수를 줄임과 아울러 그에 비례하는 제조단가를 절감할 수 있게 된다. 그러나, 4 마스크 공정 역시 여전히 제조공정이 복잡하여 원가 절감에 한계가 있으므로 제조공정을 더욱 단순화하여 제조단가를 더욱 줄일 수 있는 액정표시패널 및 그 제조방법이 요구된다.

한편, 종래 박막 트랜지스터 어레이 기판의 패드부 오픈 공정은 포토리쏘그래피 공정에 의해 실행됨으로써 공정이 복잡한 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 제조공정을 단순화함과 아울러 수율을 향상시킬 수 있는 액정표시패널의 제조방법 및 그 제조장치에 관한 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시패널의 제조방법은 다수의 신호라인 및 박막 트랜지스터가 형성된 박막 트랜지스터 어레이 영역과, 상기 신호라인과 접속된 패드가 형성된 패드영역을 갖는 박막 트랜지스터 어레이 기판을 형성하는 단계와; 상기 다수개의 박막 트랜지스터 어레이 기판이 스크라이빙 공정에 의해 다수개의 액정표시패널로 분리되는 단계와; 상기 다수의 액정표시패널의 패드영역을 상부에 가스차단몰드물이 위치하는 식각액 용기 내의 식각액에 딥핑하여 상기 패드를 노출시키는 단계와; 상기 식각액으로 부터 발생된 산성가스가 액정표시패널 쪽으로 진행하는 것을 상기 가스차단몰드로 차단하는 단계를 포함하는 것을 특징으로 한다.

상기 산성가스를 가스차단몰드로 차단하는 단계는 상기 가스차단몰드내의 가스배기경로에 의해 상기 산성가스가 흡입되는 단계와; 상기 가스배기경로 위에 위치한 배기관을 통해 상기 흡입된 산성가스가 이동되는 단계와; 상기 배기관에 접속된 펌프에 의해 상기 산성가스가 외부로 배출되는 단계를 추가로 구비하는 것을 특징으로 한다.

상기 박막 트랜지스터 어레이 기판을 형성하는 단계는 제1 마스크 공정을 이용하여 게이트 라인, 게이트 전극, 게이트 패드, 데이터 패드 및 화소전극을 포함하는 제1 패턴을 형성하는 단계와; 제2 마스크 공정을 이용하여 상기 화소전극을 제외한 제1 패턴 상에 게이트 절연패턴 및 반도체 패턴을 포함하는 제2 패턴을 형성하는 단계와; 제3 마스크 공정을 이용하여 데이트 라인, 소스전극, 드레인 전극, 스토리지 전극을 포함하는 제3 패턴을 형성하는 단계와; 상기 패드영역 및 박막 트랜지스터 어레이 영역 전면에 보호막을 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 패드를 노출시키는 단계는 상기 패드영역에서 상기 보호막을 제거하는 단계를 포함하는 것을 특징으로 한다.

상기 식각액은 약 20:1 비율의 H_2O(물)와 HF(불산)를 포함하는 것을 특징으로 한다.

본 발명에 따른 액정표시패널의 제조방치는 식각액이 포함됨과 아울러 액정표시패널의 패드영역이 딥핑되어질 식각액 용기와; 상기 식각액 용기 위에 위치하여 패드영역의 패드 노출시 상기 식각액으로 부터 발생되는 산성가스를 차단하기 위한 가스차단몰드를 구비하는 것을 특징으로 한다.

상기 가스차단몰드는 상기 산성가스를 흡입하는 가스배기경로와; 상기 산성가스 배기경로 위에 위치하여 상기 흡입된 산성가스가 이동되게 하기 위한 배기관과; 상기 산성가스를 외부로 배출하기 위한 펌프를 추가로 구비하는 것을 특징으로 한다.

상기 식각액은 약 20:1 비율의 H_2O(물)와 HF(불산)를 포함하는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 4 내지 도 10을 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

본 발명의 상세한 설명에 앞서 본 발명과 직접관련된 기술을 먼저 살펴보기로 한다.

도 4는 액정표시패널을 개략적으로 도시한 평면도이다. 도 5는 도 4에 도시된 액정표시패널의 박막 트랜지스터 어레이 기판을 나타내는 평면도이고, 도 6은 도 5에 도시된 박막 트랜지스터 어레이 기판을 Ⅱ-Ⅱ'선을 따라 절단하여 도시한 단면도이다.

도 4 내지 도 6에 도시된 박막 트랜지스터 어레이 기판은 하부기판(151) 위에 게이트 절연 패턴(162)을 사이에 두고 교차하게 형성된 게이트 라인(152) 및 데이터 라인(174)과, 그 교차부마다 형성된 박막 트랜지스터(190)와, 그 교차구조로 마련된 셀영역에 형성된 화소 전극(160)을 구비한다. 그리고, 박막 트랜지스터 어레이 기판은 화소전극(160)에 접속된 스토리지 전극(180)과 전단 게이트 라인(152)의 중첩부에 형성된 스토리지 캐패시터(192)와, 게이트 라인(152)에 접속되는 게이트 패드(156)와, 데이터 라인(174)에 접속되는 데이터 패드(184)를 구비한다.

박막 트랜지스터(190)는 게이트 라인(152)에 접속된 게이트 전극(154)과, 데이터 라인(174)에 접속된 소스 전극(176)과, 화소 전극(160)에 접속된 드레인 전극(195)과, 게이트 전극(154)과 게이트 절연 패턴(162)을 사이에 두고 중첩되고 소스 전극(176)과 드레인 전극(195) 사이에 채널을 형성하는 활성층(164)을 구비한다. 그리고, 활성층(164)과 소스전극(176) 및 드레인 전극(195)과의 오믹접촉층(168)을 더 구비한다. 이러한 박막 트랜지스터(190)는 게이트 라인(152)에 공급되는 게이트 신호에 응답하여 데이터 라인(174)에 공급되는 화소전압 신호가 화소 전극(160)에 충전되어 유지되게 한다.

게이트 라인(152) 및 게이트 전극(154)은 투명도전층(153)과 게이트 금속층(155)이 적층된 구조로 형성된다.

화소 전극(160)은 하부기판(151) 상에 형성되어 박막 트랜지스터(190)의 드레인 전극(195)과 접속된다. 화소 전극(160)은 충전된 화소전압에 의해 도시하지 않은 상부 기판에 형성되는 공통 전극과 전위차를 발생시키게 된다. 이 전위차에 의해 박막 트랜지스터 기판과 상부 기판 사이에 위치하는 액정이 유전 이방성에 의해 회전하게 되며 도시하지 않은 광원으로부터 화소 전극(160)을 경유하여 입사되는 광을 상부 기판 쪽으로 투과시키게 된다.

스토리지 캐패시터(192)는 전단 게이트 라인(152)과, 그 게이트 라인(152)과 게이트 절연 패턴(162)을 사이에 두고 중첩되며 화소전극(160)과 접속된 스토리지 전극(180)으로 구성된다. 이러한 스토리지 캐패시터(192)는 화소 전극(160)에 충전된 화소전압이 다음 화소전압이 충전될 때까지 유지되도록 도움을 주게 된다.

게이트 라인(152)은 게이트 패드(156)를 통해 게이트 드라이버(도시하지 않음)와 접속된다. 게이트 패드(156)는 투명도전층으로 형성된다.

데이터 라인(174)은 데이터 패드(184)를 통해 데이터 드라이버(도시하지 않음)와 접속된다. 데이터 패드(184)는 데이터 라인(174)과 접속됨과 아울러 투명도전층으로 형성된다.

이러한 구성을 가지는 박막 트랜지스터 어레이 기판은 3마스크 공정으로 형성된다. 3마스크 공정을 이용한 본 발명의 실시 예에 따른 박막 트랜지스터 어레이 기판 제조방법은 게이트 패턴들과 화소전극을 형성하기 위한 제1 마스크 공정과, 게이트 절연패턴과 활성층 및 오믹접촉층을 형성하기 위한 제2 마스크 공정과, 소스/드레인 패턴들을 형성하기 위한 제3 마스크 공정을 포함하게 된다.

먼저, 도 7a에 도시된 바와 같이, 하부기판(151) 상에 스퍼터링 방법 등의 증착방법을 통해 투명도전층(153) 및 게이트 금속층(155)이 순차적으로 증착된다. 이어서, 제1 마스크를 이용한 포토리쏘그래피 공정과 식각공정으로 투명도전층(153) 및 게이트 금속층(155)이 패터닝됨으로써 게이트 라인(152), 게이트 전극(154)과 게이트 금속층(155)이 형성된 게이트 패드(156), 화소전극(160) 및 데이터 패드(184)를 포함하는 제1 패턴들이 형성된다. 투명도전층의 물질로는 인듐주석산화물(Indium Tin Oxide : ITO)이나 주석산화물(Tin Oxide : TO) 또는 인듐아연산화물(Indium Zinc Oxide : IZO)이 이용된다. 게이트 금속층(155)으로는 구리(Cu), 크롬(Cr), 몰리브덴(Mo), 알루미늄계 금속 등이 이용된다.

게이트 패턴들이 형성된 하부기판(151) 상에 PECVD, 스퍼터링 등의 증착방법을 통해 게이트 절연층, 비정질 실리콘층, n+ 비정질 실리콘층이 순차적으로 형성된다. 게이트 절연층의 재료로는 산화 실리콘(SiOx) 또는 질화 실리콘(SiNx) 등의 무기 절연물질이 이용된다.

이어서, 제2 마스크를 이용한 포토리쏘그래피 공정과 식각공정으로 n+ 비정질 실리콘층, 비정질 실리콘층, 게이트 절연층이 패터닝됨으로써 도 7b에 도시된 바와 같이 게이트 금속층(155)이 형성된 화소전극(160)을 제외한 제1 패턴 상에 게이트 절연 패턴(162) 및 반도체 패턴(147)을 포함하는 제2 패턴이 형성된다. 반도체 패턴(147)은 활성층(164)과 오믹접촉층(168)이 이중으로 적층된 구조를 갖는다.

반도체 패턴(147)이 형성된 하부기판(151)이 형성된 하부기판(151) 상에 소스/드레인 금속층이 형성된다.

그리고, 포토레지스트를 전면 도포한 다음 제3 마스크를 이용한 포토리쏘그래피 공정으로 포토레지스트 패턴이 형성된다. 이 경우, 제3 마스크로는 특정영역에서 회절 노광부를 갖는 회절 노광 마스크를 이용하게 된다. 이러한 회절 마스크에 의해 형성된 포토레지스트 패턴은 게이트 금속층(155)이 형성된 게이트 패드(156), 화소전극(160) 및 데이터 패드(184)를 노출시키고, 박막 트랜지스터의 채널부의 포토레지스트 패턴이 다른 소스/드레인 패턴부의 포토레지스트 패턴 보다 낮은 높이를 가게 된다.

이어서, 포토레지스트를 마스크로한 식각공정에 의해 게이트 패드(156), 화소전극(160) 및 데이터 패드(184) 위에 형성된 게이트 금속층(155)이 제거되고, 데이터 라인(174) 소스전극(176), 그 소스전극(176)과 일체화된 드레인 전극(172), 스토리지 전극(180)을 포함하는 제3 패턴들이 형성된다.

그 다음, 동일한 포토레지스트 패턴을 이용한 건식 식각공정으로 패드(156,184) 위에 형성된 반도체 패턴(147) 및 스토리지 캐패시터(192)의 반도체 패턴(147)의 일부가 제거된다.

이후, 채널부에서 상대적으로 낮은 높이를 갖는 포토레지스트 패턴이 애싱(Ashing) 공정으로 제거된 후 건식 식각공정으로 채널부의 소스/드레인 패턴 및 오믹접촉층(168)이 식각된다. 이에 따라, 도 7c에 도시된 바와 같이 채널부의 활성층(164)이 노출되어 소스 전극(174)과 드레인 전극(195)이 분리된다.

이어서, 스트립 공정으로 소스/드레인 패턴부 위에 남아 있던 포토레지스트 패턴이 제거된다.

소스/드레인 금속으로는 몰리브덴(Mo), 티타늄, 탄탈륨, 몰리브덴 합금(Mo alloy), 구리(Cu), 알루미늄계 금속 등이 이용된다.

이어서, 하부기판(151) 상에 보호막(150)이 전면 형성된다.

이와 같이 3 마스크 공정에 의해 형성된 박막 트랜지스터 어레이 기판은 도 7d에 도시된 바와 같이 하부 배향막(117)이 도포된 후 실재(99)를 이용하여 박막 트랜지스터 어레이 기판의 패드영역이 노출되도록 컬러필터 어레이 기판과 합착된다. 컬러필터 어레이 기판은 상부기판(100)상에 매트리스 형태로 형성된 블랙 매트릭스(102)와, 블랙 매트릭스(102)로 구분된 셀영역별로 형성된 컬러필터(104)와, 블랙 매트릭스(102) 및 컬러필터(104) 위에 순차 적층된 공통전극(106) 및 상부배향막(108)을 구비한다.

상술한 바와 같이 3마스크 공정으로 하부기판(151)상에 박막 트랜지스터 어레이 기판이 다수개 형성된 후 스크라이빙공정으로 다수개의 액정표시패널로 분리된다. 분리된 액정표시패널에는 액정이 주입되며, 액정이 주입된 액정표시패널(250)의 패드영역(P1)이 도 8에 도시된 바와 같이 딥핑법(dipping)에 의해 식각액(220)에 딥핑된다. 이에 따라, 컬러필터 어레이 기판이 마스크로 이용되어 패드(156,184) 위에 형성된 보호막(150)이 제거된다. 여기서, 식각액(220)으로는 Buffered Oxide Etchant(이하"BOE" 라 한다.)가 이용된다. BOE는 H_2O(물)와 HF(불산)가 약20:1의 비율로 혼합된 혼합물이다.

이와 같이, 액정표시패널은 3 마스크 공정에 의해 형성됨과 아울러 패드 오픈 공정이 딥핑법에 의해 이루어진다. 이로써, 기판 구조 및 제조공정을 단순화시킬 수 있게 된다.

한편, 이와 같이 딥핑법에 의한 패드 오픈 공정시, 도 9에 도시된 바와 같이 식각액(220)으로 부터 발생한 산성가스(205)에 의해 상/하부기판이 손상되는 문제가 발생한다. 즉, 강산인 HF(불산)을 포함하는 식각액(220)으로부터 발생한 산성가스(205)에 의해 상/하부기판의 표면이 산화됨으로써 표면이 얼룩(222)지는 등의 문제가 발생된다.

도 10 및 도 11은 본 발명의 실시예에 따른 액정표시패널의 제조장치를 나타내는 단면도 및 평면도이다.

도 10 및 도 11에 도시된 액정표시패널은 도 4 내지 도 6에 도시된 액정표시패널과 동일한 구성요소를 가지게 됨으로 상세한 설명은 생략하기로 한다.

도 10 및 도 11에 도시된 액정표시패널의 제조장치는 액정표시패널(250)의 패드를 노출시키기 위한 식각액(220)이 담겨있는 식각액 용기(230)와, 그 식각액 용기(230)의 상부에 위치하는 가스차단몰드(210)를 구비한다.

식각액 용기(230)내의 식각액(220)은 액정표시패널(250)의 패드영역(P1)에 형성된 보호막(250)을 제거함으로써 액정표시패널의 패드를 노출시킨다.

가스차단몰드(210)는 액정표시패널(250)의 패드 오픈시, 식각액(220)으로 부터 발생하는 산성가스(205)가 액정표시패널(250)로 이동되지 못하게 함으로써 액정표시패널(250)을 보호한다. 즉, 산에 비교적 강한 합성수지, 경화제 등을 포함하는 가스차단몰드(210)는 식각액(220)으로부터 발생한 산성가스(205)의 이동경로에 위치함으로써 산성가스가 액정표시패널(250)방향으로 이동하는 것을 차단하는 역할을 하게 된다. 이로써, 액정표시패널(250)의 표면이 산화됨에 따른 손상을 방지할 수 있게 된다.

또한, 본 발명에 따른 액정표시패널(250)의 제조장치는 가스차단몰드(210) 내에는 가스배기경로(235)가 형성되어 있고, 그 가스배기경로(235) 위에는 가스배기경로(235)와 접속되도록 배기관(240)이 위치한다. 배기관(240)에는 가스배출을 위한 위한 펌프(300)가 구비된다.

식각액(220)에서 발생된 산성가스(205)는 가스차단몰드(210) 내의 가스배기경로(235)를 통해 배기관(240)을 경유하여 배출된다.

본 발명의 실시예에 따른 액정표시패널의 제조방법은 3마스크 공정으로 하부기판(151)상에 박막 트랜지스터 어레이 기판이 다수개 형성된 후 스크라이빙공정으로 다수개의 액정표시패널로 분리된다. 분리된 액정표시패널에는 액정이 주입되며, 액정이 주입된 액정표시패널(250)이 도 11에 도시된 바와 같이 가스차단몰드(210)에 삽입된다. 이에 따라, 액정표시패널

의 패드영역(P1)이 딥핑법(dipping)에 의해 식각액(220)에 딥핑된다. 이에 따라, 컬러필터 어레이 기판이 마스크로 이용되어 패드 위에 형성된 보호막(150)이 제거된다. 여기서, 식각액(220)으로는 Buffered Oxide Etchant(이하"BOE" 라 한다.)가 이용된다. BOE는 H_2O(물)와 HF(불산)가 약20:1의 비율로 혼합된 혼합물이다.

딥핑법에 의한 패드 오픈시 식각액(220)에서 발생된 산성가스(205)는 가스차단몰드(210)에 의해 차단되거나 가스차단몰드(210)내에 형성된 가스배기경로(235)를 통해 산성가스(205)가 흡입되고 흡입된 산성가스(205)는 배기관(240)을 경유하여 배출된다. 이에 따라, 산성가스(205)에 의한 액정표시패널의 손상이 방지된다.

이와 같이, 본 발명의 실시예에 따른 액정표시패널의 제조방법 및 그 제조장치는 3마스크 공정에 의해 박막 트랜지스터 어레이 기판을 형성함과 아울러 패드 오픈공정이 딥핑법에 의해 이루어 지게 된다. 이에 따라, 제조공정이 단순화됨과 아울러 수율을 향상시킬 수 있게 된다.

또한, 식각액(220)에서 발생된 산성가스(205)의 액정표시패널(250)로의 이동이 가스차단몰드(210)에 의해 차단되거나 가스차단몰드(210)내에 형성된 가스배기경로(235)를 통해 배기관(240)을 경유하여 배출된다. 이에 따라, 액정표시패널의 상/하부기판이 산성가스에 의해 식각되는 등의 손상이 방지된다.

발명의 효과

상술한 바와 같이, 본 발명의 실시예에 따른 액정표시패널의 제조방법 및 그 제조장치는 3마스크 공정에 의해 박막 트랜지스터 어레이 기판을 형성함과 아울러 패드 오픈공정이 딥핑법에 의해 이루어 지게 된다. 또한, 식각액에서 발생된 산성가스의 액정표시패널로의 이동이 가스차단몰드에 의해 차단되거나 가스차단몰드내에 형성된 가스배기경로를 통해 배기관을 경유하여 배출된다. 이에 따라, 액정표시패널의 상/하부기판이 산성가스에 의해 식각되는 등의 손상이 방지된다.

이로써, 제조공정이 단순화됨과 아울러 수율이 향상된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

다수의 신호라인 및 박막 트랜지스터가 형성된 박막 트랜지스터 어레이 영역과, 상기 신호라인과 접속된 패드가 형성된 패드영역을 갖는 박막 트랜지스터 어레이 기판을 형성하는 단계와;

상기 다수개의 박막 트랜지스터 어레이 기판이 스크라이빙 공정에 의해 다수개의 액정표시패널로 분리되는 단계와;

상기 다수의 액정표시패널의 패드영역을 상부에 가스차단몰드물이 위치하는 식각액 용기 내의 식각액에 딥핑하여 상기 패드를 노출시키는 단계와;

상기 식각액으로 부터 발생된 산성가스가 액정표시패널 쪽으로 진행하는 것을 상기 가스차단몰드로 차단하는 단계를 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 2.

제 1 항에 있어서,

상기 산성가스를 가스차단몰드로 차단하는 단계는

상기 가스차단몰드내의 가스배기경로에 의해 상기 산성가스가 흡입되는 단계와;

상기 가스배기경로 위에 위치한 배기관을 통해 상기 흡입된 산성가스가 이동되는 단계와;

상기 배기관에 접속된 펌프에 의해 상기 산성가스가 외부로 배출되는 단계를 추가로 구비하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 3.

제 1 항에 있어서,

상기 박막 트랜지스터 어레이 기판을 형성하는 단계는

제1 마스크 공정을 이용하여 게이트 라인, 게이트 전극, 게이트 패드, 데이터 패드 및 화소전극을 포함하는 제1 패턴을 형성하는 단계와;

제2 마스크 공정을 이용하여 상기 화소전극을 제외한 제1 패턴 상에 게이트 절연패턴 및 반도체 패턴을 포함하는 제2 패턴을 형성하는 단계와;

제3 마스크 공정을 이용하여 데이트 라인, 소스전극, 드레인 전극, 스토리지 전극을 포함하는 제3 패턴을 형성하는 단계와;

상기 패드영역 및 박막 트랜지스터 어레이 영역 전면에 보호막을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 4.

제 3 항에 있어서,

상기 패드를 노출시키는 단계는

상기 패드영역에서 상기 보호막을 제거하는 단계를 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 5.

제 1 항에 있어서,

상기 식각액은 약 20:1 비율의 H_2O(물)와 HF(불산)를 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 6.

식각액이 포함됨과 아울러 액정표시패널의 패드영역이 딥핑되어질 식각액 용기와;

상기 식각액 용기 위에 위치하여 패드영역의 패드 노출시 상기 식각액으로 부터 발생되는 산성가스를 차단하기 위한 가스차단몰드를 구비하는 것을 특징으로 하는 액정표시패널의 제조장치.

청구항 7.

제 6 항에 있어서,

상기 가스차단몰드는

상기 산성가스를 흡입하는 가스배기경로와;

상기 산성가스 배기경로 위에 위치하여 상기 흡입된 산성가스가 이동되게 하기 위한 배기관과;

상기 산성가스를 외부로 배출하기 위한 펌프를 추가로 구비하는 것을 특징으로 하는 액정표시패널의 제조장치.

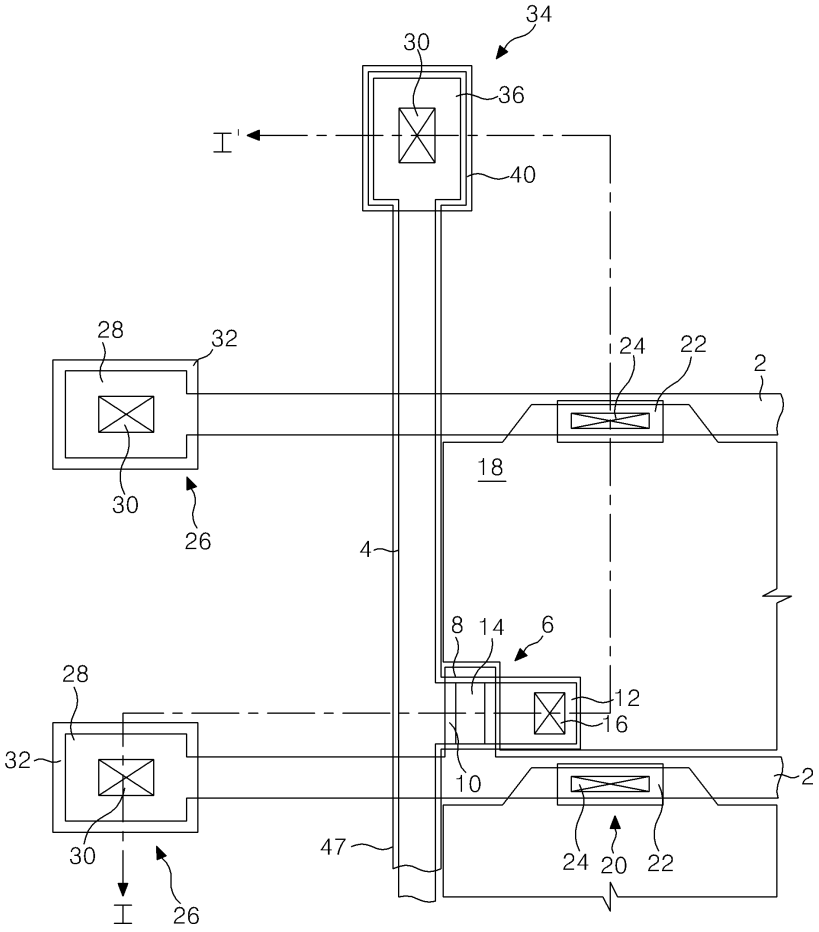
청구항 8.

제 6 항에 있어서,

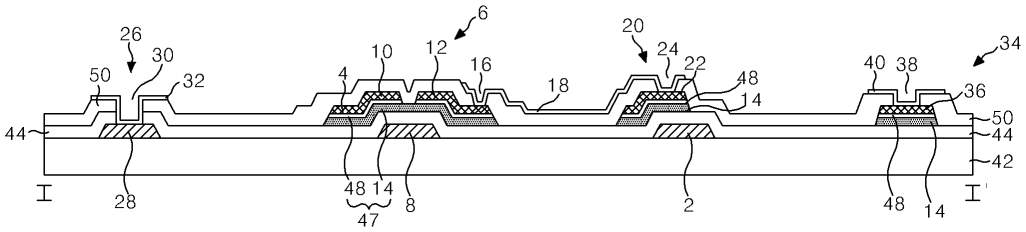
상기 식각액은 약 20:1 비율의 H_2O(물)와 HF(불산)를 포함하는 것을 특징으로 하는 액정표시패널의 제조장치.

도면

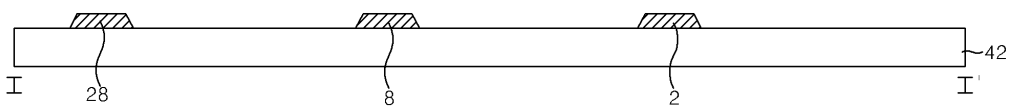
도면1


34
30
36
I'
40
28
32
24
22
2
18
30
26
4
8
14
6
28
12
16
32
10
2
30
47
24
20
22
I
26

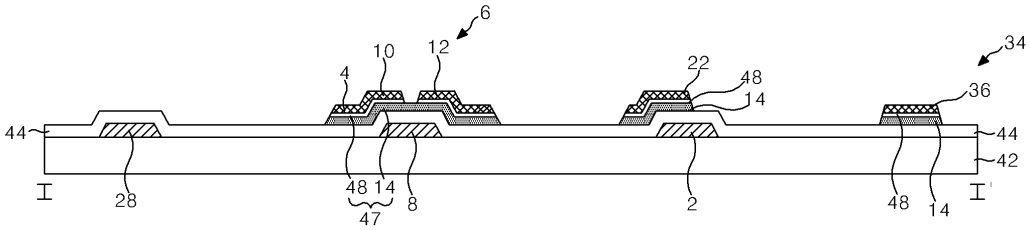
도면2


6
20
26
30
10
12
24
22
34
50
32
4
16
18
48
40
38
36
44
14
50
44
42
I
28
48
14
8
2
48
14
I'
47

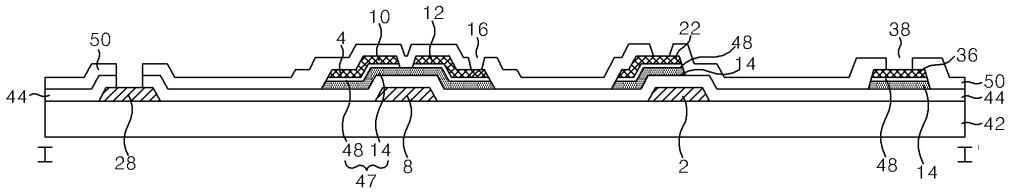
도면3a


42
I
28
8
2
I'

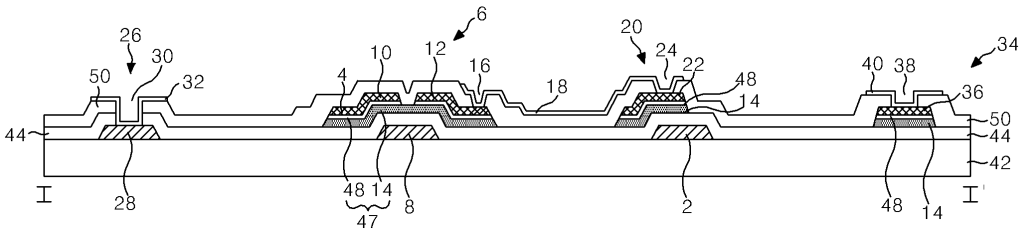
도면3b



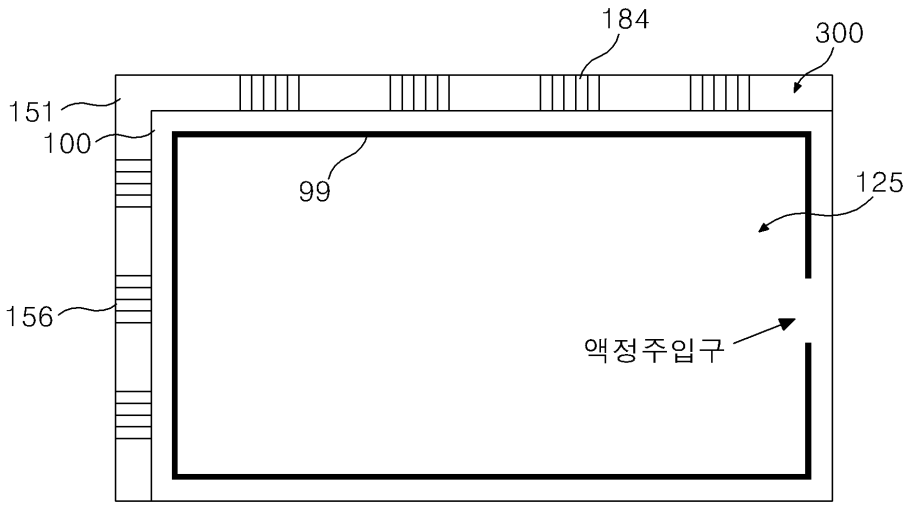
도면3c



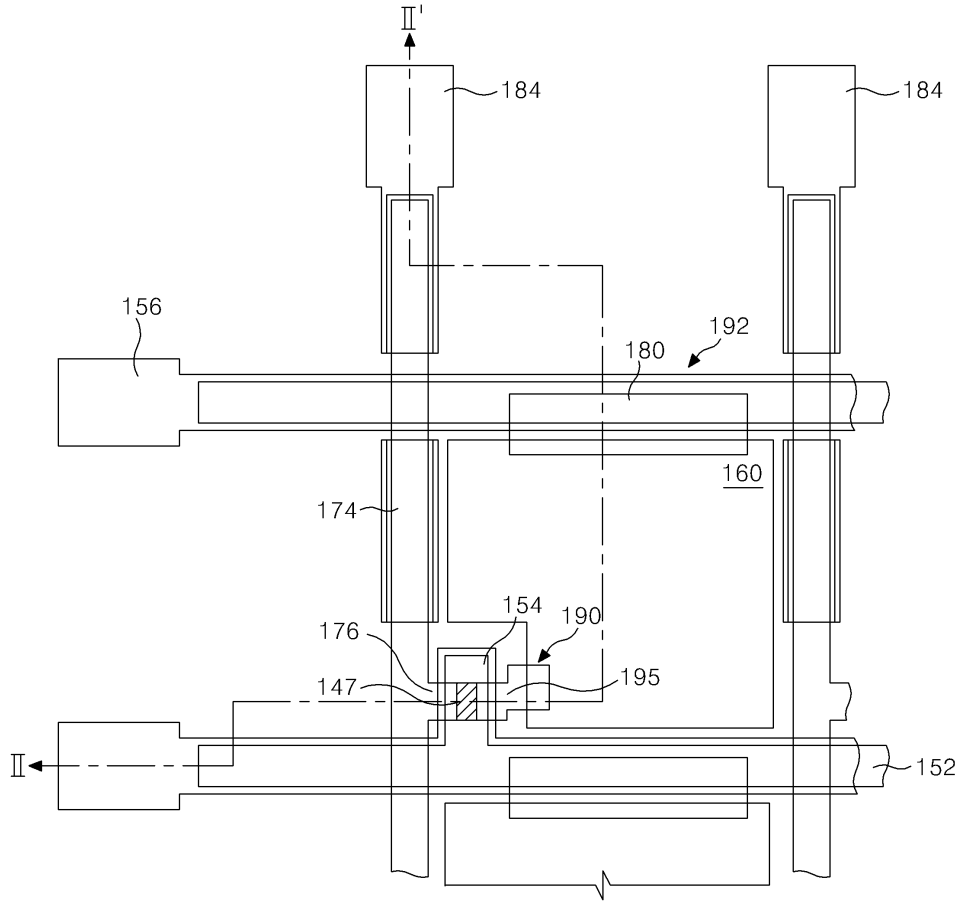
도면3d



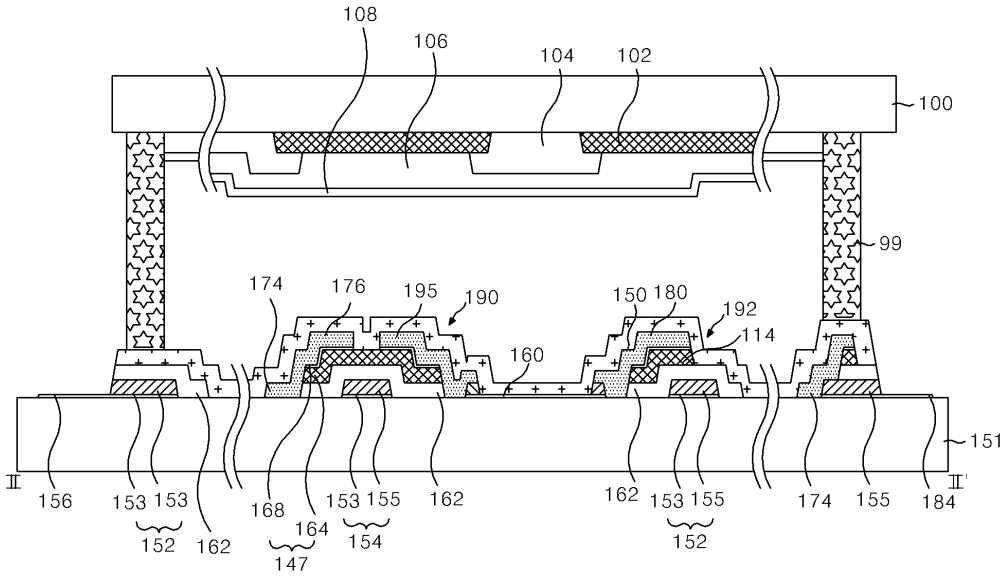
도면4



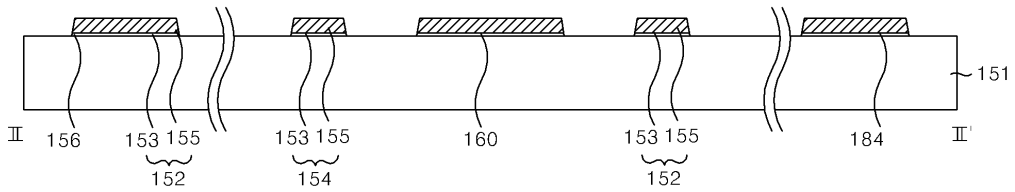
도면5


Ⅱ'
184
184
156
192
180
160
174
154
190
176
147
195
Ⅱ
152

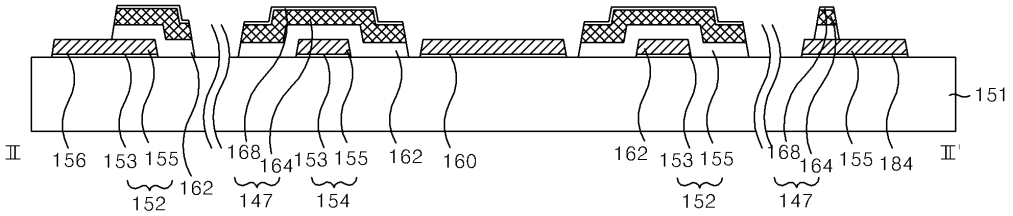
도면6


108
106
104
102
100
99
174
176
195
190
150
180
192
114
160
151
Ⅱ
Ⅱ'
156
153
153
152
162
168
164
147
153
155
154
162
162
153
155
152
174
155
184

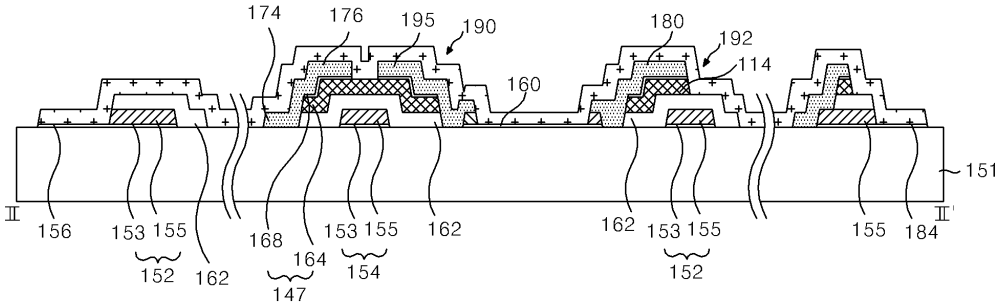
도면7a



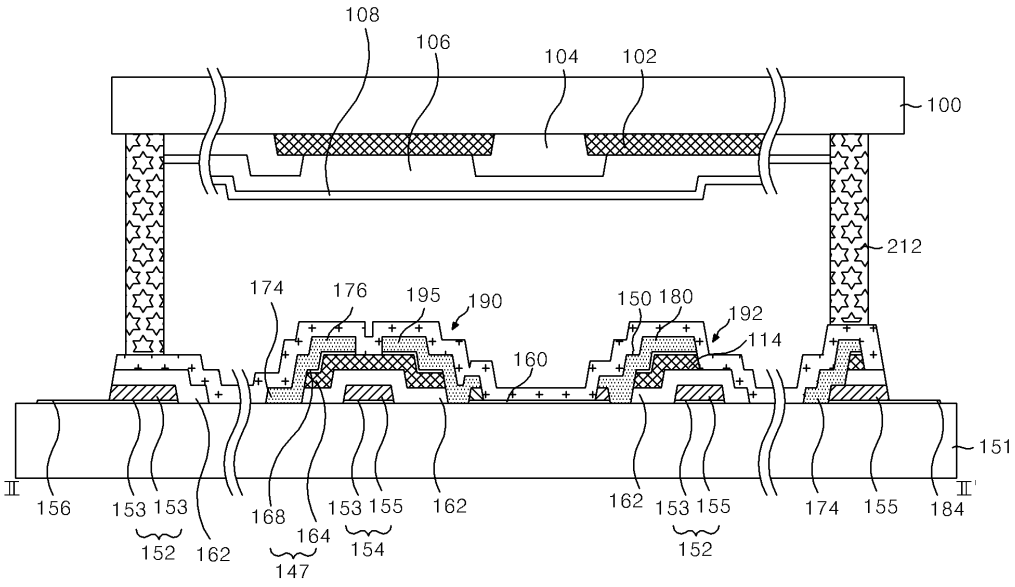
도면7b



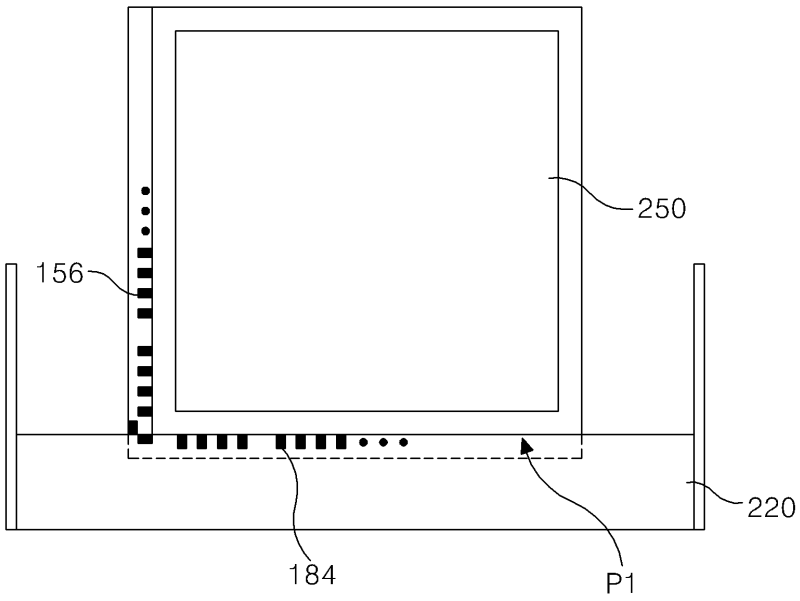
도면7c



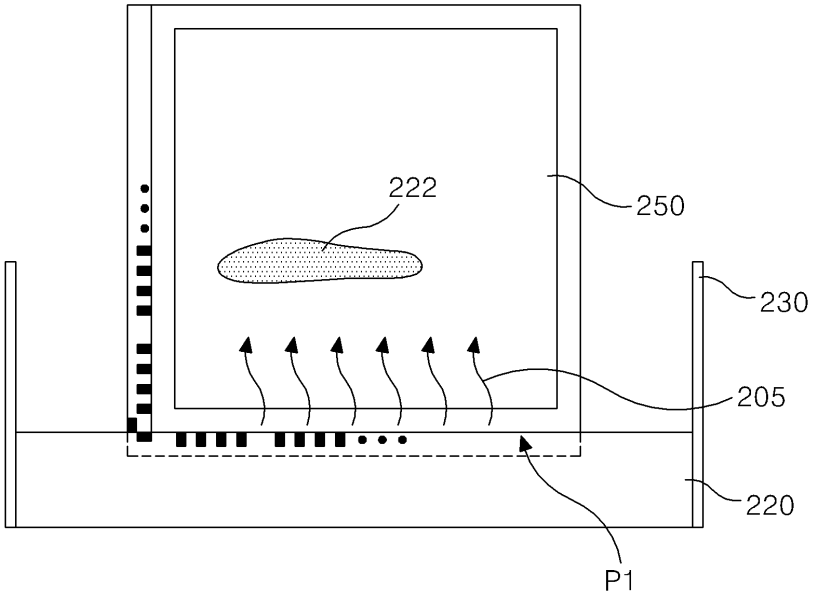
도면7d



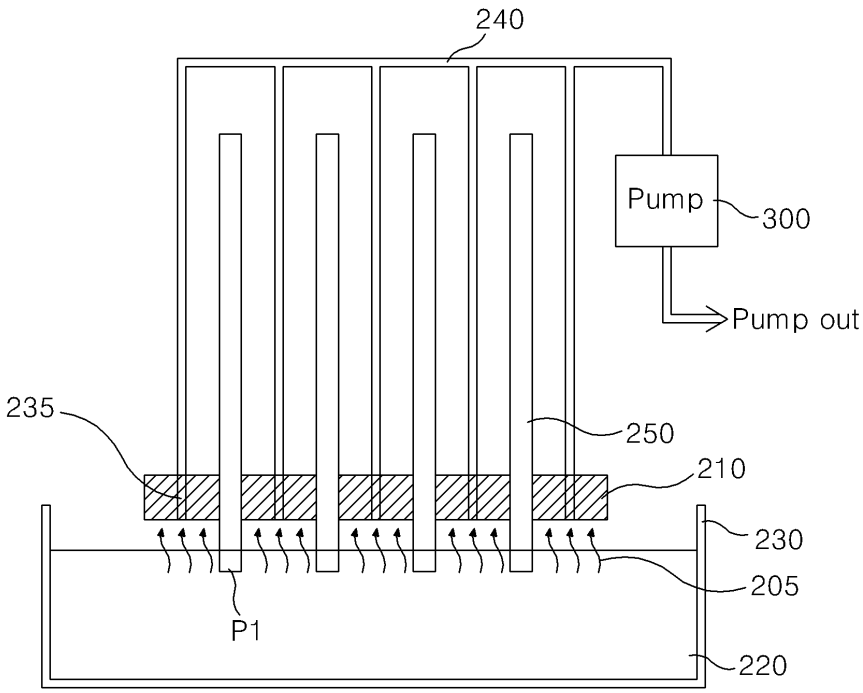
도면8



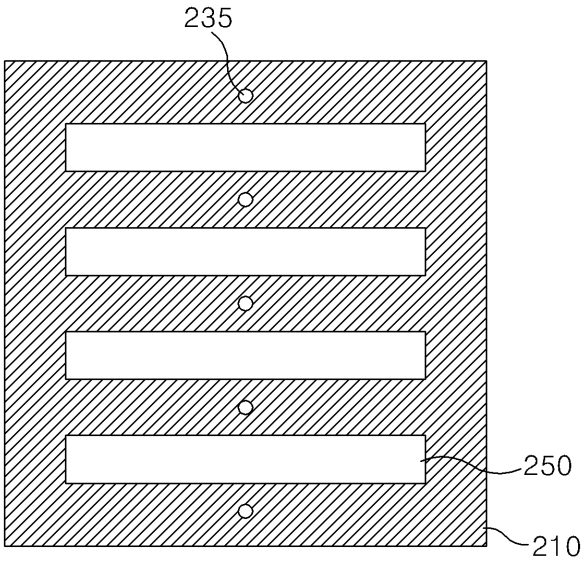
도면9



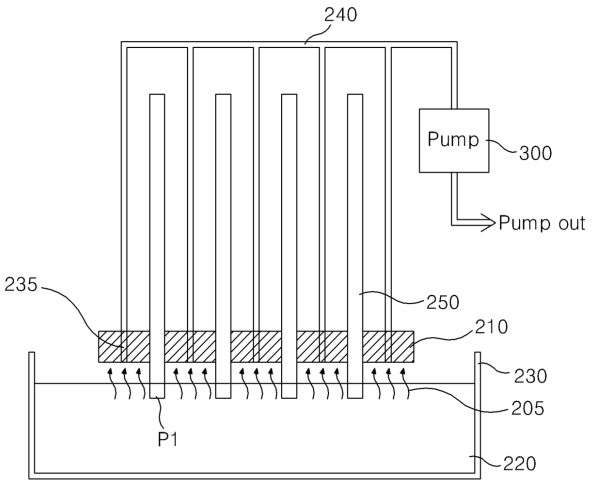
도면10



도면11



专利名称(译)	制造液晶显示板的方法及其设备		
公开(公告)号	KR1020050035422A	公开(公告)日	2005-04-18
申请号	KR1020030071085	申请日	2003-10-13
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	AHN BYUNGCHUL 안병철 KWON OHNAM 권오남 NAM SEUNGHEE 남승희		
发明人	안병철 권오남 남승희		
IPC分类号	G02F1/136		
CPC分类号	G02F1/133351 G02F1/13439 G02F1/13458 G02F1/1368		
代理人(译)	KIM，YOUNG HO		
其他公开文献	KR100556698B1		
外部链接	Espacenet		

摘要(译)

本发明涉及提高产量的制造方法，简化了制造工艺和制造装置。本发明涉及以下步骤：多个薄膜晶体管阵列基板，多个信号线和薄膜晶体管形成具有焊盘区域的薄膜晶体管阵列基板，其中焊盘连接到形成的薄膜晶体管阵列区域并且是连接到信号线的是通过划线工艺形成的多个LCD面板。并且它包括阻止LCD面板暴露于来自蚀刻剂的气体阻挡模具的酸性气体的步骤，以防止从暴露焊盘的步骤产生的酸性气体浸入蚀刻剂容器内的蚀刻剂中。阻气模具材料位于上部：准备进行朝向LCD面板的蚀刻剂前进。