



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0002817
(43) 공개일자 2009년01월09일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2007-0067092

(22) 출원일자 2007년07월04일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

조식영

충남 예산군 삽교읍 두리 803-274번지

김현욱

충남 아산시 탕정면 명암리 200번지 삼성전자(주)
LCD총괄개발1실 액정기술팀

(74) 대리인

특허법인가산

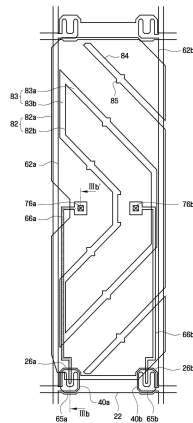
전체 청구항 수 : 총 11 항

(54) 액정 표시 장치

(57) 요약

보는 각도와 상관없이 대칭적인 시인성을 구현할 수 있는 액정 표시 장치가 제공된다. 액정 표시 장치는, 절연 기관과, 절연 기관 상에 형성되고 제1 방향으로 뺀 게이트선과, 게이트선과 절연되어 교차하며 서로 분리되어 제2 방향으로 뺀 제1 및 제2 데이터선과, 게이트선과 제1 데이터선과 연결된 제1 박막 트랜지스터와, 게이트선과 제2 데이터선과 연결된 제2 박막 트랜지스터와, 제1 및 제2 박막 트랜지스터 상에 형성되고 제1 및 제2 콘택홀이 형성된 보호막과, 보호막 상에 형성되고 간극에 의해 서로 분리된 제1 및 제2 부화소 전극을 구비하는 화소 전극을 포함한다. 여기서, 제1 및 제2 부화소 전극은 제1 및 제2 콘택홀을 통하여 제1 및 제2 박막 트랜지스터와 각각 연결되는 것이 바람직하다. 또한 제1 및 제2 콘택홀은 화소 영역의 중심에 배치되는 것이 바람직하다.

대표도 - 도3a



특허청구의 범위

청구항 1

절연 기관;

상기 절연 기관 상에 형성되고 제1 방향으로 뺀 게이트선;

상기 게이트선과 절연되어 교차하며 서로 분리되어 제2 방향으로 뺀 제1 및 제2 데이터선;

상기 게이트선과 상기 제1 데이터선과 연결된 제1 박막 트랜지스터;

상기 게이트선과 상기 제2 데이터선과 연결된 제2 박막 트랜지스터;

상기 제1 및 제2 박막 트랜지스터 상에 형성되고 제1 및 제2 콘택홀이 형성된 보호막; 및

상기 보호막 상에 형성되고 간극에 의해 서로 분리된 제1 및 제2 부화소 전극을 구비하는 화소 전극을 포함하되,

상기 제1 및 제2 부화소 전극은 상기 제1 및 제2 콘택홀을 통하여 상기 제1 및 제2 박막 트랜지스터와 각각 연결되고,

상기 제1 및 제2 콘택홀은 화소 영역의 중심에 배치된 액정 표시 장치.

청구항 2

제 1항에 있어서,

상기 제1 및 제2 콘택홀은 상기 화소 영역의 중심을 가로지르는 중심선 상에 위치하는 액정 표시 장치.

청구항 3

제 1항에 있어서,

상기 제1 박막 트랜지스터의 드레인 전극은 상기 제1 데이터선에 이웃하여 나란하게 형성되고 상기 제1 콘택홀을 통하여 상기 제1 부화소 전극과 연결되는 액정 표시 장치.

청구항 4

제 3항에 있어서,

상기 제2 박막 트랜지스터의 드레인 전극은 상기 제2 데이터선에 이웃하여 나란하게 형성되고 상기 제2 콘택홀을 통하여 상기 제2 부화소 전극과 연결되는 액정 표시 장치.

청구항 5

제 1항에 있어서,

상기 화소 전극은 상기 화소 영역의 중심에 대하여 대칭적으로 형성된 액정 표시 장치.

청구항 6

제 5항에 있어서,

상기 제1 부화소 전극의 적어도 일부는 상기 제1 및 제2 데이터선과 중첩하는 액정 표시 장치.

청구항 7

제 6항에 있어서,

상기 제2 부화소 전극에는 상기 제1 부화소 전극에 비하여 상대적으로 높은 데이터 전압이 인가되는 액정 표시 장치.

청구항 8

제 1항에 있어서,

상기 제1 및 제2 데이터선은 폭방향으로 상기 제2 부화소 전극과 완전히 중첩하는 액정 표시 장치.

청구항 9

제 1항에 있어서,

상기 제1 부화소 전극은 상기 제2 부화소 전극을 감싸도록 형성된 액정 표시 장치.

청구항 10

제 1항에 있어서,

상기 제2 부화소 전극은 V자 형상을 가지고,

상기 제1 부화소 전극은 화소 내에서 상기 제2 부화소 전극 이외의 영역에 형성된 액정 표시 장치.

청구항 11

제 10항에 있어서,

상기 제1 부화소 전극은 상기 게이트선과 실질적으로 45도 또는 -45도를 이루는 메인 영역과, 상기 데이터선을 따라 배열되어 상기 메인 영역 사이를 연결하는 브릿지 영역으로 이루어지고,

상기 제1 및 제2 데이터선은 상기 브릿지 영역과 중첩하는 액정 표시 장치.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 디스플레이 장치에 관한 것으로, 더욱 상세하게는 액정 표시 장치에 관한 것이다.

배경기술

<2> 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전계 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전계 생성 전극에 전압을 인가하여 액정층에 전계를 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

<3> 그 중에서도 전계가 인가되지 않은 상태에서 액정 분자의 주 방향자가 상하 표시판에 대하여 수직을 이루도록 배열한 수직 배향 모드 액정 표시 장치는 대비비(contrast ratio)가 크고 넓은 기준 시야각 구현이 용이하여 각 광받고 있다. 이러한 수직 배향 방식의 액정 표시 장치는 전면 시인성에 비하여 측면 시인성이 떨어지는 문제점이 있는데, 이러한 문제점을 개선하기 위하여 하나의 화소(pixel)를 한 쌍의 부화소(sub-pixel)로 분할하고 각 부화소에 스위칭 소자를 형성하여 각 부화소마다 별도의 전압을 인가하는 방법이 제시되었다.

<4> 한편 수직 배향 모드 액정 표시 장치에서 광시야각을 구현하기 위한 수단으로 전극에 절개 패턴을 형성하는 방법과 돌기를 형성하는 방법 등이 사용되고 있다. 이들 모두 수평 전계를 형성하여 액정 분자가 기우는 방향을 4 방향으로 고르게 분산시킴으로써 광시야각을 확보하는 방법들이다.

<5> 다만 앞서 언급한 바와 같이 측면 시인성을 높이기 위하여 하나의 화소 내에 한 쌍의 스위칭 소자를 구비하는 경우, 전체적으로 액정 분자가 기우는 4가지 방향에 대응하는 각 면적이 서로 일치하지 않아서 보는 각도에 따라 시인성의 차이가 발생하게 된다.

발명의 내용

해결하고자하는 과제

<6> 본 발명이 해결하고자 하는 과제는, 보는 각도와 상관없이 대칭적인 시인성을 구현할 수 있는 액정 표시 장치를

제공하고자 하는 것이다.

<7> 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

<8> 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는, 절연 기판과, 상기 절연 기판 상에 형성되고 제1 방향으로 뻗은 게이트선과, 상기 게이트선과 절연되어 교차하며 서로 분리되어 제2 방향으로 뻗으며 제1 및 제2 데이터선과, 상기 게이트선과 상기 제1 데이터선과 연결된 제1 박막 트랜지스터와, 상기 게이트선과 상기 제2 데이터선과 연결된 제2 박막 트랜지스터와, 상기 제1 및 제2 박막 트랜지스터 상에 형성되고 제1 및 제2 콘택홀이 형성된 보호막과, 상기 보호막 상에 형성되고 간극에 의해 서로 분리된 제1 및 제2 부화소 전극을 구비하는 화소 전극을 포함한다. 여기서, 상기 제1 및 제2 부화소 전극은 상기 제1 및 제2 콘택홀을 통하여 상기 제1 및 제2 박막 트랜지스터와 각각 연결되는 것이 바람직하다. 또한 상기 제1 및 제2 콘택홀은 화소 영역의 중심에 배치되는 것이 바람직하다.

<9> 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

효과

<10> 상술한 바와 같이 본 발명에 따른 액정 표시 장치에 의하면, 보는 각도와 상관없이 대칭적인 시인성을 구현할 수 있다.

발명의 실시를 위한 구체적인 내용

<11> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다.

<12> 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

<13> 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다.

<14> 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 개략도인 평면도 및 단면도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.

<15> 이하 첨부된 도면들을 참조하여 본 발명의 일 실시예에 의한 액정 표시 장치에 대하여 상세히 설명한다.

<16> 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 화소 어레이를 개략적으로 나타낸 도면이고, 도 2는 도 1의 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

<17> 본 발명의 일 실시예에 따른 액정 표시 장치는 액정 패널 어셈블리(liquid crystal panel assembly)와, 이에 연결된 게이트 구동부 및 데이터 구동부와, 데이터 구동부에 연결된 게조 전압 생성부와, 이들을 제어하는 신호 제어부를 포함한다.

- <18> 액정 패널 어셈블리는 다수의 표시 신호선과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 다수의 화소(PX)를 포함한다. 여기서, 액정 패널 어셈블리는 서로 마주 보는 하부 표시판과 상부 표시판, 그리고 이들 사이에 개재된 액정층을 포함한다.
- <19> 도 1 및 도 2를 참조하면, 표시 신호선은 하부 표시판에 구비되어 있으며, 게이트 신호를 전달하는 다수의 게이트선(G)과 데이터 신호를 전달하는 데이터선(Da, Db)을 포함한다. 게이트선(G)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고, 데이터선(Da, Db)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.
- <20> 각 화소(PX)는 한 쌍의 부화소(PXa, PXb)를 포함하며, 각 부화소(PXa, PXb)는 해당 데이터선(Da, Db) 및 하나의 게이트선(G)에 연결되어 있는 스위칭 소자(Qa, Qb)와, 이에 연결된 액정 커패시터(liquid crystal capacitor)(Clca, Clcb)와, 이에 연결된 스토리지 커패시터(storage capacitor)(Csta, Cstb)를 포함한다. 즉, 한 쌍의 부화소(PXa, PXb)에는 두 개의 데이터선(Da, Db)과 한 개의 게이트선(G)이 할당된다. 스토리지 커패시터(Csta, Cstb)는 필요에 따라 생략될 수 있다.
- <21> 각 부화소(PXa, PXb)의 스위칭 소자(Qa, Qb)는 하부 표시판에 구비되어 있는 박막 트랜지스터 등으로 이루어지며, 게이트 신호가 인가되는 게이트선(G)에 연결되어 있는 제어 단자(이하, 게이트 전극), 데이터선(Da, Db)에 연결되어 있는 입력 단자(이하, 소스 전극), 그리고 액정 커패시터(Clca, Clcb) 및 스토리지 커패시터(Csta, Cstb)에 연결되어 있는 출력 단자(이하, 드레인 전극)를 가지는 삼단자 소자이다.
- <22> 액정 커패시터(Clca, Clcb)는 하부 표시판의 부화소 전극과 상부 표시판의 공통 전극을 두 단자로 하며, 부화소 전극과 공통 전극 사이의 액정층은 유전체로서 기능을 한다. 각 부화소 전극(Pa, Pb)은 각 스위칭 소자(Qa, Qb)에 연결되며 공통 전극은 상부 표시판의 전면에 형성되어 있고 공통 전압(Vcom)을 인가 받는다. 여기서, 공통 전극이 하부 표시판에 구비되는 경우도 있으며 이때에는 부화소 전극과 공통 전극 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.
- <23> 액정 커패시터(Clca, Clcb)의 보조적인 역할을 하는 스토리지 커패시터(Csta, Cstb)는 하부 표시판에 구비된 스토리지 배선과 부화소 전극이 절연체를 사이에 두고 중첩되어 이루어지며 스토리지 배선에는 공통 전압(Vcom) 따위의 정해진 전압이 인가된다. 여기서, 스토리지 커패시터(Csta, Cstb)는 부화소 전극이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.
- <24> 한편, 색 표시를 구현하기 위해서는 각 화소가 원색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소가 시간에 따라 번갈아 삼원색을 표시하게(시간 분할) 하여 이들 삼원색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 원색의 예로는 적색, 녹색 및 청색을 들 수 있다. 공간 분할의 한 예로서 각 화소가 상부 표시판의 영역에 원색 중 하나를 나타내는 컬러필터를 구비할 수 있다. 또한, 컬러필터는 하부 표시판의 부화소 전극 위 또는 아래에 형성할 수도 있다.
- <25> 게이트 구동부는 게이트선(G)에 연결되어 외부로부터의 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트선(G)에 인가한다.
- <26> 계조 전압 생성부(gray voltage generator)는 화소의 투과율과 관련된 두 개의 계조 전압 집합(또는 기준 계조 전압 집합)을 생성하여, 데이터 구동부에 제공할 수 있다. 즉, 두 개의 계조 전압 집합은 하나의 화소를 이루는 한 쌍의 부화소에 독립적으로 제공될 수 있다. 다만, 본 발명은 이에 한정되지 않으며, 두 개의 계조 전압 집합 대신 하나의 계조 전압 집합만을 생성할 수도 있다.
- <27> 데이터 구동부는 한 쌍의 데이터선(Da, Db)에 각각 연결되어 있다. 데이터 구동부는 데이터선(Da)을 통하여 하나의 화소를 구성하는 한 쌍의 부화소 중 어느 하나의 부화소에 데이터 전압을 전달하고, 데이터선(Db)을 통하여 하나의 화소를 구성하는 한 쌍의 부화소 중 다른 하나의 부화소에 별도의 데이터 전압을 전달한다.
- <28> 이러한 게이트 구동부 또는 데이터 구동부는 다수의 구동 집적 회로 칩의 형태로 액정 패널 어셈블리 위에 직접 장착되거나, 가요성 인쇄 회로 필름(flexible printed circuit film) 위에 장착되어 테이프 캐리어 패키지(tape carrier package)의 형태로 액정 패널 어셈블리에 부착될 수도 있다. 이와는 달리, 게이트 구동부 또는 데이터 구동부는 표시 신호선(G, Da, Db)과 박막 트랜지스터 스위칭 소자(Qa, Qb) 등과 함께 액정 패널 어셈블리에 집적(integration)될 수도 있다.
- <29> 신호 제어부는 게이트 구동부 및 데이터 구동부 등의 동작을 제어한다.
- <30> 다시 도 1을 참조하면, 하나의 화소는 두 개의 스위칭 소자와, 각 스위칭 소자에 연결된 부화소 전극(Pa, Pb)을 포함한다. 여기서 제1 부화소 전극(Pa)에 상대적으로 낮은 데이터 전압이 인가되고, 제2 부화소 전극(Pb)에 상

대적으로 높은 데이터 전압이 인가되는 경우를 가정한다. 이하, 데이터 전압의 높고 낮음은 공통 전압과 데이터 전압의 차이의 높고 낮음을 의미한다. 또한, 제1 데이터선(Da)를 통해 제1 부화소 전극(Pa)에 데이터 전압이 인가되는 화소를 A형 화소라고 하고, 제2 데이터선(Db)를 통해 제1 부화소 전극(Pa)에 데이터 전압이 인가되는 화소를 B형 화소라고 한다.

- <31> 도 1에 도시된 바와 같이 A형 화소와 B형 화소를 가로 방향 및 세로 방향으로 교대로 배치함으로써, 액정 표시 장치에서 세로줄무늬 또는 가로줄무늬가 시인되는 것을 방지할 수 있다.
- <32> 만약 모든 화소에 대하여 제1 데이터선(Da)을 통하여 제1 부화소 전극(Pa)에 데이터 전압이 인가되는 경우, 즉 화소 어레이가 모두 A형 화소로 이루어진 경우, 액정 표시 장치가 컬럼 반전(column inversion)에 의해 구동되면 프레임당 한 화소만큼 수평방향으로 이동하는 검사 패턴에 대하여 수평방향으로 이동하는 세로줄무늬가 시인될 수 있다.
- <33> 또한 만약 하나의 화소 행(row)에 대해서는 제1 데이터선(Da)을 통하여 제1 부화소 전극(Pa)에 데이터 전압이 인가되고, 다음 화소 행을 이루는 화소에 대하여 제2 데이터선(Db)을 통하여 제1 부화소 전극(Pa)에 데이터 전압이 인가되는 경우, 즉 A형 화소의 행과 B형 화소의 행이 교대로 배치되는 경우, 앞서 언급한 수평방향으로 이동하는 세로줄무늬가 시인되는 것을 방지할 수 있다. 다만 제1 부화소 전극(Pa)은 그 양쪽에 위치하는 제1 및 제2 데이터선(Da, Db)과 커플링(coupling)이 일어나는데, 제1 부화소 전극(Pa)과 제1 및 제2 데이터선(Da, Db)의 커플링 커패시턴스가 A형 화소 및 B형 화소에 따라 다르기 때문에 가로줄무늬가 시인될 수 있다.
- <34> 따라서 도 1에 도시된 본 발명의 일 실시예에 따른 액정 표시 장치와 같이 A형 화소와 B형 화소를 가로 방향 및 세로 방향으로 교대로 배치함으로써 앞서 언급한 수평방향으로 이동하는 세로줄무늬 또는 가로줄무늬를 방지할 수 있다. 다만 이러한 구조의 액정 표시 장치가 낮은 계조(gray scale)에서 동작하는 경우 상대적으로 높은 데이터 전압이 인가되는 제1 부화소 전극(Pa)에 의해서만 액정이 실질적으로 동작하기 때문에, A형 화소 및 B형 화소 각각에 대하여 제1 부화소 전극(Pa)과 제1 데이터선(Da)의 커플링 커패시턴스와 제1 부화소 전극(Pa)과 제2 데이터선(Db)의 커플링 커패시턴스의 차이를 줄임으로써 크로스 토크에 의한 표시 품질의 저하를 개선할 수 있다.
- <35> 나아가 본 발명의 일 실시예에서와 같이 제1 및 제2 데이터선(Da, Db)을 제1 부화소 전극(Pa)과 중첩하도록 배치하고 제1 부화소 전극(Pa)이 제2 부화소 전극(Pb)을 감싸도록 함으로써, A형 화소와 B형 화소를 가로 방향 및 세로 방향으로 교대로 배치하지 않더라도 세로줄 무늬 또는 가로줄 무늬가 인식되는 것을 방지할 수 있다. 즉 제1 및 제2 데이터선(Da, Db)과 제1 부화소 전극(Pa)의 커플링 커패시턴스를 최소화함으로써 표시 특성이 저하되는 것을 방지할 수 있다.
- <36> 이하, 도 3a 내지 도 5b를 참조하여 본 발명의 일 실시예에 따른 액정 표시 장치를 상세하게 설명한다. 본 실시예에 따른 액정 표시 장치는 박막 트랜지스터 어레이(thin film transistor array)가 형성된 하부 표시판, 이와 마주보고 있는 상부 표시판 및 이들 사이에 개재된 액정층을 포함한다.
- <37> 먼저 도 3a 및 도 3b를 참조하여 본 발명의 일 실시예에 의한 액정 표시 장치의 하부 표시판에 대하여 상세하게 설명한다. 여기서 도 3a는 본 발명의 일 실시예에 따른 도 1의 A형 화소를 포함한 하부 표시판의 배치도이고, 도 3b는 도 3a의 하부 표시판을 IIIb-IIIb' 선으로 자른 단면도이다.
- <38> 투명한 유리 등으로 이루어진 절연 기판(10) 위에 주로 가로 방향으로 뻗어 있고 게이트 신호를 전달하는 게이트선(22)이 형성되어 있다. 게이트선(22)은 하나의 화소에 대하여 하나씩 할당되어 있다. 그리고, 게이트선(22)에는 돌출한 한 쌍의 제1 및 제2 게이트 전극(26a, 26b)이 형성되어 있다. 이러한 게이트선(22)과 제1 및 제2 게이트 전극(26a, 26b)을 게이트 배선이라 한다.
- <39> 본 실시예에서는 개구율을 높이기 위하여 스토리지 커패시터를 위한 스토리지 배선을 별도로 형성하지 않았으나, 본 발명은 이에 한정되지 않는다. 즉 절연 기판(10) 위에 화소 영역을 가로질러 게이트선(22)과 실질적으로 평행하게 가로 방향으로 뻗어 있는 스토리지 배선(미도시)을 형성함으로써 화소 전극(82)과 스토리지 배선 사이에 스토리지 커패시터를 형성할 수도 있다.
- <40> 게이트 배선(22, 26a, 26b)은 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 따위로 이루어질 수 있다. 또한, 게이트 배선(22, 26a, 26b)은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 이 중 한 도전막은 게이트 배선(22, 26a, 26b)의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를

들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 이루어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 이루어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 상부막 및 알루미늄 하부막과 몰리브덴 상부막을 들 수 있다. 다만, 본 발명은 이에 한정되지 않으며, 게이트 배선(22, 26a, 26b)은 다양한 여러 가지 금속과 도전체로 만들어질 수 있다.

- <41> 게이트선(22) 위에는 질화규소(SiNx) 등으로 이루어진 게이트 절연막(30)이 형성되어 있다.
- <42> 게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 또는 다결정 규소 등으로 이루어진 한 쌍의 반도체층(40a, 40b)이 형성되어 있다. 반도체층(40a, 40b)은 섬모양, 선형 등과 같이 다양한 형상을 가질 수 있으며, 예를 들어 본 실시예에서와 같이 섬모양으로 형성될 수 있다.
- <43> 각 반도체층(40a, 40b)의 상부에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 등의 물질로 만들어진 오믹 콘택층(ohmic contact layer)(55a, 56a)이 형성되어 있다. 오믹 콘택층(55a, 56a)은 쌍(pair)을 이루어 반도체층(40a, 40b) 위에 위치한다.
- <44> 오믹 콘택층(55a, 56a) 및 게이트 절연막(30) 위에는 한 쌍의 제1 및 제2 데이터선(62a, 62b)과, 제1 및 제2 데이터선(62a, 62b)에 각각 대응하는 한 쌍의 제1 및 제2 드레인 전극(66a, 66b)이 형성되어 있다.
- <45> 제1 및 제2 데이터선(62a, 62b)은 주로 세로 방향으로 뻗어 게이트선(22)과 교차하며 데이터 전압을 전달한다. 제1 및 제2 데이터선(62a, 62b)에는 제1 및 제2 드레인 전극(66a, 66b)을 향하여 각각 뻗은 제1 및 제2 소스 전극(65a, 65b)이 형성되어 있다. 도 3a에 도시된 바와 같이, 하나의 화소가 한 쌍의 부화소로 분할되고, 제1 데이터선(62a)은 하나의 부화소에 데이터 신호를 전달하고 제2 데이터선(62b)은 다른 부화소에 별도의 데이터 신호를 전달한다. 게이트선(22)과 제1 및 제2 데이터선(62a, 62b)은 실질적으로 화소 영역을 정의한다.
- <46> 이러한 제1 및 제2 데이터선(62a, 62b)과, 제1 및 제2 소스 전극(65a, 65b)과, 제1 및 제2 드레인 전극(66a, 66b)을 데이터 배선이라고 한다.
- <47> 데이터 배선(62a, 62b, 65a, 65b, 66a, 66b)은 크롬, 몰리브덴 계열의 금속, 탄탈륨 및 티타늄 등 내화성 금속으로 이루어지는 것이 바람직하며, 내화성 금속 따위의 하부막(미도시)과 그 위에 위치한 저저항 물질 상부막(미도시)으로 이루어진 다층막 구조를 가질 수 있다. 다층막 구조의 예로는 앞서 설명한 크롬 하부막과 알루미늄 상부막 또는 알루미늄 하부막과 몰리브덴 상부막의 이중막 외에도 몰리브덴막-알루미늄막-몰리브덴막의 삼중막을 들 수 있다.
- <48> 제1 및 제2 소스 전극(65a, 65b)은 각각 반도체층(40a, 40b)과 적어도 일부분이 중첩되고, 제1 및 제2 드레인 전극(66a, 66b)은 각각 게이트 전극(26a, 26b)을 중심으로 제1 및 제2 소스 전극(65a, 65b)과 대향하며 반도체층(40a, 40b)과 적어도 일부분이 중첩된다. 여기서, 앞서 언급한 오믹 콘택층(55a, 56a)은 그 하부의 반도체층(40a, 40b)과, 그 상부의 제1 및 제2 소스 전극(65a, 65b) 및 제1 및 제2 드레인 전극(66a, 66b) 사이에 존재하며 접촉 저항을 낮추어 주는 역할을 한다.
- <49> 데이터 배선(62a, 62b, 65a, 65b, 66a, 66b)과 노출된 반도체층(40a, 40b) 위에는 보호막(passivation layer)(70)이 형성되어 있다. 보호막(70)은 질화규소 또는 산화규소로 이루어진 무기물, 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기물 또는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전을 절연 물질 등으로 이루어진다. 또한, 보호막(70)은 유기막의 우수한 특성을 살리면서도 노출된 반도체층(40a, 40b) 부분을 보호하기 위하여 하부 무기막과 상부 유기막의 이중막 구조를 가질 수 있다. 나아가 보호막(70)으로는 적색, 녹색 또는 청색의 컬러필터층이 사용될 수도 있다.
- <50> 보호막(70)에는 제1 및 제2 콘택홀(contact hole)(76a, 76b)을 통하여 각각 제1 및 제2 드레인 전극(66a, 66b)과 전기적으로 연결되어 있으며 화소 영역에 위치하는 제1 및 제2 부화소 전극(82a, 82b)이 형성되어 있다. 여기서, 제1 및 제2 부화소 전극(82a, 82b)은 ITO 또는 IZO 따위의 투명 도전체 또는 알루미늄 따위의 반사성 도전체로 이루어진다.
- <51> 제1 및 제2 부화소 전극(82a, 82b)은 각각 제1 및 제2 콘택홀(76a, 76b)을 통하여 제1 및 제2 드레인 전극(66a, 66b)과 물리적·전기적으로 연결되어 제1 및 제2 드레인 전극(66a, 66b)으로부터 서로 다른 데이터 전압을 인가 받는다.
- <52> 데이터 전압이 인가된 제1 및 제2 부화소 전극(82a, 82b)은 상부 표시판의 공통 전극과 함께 전기장을 생성함

로써 제1 및 제2 부화소 전극(82a, 82b)과 공통 전극 사이의 액정 분자들의 배열을 결정한다.

- <53> 또한 앞서 설명하였듯이 도 2 및 도 3a를 참조하면, 각 부화소 전극(82a, 82b)과 공통 전극은 액정 커패시터(C1ca, C1cb)를 이루어 박막 트랜지스터(Qa, Qb)가 턴 오프된 후에도 인가된 전압을 유지하며, 전압 유지 능력을 강화하기 위하여 액정 커패시터(C1ca, C1cb)와 병렬로 연결된 스토리지 커패시터(Csta, Cstb)는 제1 및 제2 부화소 전극(82a, 82b) 또는 이에 연결되어 있는 제1 및 제2 드레인 전극(66a, 66b)과 스토리지 배선(미도시)의 중첩으로 만들어질 수 있다.
- <54> 다시 도 3a 및 도 3b를 참조하면, 하나의 화소 전극(82)은 소정의 간극(gap)(83)을 사이에 두고 서로 맞물려 있으며 전기적으로 분리된 제1 및 제2 부화소 전극(82a, 82b)으로 이루어진다. 제2 부화소 전극(82b)은 대략 옆으로 누운 V자 형상을 가지며, 제1 부화소 전극(82a)은 화소 내에서 제2 부화소 전극(82b) 이외의 영역에 형성되어 있다. 구체적으로 제1 부화소 전극(82a)은 제2 부화소 전극(82b)을 감싸도록 형성되어 있다.
- <55> 이러한 간극(83)은 게이트선(22)과 약 45도 또는 -45도를 이루는 사선부(83a)와, 사선부(83a) 사이를 연결하며 제1 및 제2 데이터선(62a, 62b)을 따라 배열된 세로부(83b)를 포함한다.
- <56> 제1 부화소 전극(82a)에는 게이트선(22)과 약 45도 또는 -45도를 이루는 제1 도메인 분할 수단(84), 예를 들어 절개부(cutout) 또는 돌출부(protrusion)가 형성될 수 있다. 화소 전극(82)의 표시 영역은 액정층에 포함된 액정 분자의 주 방향자가 전계 인가시 배열되는 방향에 따라 다수의 도메인으로 분할된다. 간극(83) 및 제1 도메인 분할 수단(84)은 화소 전극(82)을 많은 도메인으로 분할하는 역할을 한다. 여기서 도메인이란 화소 전극(82)과 공통 전극(도 4의 도면부호 90 참조) 사이에 형성된 전계에 의해 액정 분자의 방향자가 특정 방향으로 무리를 지어 기울어지는 액정 분자들로 이루어진 영역을 의미한다. 도시되지는 않았으나 제2 부화소 전극(82b)에도 도메인 분할 수단이 형성될 수 있다.
- <57> 본 실시예에서는 간극(83), 제1 도메인 분할 수단(84) 및 제2 도메인 분할 수단(도 4의 도면부호 92 참조)에 의하여 화소 전극(82)의 표시 영역이 4개의 도메인으로 분할된다. 4개의 도메인의 실질적인 면적이 동일할 경우 액정 분자의 기우는 방향이 4방향으로 고르게 분산되어 대칭적인 시인성을 구현할 수 있다. 제1 및 제2 콘택홀(76a, 76b) 주변을 통과하는 빛은 제1 및 제2 콘택홀(76a, 76b) 아래의 위치하는 제1 및 제2 드레인 전극(66a, 66b)의 끝단에 의하여 차폐된다. 도 3b에 도시된 바와 같이, 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)은 게이트선(22)과 실질적으로 평행하게 화소 영역의 중심을 가로지르는 중심선을 기준으로 대칭적으로 형성된 경우, 각 도메인의 실질적인 면적이 동일하기 위해서는 제1 및 제2 콘택홀(76a, 76b)은 화소 영역의 중심에 배치되는 것이 바람직하다. 즉 제1 및 제2 콘택홀(76a, 76b)은 화소 영역의 중심을 가로지르는 중심선 상에 위치하는 것이 바람직하다.
- <58> 나아가 제1 및 제2 드레인 전극(66a, 66b)은 각각 제1 및 제2 데이터선(62a, 62b)에 이웃하여 나란하게 형성되는 것이 바람직하다. 제1 부화소 전극(82a)에 상대적으로 낮은 데이터 전압이 인가되고 제2 부화소 전극(82b)에 상대적으로 높은 데이터 전압이 인가되는 경우, 제1 및 제2 드레인 전극(66a, 66b)은 전체적인 휘도에 대한 기여분이 상대적으로 낮은 제1 부화소 전극(82a)에 중첩되도록 배치되는 것이 바람직하다.
- <59> 간극(83)의 사선부(83a) 및 제1 도메인 분할 수단(84)에는 얼룩이나 잔상이 발생하는 것을 방지할 수 있는 노치(notch)(85)가 형성될 수 있다.
- <60> 앞서 언급한 바와 같이, 제2 부화소 전극(82b)은 전체적으로 V자 형상을 가지며, 제1 부화소 전극(82a)은 제2 부화소 전극(82b)을 감싸도록 형성되어 있다. 구체적으로 제1 부화소 전극(82a)은, 간극(83)의 사선부(83a)와 인접하고 전체적으로 게이트선(22)과 약 45도 또는 -45도를 이루며 액정 분자의 움직임 제어하는 메인 영역과, 간극(83)의 세로부(83b)와 인접하고 제1 및 제2 데이터선(62a, 62b)을 따라 배열되어 메인 영역들을 연결하는 브릿지 영역으로 이루어진다.
- <61> 도 3a에 도시된 바와 같이, 제1 및 제2 데이터선(62a, 62b)은 제1 부화소 전극(82a)과 적어도 일부가 중첩되도록 형성된다. 바람직하게는 제1 및 제2 데이터선(62a, 62b)은 폭방향으로 제1 부화소 전극(82a)과 완전히 중첩되도록 형성된다. 구체적으로 제1 및 제2 데이터선(62a, 62b)은 제1 부화소 전극(82a)의 브릿지 영역과 중첩된다. 따라서 제1 및 제2 데이터선(62a, 62b)이 제2 부화소 전극(82b)과 중첩하지 않고 제1 부화소 전극(82a)과 중첩하도록 배치함으로써, 제1 및 제2 데이터선(62a, 62b)과 제2 부화소 전극(82b) 간의 커플링 커패시턴스를 줄여서 액정 표시 장치의 표시 특성을 향상시킬 수 있다.
- <62> 제1 부화소 전극(82a)을 제1 및 제2 데이터선(62a, 62b)과 중첩시켜 배치하고 낮은 계조 레벨에서 액정 표시 장치를 동작시키는 경우, 제1 부화소 전극(82a)에 의하여 이를 통과하는 빛이 차폐되므로 제1 및 제2 데이터선

(62a, 62b) 주변에서 발생하는 빛샘 현상을 방지할 수 있다.

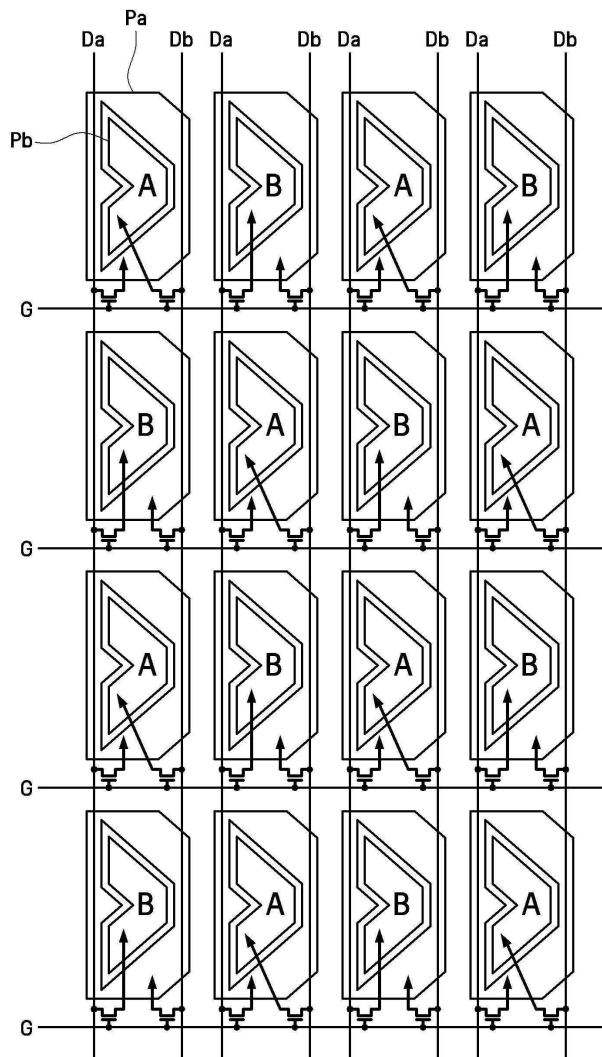
- <63> 이와 같은 제1 및 제2 부화소 전극(82a, 82b), 및 보호막(70) 위에는 액정층을 배향할 수 있는 배향막(미도시)이 도포될 수 있다.
- <64> 다음으로 도 4 내지 도 5b를 참조하여, 상부 표시판 및 액정 표시 장치에 대하여 설명한다. 여기서 도 4는 도 3a의 하부 표시판과 결합하는 상부 표시판의 배치도이고, 도 5a는 도 3a의 하부 표시판과 도 4의 상부 표시판을 포함하는 액정 표시 장치의 배치도이고, 도 5b는 도 5a의 액정 표시 장치를 Vb-Vb'선으로 자른 단면도이다.
- <65> 투명한 유리 등으로 이루어진 절연 기판(100) 위에 빛샘을 방지하고 실질적으로 화소 영역을 정의하는 블랙 매트릭스(94)가 형성되어 있다. 블랙 매트릭스(94)는 게이트선(22)과 제1 및 제2 데이터선(62a, 62b)에 대응하는 부분과 박막 트랜지스터에 대응하는 부분에 형성될 수 있다. 또한, 블랙 매트릭스(94)는 제1 및 제2 부화소 전극(82a, 82b)과 박막 트랜지스터 부근에서의 빛샘을 차단하기 위하여 다양한 모양을 가질 수 있다. 블랙 매트릭스(94)는 크롬, 크롬 산화물 등의 금속(금속 산화물), 또는 유기 블랙 레지스트 등으로 이루어질 수 있다.
- <66> 블랙 매트릭스(94) 사이의 화소 영역에는 적색, 녹색, 청색의 컬러필터(미도시)가 순차적으로 배열될 수 있다.
- <67> 이러한 컬러필터 위에는 이들의 단차를 평탄화 하기 위한 오버코트층(overcoat layer)(110)이 형성될 수 있다.
- <68> 오버코트층(110) 위에는 ITO 또는 IZO 등의 투명한 도전 물질로 이루어져 있는 공통 전극(90)이 형성되어 있다. 공통 전극(90)은 제1 및 제2 부화소 전극(82a, 82b)과 마주보며, 게이트선(22)에 대하여 약 45도 또는 -45도를 이루는 제2 도메인 분할 수단(92), 예를 들어 절개부 또는 돌출부를 포함할 수 있다. 제2 도메인 분할 수단(92)에는 얼룩이나 잔상이 발생하는 것을 방지할 수 있는 노치(notch)(93)가 형성될 수 있다.
- <69> 공통 전극(90) 위에는 액정 분자들을 배향하는 배향막(미도시)이 도포될 수 있다.
- <70> 이와 같은 구조의 하부 표시판과 상부 표시판을 정렬하여 결합하고 그 사이에 액정 물질을 주입하여 수직 배향하면 본 발명의 일 실시예에 따른 액정 표시 장치의 기본 구조가 이루어진다.
- <71> 액정층(120)에 포함되어 있는 액정 분자는 화소 전극(82)과 공통 전극(90) 사이에 전계가 인가되지 않은 상태에서 그 방향자(director)가 하부 표시판과 상부 표시판에 대하여 수직을 이루도록 배향되어 있고, 음의 유전율 이방성을 가진다.
- <72> 액정 표시 장치는 이러한 기본 구조에 편광판, 백라이트 등의 요소들을 배치하여 이루어진다. 이 때 편광판은 기본 구조 양측에 각각 하나씩 배치되며 그 투과축은 게이트선(22)에 대하여 둘 중 하나는 나란하고 나머지 하나는 이에 수직을 이루도록 배치한다.
- <73> 하부 표시판과 상부 표시판 사이에 전계를 인가하면 대부분의 영역에서는 두 표시판에 수직인 전계가 형성되지만 간극(83) 및 도메인 분할 수단(84, 92) 근처에서는 수평 전계가 형성된다. 이러한 수평 전계는 각 도메인의 액정 분자의 배향을 도와주는 역할을 한다.
- <74> 본 실시예의 액정 분자는 음의 유전율 이방성을 가지므로, 액정 분자에 전계가 인가되는 경우 각 도메인 내의 액정 분자는 상기 도메인을 구획하는 간극(83) 또는 도메인 분할 수단(84, 92)에 대하여 수직을 이루는 방향으로 기울어지게 된다. 따라서 간극(83) 또는 도메인 분할 수단(84, 92)을 중심으로 양쪽에서 액정 분자의 기울어지는 방향이 반대로 되고, 간극(83)의 사선부(83a) 또는 도메인 분할 수단(84, 92)이 화소의 중심에 대하여 대칭적으로 형성되어 있으므로, 액정 분자는 게이트선(22)과 실질적으로 45도 또는 -45도를 이루며 4 방향으로 기울어지게 된다. 이와 같이 4 방향으로 기울어지는 액정 분자에 의해 광학적 특성이 서로 보상되어 시야각이 넓어지게 된다.
- <75> 앞서 언급한 바와 같이, 제1 및 제2 콘택홀(76a, 76b)이 화소 영역의 중심에 배치됨으로써 각 도메인의 실질적인 면적을 동일하게 유지할 수 있다. 즉 제1 및 제2 콘택홀(76a, 76b)이 화소 영역의 중심을 가로지르는 중심선상에 위치함으로써, 액정 분자가 기우는 방향이 4방향으로 고르게 분산되어 대칭적인 시인성을 구현할 수 있다.
- <76> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면의 간단한 설명

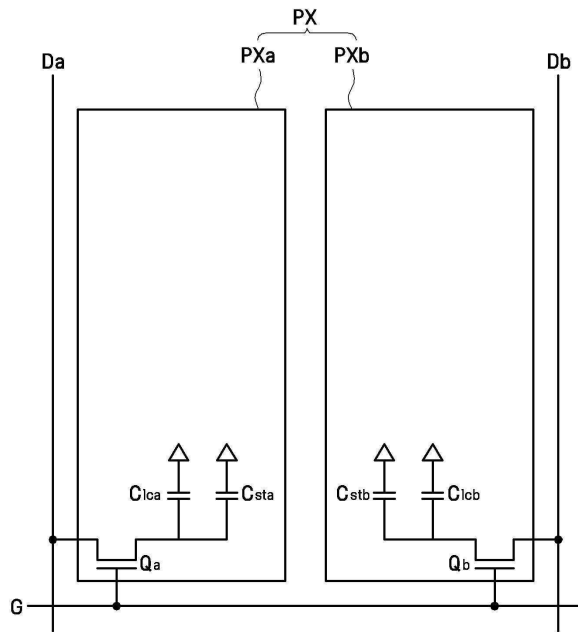
- <77> 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 화소 어레이를 개략적으로 나타낸 도면이다.
- <78> 도 2는 도 1의 액정 표시 장치의 한 화소에 대한 등가 회로도이다.
- <79> 도 3a는 본 발명의 일 실시예에 따른 도 1의 A형 화소를 포함한 하부 표시판의 배치도이다.
- <80> 도 3b는 도 3a의 하부 표시판을 IIIb-IIIb'선으로 자른 단면도이다.
- <81> 도 4는 도 3a의 하부 표시판과 결합하는 상부 표시판의 배치도이다.
- <82> 도 5a는 도 3a의 하부 표시판과 도 4의 상부 표시판을 포함하는 액정 표시 장치의 배치도이다.
- <83> 도 5b는 도 5a의 액정 표시 장치를 Vb-Vb'선으로 자른 단면도이다.
- <84> (도면의 주요부분에 대한 부호의 설명)
- | | | |
|------|------------------|------------------|
| <85> | 10: 절연 기판 | 22: 게이트선 |
| <86> | 26a, 26b: 게이트 전극 | 30: 게이트 절연막 |
| <87> | 40a, 40b: 반도체층 | 55a, 56a: 오믹 콘택층 |
| <88> | 62a, 62b: 데이터선 | 65a, 65b: 소스 전극 |
| <89> | 66a, 66b: 드레인 전극 | 70: 보호막 |
| <90> | 76a, 76b: 콘택홀 | 82: 화소 전극 |
| <91> | 82a, 82b: 부화소 전극 | 83: 간극 |
| <92> | 83a: 사선부 | 83b: 세로부 |
| <93> | 84: 제1 도메인 분할 수단 | 85: 노치 |
| <94> | 90: 공통 전극 | 92: 제2 도메인 분할 수단 |
| <95> | 93: 노치 | 94: 블랙 매트릭스 |
| <96> | 100: 절연 기판 | 110: 오버코트층 |
| <97> | 120: 액정층 | |

도면

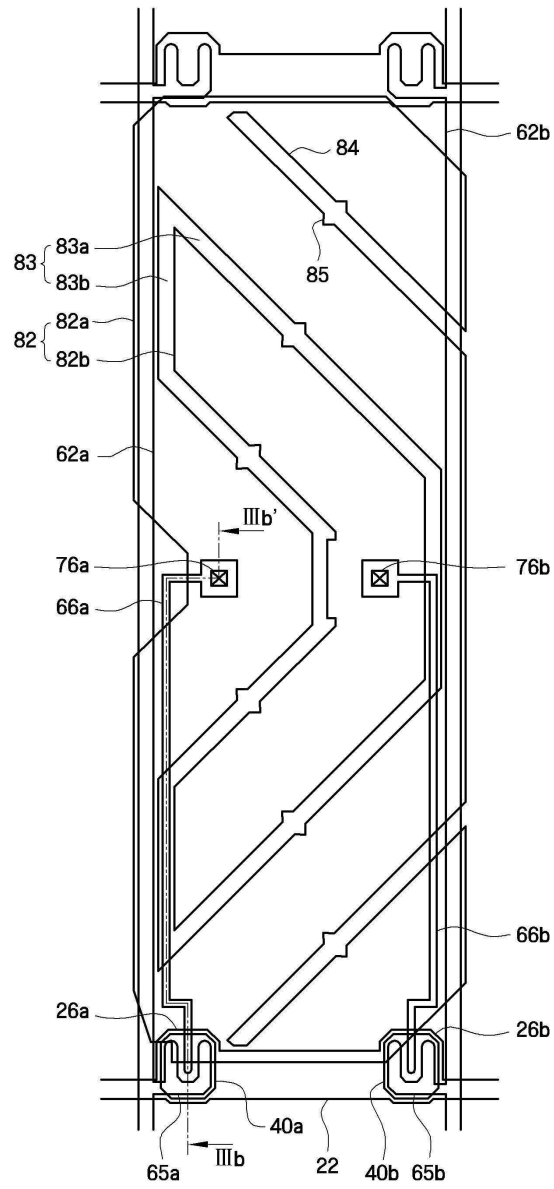
도면1



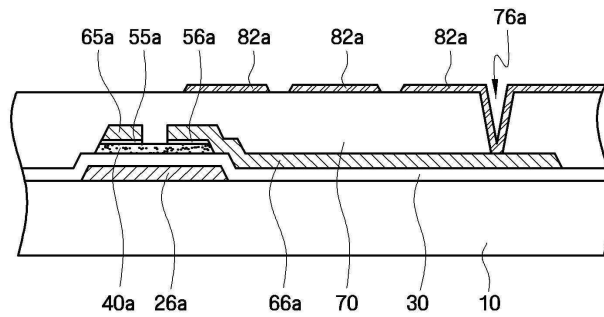
도면2



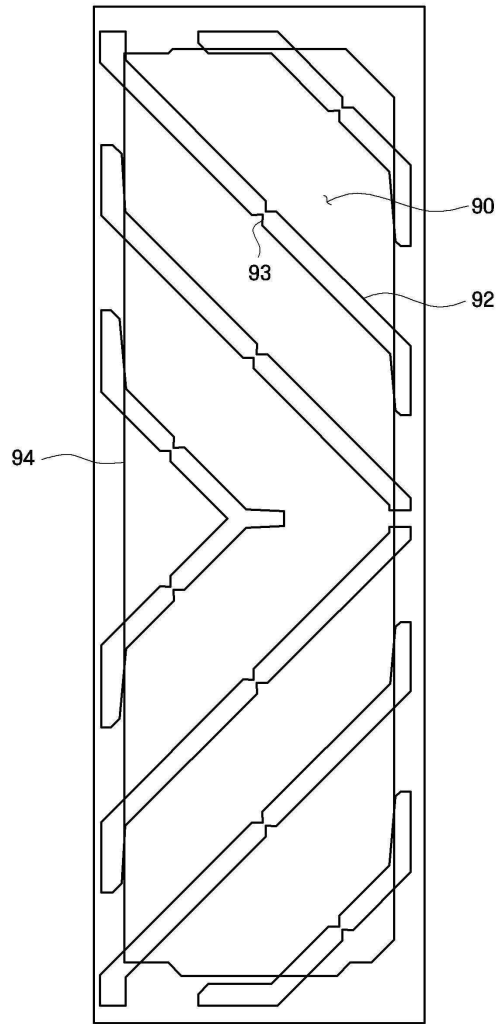
도면3a



도면3b



도면4



도면5b

