



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0086267
(43) 공개일자 2008년09월25일

(51) Int. Cl.

G02F 1/1343 (2006.01) G02F 1/1335 (2006.01)

(21) 출원번호 10-2007-0028244

(22) 출원일자 2007년03월22일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

최상호

경기 과천시 교하읍 동패리 동문굿모닝힐 1006동 1103호

(74) 대리인

김용인, 박영복

전체 청구항 수 : 총 12 항

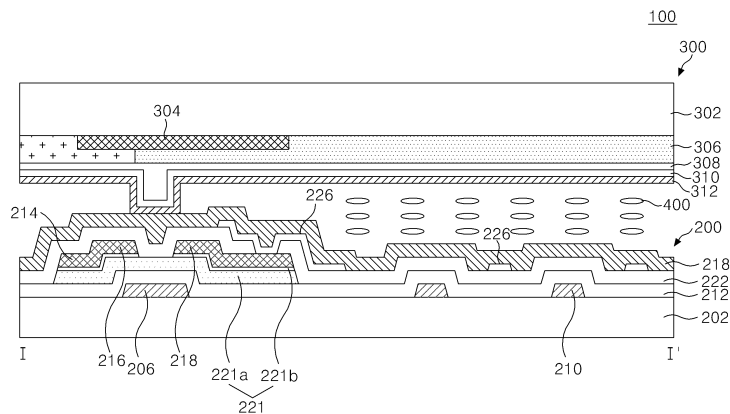
(54) 액정표시패널 및 그 제조방법

(57) 요약

본 발명은 컬러필터기판상에 화소전극과 연동하여 수직 전계를 발생시키는 공통전극패턴을 형성함으로써, 셀 갭의 증감에 따른 액정층의 유효 굴절률을 보상하여 위상 지연값을 균일화하는 동시에 투과율 편차를 최소화할 수 있는 수평 전계형 액정표시패널 및 그 제조 방법에 관한 것이다.

본 발명에 따른 수평 전계형 액정표시패널은, 화소영역에 수평 전계를 형성하기 화소전극 및 공통전극이 형성된 박막 트랜지스터기판; 박막 트랜지스터와 셀 갭을 사이에 두고 정합되며 화소전극과 함께 수직 전계를 형성하는 공통전극패턴이 형성된 컬러필터기판; 및 셀 갭 변화에 따른 수직 전계의 세기에 비례하여 유효 굴절률이 가변되는 액정층을 포함하여 구성된 것을 특징으로 한다.

대표도 - 도3



특허청구의 범위

청구항 1

화소영역에 수평 전계를 형성하는 화소전극 및 공통전극이 형성된 박막 트랜지스터기판;

상기 박막 트랜지스터와 셀 갭을 사이에 두고 정합되며 상기 화소전극과 함께 수직 전계를 형성하는 공통전극패턴이 형성된 컬러필터기판; 및

상기 셀 갭 변화에 따른 상기 수직 전계의 세기에 비례하여 유효 굴절률이 가변되는 액정층을 포함하여 구성된 것을 특징으로 하는 수평 전계형 액정표시패널.

청구항 2

제 1 항에 있어서,

상기 공통전극패턴은 상기 컬러필터기판상에 전면 형성된 것을 특징으로 하는 수평 전계형 액정표시패널.

청구항 3

제 1 항에 있어서,

상기 공통전극패턴은 상기 화소전극과 어긋난 형태로 상기 컬러필터기판상에 패터닝되는 것을 특징으로 하는 수평 전계형 액정표시패널.

청구항 4

제 1 항에 있어서,

상기 셀 갭이 목표치보다 크게 형성된 경우, 상기 액정층의 유효 굴절률은 상기 화소전극 및 상기 공통전극 사이의 수직 전계가 증가됨에 따라 감소되는 것을 특징으로 하는 수평 전계형 액정표시패널.

청구항 5

제 1 항에 있어서,

상기 셀 갭이 목표치보다 작게 형성되는 경우, 상기 액정층의 유효 굴절률은 상기 화소전극 및 상기 공통전극패턴 사이의 수직 전계가 감소됨에 따라 증가되는 것을 특징으로 하는 수평 전계형 액정표시패널.

청구항 6

제 4 항 또는 제 5 항에 있어서,

상기 액정층의 유효 굴절률이 상기 수직 전계에 연동하여 상기 셀 갭의 변화에 반대 방향으로 보상됨에 따라, 상기 액정층은 균일한 위상 지연값(Retardation)을 갖는 것을 특징으로 하는 수평 전계형 액정표시패널.

청구항 7

화소영역에 수평 전계를 형성하기 위한 화소전극 및 공통전극이 형성된 박막 트랜지스터기판을 제작하는 단계;

상기 박막 트랜지스터와 셀 갭을 사이에 두고 정합되며 상기 화소전극과 함께 수직 전계를 형성하는 공통전극패턴이 형성된 컬러필터기판을 제작하는 단계; 및

상기 셀 갭 변화에 따라 변화되는 상기 수직 전계의 크기에 연동하여 유효 굴절률이 가변되는 액정층을 적하시키는 단계를 포함하여 구성된 것을 특징으로 하는 수평 전계형 액정표시패널의 제조방법.

청구항 8

제 7 항에 있어서,

상기 공통전극패턴은 상기 컬러필터기판상에 전면 형성된 것을 특징으로 하는 수평 전계형 액정표시패널의 제조방법.

청구항 9

제 7 항에 있어서,

상기 공통전극패턴은 상기 화소전극과 어긋난 형태로 상기 컬러필터기판상에 패터닝되는 것을 특징으로 하는 수평 전계형 액정표시패널의 제조방법.

청구항 10

제 7 항에 있어서,

상기 셀 갭이 목표치보다 크게 형성된 경우, 상기 액정층의 유효 굴절률은 상기 화소전극 및 상기 공통전극 사이의 수직 전계가 증가됨에 따라 감소되는 것을 특징으로 하는 수평 전계형 액정표시패널의 제조방법.

청구항 11

제 7 항에 있어서,

상기 셀 갭이 목표치보다 작게 형성되는 경우, 상기 액정층의 유효 굴절률은 상기 화소전극 및 상기 공통전극패턴 사이의 수직 전계가 감소됨에 따라 증가되는 것을 특징으로 하는 수평 전계형 액정표시패널의 제조방법.

청구항 12

제 10 항 또는 제 11 항에 있어서,

상기 액정층의 유효 굴절률이 상기 수직 전계에 연동하여 상기 셀 갭의 변화에 반대 방향으로 보상됨에 따라, 상기 액정층은 균일한 위상 지연값(Retardation)을 갖는 것을 특징으로 하는 수평 전계형 액정표시패널의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <25> 본 발명은 액정표시패널 및 그 제조방법에 관한 것으로서, 특히 수직전계를 통해 셀 갭의 증감에 따른 액정층의 유효 굴절률을 보상함으로써 액정층의 위상 지연값을 균일화하는 동시에 투과율 편차를 최소화할 수 있는 수평 전계형 액정표시패널 및 그 제조 방법에 관한 것이다.
- <26> 액정표시장치(Liquid Crystal Display; LCD)는 전계를 이용하여 액정의 광투과율을 조절하여 화상을 표시하는 장치로서, 셀마다 스위칭소자가 형성된 액티브 매트릭스(Active Matrix) 타입으로 구현되어 컴퓨터용 모니터, 사무기기, 셀룰라폰 등의 표시장치에 적용되고 있다.
- <27> 이와 같은 액정 표시 장치는 액정을 구동시키는 전계방향에 따라 수직방향의 전계를 이용하는 수직 전계형과 수평방향의 전계를 이용하는 수평 전계형으로 대별된다.
- <28> 이때, 수직 전계형의 액정 표시 장치는 상부 기판상에 형성된 공통전극과 하부기판상에 형성된 화소전극이 서로 대향되게 배치되어 이들 사이에 형성되는 수직 전계에 의해 TN(Twisted Nemastic) 모드의 액정을 구동하게 된다. 이러한 수직 전계형 액정 표시 장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다.
- <29> 수평 전계형의 액정표시장치는 하부 기판에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 인플레인 스위치(In Plane Switch; 이하, IPS라 함) 모드의 액정을 구동하게 된다. 이러한 수평 전계 인가형 액정 표시 장치는 시야각이 160도 정도로 넓은 장점을 가지는 반면에 개구율이 작다는 단점을 가진다.
- <30> 이하, 도 1을 참조하여 종래의 수평 전계형 액정표시장치의 구성 및 동작에 대해 설명한다.
- <31> 도 1에 도시된 바와 같이, 수평 전계형 액정표시장치는 상부 기판(2) 상에 순차적으로 형성된 블랙 매트릭스(4), 컬러필터(6), 오버코팅층(8), 스페이서(13) 및 상부 배향막(12)으로 구성된 컬러필터기판, 하부 유리기판

(32)상에 형성된 박막 트랜지스터, 공통전극(10), 화소전극(56) 및 하부 배향막(52)으로 구성되는 박막 트랜지스터 기관 및 두 기관 사이에 형성된 셀 갭 사이에 적하되어 수평 방향으로 배향된 액정층을 포함하여 구성된다.

- <32> 상술한 바와 같이 구성된 수평 전계형 액정표시장치의 경우, 도 2에 도시된 바와 같이, 수직 전계형 액정표시장치와 비교하여 두 기관 사이의 셀 갭 변동에 따른 액정층의 투과율 편차가 큰 값을 갖는다. 여기서, 수직 전계형 액정표시장치의 $\pm 0.1\mu\text{m}$ 의 셀 갭 변동은 수평 전계형 액정표시장치의 $\pm 0.02\mu\text{m} \sim 0.04\mu\text{m}$ 의 셀 갭 변동과 동일한 투과율 편차를 발생시킨다.
- <33> 따라서, 종래 수평 전계형 액정표시장치는 두 기관 사이의 셀 갭이 목표치보다 크거나 또는 작게 변하는 경우, 액정층의 위상 지연값(retardation)이 가변됨에 따라 투과율 편차가 크게 변화되어 패널 내에 얼룩이 발생하거나 또는 감마 전압이 쉬프트 되는 등의 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

- <34> 따라서, 본 발명의 목적은 셀 갭의 변화에 연동하여 액정층의 유효 굴절률을 보상함으로써, 액정층의 위상 지연 값을 균일화하는 동시에 투과율 편차를 최소화할 수 있는 수평 전계형 액정표시패널 및 그 제조 방법을 제공하는 데 있다.

발명의 구성 및 작용

- <35> 상기 목적을 달성하기 위해, 본 발명에 따른 수평 전계형 액정표시장치는 화소영역에 수평 전계를 형성하기 화소전극 및 공통전극이 형성된 박막 트랜지스터기관; 박막 트랜지스터와 셀 갭을 사이에 두고 정합되며 화소전극과 함께 수직 전계를 형성하는 공통전극패턴이 형성된 컬러필터기관; 및 셀 갭 변화에 따라 변화되는 상기 수직 전계의 크기에 연동하여 유효 굴절률이 가변되는 액정층을 포함하여 구성된 것을 특징으로 한다.
- <36> 여기서, 본 발명에 따른 공통전극패턴은 컬러필터기관상에 전면 형성된 것을 특징으로 한다.
- <37> 본 발명에 따른 공통전극패턴은 화소전극과 어긋난 형태로 컬러필터기관상에 패터닝되는 것을 특징으로 한다.
- <38> 본 발명에 따른 두 기관 사이의 셀 갭이 목표치보다 크게 형성된 경우, 액정층의 유효 굴절률은 화소전극 및 공통전극 사이의 수직 전계가 증가됨에 따라 감소되는 것을 특징으로 한다.
- <39> 본 발명에 따른 두 기관 사이의 셀 갭이 목표치보다 작게 형성되는 경우, 액정층의 유효 굴절률은 화소전극 및 공통전극패턴 사이의 수직 전계가 감소됨에 따라 증가되는 것을 특징으로 한다.
- <40> 본 발명에 따른 액정층의 유효 굴절률이 수직 전계에 연동하여 셀 갭의 변화에 반대 방향으로 보상됨에 따라, 액정층은 균일한 위상 지연값(Retardation)을 갖는 것을 특징으로 한다.
- <41> 상기 목적을 달성하기 위해, 본 발명에 따른 수평 전계형 액정표시장치의 제조 방법은, 화소영역에 수평 전계를 형성하기 위한 화소전극 및 공통전극이 형성된 박막 트랜지스터기관을 제작하는 단계; 박막 트랜지스터와 셀 갭을 사이에 두고 정합되며 화소전극과 함께 수직 전계를 형성하는 공통전극패턴이 형성된 컬러필터기관을 제작하는 단계; 및 셀 갭 변화에 따라 변화되는 수직 전계의 크기에 연동하여 유효 굴절률이 가변되는 액정층을 적하시키는 단계를 포함하여 구성된 것을 특징으로 한다.
- <42> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- <43> 이하, 첨부도면을 참조하여 본 발명에 따른 바람직한 실시예에 대하여 설명한다.
- <44> 본 발명에 따른 수평 전계형 액정표시장치(100)는, 도 3에 도시된 바와 같이, 수평 전계를 형성하기 위한 다수의 박막 패턴 및 박막 트랜지스터가 형성된 박막 트랜지스터 기관(200)과, 수직 전계를 형성하기 위한 다수의 박막 패턴 및 컬러필터가 형성된 컬러필터기관(200) 및 두 기관 사이에 형성되는 셀 갭 사이에 적하되어 소정 방향으로 배향된 액정층(400)을 포함하여 구성된다.
- <45> 박막 트랜지스터 기관(200)은 셀 갭 사이에 적하된 액정층(400)을 소정 방향으로 구동시키기 위한 수평 전계를 형성하는 것으로서, 도 4a 및 도 4b에 도시된 바와 같이, 하부기관(202) 상에 형성되는 게이트 라인(204)과, 게이트 라인(204)과 동시에 형성되며 공통전극(210)이 접속된 공통라인(208)과, 게이트 절연막(212)을 사이에 두고 게이트 라인(204)과 교차 형성되어 화소영역을 정의하는 데이터 라인(214)과, 게이트 라인(204) 및 데이터

라인(214)의 교차부마다 형성된 박막 트랜지스터(TR)와, 박막 트랜지스터(TR)를 덮는 보호막(222)과, 보호막(222)을 관통하는 콘택홀(224)을 통해 박막 트랜지스터(TR)에 접속되며 공통전극(210)과 함께 화소영역에 수평 전계를 형성하는 화소전극(226) 및 액정층(400)을 소정 방향으로 배향시키기 위한 하부 배향막(228)을 구비한다.

- <46> 게이트 라인(204)은 게이트 패드에 접속되는 게이트 드라이버(미도시)로부터 공급되는 게이트 신호를 박막 트랜지스터(TR)를 구성하는 게이트 전극(206)으로 전달한다.
- <47> 공통라인(208)은 화소영역을 사이에 두고 게이트 라인(204)과 나란하게 형성되며 액정 구동을 위한 기준전압을 공통전극(210)에 공급한다.
- <48> 데이터 라인(214)은 데이터 패드에 접속된 데이터 드라이버(미도시)로부터 공급되는 데이터 신호를 게이트 전극(206)의 온/오프에 연동하여 박막 트랜지스터(TR)를 구성하는 소스전극(216) 및 드레인 전극(218)으로 전달한다.
- <49> 이때, 데이터 라인(214)은 게이트 절연막(212)을 사이에 두고 게이트 라인(204)과 교차 형성되어 화소영역을 정의한다.
- <50> 박막 트랜지스터는(TR)는 게이트 라인(204)의 게이트 신호에 응답하여 데이터 라인(214)의 화소 신호를 화소 전극(226)에 충전시키는 것으로서, 게이트 라인(204)에 접속된 게이트 전극(206)과, 데이터 라인(214)에 접속된 소스 전극(216)과, 채널을 사이에 두고 소스전극(216)과 대향되는 동시에 콘택홀(224)을 통해 화소 전극(226)에 접속된 드레인 전극(218)을 구비한다.
- <51> 이때, 박막 트랜지스터(TR)는 게이트 절연막(212)을 사이에 두고 게이트 전극(206)과 대응되게 형성되어 채널을 형성하는 활성층(221a)과, 활성층(221a) 상에 형성되며 소스전극(216) 및 드레인 전극(218)과 오믹 접촉을 수행하는 오믹 접촉층(221b)으로 구성된 반도체 패턴(221)을 더 포함하여 구성된다.
- <52> 화소 전극(226)은 보호막(222)을 관통하는 콘택홀(224)을 통해 박막 트랜지스터(TR)의 드레인 전극(218)과 접속되며 공통라인(208)에 접속된 공통전극(210)과 엇갈린 형태로 화소영역에 형성된다.
- <53> 여기서, 화소 전극(226)은 박막 트랜지스터(TR)의 드레인 전극(218)을 통해 스토리지 캐패시터(미도시)에 충전된 데이터 전압이 공급되는 경우, 하부기관(202)상에 형성된 공통전극(210)과 함께 셀 갭 사이에 적하된 액정을 소정 방향으로 배향시키는 수평 전계를 형성한다.
- <54> 화소 전극(226)은 컬러필터기관(300)에 형성되는 공통전극패턴(310)과 연동하여 화소영역에 수직 전계를 형성하고, 이에 의해 셀 갭 사이에 적하된 액정층(400)에 균일한 위상 지연값을 형성함으로써 다음과 같은 관계식을 갖는 투과율의 편차를 감소시키는 역할을 수행한다.

$$T \propto \sin^2(2\theta) \times \sin^2 \left(\frac{\pi \Delta n_{eff} d}{\lambda} \right)$$

- <55>
- <56> (여기서, T는 액정층의 투과율을 나타내고, Δn_{eff} 은 유효 굴절률을 나타내며, d는 액정층이 적하된 셀 갭을 나타낸다)
- <57> 즉, 두 기관 사이의 셀 갭(d1)이 목표치보다 크게 설정된 상태에서 화소전극(226)에 데이터 신호가 공급되는 경우, 도 5에 도시된 바와 같이, 화소전극(226)은 컬러필터기관(300)에 형성된 공통전극패턴(310)과 연동하여 셀 갭(d)에 적하된 액정층(400)을 수직 방향으로 배향시키기 위한 수직 전계를 형성한다.
- <58> 상술한 바와 같이 화소전극(226)과 공통전극패턴(310) 사이에 수평 전계(HE)와 연계되어 큰 수직 전계(VE)가 형성되는 경우, 셀 갭(d) 사이에 적하된 액정층(400)의 수직배향 성분이 증가됨에 따라 액정층(400)의 유효 굴절률(Δn_{eff})은 감소되는 방향으로 보상된다.
- <59> 따라서, 화소영역의 투과율은 셀 갭(d1)이 증가되는 반면에 액정층(400)의 유효 굴절률(Δn_{eff})이 감소되는 방향으로 보상되고, 액정층(400)에는 균일한 위상 지연값(Retardation)이 설정되어 투과율이 변동되지 않음에 따라 패널 내에 발생하는 얼룩 및 감마 전압의 쉬프트 현상이 발생되지 않는다.
- <60> 그러나, 두 기관 사이의 셀 갭(d2)이 목표치보다 작게 설정된 상태에서 화소전극(226)에 데이터 신호가 공급되는 경우, 도 6에 도시된 바와 같이, 화소전극은 컬러필터기관(300)에 형성된 공통전극패턴과 연동하여 셀 갭

(d2)에 적하된 액정층(400)을 수직 방향으로 배향시키기 위한 전계를 형성된다.

- <61> 상술한 바와 같이 화소전극(226)과 공통전극패턴(310) 사이에 수평 전계와 연계되어 작은 수직 전계가 형성되는 경우, 셀 갭(d2) 사이에 적하된 액정층(400)의 수직배향 성분이 감소됨에 따라 액정층(400)의 유효 굴절률(Δn_{eff})은 증가되는 방향으로 보상된다.
- <62> 따라서, 화소영역의 투과율은 셀 갭(d2)이 감소되는 반면에 액정층(400)의 유효 굴절률(Δn_{eff})이 증가되는 방향으로 보상되고, 이에 의해 액정층(400)에는 균일한 위상 지연값(Retardation)이 설정되는 동시에 투과율이 변동되지 않아 패널 내에 발생하는 얼룩 및 감마 전압의 쉬프트 현상이 발생되지 않는다.
- <63> 컬러필터기판(300)은 액정층(400)을 통해 입사되는 광을 이용하여 다양한 컬러를 형성하는 것으로서, 도 7a에 도시된 바와 같이, 상부기판(302)상에 형성된 블랙 매트릭스(304)와, 블랙 매트릭스(304)에 의해 구획된 화소영역에 형성되는 컬러필터(306)와, 컬러필터(306)에 의해 형성된 단차를 제거하여 상부기판(302)을 평탄화시키는 오버코팅층(308)과, 오버 코팅층(308) 상에 전면 형성되며 화소전극(226)과 연동하여 액정층(400)을 구동시키기 위한 수직 전계를 형성하는 공통전극패턴 (310) 및 공통전극패턴(310)이 형성된 오버 코팅층(308)을 덮도록 형성되며 액정층(400)을 소정 방향으로 배향시키는 상부 배향막(312)을 구비한다.
- <64> 이때, 칼라필터기판(300)은 액정층을 소정 방향으로 배향시키는 수직 전계를 효과적으로 형성하기 위해, 도 7b에 도시된 바와 같이, 공통전극패턴(310)은 오버 코팅층(308) 중에서 박막 트랜지스터(TR)에 형성된 화소전극(226)과 대칭 형태가 아닌 소정의 편차, 구체적으로는 공통전극(210)과 대칭되는 형태로 형성될 수 있다.
- <65> 블랙 매트릭스(304)는 상부기판(302)상에 매트릭스 형태로 형성되어 컬러필터(306)들이 형성될 다수의 셀 영역을 구획하는 동시에 인접한 셀 영역간의 광간섭을 방지하는 것으로서, 박막 트랜지스터 기판(200)의 화소전극(226)을 제외한 영역인 게이트 라인(204), 데이터 라인(214) 및 박막 트랜지스터(TR)와 중첩되게 형성된다.
- <66> 이때, 블랙 매트릭스(304)는 상부기판(302)상에 불투명 금속, 예를 들면 크롬(Cr 또는 CrOx) 등의 불투명 금속을 약 1500~2000Å의 두께 및 5~25 μ m의 선폭을 갖도록 증착시킨 후 이를 포토리소그래피공정 및 식각공정을 통해 패터닝시킴으로써 형성된다.
- <67> 또한, 블랙 매트릭스(304)는 상부기판(302)상에 절연성 수지를 1.0~1.5 μ m의 두께를 갖는 동시에 5~25 μ m 선폭을 갖도록 형성한 후 이를 포토리소그래피공정 및 식각공정을 통해 패터닝시킴으로써 형성될 수도 있다.
- <68> 컬러필터(306)는 블랙 매트릭스(304)에 의해 구획된 다수의 셀 영역에 형성된다. 이때, 컬러필터(306)는 적색, 녹색 및 청색을 갖는 감광성 칼라 수지를 안료 분사법을 통해 순차적으로 상부기판(302)상에 분사시킨 후 마스크를 이용한 포토리소그래피공정 및 식각공정을 통해 패터닝 함으로써, 적색을 구현하는 적색 컬러필터(306R), 녹색을 구현하는 녹색 컬러필터(306G) 및 청색을 구현하는 청색 컬러필터(306B)로 구성된다.
- <69> 이때, 컬러필터(306)를 구현하는 방법으로는 감광성 칼라 수지를 이용한 안료 분사법에 한정되는 것은 아니며, 안료 분사법 이외에도 각종 방법, 예를 들면 염색법, 전착법 및 인쇄법 등 다양한 방법을 통해서 형성될 수 있다고 해석되는 것이 바람직하다.
- <70> 오버 코팅층(308)은 컬러필터(306)에 의해 상부기판(302)상에 형성되는 단차를 제거함으로써, 후속 공정에 의해 형성되는 상부 배향막(312)을 평탄한 형상으로 형성될 수 있도록 한다.
- <71> 공통전극패턴(310)은 오버 코팅층(308) 상에 형성되며 박막 트랜지스터 기판(200)에 형성된 화소전극(226)과 함께 셀 갭에 적하된 액정층(400)을 소정 방향으로 구동시키기 위한 수직 전계를 형성한다.
- <72> 여기서, 공통전극패턴(310)은 오버 코팅층(308) 상에 전면 형성되거나 또는 셀 갭 변화에 따른 액정층(400)의 유효 굴절률을 보다 효과적으로 증감시키기 위해 화소전극(226)과 엇갈린 형태로 형성된다.
- <73> 상술한 바와 같이 구성된 공통전극패턴(310)은, 두 기판 사이의 셀 갭이 목표치보다 크게 설정된 상태에서 화소전극(226)에 데이터 신호가 공급되는 경우, 도 5에 도시된 바와 같이 화소전극(226)과 연동하여 셀 갭에 적하된 액정층을 수직 방향으로 배향시키기 위한 큰 수직 전계를 형성한다.
- <74> 이때, 화소전극(226)과 공통전극패턴(310) 사이에 수평 전계와 연계되어 큰 수직 전계가 형성되는 경우, 셀 갭(d) 사이에 적하된 액정층(400)의 수직배향 성분이 증가됨에 따라 액정층(400)의 유효 굴절률(Δn_{eff})은 감소되는 방향으로 보상된다.
- <75> 공통전극패턴(310)은, 두 기판 사이의 셀 갭이 목표치보다 작게 설정된 상태에서 화소전극(226)에 데이터 신호

가 공급되는 경우, 도 6에 도시된 바와 같이 화소전극(226)과 연동하여 셀 갭에 적하된 액정층(400)을 수직 방향으로 배향시키기 위한 수직 전계가 형성된다.

- <76> 이때, 화소전극(226)과 공통전극패턴(310) 사이에 수평 전계와 연계되어 작은 수직 전계가 형성되는 경우, 셀 갭(d) 사이에 적하된 액정층(400)의 수직배향 성분이 감소됨에 따라 액정층(400)의 유효 굴절률(Δn_{eff})은 증가되는 방향으로 보상된다.
- <77> 상술한 바와 같이, 공통전극패턴(310)은 화소전극(226)과 함께 셀 갭(d)의 증감에 대응하여 액정층(400)의 유효 굴절률(Δn_{eff})을 반대 방향으로 보상시키는 수직전계를 형성하여 액정층(400)에 균일한 위상 지연값(Retardation)을 설정시키고, 이에 의해 액정층(400)의 투과율이 변동되지 않음에 따라 패널 내에 발생하는 얼룩 및 감마 전압의 쉬프트 현상이 발생 되지 않는다.
- <78> 상부 배향막(312)은 공통전극패턴(310)이 형성된 오버 코팅층(308)을 덮는 동시에 셀 갭에 적하된 액정층(400)을 소정 방향으로 배향시키는 역할을 수행한다. 이때, 상부 배향막(312)은 폴리이미드 등의 유기 배향막을 이용한 러빙공정을 통해 형성되며 액정을 소정 방향으로 정렬시키기 위한 배향홈(미도시)이 형성되어 있다.
- <79> 이하, 첨부도면을 참조하여 본 발명에 따른 수평 전계형 액정표시장치의 제조방법에 대해 상세히 설명한다.
- <80> 본 발명에 따른 수평전계를 형성하는 화소전극 및 공통전극이 형성된 박막 트랜지스터 기관(200)을 제작한다.
- <81> 도 8a에 도시된 바와 같이, 본 발명에 따른 제 1 마스크 공정을 통해 하부 기관(202)상에 게이트 라인(204), 게이트 전극(206), 공통라인(208) 및 공통전극(210)을 포함하는 제 1 도전성 패턴을 형성한다.
- <82> 이를 상세히 설명하면, 기관(202)상에 스퍼터링 등의 증착방법을 통해 게이트 금속층을 형성한다. 여기서, 게이트 금속층으로는 알루미늄(Al)계 금속, 구리(Cu), 크롬(Cr), 몰리브덴 등으로 구성된다.
- <83> 게이트 금속층 상에 포토레지스트를 전면 형성한 후, 제 1 마스크를 이용한 포토리소그래피 공정을 통해 제 1 도전성 패턴이 형성될 영역을 제외한 나머지 영역을 노출시키는 포토레지스트 패턴을 형성한다.
- <84> 이때, 게이트 금속층 중에서 포토레지스트 패턴에 의해 노출된 영역을 에칭한 후 잔류하는 포토레지스트 패턴을 애싱 처리함으로써, 본 발명에 따른 하부 기관(202) 상에 게이트 라인(204), 게이트 라인(204)에 접속된 게이트 전극(206), 화소영역을 사이에 두고 게이트 라인(204)과 평행한 공통라인(208) 및 이에 접속된 공통전극(210)을 포함하는 제 1 도전성 패턴을 형성한다.
- <85> 도 8b에 도시된 바와 같이, 본 발명에 따른 제 2 마스크 공정을 통해 게이트 절연막(212) 상에 채널 및 오믹 접촉을 수행하는 반도체 패턴(221)과, 데이터 라인(214), 소스전극(216) 및 드레인 전극(218)을 포함하여 구성된 제 2 도전성 패턴을 형성한다.
- <86> 이를 보다 구체적으로 설명하면, 제 1 도전성 패턴이 형성된 하부 기관(202) 상에 게이트 절연막(212)을 도포한다.
- <87> 이후, 게이트 절연막(212) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 제 1 반도체층, 제 2 반도체층 및 데이터 금속층을 순차적으로 형성한다.
- <88> 여기서, 제 1 반도체층은 불순물이 도핑되지 않은 비정질 실리콘이 이용되며, 제2 반도체층은 N형 또는 P형의 불순물이 도핑된 비정질 실리콘이 이용되며, 데이터 금속층은 몰리브덴(Mo), 구리(Cu) 등과 같은 금속으로 이루어진다.
- <89> 데이터 금속층 상에 포토레지스트를 도포한 후 제 2 마스크를 이용한 포토리소그래피 공정을 수행함으로써, 데이터 금속층 중에서 채널 영역에 소정의 단차를 갖는 포토레지스트 패턴을 형성한다. 여기서, 제 2 마스크로는 회절 노광 마스크 또는 반투과 마스크가 이용된다.
- <90> 이때, 포토레지스트 패턴에 의해 노출된 데이터 금속층을 습식에칭(wet etching)을 통해 제거한 후, 데이터 금속층이 제거됨에 따라 노출되는 제 1 및 제 2 반도체층에 대한 건식에칭(dry etching)을 통해 이를 순차적으로 제거한다.
- <91> 상술한 바와 같이 데이터 금속층, 제 1 및 제 2 반도체층을 순차적으로 제거한 후, 산소(O₂) 플라즈마를 이용한 애싱(Ashing) 공정을 통해 회절 노광 영역에 형성된 포토레지스트 패턴을 제거함으로써 채널 영역에 형성된 데이터 금속층을 노출시킨다. 이때, 산소(O₂) 플라즈마를 이용한 애싱(Ashing) 공정에 의해 차단 영역에 형성된

포토리지스트 패턴의 높이는 낮아진다.

- <92> 이후, 채널 영역에 노출된 데이터 금속층을 습식 에칭을 통해 제거한 후 건식 에칭을 통해 제 2 반도체층을 제거함으로써, 제 1 반도체층을 노출시키는 동시에 데이터 금속층을 소스 전극 및 드레인 전극으로 각각 분리시킨다.
- <93> 여기서, 채널 상에 존재하는 제 1 반도체층은 활성층(221a)을 형성하고, 제 1 반도체층 상에 형성된 제 2 반도체층은 데이터 라인(214)), 소스 전극(216) 및 드레인 전극(218)과 오믹 접촉을 위한 오믹 접촉층(221b)을 형성한다.
- <94> 이후, 스트립 공정을 통해 데이터 금속층 상에 잔류하는 포토리지스트 패턴(250)을 제거함으로써, 본 발명에 따른 채널 및 오믹 접촉을 수행하는 활성층(221a)과 오믹 접촉층(221b)으로 구성된 반도체 패턴(221)과, 게이트 라인(204)과 교차 형성되어 화소영역을 정의하는 데이터 라인(214), 데이터 라인(214)에 접속된 소스전극(216), 채널을 사이에 두고 소스전극(216)과 대향하는 드레인 전극(218)을 포함하는 제 2 도전성 패턴을 형성한다.
- <95> 도 8c에 도시된 바와 같이, 본 발명에 따른 제 3 마스크 공정을 통해 하부 기관(202)상에 형성된 제 2 도전성 패턴을 덮는 동시에 박막 트랜지스터(TR)의 드레인 전극(218)을 노출시키는 콘택홀(224)을 갖는 보호막(222)을 형성한다.
- <96> 이를 보다 구체적으로 설명하면, 반도체 패턴 및 제 2 도전성 패턴이 형성된 게이트 절연막(212) 상에 보호막(222)을 전면 형성한다.
- <97> 여기서, 보호막(222)의 재료로는 게이트 절연막(125)과 같은 무기 절연 물질이나 유전상수가 작은 아크릴(acryl)계 유기 화합물, BCB 또는 PFCB 등과 같은 유기 절연 물질이 이용된다.
- <98> 이후, 보호막(222) 상에 포토리지스트(PR)를 도포한 후 제 3 마스크를 이용한 포토리소그래피 공정을 수행함으로써, 보호막(222) 중에서 콘택홀(224)이 형성될 영역을 노출시키는 포토리지스트 패턴을 형성한다.
- <99> 이때, 포토리지스트 패턴에 의해 노출된 보호막(222)을 에칭한 후 잔류하는 포토리지스트 패턴을 제거함으로써, 본 발명에 따른 박막 트랜지스터(TR)의 드레인 전극(218)을 노출시키는 콘택홀(224)을 갖는 보호막(222)을 형성한다.
- <100> 도 8d에 도시된 바와 같이, 본 발명에 따른 제 4 마스크 공정을 통해 보호막(222)상에 콘택홀(224)을 통해 드레인 전극(218)과 접속되는 화소전극(226)을 형성한다.
- <101> 이를 보다 구체적으로 설명하면, 보호막(222) 상에 스퍼터링 등의 증착 방법을 통해 투명 도전층을 전면 형성한다.
- <102> 투명 도전층 상에 포토리지스트를 도포한 후 제 4 마스크를 이용한 포토리소그래피 공정을 수행함으로써, 투명 도전층 중에서 화소전극(226)이 형성될 영역을 제외한 나머지 영역을 노출시키는 포토리지스트 패턴을 형성한다.
- <103> 이때, 포토리지스트 패턴에 의해 노출된 투명 도전층을 에칭한 후 잔류하는 포토리지스트 패턴을 에칭함으로써, 본 발명에 따른 보호막(222) 상에 콘택홀(224)을 통해 박막 트랜지스터(TR)와 접속되며 공통전극(210)과 연동하여 화소영역에 수평전계를 형성하는 화소전극(226)을 형성한다.
- <104> 상술한 바와 같이 구성된 화소전극(226)은, 박막 트랜지스터(TR)의 드레인 전극(218)을 통해 스토리지 캐패시터에 충전된 데이터 전압이 공급되는 경우, 공통전극(210)과 함께 셀 갭 사이에 적하된 액정을 소정 방향으로 배향시키는 수평 전계를 형성한다.
- <105> 또한, 화소전극(226)은 컬러필터기관(300)에 형성되는 공통전극패턴(310)과 연동하여 화소영역에 수직 전계를 형성하고, 이에 의해 셀 갭 변동에 연동하여 액정층의 유효 굴절률을 보상하여 액정층의 투과율 편차를 감소시키는 역할을 수행한다.
- <106> 도 8e에 도시된 바와 같이, 본 발명에 따른 화소전극(226)이 형성된 보호막(222)을 덮는 동시에 셀 갭에 적하된 액정층(400)을 소정 방향으로 배향시키는 배향홈이 형성된 하부 배향막(228)을 형성하여 박막 트랜지스터 기관(200)을 최종적으로 완성한다.
- <107> 본 발명에 따른 수직 전계를 형성하는 공통전극패턴 및 칼라필터가 형성된 컬러필터기관(300)을 제작한다.
- <108> 도 9a에 도시된 바와 같이, 본 발명에 따른 상부기관(302)상에 셀 영역을 구획하는 블랙 매트릭스(304)를 형성

한다

- <109> 이를 보다 구체적으로 설명하면, 상부기관(302)상에 크롬(Cr 또는 CrOx) 등의 불투명 금속을 약 1500~2000Å의 두께 및 5~25 μ m의 선폭을 갖도록 증착시킨다.
- <110> 이후, 불투명 금속에 대해 마스크를 이용한 포토리소그래피공정을 수행함으로써, 상부기관(302)상에 매트릭스 형태로 형성되며 컬러필터(306)들이 형성될 다수의 셀 영역을 구획하는 동시에 인접한 셀 영역간의 공간섭을 방지하는 블랙 매트릭스(302)를 형성한다.
- <111> 도 9b에 도시된 바와 같이, 본 발명에 따른 블랙 매트릭스(304)에 의해 구획된 셀 영역에 컬러필터(306)를 형성한다.
- <112> 이를 보다 구체적으로 설명하면, 블랙 매트릭스(304)가 형성된 상부기관(302)상에 적색, 녹색 및 청색을 갖는 감광성 칼라수지를 안료 분사법을 통해 순차적으로 형성한다.
- <113> 이후, 감광성 칼라필터에 대해 마스크를 이용한 포토리소그래피 공정을 순차적으로 수행함으로써, 블랙 매트릭스(304)에 의해 구획된 셀 영역에 적색 컬러필터(306R), 녹색 컬러필터(306G) 및 청색 컬러필터(306B)로 구성된 컬러필터를 형성한다.
- <114> 도 9c에 도시된 바와 같이, 본 발명에 따른 상부기관(302)상에 컬러필터(306)에 의해 형성된 단차를 제거하기 위한 오버 코팅층(308)을 형성한다.
- <115> 이를 보다 구체적으로 설명하면, 컬러필터(306)가 형성된 상부기관(302)상에 폴리 디메틸 실옥산 등과 같은 열경화성 수지를 전면 형성한다.
- <116> 이후, 열경화성 수지에 대해 마스크를 이용한 포토리소그래피 공정을 수행함으로써, 컬러필터(306)에 의해 상부기관(302)상에 형성된 단차를 제거하는 오버 코팅층(308)을 형성한다. 이때, 오버 코팅층(308)을 형성시에 액정을 충전시키는 역할을 수행하는 스페이서를 동시에 형성할 수 있다.
- <117> 도 9d에 도시된 바와 같이, 본 발명에 따른 오버 코팅층(308)상에 화소전극(226)과 함께 수직 전계를 발생시키는 공통전극패턴(310)을 형성한다.
- <118> 이를 보다 구체적으로 설명하면, 오버 코팅층(308) 상에 PECVD 등의 증착 공정을 통해 공통전극물질을 전면 형성한다.
- <119> 공통전극물질 상에 포토레지스트를 전면 형성한 후, 본 발명에 따른 마스크를 이용한 포토리소그래피 공정을 통해 공통전극패턴(310)이 형성될 영역을 제외한 나머지 영역을 노출시키는 포토레지스트 패턴을 형성한다.
- <120> 포토레지스트 패턴에 의해 노출된 공통전극물질을 애칭함으로써, 본 발명의 오버 코팅층(308) 상에 박막 트랜지스터 기관(200)에 형성된 화소전극(226)과 연동하여 셀 갭에 적하된 액정층을 소정 방향으로 구동시키는 수직 전계를 발생시키는 공통전극패턴(310)을 형성한다.
- <121> 여기서, 공통전극패턴(310)은 오버 코팅층(308) 상에 전면 형성되거나 또는 셀 갭 변화에 따른 액정층의 유효 굴절률을 보다 효과적으로 증감시키기 위해 화소전극(226)과 엇갈린 형태로 형성된다.
- <122> 상술한 바와 같이 구성된 공통전극패턴(310)은, 두 기관 사이의 셀 갭이 목표치보다 크게 설정된 상태에서 화소전극(226)에 데이터 신호가 공급되는 경우, 도 5에 도시된 바와 같이 화소전극(226)과 연동하여 셀 갭에 적하된 액정층을 수직 방향으로 배향시키기 위한 큰 수직 전계를 형성한다.
- <123> 이때, 화소전극(226)과 공통전극패턴(310) 사이에 수평 전계와 연계되어 큰 수직 전계가 형성되는 경우, 셀 갭(d1) 사이에 적하된 액정층(400)의 수직배향 성분이 증가됨에 따라 액정층(400)의 유효 굴절률(Δn_{eff})은 감소되는 방향으로 보상된다.
- <124> 공통전극패턴(310)은, 두 기관 사이의 셀 갭이 목표치보다 작게 설정된 상태에서 화소전극(226)에 데이터 신호가 공급되는 경우, 도 6에 도시된 바와 같이 화소전극(226)과 연동하여 셀 갭에 적하된 액정층을 수직 방향으로 배향시키기 위한 작은 수직 전계가 형성된다.
- <125> 이때, 화소전극(226)과 공통전극패턴(310) 사이에 수평 전계와 연계되어 작은 수직 전계가 형성되는 경우, 셀 갭(d2) 사이에 적하된 액정층(400)의 수직배향 성분이 감소됨에 따라 액정층(400)의 유효 굴절률(Δn_{eff})은 증가되는 방향으로 보상된다.

- <126> 상술한 바와 같이, 공통전극패턴(310)은 화소전극(226)과 함께 셀 갭의 증감에 대응하여 액정층(400)의 유효 굴절률(Δn_{eff})을 반대 방향으로 보상시키는 수직전계를 형성하여 액정층(400)에 균일한 위상 지연값(Retardation)을 설정시키고, 이에 의해 액정층(400)의 투과율이 변동되지 않음에 따라 패널 내에 발생하는 얼룩 및 감마 전압의 쉬프트 현상이 발생 되는 것을 방지한다.
- <127> 이때, 공통전극패턴(310)은, 도 9e에 도시된 바와 같이, 셀 갭 변화에 따른 액정층(400)의 유효 굴절률을 보다 효과적으로 증감시키기 위해 오버 코팅층(308) 상에 화소전극(226)과 엇갈린 형태로 형성될 수 있다.
- <128> 도 9f에 도시된 바와 같이, 본 발명에 따른 공통전극패턴(310)이 형성된 오버 코팅층(308)을 덮는 동시에 셀 갭에 적하된 액정층(400)을 소정 방향으로 배향시키는 상부 배향막(312)을 형성하여 컬러필터기판(300)을 최종적으로 완성한다.
- <129> 상술한 바와 같은 과정을 통해 완성된 박막 트랜지스터 기관(200) 및 컬러필터기판(300)을 셀 갭 사이에 적하된 액정층(400)을 사이에 두고 합착시킴으로써, 도 3에 도시된 바와 같이, 화소전극(226)과 공통전극패턴(310) 사이에 형성되는 수직전계를 통해 셀 갭 변동에 따른 액정층(400)의 유효 굴절률(Δn_{eff})을 보상시켜 액정층(400)에 균일한 위상 지연값(Retardation)을 설정시킬 수 있는 수평 전계형 액정표시패널(100)을 최종적으로 완성한다.

발명의 효과

- <130> 상술한 바와 같이, 본 발명은 컬러필터기판상에 화소전극과 연동하여 수직 전계를 발생시키는 공통전극패턴을 형성함으로써, 셀 갭(d)의 증감에 따른 액정층의 유효 굴절률(Δn_{eff})을 보상하여 균일한 위상 지연값(Retardation)을 형성하는 동시에 투과율 편차를 최소화하여 패널 내에 얼룩 및 감마 전압의 쉬프트 현상을 방지할 수 있다는 효과를 제공한다.
- <131> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

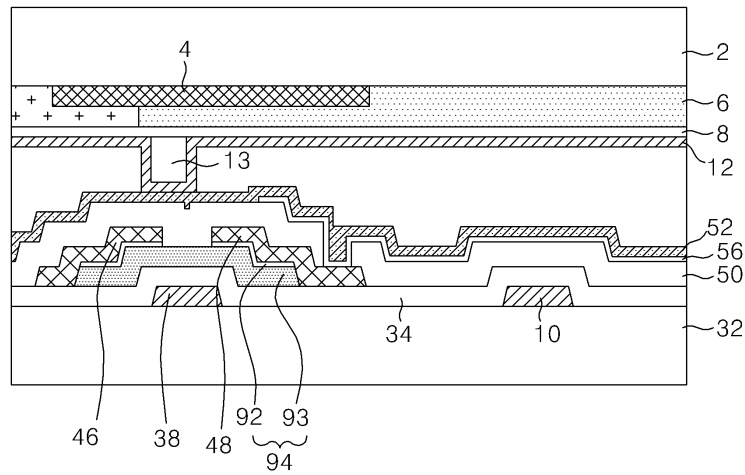
도면의 간단한 설명

- <1> 도 1은 종래의 수평 전계형 액정표시장치의 구성 단면도.
- <2> 도 2는 종래 수평 전계형 액정표시장치와 수직 전계형 액정표시장치 사이의 셀 갭 변화에 따른 투과율 변화를 도시한 도면.
- <3> 도 3은 본 발명에 따른 수평 전계형 액정표시패널의 구성 단면도.
- <4> 도 4a 및 도 4b는 본 발명에 따른 수평 전계형 액정표시패널을 구성하는 박막 트랜지스터 기관의 평면도 및 단면도.
- <5> 도 5는 본 발명에 따른 셀 갭 변화가 목표치보다 크게 설정된 경우의 셀 갭과 액정층의 유효 굴절률 사이의 보상 관계를 설명하기 위한 도면.
- <6> 도 6은 본 발명에 따른 셀 갭 변화가 목표치보다 작게 설정된 경우의 셀 갭과 액정층의 유효 굴절률 사이의 보상 관계를 설명하기 위한 도면.
- <7> 도 7a 및 도 7b는 본 발명에 따른 수평 전계형 액정표시패널을 구성하는 컬러필터기판의 단면도.
- <8> 도 8a 내지 도 8e는 본 발명에 따른 수평 전계형 액정표시패널을 구성하는 박막 트랜지스터 기관의 제조 공정도.
- <9> 도 9a 내지 도 9f는 본 발명에 따른 수평 전계형 액정표시패널을 구성하는 컬러필터기판의 제조 공정도.
- <10> <도면의 주요 부분에 대한 부호의 설명>
- <11> 100 : 액정표시패널 200 : 박막 트랜지스터 기관
- <12> 202 : 하부기관 204 : 게이트 라인
- <13> 206 : 게이트 전극 208 : 공통라인

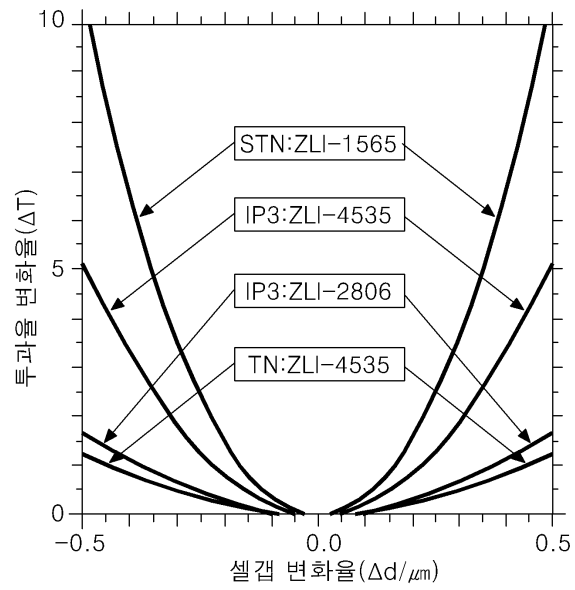
- <14> 210 : 공통전극 212 : 게이트 절연막
- <15> 214 : 데이터 라인 216 : 소스전극
- <16> 218 : 드레인 전극 220 : 화소영역
- <17> TR : 박막 트랜지스터 221 : 반도체 패턴
- <18> 221a : 활성층 221b : 오믹 접촉층
- <19> 222 : 보호막 224 : 콘택홀
- <20> 226 : 화소전극 228 : 하부 배향막
- <21> 300 : 컬러필터기판 302 : 상부기판
- <22> 304 : 블랙 매트릭스 306 : 컬러필터
- <23> 308 : 오버 코팅층 310 : 공통전극패턴
- <24> 312 : 상부 배향막

도면

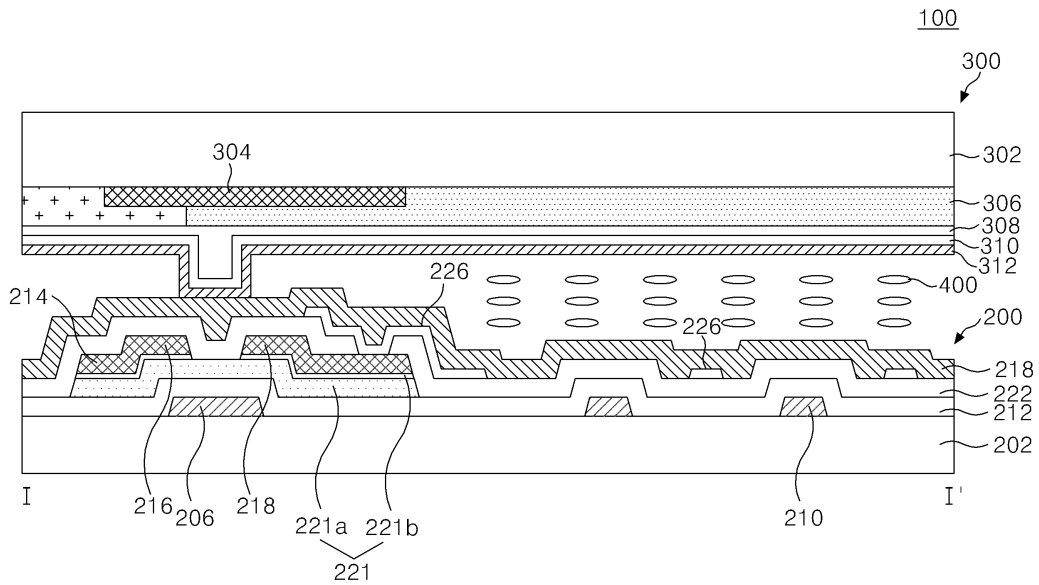
도면1



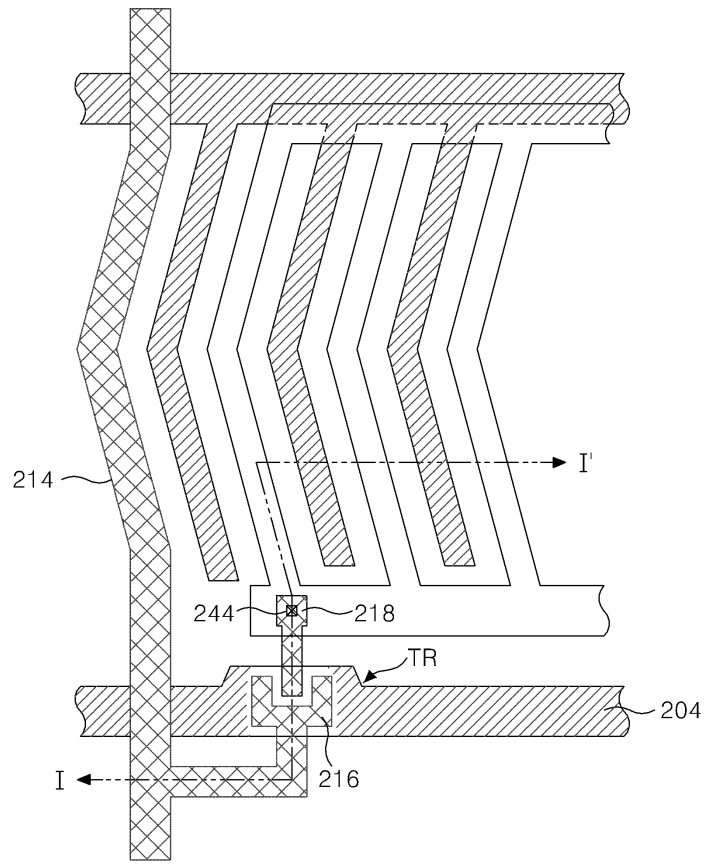
도면2



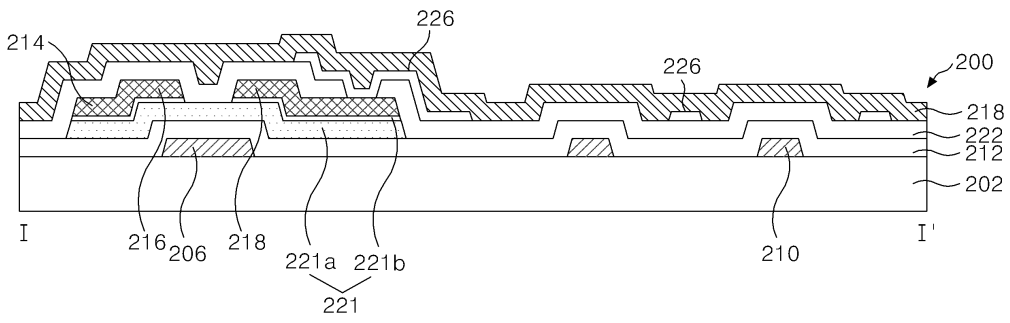
도면3



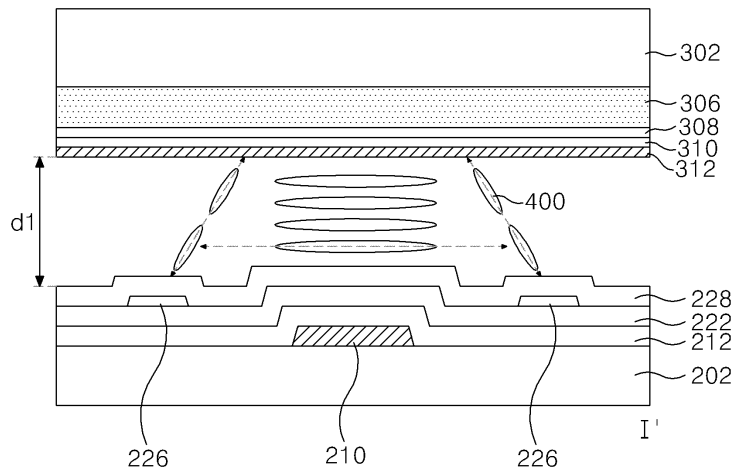
도면4a



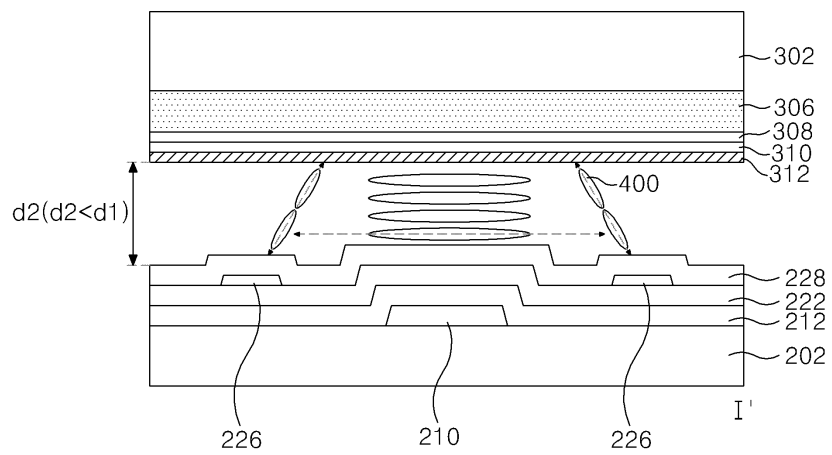
도면4b



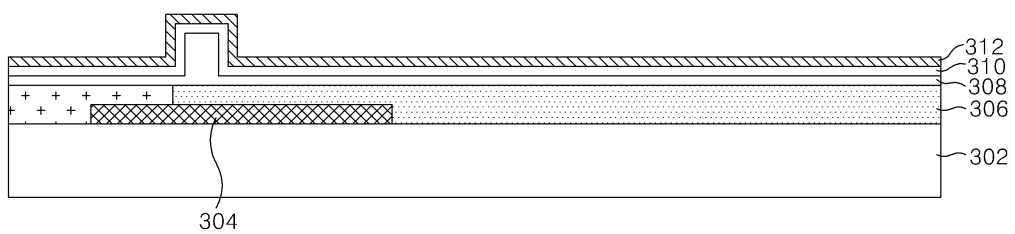
도면5



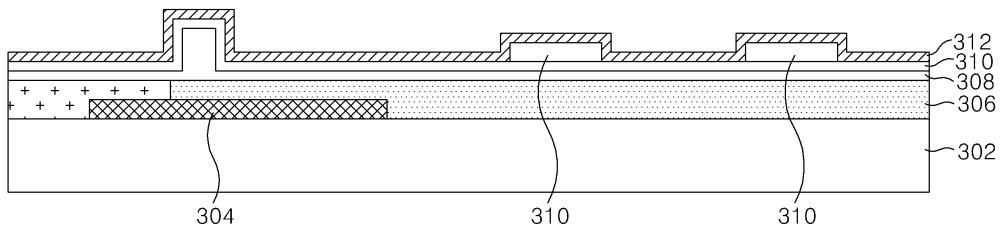
도면6



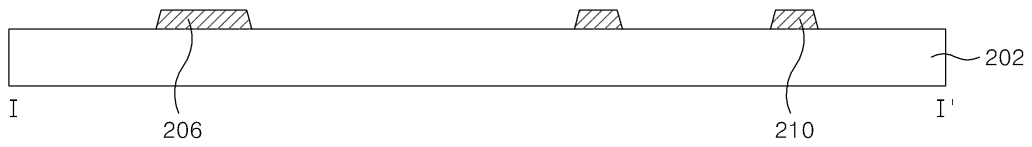
도면7a



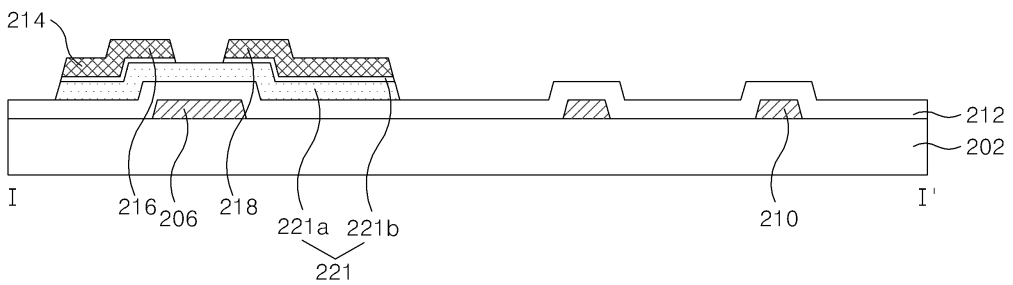
도면7b



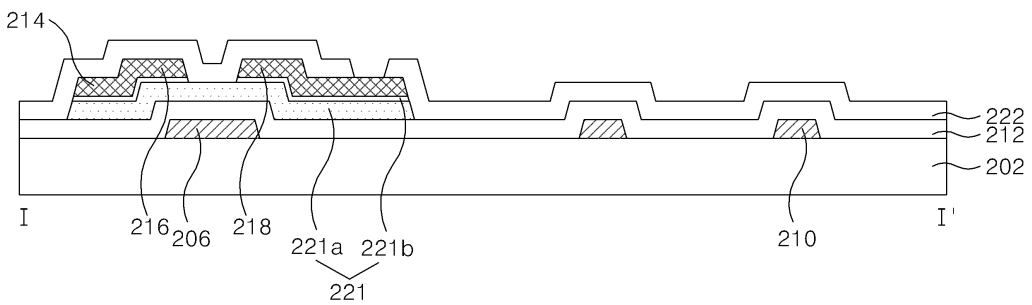
도면8a



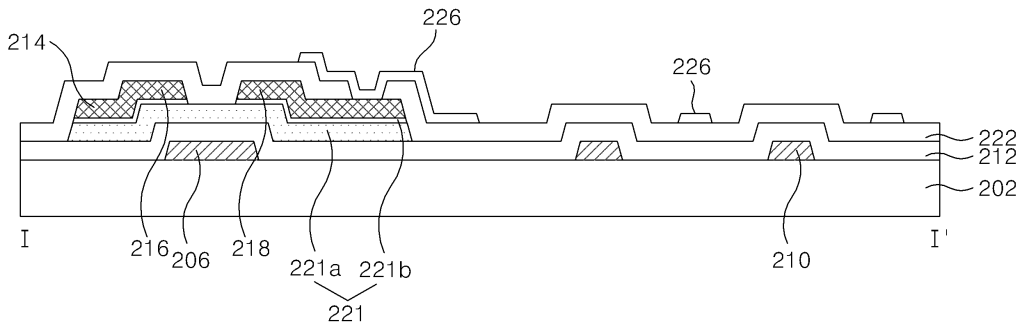
도면8b



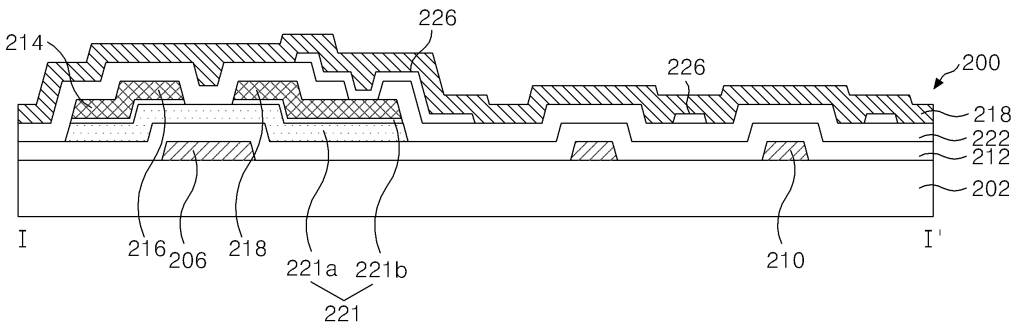
도면8c



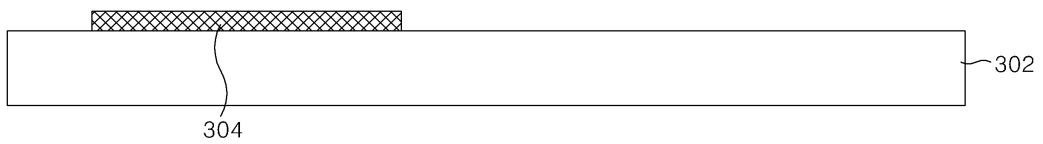
도면8d



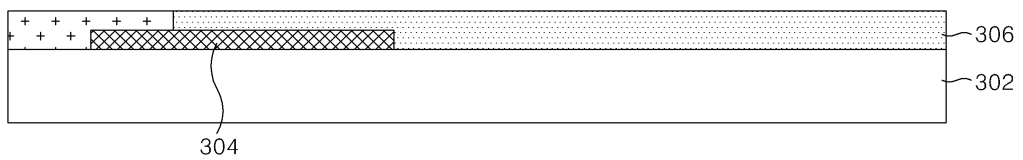
도면8e



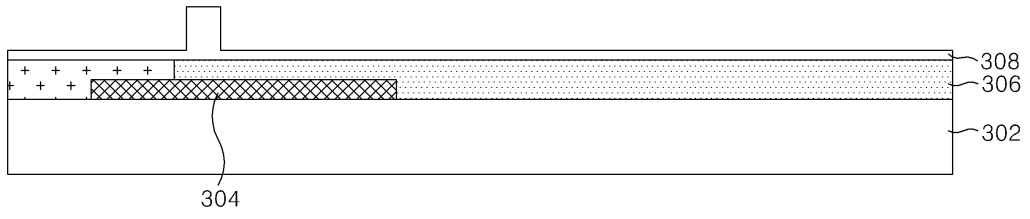
도면9a



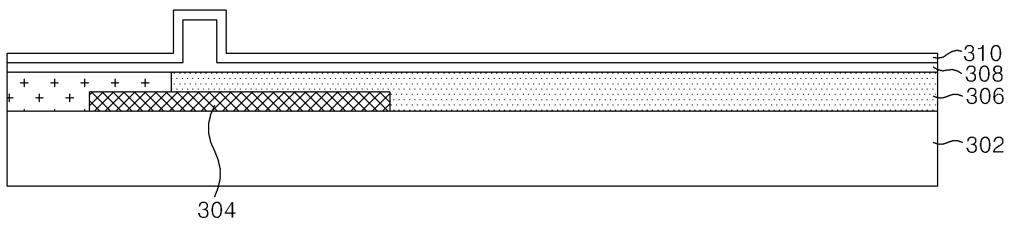
도면9b



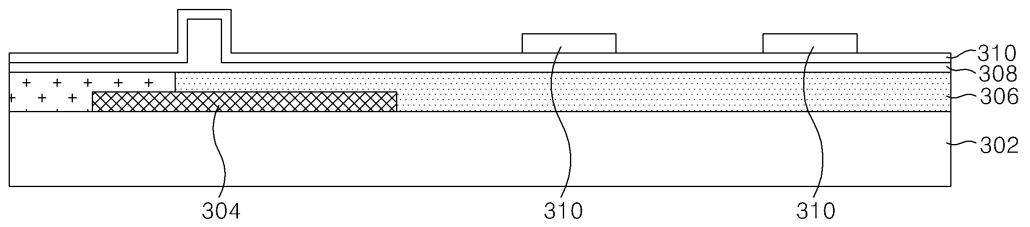
도면9c



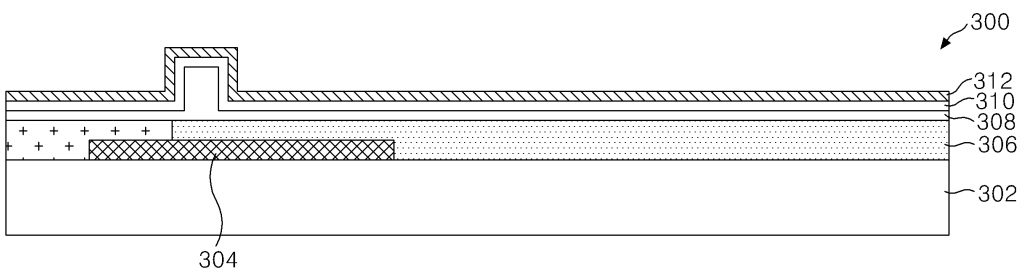
도면9d



도면9e



도면9f



专利名称(译)	液晶显示面板及其制造方法		
公开(公告)号	KR1020080086267A	公开(公告)日	2008-09-25
申请号	KR1020070028244	申请日	2007-03-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI SANG HO		
发明人	CHOI,SANG HO		
IPC分类号	G02F1/1343 G02F1/1335		
CPC分类号	G02F1/134363 G02F1/133514 G02F1/1362 G02F2001/134318		
代理人(译)	金勇 年轻的小公园		
外部链接	Espacenet		

摘要(译)

形成用于与滤色器基板上的像素电极协作产生垂直电场的公共电极图案，以根据单元间隙的增大或减小来补偿液晶层的有效折射率，以使相位延迟值均匀化，更具体地说，涉及一种水平电场型液晶显示板及其制造方法。根据本发明的水平电场型液晶显示板包括：薄膜晶体管基板，具有像素电极和用于在像素区域中形成水平电场的公共电极；一种彩色滤光片基板，具有在薄膜晶体管和单元间隙之间形成的公共电极图案，并与像素电极一起形成垂直电场；并且，液晶层的有效折射率根据单元间隙变化与垂直电场的强度成比例地变化。

