



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0020863
(43) 공개일자 2008년03월06일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2006-0084297

(22) 출원일자 2006년09월01일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

박형준

대전 동구 성남동 효촌마을아파트 204동 502호

(74) 대리인

정상빈, 특허법인가산

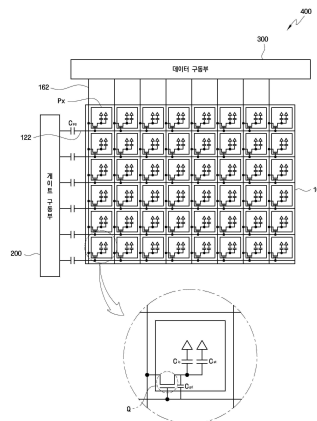
전체 청구항 수 : 총 9 항

(54) 액정 표시 장치

(57) 요약

신호 딜레이가 감소된 액정 표시 장치가 제공된다. 액정 표시 장치는 행 방향으로 연장되어 있는 다수의 게이트 라인, 열 방향으로 연장되어 있으며, 게이트 라인과 절연되어 교차하는 데이터 라인, 게이트 라인 및 데이터 라인과 연결된 다수의 박막 트랜지스터, 박막 트랜지스터에 의해 데이터 신호가 전달되며, 매트릭스 형상으로 배열된 다수의 화소 전극, 및 게이트 라인과 직렬로 연결된 게이트 신호 딜레이 방지용 커패시터를 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

행 방향으로 연장되어 있는 다수의 게이트 라인;
 열 방향으로 연장되어 있으며, 상기 게이트 라인과 절연되어 교차하는 데이터 라인;
 상기 게이트 라인 및 상기 데이터 라인과 연결된 다수의 박막 트랜지스터;
 상기 박막 트랜지스터에 의해 데이터 신호가 전달되며, 매트릭스 형상으로 배열된 다수의 화소 전극; 및
 상기 게이트 라인과 직렬로 연결된 게이트 신호 딜레이 방지용 커패시터를 포함하는 액정 표시 장치.

청구항 2

제1 항에 있어서,
 상기 게이트 신호 딜레이 방지용 커패시터는 상기 다수의 박막 트랜지스터와의 연결 영역의 전단부에 형성되어 있는 액정 표시 장치.

청구항 3

제2 항에 있어서,
 상기 게이트 라인에 게이트 신호를 전달하는 구동칩을 구비하는 인쇄 회로 기판을 더 포함하며,
 상기 게이트 라인의 전단부의 적어도 일부는 상기 인쇄 회로 기판 상에 형성되어 있고,
 상기 게이트 딜레이 방지용 커패시터는 상기 인쇄 회로 기판 상에 형성되어 있는 액정 표시 장치.

청구항 4

제1 항에 있어서,
 상기 인접하는 상기 박막 트랜지스터 사이에 위치하는 상기 게이트 라인은 내부에 적어도 하나의 개구부를 구비하도록 패터닝되어 있는 액정 표시 장치.

청구항 5

제1 항에 있어서,
 상기 화소 전극은 행 방향으로 2 이상의 영역으로 분할되고,
 상기 게이트 라인은 2 이상의 게이트 분지 라인으로 분지되어 있고,
 상기 2 이상의 게이트 분지 라인은 상기 각 영역의 상기 화소 전극에 상기 데이터 신호를 전달하는 상기 박막 트랜지스터에 각각 연결되어 있되,
 상기 2 이상의 게이트 분지 라인은 상기 분지 영역으로부터 상기 각 게이트 분지 라인이 연결된 상기 해당 영역의 첫번째 상기 박막 트랜지스터까지의 라인 길이가 각각 동일한 액정 표시 장치.

청구항 6

행 방향으로 연장되어 있는 다수의 게이트 라인;
 열 방향으로 연장되어 있으며, 상기 게이트 라인과 절연되어 교차하는 데이터 라인;
 상기 게이트 라인 및 상기 데이터 라인과 연결된 다수의 박막 트랜지스터;
 상기 박막 트랜지스터에 의해 데이터 신호가 전달되며, 매트릭스 형상으로 배열된 다수의 화소 전극; 및
 상기 데이터 라인과 직렬로 연결된 데이터 신호 딜레이 방지용 커패시터를 포함하는 액정 표시 장치.

청구항 7

제6 항에 있어서,

상기 데이터 신호 딜레이 방지용 커패시터는 상기 다수의 박막 트랜지스터와의 연결 영역의 전단부에 형성되어 있는 액정 표시 장치.

청구항 8

제7 항에 있어서,

상기 데이터 라인에 상기 데이터 신호를 전달하는 구동칩을 구비하는 인쇄 회로 기판을 더 포함하며,

상기 데이터 라인의 전단부의 적어도 일부는 상기 인쇄 회로 기판 상에 형성되어 있고,

상기 데이터 딜레이 방지용 커패시터는 상기 인쇄 회로 기판 상에 형성되어 있는 액정 표시 장치.

청구항 9

제6 항에 있어서,

상기 화소 전극은 열 방향으로 2 이상의 영역으로 분할되고,

상기 데이터 라인은 2 이상의 데이터 분지 라인으로 분지되어 있고,

상기 2 이상의 데이터 분지 라인은 상기 각 영역의 상기 화소 전극에 상기 데이터 신호를 전달하는 상기 박막 트랜지스터에 각각 연결되어 있되,

상기 2 이상의 데이터 분지 라인은 상기 분지 영역으로부터 상기 해당 영역의 첫번째 열의 상기 박막 트랜지스터까지의 라인 길이가 각각 동일한 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명은 액정 표시 장치에 관한 것으로서, 더욱 상세하게는 신호 딜레이가 감소된 액정 표시 장치에 관한 것이다.
- <14> 액정 표시 장치는 박막 트랜지스터가 어레이되어 있는 제1 표시판 및 그에 대향하는 제2 표시판, 그리고 이들 사이에 개재되어 있는 액정층을 포함하여 이루어진다. 제1 표시판은 다수개의 게이트 라인, 데이터 라인 및 이들과 연결되어 있는 박막 트랜지스터를 포함한다. 또한 각 박막 트랜지스터는 화소 전극에 연결되어 있다. 제2 표시판은 공통 전극을 구비하며, 제1 표시판의 화소 전극과 함께 액정층에 전계를 형성한다.
- <15> 그런데, 액정 표시 장치의 대형화 요구에 따라 게이트 라인 및 데이터 라인의 길이가 길어지는데, 배선의 길이가 길어지게 되면, 저항이 증가하게 되어 RC 딜레이가 증가하게 된다. 따라서, 동일한 게이트 라인 및 데이터 라인 내에서도 신호 제공부와 가까운 영역과 먼 영역에서의 신호값이 달라지게 된다.
- <16> 예를 들어 게이트 신호가 딜레이되면 표시 화면의 좌측과 우측에서 킥백 전압이 달라지게 되어 충전 전압이 달라지게 된다. 특히, 액정 표시 장치가 프레임 반전 구동할 경우, 킥백 전압은 데이터 전압을 끌어내리는 방향으로 작용하기 때문에, 좌우측의 편차는 더욱 심화된다. 또, 데이터 신호가 딜레이되면 표시 화면의 상부와 하부에서 화소 전극에 제공되는 데이터 전압의 값이 달라져서 화소 전극에 충전되는 충전 전압의 값이 달라지게 된다. 이와 같이 위치별로 충전 전압이 달라지게 되면 원하는 계조의 화상 구현이 어려워진다.

발명이 이루고자 하는 기술적 과제

- <17> 본 발명이 이루고자 하는 기술적 과제는 게이트 신호 딜레이가 감소된 액정 표시 장치를 제공하고자 하는 것이다.
- <18> 본 발명이 이루고자 하는 다른 기술적 과제는 데이터 신호 딜레이가 감소된 액정 표시 장치를 제공하고자 하는

것이다.

<19> 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성 및 작용

<20> 상기 기술적 과제들을 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는 행 방향으로 연장되어 있는 다수의 게이트 라인, 열 방향으로 연장되어 있으며, 상기 게이트 라인과 절연되어 교차하는 데이터 라인, 상기 게이트 라인 및 상기 데이터 라인과 연결된 다수의 박막 트랜지스터, 상기 박막 트랜지스터에 의해 데이터 신호가 전달되며, 매트릭스 형상으로 배열된 다수의 화소 전극, 및 상기 게이트 라인과 직렬로 연결된 게이트 신호 딜레이 방지용 커패시터를 포함한다.

<21> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는 행 방향으로 연장되어 있는 다수의 게이트 라인, 열 방향으로 연장되어 있으며, 상기 게이트 라인과 절연되어 교차하는 데이터 라인, 상기 게이트 라인 및 상기 데이터 라인과 연결된 다수의 박막 트랜지스터, 상기 박막 트랜지스터에 의해 데이터 신호가 전달되며, 매트릭스 형상으로 배열된 다수의 화소 전극, 및 상기 데이터 라인과 직렬로 연결된 데이터 신호 딜레이 방지용 커패시터를 포함한다.

<22> 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

<23> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

<24> 이하, 첨부된 도면을 참고로 하여 본 발명의 실시예들에 따른 액정 표시 장치에 대해 설명한다.

<25> 도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치의 회로도이다.

<26> 도 1을 참조하면, 액정 표시 장치(400)는 액정 패널(100)과 액정 패널(100)에 게이트 신호를 제공하는 게이트 구동부(200), 및 액정 패널(100)에 데이터 신호를 제공하는 데이터 구동부(300)를 포함한다.

<27> 액정 패널(100)은 제1 표시판(미도시), 제1 표시판과 이격되어 마주하는 제2 표시판(미도시) 및 이들 사이에 개재된 액정층(미도시)을 포함하여 이루어진다. 액정 패널(100)은 다수개의 화소(Px)로 나뉘어져 있다. 다수개의 화소(Px)는 예를 들어 매트릭스 형상으로 배열되어 있다.

<28> 제1 표시판은 절연 기판(미도시)을 베이스 기판으로 하며, 절연 기판 위에는 다수의 게이트 라인(122)이 행 방향, 즉 도 1의 가로 방향으로 연장되어 있다. 또한 절연 기판 위에는 열 방향, 즉 도 1의 세로 방향으로 다수의 데이터 라인(162)이 연장되어 있다. 게이트 라인(122)과 데이터 라인(162)은 서로 절연되어 교차하며, 각각 박막 트랜지스터(Q)에 게이트 신호 및 데이터 신호를 전달한다. 도면에는 도시되지 않았지만, 절연 기판 위의 게이트 라인(122)과 동일한 층에는 스토리지 배선이 형성될 수도 있다.

<29> 게이트 라인(122)과 데이터 라인(162)의 교차 영역에는 게이트 라인(122) 및 데이터 라인(162)에 연결되어 있는 다수의 박막 트랜지스터(Q)가 형성되어 있다. 또, 제1 표시판의 화소(Px) 영역에는 화소 전극(182)이 형성되어 있으며, 화소 전극(182)은 각각 박막 트랜지스터(Q)에 연결되어 있다. 즉, 박막 트랜지스터(Q)의 입력단은 데이터 라인(162)과 연결되어 있고, 출력단은 화소 전극(182)과 연결되어 있으며, 제어단은 게이트 라인(122)과 연결되어 있다. 따라서, 각 화소 전극(182)은 각 박막 트랜지스터(Q)에 의해 별개의 데이터 신호를 전달받을 수 있으며, 그에 따라 각 화소 전극(182)은 서로 독립적인 화소 전압이 인가될 수 있다.

<30> 제2 표시판의 경우에도 절연 기판(미도시)을 베이스 기판을 하며, 절연 기판의 전면에 공통 전극(미도시)이 형성되어 있다. 공통 전극은 일체형으로 이루어져 있으며, 화소(Px)와 무관하게 동일한 공통 전압이 인가된다.

<31> 제1 표시판과 제2 표시판 사이에는 다수의 액정을 포함하는 액정층이 형성되어 있다.

<32> 상기와 같은 액정 패널(100)에서 화소 전극(182)에 화소 전압이 인가되고, 공통 전극에 공통 전압이 인가되면, 각 화소(Px)에서는 화소 전극(182) 및 공통 전극을 양 전극으로 하고, 그 사이에 위치하는 액정을 유전체로 하는 액정 커패시터(C1c)가 형성된다. 제1 표시판에 스토리지 배선이 구비된 경우, 스토리지 배선에 공통 전압을

인가하면, 화소 전극(182) 및 스토리지 배선을 양 전극으로 하며, 액정 커패시터(C1c)에 병렬로 연결된 스토리지 커패시터(Cst)가 더 형성될 수 있다.

- <33> 게이트 구동부(200)는 액정 패널(100)의 각 게이트 라인(122)에 게이트 온 전압 및 게이트 오프 전압을 포함하는 게이트 신호를 제공한다. 데이터 구동부(200)는 액정 패널(100)의 각 데이터 라인(162)에 데이터 신호를 제공한다. 게이트 구동부(200) 및/또는 데이터 구동부(300)는 제1 표시판의 절연 기판 상에 형성될 수도 있지만, 인쇄 회로 기판(미도시) 상에 형성될 수도 있다. 게이트 구동부(200) 및 데이터 구동부(300)는 하나의 인쇄 회로 기판 상에 형성될 수도 있고, 서로 다른 인쇄 회로 기판 상에 형성될 수도 있다. 이 경우 게이트 구동부(200) 및/또는 데이터 구동부(300)는 인쇄 회로 기판 상에 실장된 적어도 하나의 구동칩을 포함하여 구성될 수 있다.
- <34> 한편, 게이트 라인(122)으로 제공되는 게이트 신호는 게이트 구동부(200)로부터 멀어질수록 RC값이 증가하여 딜레이된다. 화소 전극(182)에 전달되는 데이터 전압은 게이트 라인(122)과 박막 트랜지스터(Q)의 드레인 전극 사이에 형성되는 기생 커패시턴스(Cgd)에 의해 소정 전압만큼 킥백되는데, 이와 같은 킥백 전압의 크기는 게이트 온 전압과 게이트 오프 전압의 차 및 기생 커패시턴스(Cgd)의 크기에 비례하게 된다. 그런데, 게이트 신호가 딜레이되면 게이트 오프 전압 인가시, 게이트 신호가 완만하게 하강하기 때문에, 게이트 온 전압과 게이트 오프 전압의 차가 작아지게 된다. 즉, 게이트 구동부(200)로부터 멀어질수록 게이트 신호는 더 많이 딜레이되며, 그에 따라 킥백 전압은 더욱 작아지게 된다. 이렇게 되면, 액정 패널(100)의 행 방향을 따라, 즉 도 1에서 화소(Px)의 좌우에 동일한 데이터 신호를 인가하더라도 실제로 충전되는 화소 전압의 크기가 달라지게 된다. 이와 같은 현상은 표시 화면이 대면적화됨에 따라 더욱 심화될 것이다.
- <35> 따라서, 본 실시예에서는 게이트 신호 딜레이를 감소시키기 위해 게이트 라인(122)에 게이트 신호 딜레이 방지용 커패시터(Cpg)가 직렬로 연결되어 있다. 즉, 커패시턴스는 직렬로 연결될수록 크기가 작아지기 때문에, 게이트 신호 딜레이 방지용 커패시터(Cpg)를 게이트 라인(122)에 직렬로 연결하면, 게이트 라인(122)에 연결된 커패시턴스의 총합이 작아지게 된다. 따라서, 전체적으로 RC값이 작아지므로 게이트 신호 딜레이가 작아진다.
- <36> 게이트 신호 딜레이 방지용 커패시터(Cpg)는 이에 제한되는 것은 아니지만, 도 1에 도시된 바와 같이 다수개의 박막 트랜지스터(Q)의 어느 하나가 연결되기 이전의 게이트 라인(122)의 전단부, 즉 도 1에서 다수의 박막 트랜지스터(Q)의 좌측에 형성될 수 있다. 구체적으로 제1 표시판의 절연 기판 위에 형성될 수 있다. 또, 게이트 구동부(200)가 인쇄 회로 기판 상에 적어도 하나의 구동칩을 포함하여 이루어진 경우, 게이트 신호 딜레이 방지용 커패시터(Cpg)는 인쇄 회로 기판 상에 형성될 수도 있다.
- <37> 계속해서, 본 발명의 다른 실시예들에 따른 액정 표시 장치에 대해 설명한다. 이하에서 설명되는 다수의 실시예들에서, 당해 실시예 이전의 실시예에서 이미 설명된 구성 요소에 대해서는 중복 설명을 생략하거나 간략화하기로 하며, 그 차이점을 중심으로 설명하기로 한다.
- <38> 도 2는 본 발명의 제2 실시예에 따른 액정 표시 장치의 회로도이다. 도 2를 참조하면, 본 실시예에 따른 액정 표시 장치(401)는 게이트 라인(122)에 게이트 신호 딜레이 방지용 커패시터가 연결되지 않고, 데이터 라인(162)에 데이터 신호 딜레이 방지용 커패시터(Cpd)가 직렬로 연결되어 있는 점이 도 1의 실시예와 다르다.
- <39> 즉, 데이터 신호의 경우에도 데이터 구동부(300)로부터 멀어질수록 RC값이 증가하여 딜레이되는데, 데이터 신호가 딜레이되면 박막 트랜지스터(Q)에 제공되는 데이터 전압의 값이 작아지므로, 화소 전극(182)에 충전되는 화소 전압의 크기도 작아지게 된다. 이렇게 되면 액정 패널(100)의 열 방향을 따라, 즉 화소의 세로 방향을 따라 동일한 데이터 신호를 인가하더라도 실제로 충전되는 화소 전압의 크기가 달라지게 된다. 특히, 표시 화면이 대면적화되면 이러한 현상을 더욱 심화될 것이다.
- <40> 따라서, 본 실시예에서는 데이터 신호 딜레이를 감소시키기 위해 데이터 라인(162)에 데이터 신호 딜레이 방지용 커패시터(Cpd)가 직렬로 연결되어 있다. 따라서, 도 1에서 설명한 바와 마찬가지로, 데이터 라인(162)에 연결된 커패시턴스의 총합이 작아지게 되므로, 전체적으로 RC값이 작아져 데이터 신호 딜레이가 작아지게 된다.
- <41> 데이터 신호 딜레이 방지용 커패시터(Cpd)는 이에 제한되는 것은 아니지만, 도 2에 도시된 바와 같이 다수개의 박막 트랜지스터(Q)의 어느 하나가 연결되기 이전의 데이터 라인(162)의 전단부, 즉 도 2에서 다수의 박막 트랜지스터(Q)의 상측에 형성될 수 있다. 구체적으로 제1 표시판의 절연 기판 위에 형성될 수 있으며, 또, 데이터 구동부(162)가 인쇄 회로 기판 상에 적어도 하나의 구동칩을 포함하여 이루어진 경우, 데이터 신호 딜레이 방지용 커패시터(Cpd)는 인쇄 회로 기판 상에 형성될 수도 있다.
- <42> 도면으로 따로 도시하지는 않았지만, 이상 설명한 도 1 및 도 2의 실시예는 서로 조합되어 적용될 수도 있다.

즉, 게이트 라인(122)에 직렬로 연결된 게이트 신호 딜레이 방지용 커패시터(Cgd)를 구비함과 동시에 데이터 라인(162)에 직렬로 연결된 데이터 신호 딜레이 방지용 커패시터(Cpd)를 구비할 수도 있다.

- <43> 도 3은 본 발명의 제3 실시예에 따른 액정 표시 장치의 화소 구조를 설명하기 위한 부분 레이아웃도이다. 도 4는 본 발명의 제4 실시예에 따른 액정 표시 장치의 화소 구조를 설명하기 위한 부분 레이아웃도이다. 도 3 및 도 4를 참조하면, 본 실시예들에 따른 액정 표시 장치들(402, 403)은 도 1의 실시예와 실질적으로 동일한 회로도로 표현될 수 있다. 다만, 본 실시예들에서 게이트 라인(122a, 122b)은 개구부(128)를 구비한다.
- <44> 더욱 구체적으로 설명하면, 도 3 및 도 4에서 게이트 라인(122a, 122b)은 데이터 라인(162)과 교차하고 있다. 게이트 라인(122a, 122b)과 데이터 라인(162)의 교차 영역에서 게이트 라인(122a, 122b)은 확장되어 게이트 전극(124)을 이루며, 데이터 라인(162)은 분지하여 소오스 전극(165)을 이룬다. 게이트 전극(122a, 122b) 및 소오스 전극(165)은 그 사이에 형성되는 반도체층(140)과 오버랩되어 있다. 게이트 전극(122a, 122b)을 중심으로 소오스 전극(165)의 반대편에는 드레인 전극(166)이 형성되어 있다. 드레인 전극(166)은 콘택홀(176)을 통하여 화소 전극(182)과 연결되어 있다. 여기서, 게이트 전극(122a, 122b), 소오스 전극(165) 및 드레인 전극(166)은 반도체층(140)을 채널부로 하는 박막 트랜지스터(Q)를 이룬다.
- <45> 그런데, 인접하는 박막 트랜지스터(Q) 사이의 게이트 라인(122a, 122b)은 내부에 적어도 하나의 개구부(128)를 구비하도록 패터닝되어 있다. 즉, 도 3에 도시된 것처럼 하나의 개구부(128)를 구비하거나, 도 4에 도시된 것처럼 2 이상의 반복적으로 배열된 개구부(128)를 구비하도록 패터닝되어 있다. 도 1을 참조하여 설명한 바와 같이 기생 커패시턴스(Cgd)는 게이트 라인(122)과 드레인 전극(166) 사이에서 형성되는데, 이러한 기생 커패시턴스(Cgd)의 크기는 이들 게이트 라인(122)과 드레인 전극(166)의 면적에 비례하게 된다. 따라서, 도 3 및 도 4에 도시된 바와 같이 게이트 라인(122a, 122b)을 패터닝하여 게이트 라인(122a)의 면적을 감소시킴으로써, 기생 커패시턴스(Cgd)의 크기를 감소시킬 수 있다. 기생 커패시턴스(Cgd)가 감소하면, 킥백 전압의 크기가 감소하며, 따라서, 액정 패널(100)의 위치별로 킥백 전압의 차이도 감소하게 된다. 그 결과, 액정 패널(100)의 행 방향으로 킥백 전압의 차이에 기인한 충전 전압의 차이가 감소하게 된다.
- <46> 도 5는 본 발명의 제5 실시예에 따른 액정 표시 장치의 회로도이다. 도 5를 참조하면, 본 실시예에 따른 액정 표시 장치(404)는 화소(Px)들이 행 방향으로 제1 영역(AH1) 및 제2 영역(AH2)으로 나뉘어 있으며, 게이트 라인(122)이 전단부에 위치하는 분지점(B11)으로부터 제1 게이트 분지 라인(122_1) 및 제2 게이트 분지 라인(122_2)으로 분지되어 있다. 제1 게이트 분지 라인(122_1)은 제1 영역(AH1)에 해당하는 열의 박막 트랜지스터(Q)와 연결되어 있고, 제2 게이트 분지 라인(122_2)은 제2 영역(AH2)에 해당하는 열의 박막 트랜지스터(Q)와 연결되어 있다. 여기서, 제1 게이트 분지 라인(122_1)은 분지점(B11)으로부터 제1 영역(AH1)의 첫번째 열의 박막 트랜지스터(Q)의 연결 영역까지 지그재그로 형성되어 있다. 따라서, 분지점(B11)으로부터 제1 영역(AH1)의 첫번째 열의 박막 트랜지스터(Q)의 연결 영역까지의 실제 거리보다 상기 점들을 연결하는 제1 게이트 분지 라인(122_1)의 라인 길이가 훨씬 더 길다. 바람직하기로는 분지점(B11)으로부터 제1 영역(AH1)의 첫번째 열의 박막 트랜지스터(Q)의 연결 영역까지의 제1 게이트 분지 라인(122_1)의 길이가 분지점(B11)으로부터 제2 영역(AH2)의 첫번째 열의 박막 트랜지스터(Q)의 연결 영역까지의 제2 게이트 분지 라인(122_2)의 길이와 동일할 수 있다.
- <47> 상기와 같이 액정 표시 장치의 액정 패널(100)을 2 이상의 영역(AH1, AH2)으로 분할하고, 각 영역(AH1, AH2)을 2 이상의 게이트 분지 라인(122_1, 122_2)이 관할하게 하면, 각 영역(AH1, AH2) 내에서 관할하는 박막 트랜지스터(Q)의 개수가 감소하게 되어, 각 영역(AH1, AH2)별로 첫번째 박막 트랜지스터(Q)에 인가되는 게이트 신호의 딜레이와 마지막 박막 트랜지스터(Q)에 인가되는 게이트 신호 딜레이의 차이가 감소하게 된다. 또한, 분지점(B11)으로부터 각 영역의 첫번째 해당 박막 트랜지스터(Q)에 이르는 게이트 분지 라인(122_1, 122_2)의 길이를 서로 동일하게 하면 이들 영역(AH1, AH2)간의 게이트 신호 딜레이 정도가 실질적으로 동일하게 된다. 따라서, 위치에 따른 게이트 신호 딜레이의 최대 차이가 도 1의 실시예와 비교하였을 때, 절반으로 감소할 수 있다.
- <48> 도 6은 본 발명의 제6 실시예에 따른 액정 표시 장치의 회로도이다. 본 실시예에 따른 액정 표시 장치(405)는 게이트 라인(122)의 분지점(B12)이 화소(Px)열의 중앙부에 위치하며, 분지점(B12)으로부터 제1 게이트 분지 라인(122_1)이 좌측 방향으로 연장되고, 제2 게이트 분지 라인(122_2)이 우측 방향으로 연장되는 것이 도 5의 실시예와 차이가 있다. 또, 제1 게이트 분지 라인(122_1)은 제1 영역(AH1)의 마지막 열에 속하는 박막 트랜지스터(Q)로부터 좌측 방향으로 게이트 신호를 순차적으로 전달하는 점이 도 6의 실시예와 다르다. 그러나, 본 실시예의 경우에도 액정 패널(100)을 2 이상의 영역(AH1, AH2)으로 분할하며, 바람직하기로는 분지점(B12)으로부터 각 영역의 첫번째 박막 트랜지스터(Q)에 이르는 게이트 분지 라인(122_1, 122_2)의 길이가 동일할 수 있는 점은 도 5의 실시예와 실질적으로 동일하다. 따라서, 위치에 따른 게이트 신호 딜레이의 최대 차이가 도 1의 실시예와

비교하였을 때, 전반으로 감소할 수 있음을 용이하게 이해할 수 있을 것이다.

- <49> 도 7은 본 발명의 제7 실시예에 따른 액정 표시 장치의 회로도이다. 도 8은 본 발명의 제8 실시예에 따른 액정 표시 장치의 회로도이다. 도 7 및 도 8의 실시예들에서는 도 5 및 도 6의 실시예에서와 같이 액정 패널(100)이 행 방향으로 2 이상의 영역으로 나뉘는 대신에 액정 패널(100)이 열 방향으로 제1 영역(AV1) 및 제2 영역(AV2)으로 나뉘어 있다. 또, 도 5 및 도 6의 실시예에서와 같이 게이트 라인이 분지점으로부터 2 이상의 게이트 분지 라인으로 분지된 것이 아니라, 데이터 라인(162)이 분지점(B21, B22)으로부터 제1 데이터 분지 라인(162_1) 및 제2 데이터 분지 라인(162_2)으로 분지되어 있다.
- <50> 이상의 차이로부터 도 7 및 도 8의 실시예들의 경우는 열 방향으로 형성되는 데이터 신호 딜레이의 위치별 차이가 감소할 수 있음을 용이하게 이해할 수 있을 것이다.
- <51> 한편, 도 7 및 도 8의 실시예는 도 5 및 도 6의 실시예와 조합되어 적용될 수도 있다. 즉, 게이트 라인이 2 이상의 게이트 분지 라인으로 분지됨과 동시에 데이터 라인이 2 이상의 데이터 분지 라인으로 분지될 수 있다.
- <52> 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들을 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

발명의 효과

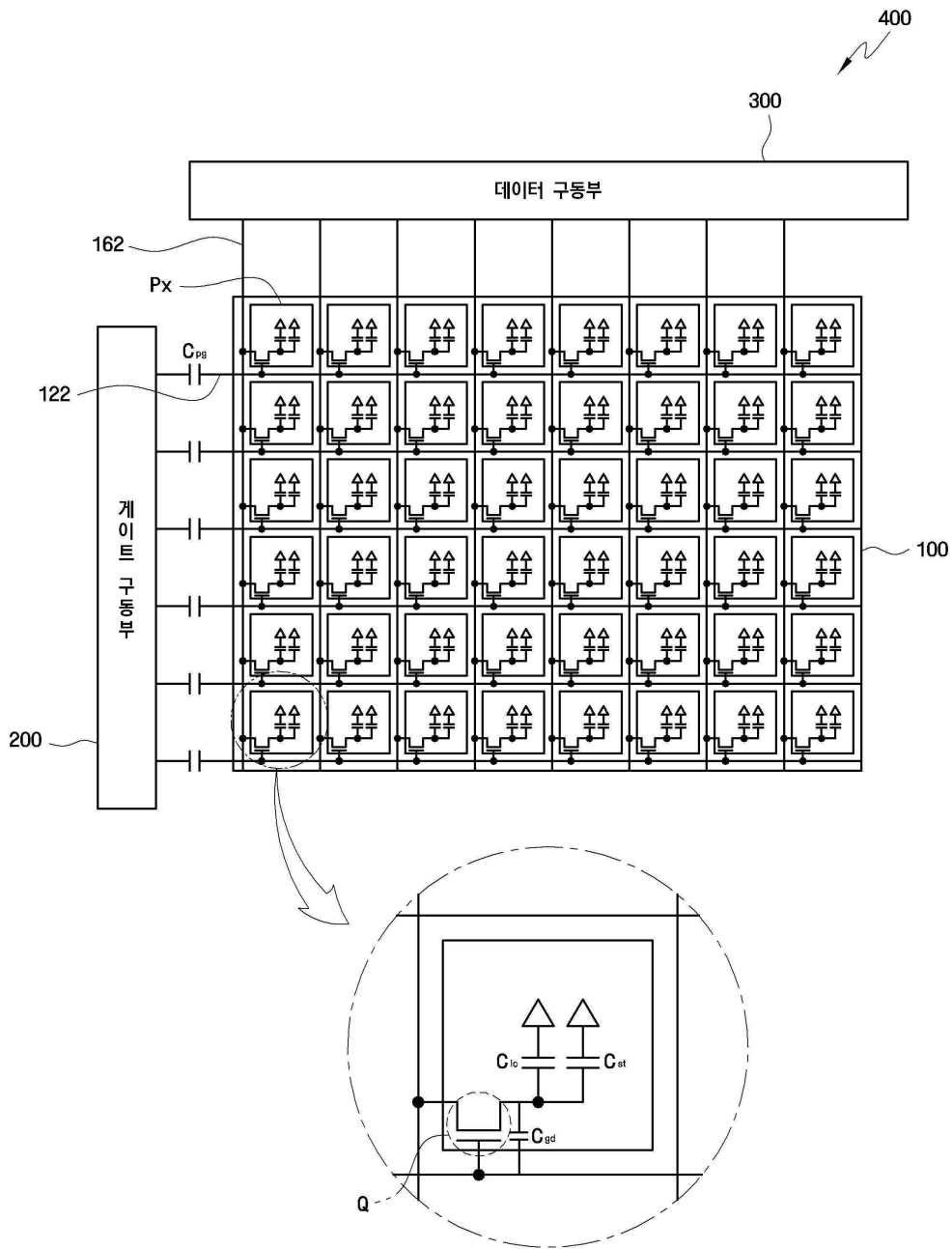
- <53> 본 발명의 몇몇 실시예들에 따른 액정 표시 장치에 의하면, 게이트 라인을 따라 전달되는 게이트 신호의 딜레이가 감소하기 때문에, 액정 패널의 좌우측에서의 충전 전압의 차이가 감소할 수 있다. 또, 본 발명의 다른 몇몇 실시예들에 따른 액정 표시 장치에 의하면, 데이터 라인을 따라 전달되는 데이터 신호의 딜레이가 감소하기 때문에, 액정 패널의 상하부에서의 충전 전압의 차이가 감소할 수 있다. 따라서, 표시 화질이 개선된다.

도면의 간단한 설명

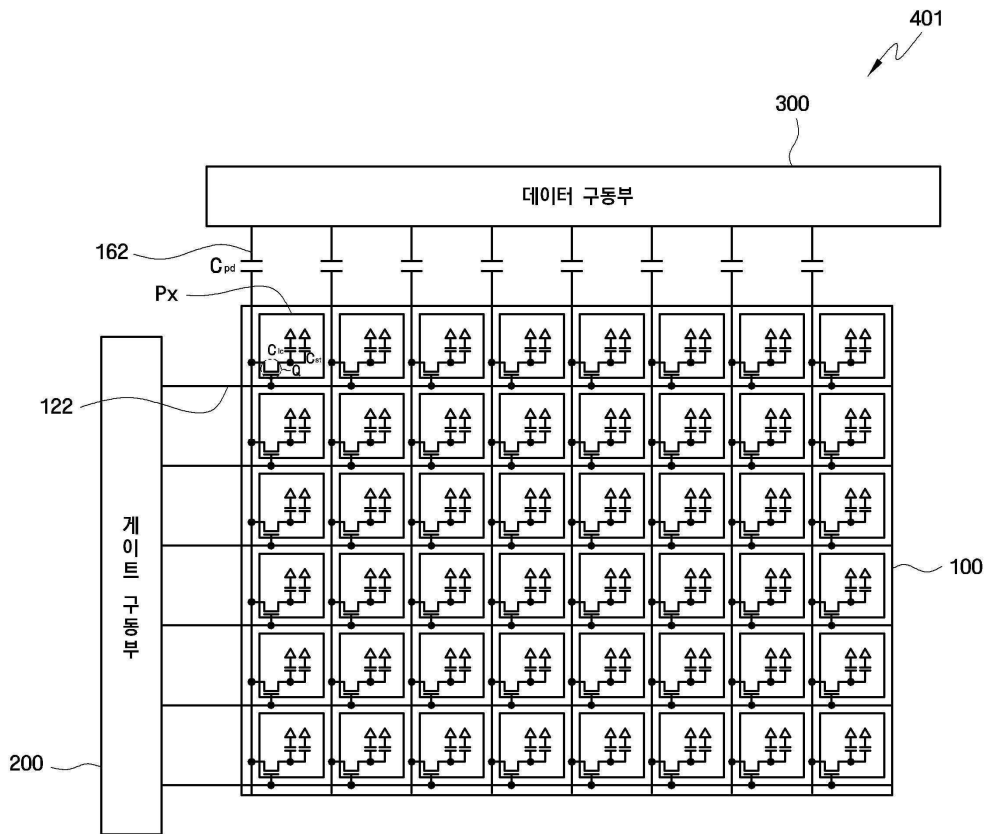
- <1> 도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치의 회로도이다.
- <2> 도 2는 본 발명의 제2 실시예에 따른 액정 표시 장치의 회로도이다.
- <3> 도 3은 본 발명의 제3 실시예에 따른 액정 표시 장치의 부분 레이아웃도이다.
- <4> 도 4는 본 발명의 제4 실시예에 따른 액정 표시 장치의 부분 레이아웃도이다.
- <5> 도 5는 본 발명의 제5 실시예에 따른 액정 표시 장치의 회로도이다.
- <6> 도 6은 본 발명의 제6 실시예에 따른 액정 표시 장치의 회로도이다.
- <7> 도 7은 본 발명의 제7 실시예에 따른 액정 표시 장치의 회로도이다.
- <8> 도 8은 본 발명의 제8 실시예에 따른 액정 표시 장치의 회로도이다.
- <9> <도면의 주요부분에 대한 부호의 설명>
- <10> 100: 액정 패널 122: 게이트 라인
- <11> 162: 데이터 라인 200: 게이트 구동부
- <12> 300: 데이터 구동부 400: 액정 표시 장치

도면

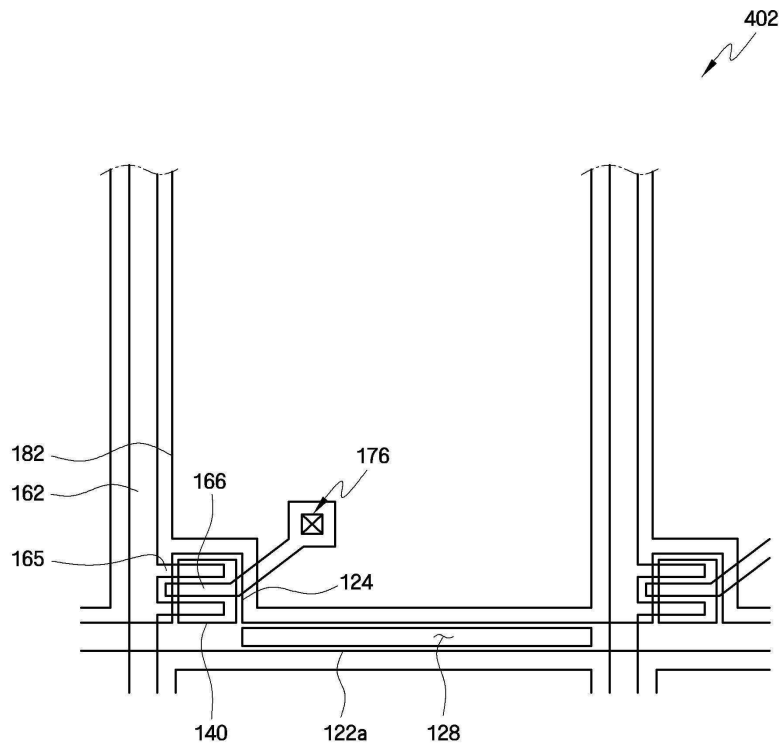
도면1



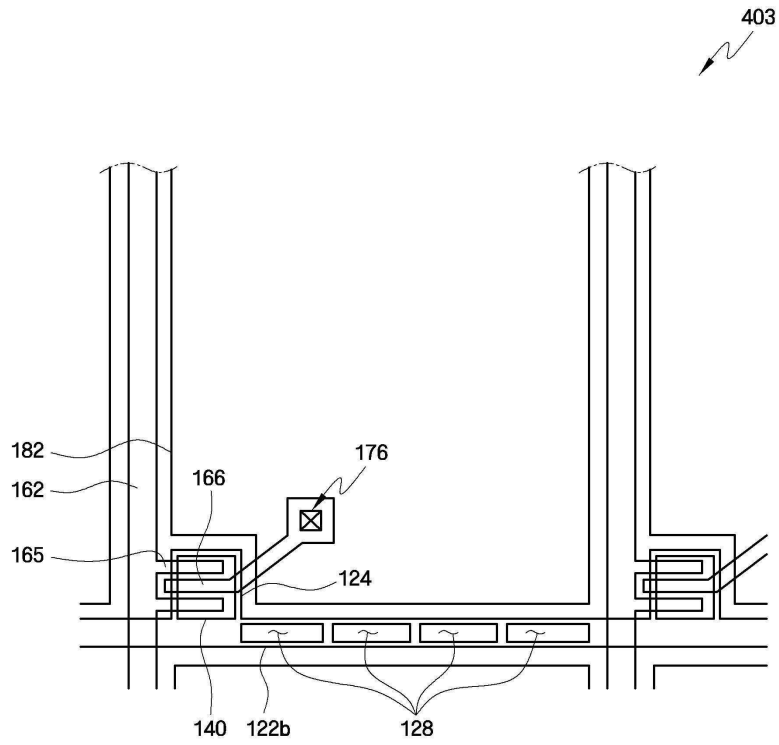
도면2



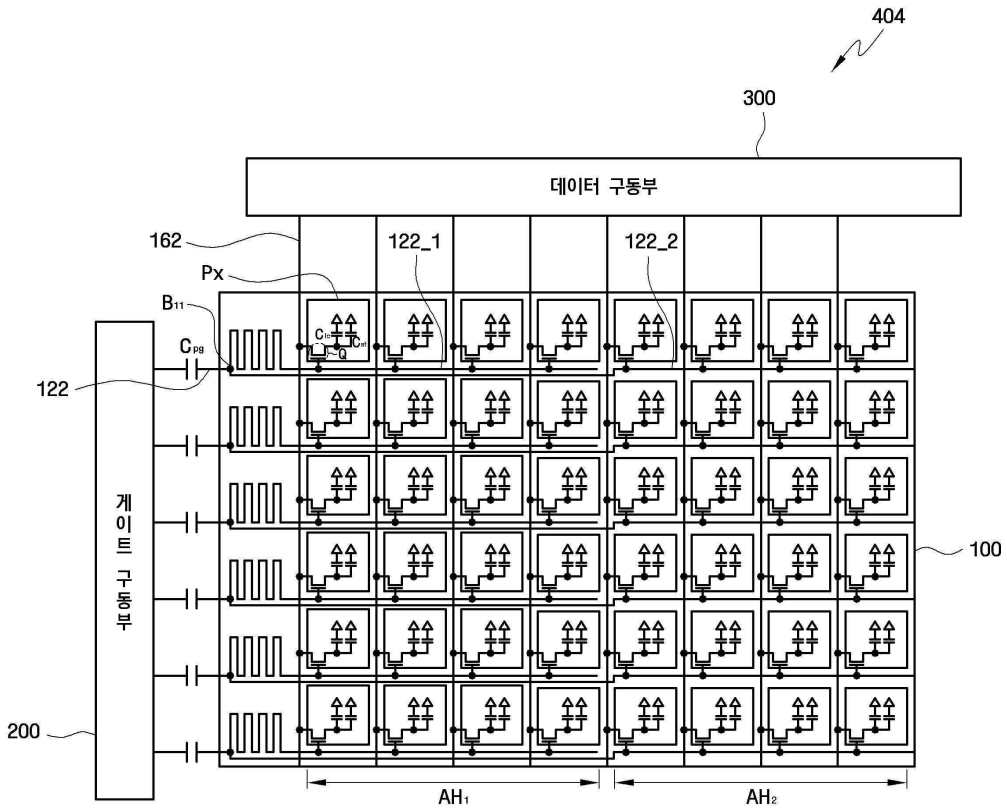
도면3



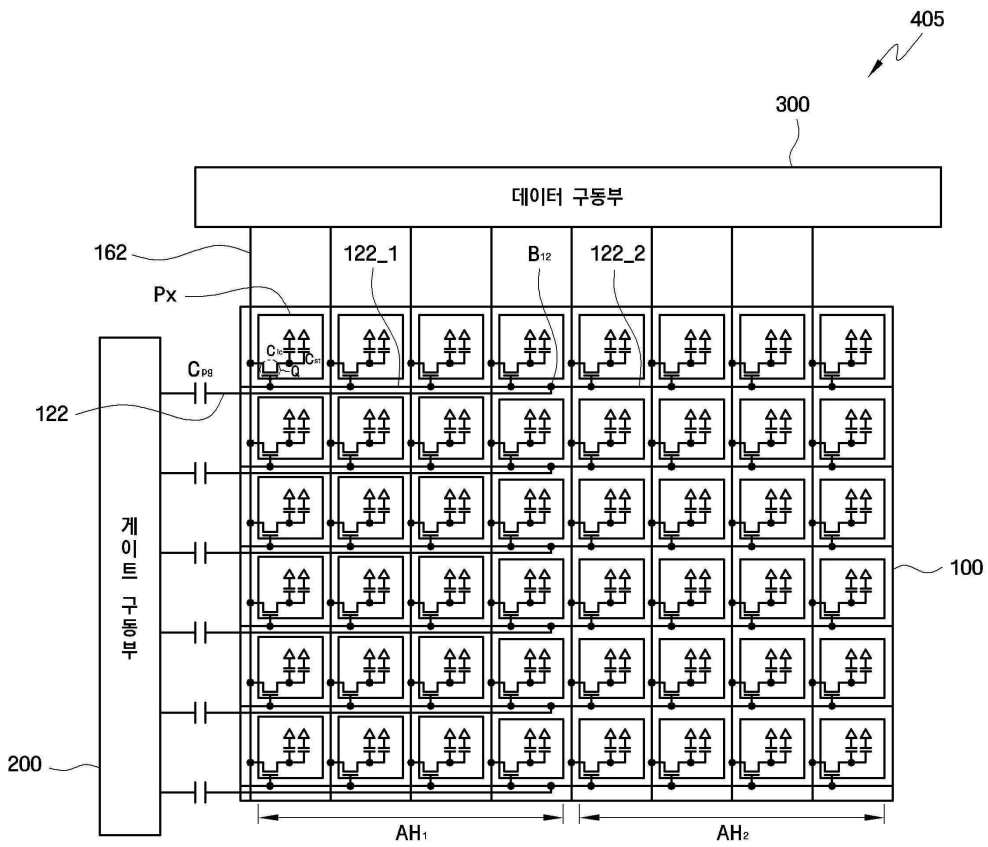
도면4



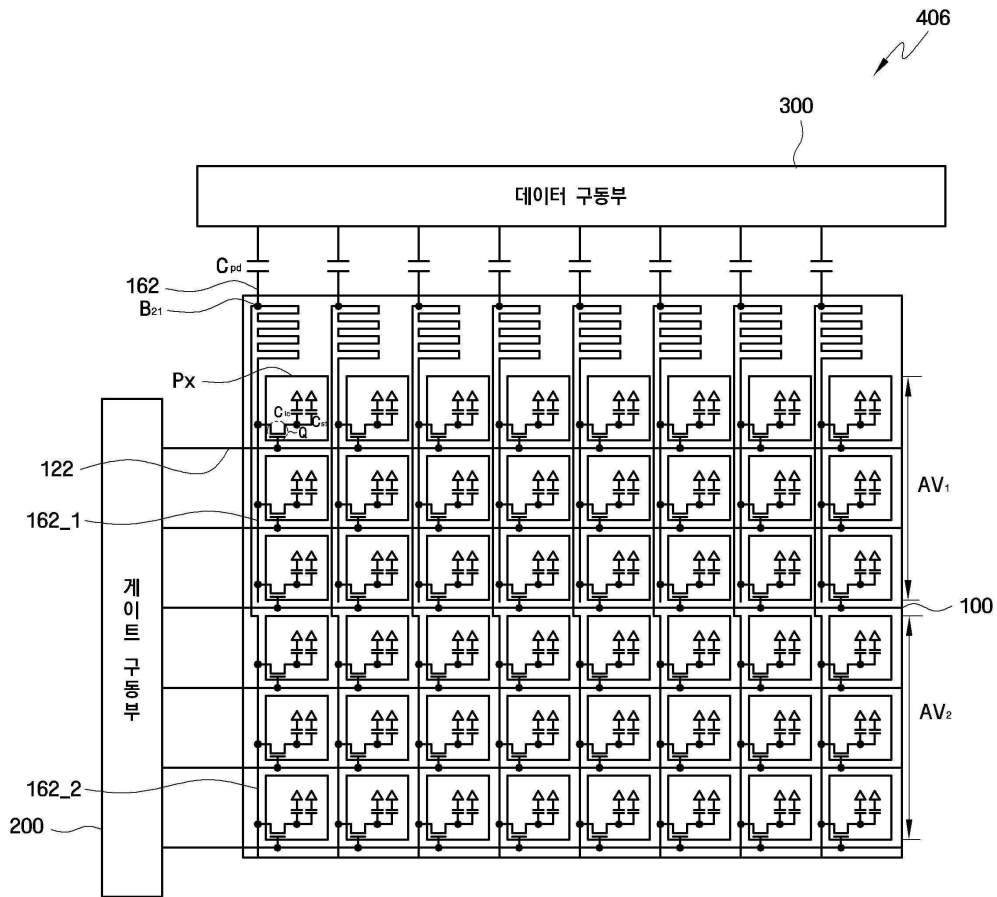
도면5



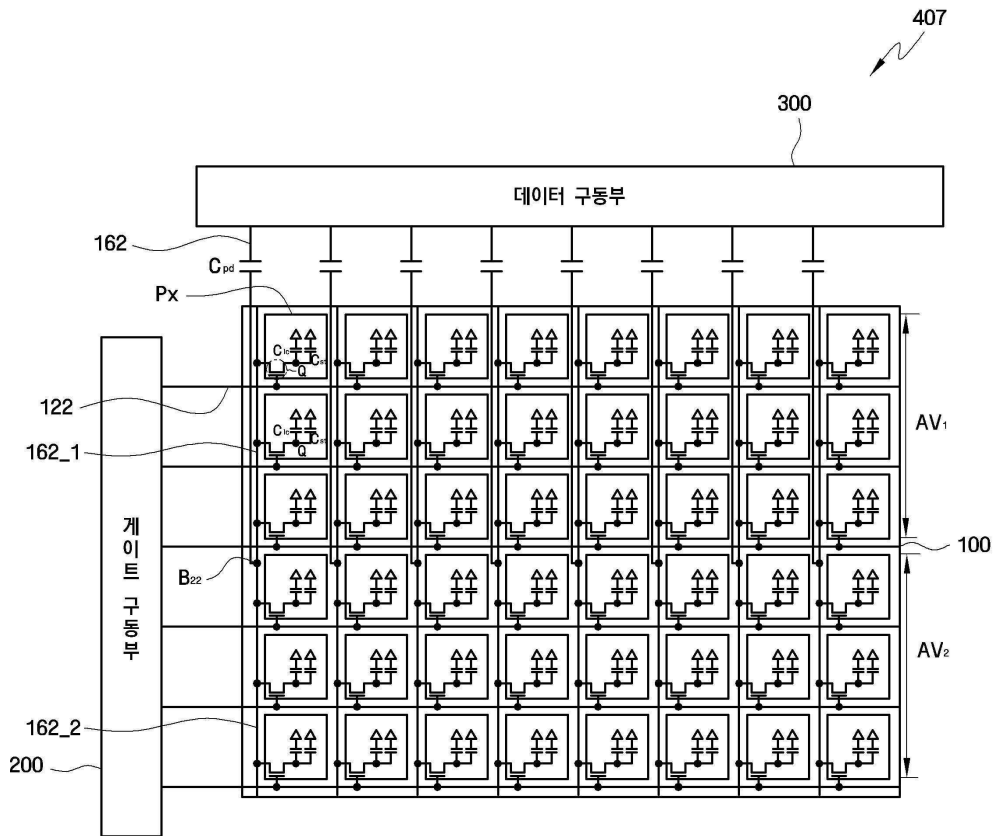
도면6



도면7



도면8



专利名称(译)	液晶显示器		
公开(公告)号	KR1020080020863A	公开(公告)日	2008-03-06
申请号	KR1020060084297	申请日	2006-09-01
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	PARK HYOUNG JUN		
发明人	PARK, HYOUNG JUN		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/134336 G02F1/136213		
代理人(译)	JEONG, SANG BIN		
外部链接	Espacenet		

摘要(译)

提供一种信号延迟减小的液晶显示器。液晶显示器包括多个薄膜晶体管，其延伸到延伸到线写入方向的多条栅极线，并且列方向连接到与栅极线绝缘并且相交的数据线，以及栅极线和数据线和数据信号由薄膜晶体管组成，该薄膜晶体管是串联连接到像素电极的栅极信号延迟防止电容器，并且多个栅极线以矩阵形状排列，它被传送。栅极信号延迟，数据信号延迟和寄生电容。

