



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0112989
(43) 공개일자 2007년11월28일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0046634

(22) 출원일자 2006년05월24일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

오재영

경기도 의왕시 내손1동 포일아파트 101동 210호

지영승

경기 안양시 동안구 부흥동 1108번지 금강 오피스
텔 514호

(뒷면에 계속)

(74) 대리인

특허법인로얄

전체 청구항 수 : 총 25 항

(54) 액정 표시장치 및 그 제조 방법

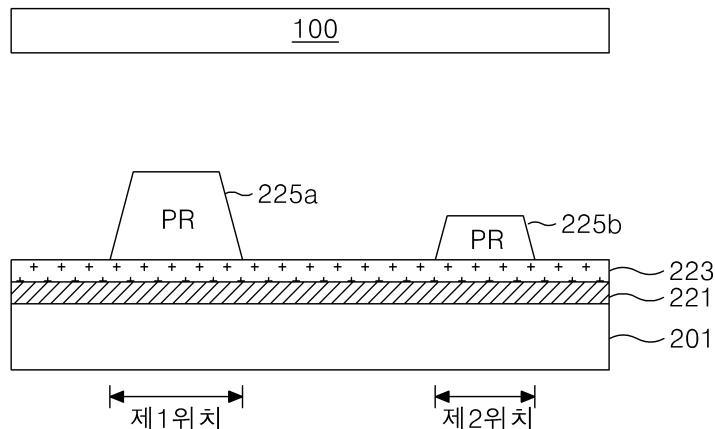
(57) 요약

본 발명은 마스크 공정을 절감할 수 있고, 나아가 마스크를 사용하지 않고 제조할 수 있는 액정표시장치의 제조 방법에 관한 것이다.

또한 본 발명은 본 발명에 따른 제조 방법을 이용하여 스토리지 캐패시터의 용량을 개선할 수 있는 액정표시장치에 관한 것이다.

이 액정표시장치의 제조 방법은 광원과, 각각 전기적으로 제어되어 상기 광원으로부터의 광을 선택적으로 목적 위치 쪽으로 반사시키는 다수의 미세 미러들이 배열된 노광장치를 마련하는 단계; 액정표시장치용 기판 상에 적어도 하나의 박막을 형성하는 단계; 상기 박막 상에 포토레지스트를 형성하는 단계; 상기 박막과 상기 포토레지스트가 적층된 기판을 상기 목적 위치 상에 배치하는 단계; 상기 광원을 구동함과 아울러 상기 노광장치의 미세 미러들 각각을 제어하여 상기 포토레지스트의 제1 위치에 제1 광량으로 광을 조사함과 동시에 상기 포토레지스트의 제2 위치에 상기 제1 광량과 다른 제2 광량으로 조사하는 단계; 상기 포토레지스트를 현상하여 상기 박막 상에 높이가 서로 다른 포토레지스트 패턴들을 잔류시키는 단계; 및 상기 서로 다른 높이를 가지는 포토레지스트 패턴들을 마스크로 하여 상기 박막을 패터닝하는 단계를 포함한다.

대표도 - 도5a



(72) 발명자

김정오

서울 강서구 화곡6동 1145번지 우장산 롯데 낙천대
아파트 306-902

김수풀

경기 성남시 분당구 야탑동 현대 아이파크 105동
801호

특허청구의 범위

청구항 1

광원과, 각각 전기적으로 제어되어 상기 광원으로부터의 광을 선택적으로 목적 위치 쪽으로 반사시키는 다수의 미세 미러들이 배열된 노광장치를 마련하는 단계;

액정표시장치용 기판 상에 적어도 하나의 박막을 형성하는 단계;

상기 박막 상에 포토레지스트를 형성하는 단계;

상기 박막과 상기 포토레지스트가 적층된 기판을 상기 목적 위치 상에 배치하는 단계;

상기 광원을 구동함과 아울러 상기 노광장치의 미세미러들 각각을 제어하여 상기 포토레지스트의 제1 위치에 제1 광량으로 광을 조사함과 동시에 상기 포토레지스트의 제2 위치에 상기 제1 광량과 다른 제2 광량으로 조사하는 단계;

상기 포토레지스트를 현상하여 상기 박막 상에 높이가 서로 다른 포토레지스트 패턴들을 잔류시키는 단계; 및 상기 서로 다른 높이를 가지는 포토레지스트 패턴들을 마스크로 하여 상기 박막을 패터닝하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 액정표시장치용 기판 상에 형성된 상기 박막은

게이트 라인 및 상기 게이트 라인과 연결된 게이트 전극을 포함하는 게이트 금속 패턴군을 형성하기 위한 게이트 금속과;

상기 게이트 금속 패턴군 상부에 적층되는 절연 패턴을 형성하기 위한 절연물질과;

상기 게이트 라인과 상기 절연패턴을 사이에 두고 교차하여 화소영역을 정의하는 데이터 라인, 상기 데이터 라인과 접속된 소스 전극 및 상기 소스 전극과 채널부를 사이에 두고 마주하는 드레인 전극을 포함하는 소스/드레인 금속 패턴군을 형성하기 위한 소스/드레인 금속과;

상기 소스/드레인 금속 패턴군 하부에 중첩된 반도체 패턴을 형성하기 위한 반도체 물질과;

상기 화소 영역에 형성되는 화소 전극을 포함하는 투명 도전성 패턴군을 형성하기 위한 투명 도전막 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 3

제 2 항에 있어서,

상기 게이트 금속 패턴군은 상기 게이트 라인과 연결된 게이트 패드 하부전극을 포함하고;

상기 투명 도전성 패턴군은 상기 게이트 패드 하부 전극과 접속되는 게이트 패드 상부전극을 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 4

제 3 항에 있어서,

상기 소스/드레인 금속 패턴군은 상기 게이트 패드 하부전극과 상기 게이트 절연패턴 및 반도체 패턴을 사이에 두고 중첩되는 더미 전극을 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 5

제 2 항에 있어서,

상기 화소 전극은 상기 게이트 라인과 나란한 화소 전극 수평부 및 상기 화소 전극 수평부와 연결되어 상기 화소 영역에 서로 나란한 화소 전극 평거부를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 6

제 5 항에 있어서,

상기 게이트 금속 패턴군은 상기 화소 전극 수평부와 중첩된 공통라인 및 상기 공통라인과 연결되어 상기 화소 전극 평거부와 나란한 공통전극 평거부를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 7

제 6 항에 있어서,

상기 게이트 금속 패턴군은 상기 공통 라인과 연결된 공통 패드 하부전극을 포함하고;

상기 투명 도전성 패턴군은 상기 공통 패드 하부 전극과 접속되는 공통 패드 상부전극을 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 8

제 7 항에 있어서,

상기 소스/드레인 금속 패턴군은 상기 공통 패드 하부전극과 상기 게이트 절연패턴 및 반도체 패턴을 사이에 두고 중첩되는 더미 전극을 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 9

제 2 항에 있어서,

상기 소스/드레인 금속 패턴군은 상기 데이터 라인과 연결된 데이터 패드 하부 전극을 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 10

제 9 항에 있어서,

상기 투명 도전성 패턴군은 상기 데이터 패드 하부 전극과 접속된 데이터 패드 상부 전극을 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 11

광원과, 각각 전기적으로 제어되어 상기 광원으로부터의 광을 선택적으로 목적 위치 쪽으로 반사시키는 다수의 미세 미러들이 배열된 노광장치를 마련하는 단계;

액정표시장치용 기판 상에 적어도 하나의 박막을 형성하는 단계;

상기 박막 상에 포토레지스트를 형성하는 단계;

상기 박막과 상기 포토레지스트가 적층된 기판을 상기 목적 위치 상에 배치하는 단계;

상기 광원을 구동하고 상기 노광장치의 미세미러들 각각을 제어하여 상기 포토레지스트의 제1 위치에 제1 광량으로 광을 조사하는 단계와;

상기 광원의 출력을 조정하고 상기 노광장치의 미세미러들 각각을 제어하여 상기 포토레지스트의 제2 위치에 상기 제1 광량과 다른 제2 광량으로 조사하는 단계;

상기 포토레지스트를 현상하여 상기 박막 상에 높이가 서로 다른 포토레지스트 패턴들을 잔류시키는 단계; 및 상기 서로 다른 높이를 가지는 포토레지스트 패턴들을 마스크로 하여 상기 박막을 패터닝하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 12

제 11 항에 있어서,

상기 액정표시장치용 기판 상에 형성된 상기 박막은

게이트 라인 및 상기 게이트 라인과 연결된 게이트 전극을 포함하는 게이트 금속 패턴군을 형성하기 위한 게이트 금속과;

상기 게이트 금속 패턴군 상부에 적층되는 절연 패턴을 형성하기 위한 절연물질과;

상기 게이트 라인과 상기 절연패턴을 사이에 두고 교차하여 화소영역을 정의하는 데이터 라인, 상기 데이터 라인과 접속된 소스 전극 및 상기 소스 전극과 채널부를 사이에 두고 마주하는 드레인 전극을 포함하는 소스/드레인 금속 패턴군을 형성하기 위한 소스/드레인 금속과;

상기 소스/드레인 금속 패턴군 하부에 중첩된 반도체 패턴을 형성하기 위한 반도체 물질과;

상기 화소 영역에 형성되는 화소 전극을 포함하는 투명 도전성 패턴군을 형성하기 위한 투명 도전막 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 13

제 12 항에 있어서,

상기 게이트 금속 패턴군은 상기 게이트 라인과 연결된 게이트 패드 하부전극을 포함하고;

상기 투명 도전성 패턴군은 상기 게이트 패드 하부 전극과 접속되는 게이트 패드 상부전극을 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 14

제 13 항에 있어서,

상기 소스/드레인 금속 패턴군은 상기 게이트 패드 하부전극과 상기 게이트 절연패턴 및 반도체 패턴을 사이에 두고 중첩되는 더미 전극을 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 15

제 12 항에 있어서,

상기 화소 전극은 상기 게이트 라인과 나란한 화소 전극 수평부 및 상기 화소 전극 수평부와 연결되어 상기 화소 영역에 서로 나란한 화소 전극 평거부를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 16

제 15 항에 있어서,

상기 게이트 금속 패턴군은 상기 화소 전극 수평부와 중첩된 공통라인 및 상기 공통라인과 연결되어 상기 화소 전극 평거부와 나란한 공통전극 평거부를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 17

제 16 항에 있어서,

상기 게이트 금속 패턴군은 상기 공통 라인과 연결된 공통 패드 하부전극을 포함하고;

상기 투명 도전성 패턴군은 상기 공통 패드 하부 전극과 접속되는 공통 패드 상부전극을 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 18

제 17 항에 있어서,

상기 소스/드레인 금속 패턴군은 상기 공통 패드 하부전극과 상기 게이트 절연패턴 및 반도체 패턴을 사이에 두고 중첩되는 더미 전극을 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 19

제 12 항에 있어서,

상기 소스/드레인 금속 패턴은 상기 데이터 라인과 연결된 데이터 패드 하부 전극을 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 20

제 19 항에 있어서,

상기 투명 도전성 패턴은 상기 데이터 패드 하부 전극과 접속된 데이터 패드 상부 전극을 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 21

하부 기판 상에 형성된 게이트 라인과;

상기 게이트 라인과 교차하여 화소 영역을 정의하는 데이터 라인 하부 전극과;

상기 데이터 라인 하부 전극을 따라 상기 데이터 라인 하부 전극 상에 직접 형성되는 데이터 라인 상부 전극과;

상기 게이트 라인과 상기 데이터 라인 하부 전극 사이에 형성된 제1 절연 패턴 및 제2 절연 패턴과;

상기 게이트 라인과 연결된 게이트 전극, 상기 제1 절연 패턴 및 제2 절연 패턴을 사이에 두고 상기 게이트 전극과 중첩된 소스 전극 및 드레인 전극, 상기 데이터 라인 하부전극과 상기 소스 및 드레인 전극의 아래에서 상기 데이터 라인 하부 전극과 상기 소스 및 상기 드레인 전극을 따라 형성되는 반도체 패턴 및, 상기 소스 전극과 드레인 전극 사이에 노출된 상기 반도체층 표면에 형성된 채널 보호막을 포함하는 박막 트랜지스터와;

상기 게이트 라인과 나란하게 형성된 공통라인과;

상기 공통라인과 연결되고 화소 영역내에 나란하게 형성된 다수의 공통 전극핑거부와;

상기 드레인 전극 상에 직접 형성되고, 상기 드레인 전극, 상기 반도체 패턴 상기 제2 절연 패턴을 관통하는 스토리지 홀을 통해 상기 제1 절연패턴과 접촉하여상기 공통라인과 중첩되는 화소 전극 수평부와;

상기 화소 전극 수평부에 연결되어 상기 화소 영역 내에 상기 공통 전극 핑거부와 나란하게 형성된 화소 전극 핑거부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 22

제 21 항에 있어서,

상기 게이트 라인에서 연장된 게이트 패드 하부 전극과;

상기 게이트 패드 하부 전극상에 형성된 더미 전극과;

상기 더미 전극을 관통하여 상기 게이트 패드 하부 전극을 노출시키는 컨택홀과;

상기 더미 전극 및 상기 컨택홀을 덮도록 형성되어 상기 게이트 패드 하부 전극 및 상기 더미 전극과 접속되는 게이트 패드 상부 전극을 추가로 구비하고,

상기 더미 전극 하부에는 상기 반도체 패턴이 중첩되고, 상기 반도체 패턴과 상기 게이트 패드 하부 전극 사이에는 상기 제2 절연패턴이 중첩되며 상기 컨택홀은 상기 반도체 패턴 및 상기 제2 절연패턴을 관통하여 상기 게이트 패드 하부 전극을 노출시키는 것을 특징으로 하는 액정표시장치.

청구항 23

제 21 항에 있어서,

상기 공통 라인에서 연장된 공통 패드 하부 전극과;

상기 공통 패드 하부 전극상에 형성된 더미 전극과;

상기 더미 전극을 관통하여 상기 공통 패드 하부 전극을 노출시키는 컨택홀과;

상기 더미 전극 및 상기 컨택홀을 덮도록 형성되어 상기 공통 패드 하부 전극 및 상기 더미 전극과 접속되는 공통 패드 상부 전극을 추가로 구비하고,

상기 더미 전극 하부에는 상기 반도체 패턴이 중첩되고, 상기 반도체 패턴과 상기 공통 패드 하부 전극 사이에는 상기 제2 절연패턴이 중첩되며 상기 컨택홀은 상기 반도체 패턴 및 상기 제2 절연패턴을 관통하여 상기 공통 패드 하부 전극을 노출시키는 것을 특징으로 하는 액정표시장치.

청구항 24

하부 기판 상에 형성된 게이트 라인과;

상기 게이트 라인과 교차하여 화소 영역을 정의하는 데이터 라인 하부 전극과;

상기 데이터 라인 하부 전극을 따라 상기 데이터 라인 하부 전극 상에 직접 형성되는 데이터 라인 상부 전극과;

상기 게이트 라인과 상기 데이터 라인 하부 전극 사이에 형성된 제1 및 제2 절연 패턴과;

상기 게이트 라인과 연결된 게이트 전극, 상기 제1 및 제2 게이트 절연 패턴을 사이에 두고 상기 게이트 전극과 중첩된 소스 전극 및 드레인 전극, 상기 데이터 라인 하부전극과 상기 소스 및 드레인 전극의 아래에서 상기 데이터 라인 하부 전극과 상기 소스 및 상기 드레인 전극을 따라 형성되는 반도체 패턴, 및 상기 소스 전극과 드레인 전극 사이에 노출된 상기 반도체층 표면에 형성된 채널 보호막을 포함하는 박막 트랜지스터와;

상기 제1 및 제2 절연패턴을 사이에 두고 상기 게이트 라인과 중첩되는 반도체 패턴 및 스토리지 전극과;

상기 화소 영역에 형성되며, 상기 드레인 전극 상에 직접 형성되고 상기 스토리지 전극, 상기 반도체 패턴 상기 제2 절연 패턴을 관통하는 스토리지 홀을 통해 상기 제1 절연패턴과 접촉하여 상기 게이트 라인과 중첩되는 화소 전극을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 25

제 24 항에 있어서,

상기 게이트 라인에서 연장된 게이트 패드 하부 전극과;

상기 게이트 패드 하부 전극상에 형성된 더미 전극과;

상기 더미 전극을 관통하여 상기 게이트 패드 하부 전극을 노출시키는 컨택홀과;

상기 더미 전극 및 상기 컨택홀을 덮도록 형성되어 상기 게이트 패드 하부 전극 및 상기 더미 전극과 접속되는 게이트 패드 상부 전극을 추가로 구비하고,

상기 더미 전극 하부에는 상기 반도체 패턴이 중첩되고, 상기 반도체 패턴과 상기 게이트 패드 하부 전극 사이에는 상기 제2 절연패턴이 중첩되며 상기 컨택홀은 상기 반도체 패턴 및 상기 제2 절연패턴을 관통하여 상기 게이트 패드 하부 전극을 노출시키는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<48>

본 발명은 액정표시장치에 관한 것으로, 특히 마스크 공정을 절감할 수 있고, 나아가 마스크를 사용하지 않고 제조할 수 있는 액정표시장치의 제조 방법에 관한 것이다.

<49>

또한 본 발명은 본 발명에 따른 제조 방법을 이용하여 스토리지 캐퍼시터의 용량을 개선할 수 있는 액정표시장치에 관한 것이다.

<50>

액정 표시 장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정 표시 장치는 액정셀 매트릭스를 통해 화상을 표시하는 액정 표시 패널(이하, 액정 패널)과, 그 액정 패널을 구동하는 구동 회로를 구비한다.

<51>

도 1을 참조하면, 종래의 액정 패널은 액정(24)을 사이에 두고 접합된 칼라 필터 기판(10)과 박막 트랜지스터 기판(20)으로 구성된다.

- <52> 칼라 필터 기판(10)은 상부 유리 기판(2) 상에 순차적으로 형성된 블랙 매트릭스(4)와 칼라 필터(6) 및 공통 전극(8)을 구비한다. 블랙 매트릭스(4)는 상부 유리 기판(2)에 매트릭스 형태로 형성된다. 이러한 블랙 매트릭스(4)는 상부 유리 기판(2)의 영역을 칼라 필터(6)가 형성되어질 다수의 셀 영역들로 나누고, 인접한 셀들간의 광 간섭 및 외부광 반사를 방지한다. 칼라 필터(6)는 블랙 매트릭스(4)에 의해 구분된 셀 영역에 적(R), 녹(G), 청(B)으로 구분되게 형성되어 적, 녹, 청색 광을 각각 투과시킨다. 공통 전극(8)은 칼라 필터(6) 위에 전면 도포된 투명 도전층으로 액정(24) 구동시 기준이 되는 공통 전압(Vcom)을 공급한다. 그리고, 칼라 필터(6)의 평탄화를 위하여 칼라 필터(6)와 공통 전극(8) 사이에는 오버코트층(Overcoat Layer)(미도시)이 추가로 형성되기도 한다.
- <53> 박막 트랜지스터 기판(20)은 하부 유리 기판(12)에서 게이트 라인(14)과 데이터 라인(16)의 교차로 정의된 셀영역마다 형성된 박막 트랜지스터(18)와 화소 전극(22)을 구비한다. 박막 트랜지스터(18)는 게이트 라인(12)으로부터의 게이트 신호에 응답하여 데이터 라인(16)으로부터의 데이터 신호를 화소 전극(22)으로 공급한다. 투명 도전층으로 형성된 화소 전극(22)은 박막 트랜지스터(18)로부터의 데이터 신호를 공급하여 액정(24)이 구동되게 한다.
- <54> 유전 이방성을 갖는 액정(24)은 화소 전극(22)의 데이터 신호와 공통 전극(8)의 공통 전압(Vcom)에 의해 형성된 전계에 따라 회전하여 광 투과율을 조절함으로써 계조가 구현되게 한다.
- <55> 그리고, 액정 패널은 액정(24)의 초기 배향을 위한 배향막과, 컬러 필터 기판(10)과 박막 트랜지스터 기판(20)과의 셀캡을 일정하게 유지하기 위한 스페이서(미도시)를 추가로 구비한다.
- <56> 이러한 액정 패널의 칼라 필터 기판(10) 및 박막 트랜지스터 기판(20)은 다수의 마스크 공정을 이용하여 형성된다. 하나의 마스크 공정은 박막 증착(코팅) 공정, 세정 공정, 포토리소그래피 공정(이하, 포토 공정), 식각 공정, 포토레지스트 박리 공정, 검사 공정 등과 같은 다수의 공정을 포함한다.
- <57> 특히, 박막 트랜지스터 기판은 반도체 공정을 포함함과 아울러 다수의 마스크 공정을 필요로 함에 따라 제조 공정이 복잡하여 액정 패널 제조 단가 상승의 중요 원인이 되고 있다. 이에 따라, 박막 트랜지스터 기판은 표준 마스크 공정이던 5 마스크 공정에서 마스크 공정수를 줄이는 방향으로 발전하고 있다.
- <58> 한편, 액정 표시 장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계형과 수평 전계형으로 대별된다.
- <59> 수직 전계 액정 표시 장치는 상하부 기판에 대향하게 배치된 화소 전극과 공통 전극 사이에 형성되는 수직 전계에 의해 TN(Twisted Nematic) 모드의 액정을 구동하게 된다. 수직 전계 액정 표시 장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다.
- <60> 수평 전계 액정 표시 장치는 하부 기판에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 인 플레인 스위칭(In Plane Switching; 이하, IPS라 함) 모드의 액정을 구동하게 된다. 수평 전계 액정 표시 장치는 시야각이 160도 정도로 넓은 장점을 가진다.
- <61> 이러한 수평 전계 액정 표시 장치의 박막 트랜지스터 기판도 반도체 공정을 포함하는 다수의 마스크 공정을 필요로 하므로 제조 공정이 복잡한 단점이 있다. 따라서, 제조 원가를 절감하기 위해서는 마스크 공정수 단축이 필요하다.
- <62> 종래 마스크 공정수는 회절 노광 마스크나 반투과 마스크를 사용하여 단축될 수 있다.
- <63> 회절 노광 마스크는 빛을 투과시키는 투과부, 빛을 차단하는 차단부, 빛을 회절시켜 빛의 일부만 투과시키는 회절 노광부를 구비한다.
- <64> 반투과 마스크는 빛을 투과시키는 투과부, 빛을 차단하는 차단부, 빛의 일부만 투과시키는 반투과부를 구비한다.
- <65> 도 2a 내지 도 2e는 상기 회절 노광마스크 또는 반투과 마스크를 사용하여 서로 다른 구조의 패턴을 하나의 마스크로 패터닝하는 방법을 도시한 것이다.
- <66> 도 2a를 참조하면 기판(1)상에 제1 물질층(21), 제2 물질층(23)이 순차적으로 형성된다. 이 후, 포토레지스트를 도포하고, 그 상부에 회절 노광 마스크(또는 반투과 마스크)(27)를 배치한다. 포토레지스트는 회절 노광 마스크(또는 반투과 마스크)(27)를 이용한 포토리소그래피 공정을 통해 패터닝되어 포토레지스트 패턴(25a, 25b)을 형성한다. 이 포토레지스트 패턴(25a, 25b)은 차단부(P3)에 대응하여 제1 높이를 갖도록 형성된 제1 포토레지스트 패턴(25a) 및 회절 노광부(또는 반투과부)(P2)에 대응하여 제1 높이보다 낮은 제2 높이를 갖도록 형성된

제2 포토레지스트 패턴(25b)을 포함한다.

- <67> 도 2b를 참조하면 제1 및 제2 포토레지스트 패턴(25a, 25b)을 이용하여 제1 물질층(21), 제2 물질층(23)을 식각하여 패터닝한다.
- <68> 도 2c를 참조하면, 서로 다른 높이의 제1 및 제2 포토레지스트 패턴(25a, 25b)을 애싱함으로써 제1 포토레지스트 패턴(25a)의 높이는 낮아지고, 제2 포토레지스트 패턴(25b)은 제거된다.
- <69> 도 2d 및 도 2e를 참조하면, 제거된 제2 포토레지스트 패턴(25b) 의해 노출된 제2 물질층(23)을 식각한 후, 남은 포토레지스트 패턴(25a)을 제거함으로써 서로 다른 구조의 제1 패턴(28) 및 제2 패턴(29)이 형성된다.
- <70> 상술한 바와 같이 종래는 서로 다른 구조의 제1 패턴(27) 및 제2 패턴(29)을 하나의 마스크를 이용하여 형성하기 위해 회절 노광 마스크 또는 반투과 마스크를 사용한다. 그러나 회절 노광 마스크 및 반투과 마스크는 가격이 매우 비싸므로 액정표시장치의 제조 비용을 증가시키는 주원인이 된다. 이에 따라 회절 노광 마스크 또는 반투과 마스크를 사용하지 않고 마스크 공정을 절감할 수 있는 방법이 필요하다.

발명이 이루고자 하는 기술적 과제

- <71> 따라서, 본 발명의 목적은 마스크 공정을 절감할 수 있고, 나아가 마스크를 사용하지 않고 제조할 수 있는 액정표시장치의 제조 방법에 관한 것이다.
- <72> 또한 본 발명의 또 다른 목적은 본 발명에 따른 제조 방법을 이용하여 스토리지 캐패시터의 용량을 개선할 수 있는 액정표시장치에 관한 것이다.

발명의 구성 및 작용

- <73> 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치의 제조방법은 광원과, 각각 전기적으로 제어되어 상기 광원으로부터의 광을 선택적으로 목적 위치 쪽으로 반사시키는 다수의 미세 미러들이 배열된 노광장치를 마련하는 단계; 액정표시장치용 기판 상에 적어도 하나의 박막을 형성하는 단계; 상기 박막 상에 포토레지스트를 형성하는 단계; 상기 박막과 상기 포토레지스트가 적층된 기판을 상기 목적 위치 상에 배치하는 단계; 상기 광원을 구동함과 아울러 상기 노광장치의 미세미러들 각각을 제어하여 상기 포토레지스트의 제1 위치에 제1 광량으로 광을 조사함과 동시에 상기 포토레지스트의 제2 위치에 상기 제1 광량과 다른 제2 광량으로 조사하는 단계; 상기 포토레지스트를 현상하여 상기 박막 상에 높이가 서로 다른 포토레지스트 패턴들을 잔류시키는 단계; 및 상기 서로 다른 높이를 가지는 포토레지스트 패턴들을 마스크로 하여 상기 박막을 패터닝하는 단계를 포함한다.
- <74> 그리고 본 발명의 실시예에 따른 액정표시장치의 제조방법은 광원과, 각각 전기적으로 제어되어 상기 광원으로부터의 광을 선택적으로 목적 위치 쪽으로 반사시키는 다수의 미세 미러들이 배열된 노광장치를 마련하는 단계; 액정표시장치용 기판 상에 적어도 하나의 박막을 형성하는 단계; 상기 박막 상에 포토레지스트를 형성하는 단계; 상기 박막과 상기 포토레지스트가 적층된 기판을 상기 목적 위치 상에 배치하는 단계; 상기 광원을 구동하고 상기 노광장치의 미세미러들 각각을 제어하여 상기 포토레지스트의 제1 위치에 제1 광량으로 광을 조사하는 단계와; 상기 광원의 출력을 조정하고 상기 노광장치의 미세미러들 각각을 제어하여 상기 포토레지스트의 제2 위치에 상기 제1 광량과 다른 제2 광량으로 조사하는 단계; 상기 포토레지스트를 현상하여 상기 박막 상에 높이가 서로 다른 포토레지스트 패턴들을 잔류시키는 단계; 및 상기 서로 다른 높이를 가지는 포토레지스트 패턴들을 마스크로 하여 상기 박막을 패터닝하는 단계를 포함하는 것을 특징으로 한다.

- <75> 상기 액정표시장치용 기판 상에 형성된 상기 박막은 게이트 라인 및 상기 게이트 라인과 연결된 게이트 전극을 포함하는 게이트 금속 패턴군을 형성하기 위한 게이트 금속과; 상기 게이트 금속 패턴군 상부에 적층되는 절연 패턴을 형성하기 위한 절연물질과; 상기 게이트 라인과 상기 절연패턴을 사이에 두고 교차하여 화소영역을 정의하는 데이터 라인, 상기 데이터 라인과 접속된 소스 전극 및 상기 소스 전극과 채널부를 사이에 두고 마주하는 드레인 전극을 포함하는 소스/드레인 금속 패턴군을 형성하기 위한 소스/드레인 금속과; 상기 소스/드레인 금속 패턴군 하부에 중첩된 반도체 패턴을 형성하기 위한 반도체 물질과; 상기 화소 영역에 형성되는 화소 전극을 포함하는 투명 도전성 패턴군을 형성하기 위한 투명 도전막 중 적어도 어느 하나를 포함한다.

- <76> 상기 게이트 금속 패턴군은 상기 게이트 라인과 연결된 게이트 패드 하부전극을 포함하고; 상기 투명 도전성 패턴군은 상기 게이트 패드 하부 전극과 접속되는 게이트 패드 상부전극을 포함한다.
- <77> 상기 소스/드레인 금속 패턴군은 상기 게이트 패드 하부전극과 상기 게이트 절연패턴 및 반도체 패턴을 사이에

두고 중첩되는 더미 전극을 포함한다.

- <78> 상기 화소 전극은 상기 게이트 라인과 나란한 화소 전극 수평부 및 상기 화소 전극 수평부와 연결되어 상기 화소 영역에 서로 나란한 화소 전극 평거부를 포함한다.
- <79> 상기 게이트 금속 패턴군은 상기 화소 전극 수평부와 중첩된 공통라인 및 상기 공통라인과 연결되어 상기 화소 전극 평거부와 나란한 공통전극 평거부를 포함한다.
- <80> 상기 게이트 금속 패턴군은 상기 공통 라인과 연결된 공통 패드 하부전극을 포함하고; 상기 투명 도전성 패턴 군은 상기 공통 패드 하부 전극과 접속되는 공통 패드 상부전극을 포함한다.
- <81> 상기 소스/드레인 금속 패턴군은 상기 공통 패드 하부전극과 상기 게이트 절연패턴 및 반도체 패턴을 사이에 두고 중첩되는 더미 전극을 포함한다.
- <82> 상기 소스/드레인 금속 패턴군은 상기 데이터 라인과 연결된 데이터 패드 하부 전극을 포함한다.
- <83> 상기 투명 도전성 패턴군은 상기 데이터 패드 하부 전극과 접속된 데이터 패드 상부 전극을 포함한다.
- <84> 그리고 본 발명의 실시예에 따른 액정표시장치는 하부 기판 상에 형성된 게이트 라인과; 상기 게이트 라인과 교차하여 화소 영역을 정의하는 데이터 라인 하부 전극과; 상기 데이터 라인 하부 전극을 따라 상기 데이터 라인 하부 전극 상에 직접 형성되는 데이터 라인 상부 전극과; 상기 게이트 라인과 상기 데이터 라인 하부 전극 사이에 형성된 제1 절연 패턴 및 제2 절연 패턴과; 상기 게이트 라인과 연결된 게이트 전극, 상기 제1 절연 패턴 및 제2 절연 패턴을 사이에 두고 상기 게이트 전극과 중첩된 소스 전극 및 드레인 전극, 상기 데이터 라인 하부 전극과 상기 소스 및 드레인 전극의 아래에서 상기 데이터 라인 하부 전극과 상기 소스 및 상기 드레인 전극을 따라 형성되는 반도체 패턴 및, 상기 소스 전극과 드레인 전극 사이에 노출된 상기 반도체층 표면에 형성된 채널 보호막을 포함하는 박막 트랜지스터와; 상기 게이트 라인과 나란하게 형성된 공통라인과; 상기 공통라인과 연결되고 화소 영역내에 나란하게 형성된 다수의 공통 전극평거부와; 상기 드레인 전극 상에 직접 형성되고, 상기 드레인 전극, 상기 반도체 패턴 상기 제2 절연 패턴을 관통하는 스토리지 홀을 통해 상기 제1 절연패턴과 접촉하여상기 공통라인과 중첩되는 화소 전극 수평부와; 상기 화소 전극 수평부에 연결되어 상기 화소 영역 내에 상기 공통 전극 평거부와 나란하게 형성된 화소 전극 평거부를 구비한다.
- <85> 또한 본 발명의 다른 실시예에 따른 액정표시장치는 하부 기판 상에 형성된 게이트 라인과; 상기 게이트 라인과 교차하여 화소 영역을 정의하는 데이터 라인 하부 전극과; 상기 데이터 라인 하부 전극을 따라 상기 데이터 라인 하부 전극 상에 직접 형성되는 데이터 라인 상부 전극과; 상기 게이트 라인과 상기 데이터 라인 하부 전극 사이에 형성된 제1 및 제2 절연 패턴과; 상기 게이트 라인과 연결된 게이트 전극, 상기 제1 및 제2 게이트 절연 패턴을 사이에 두고 상기 게이트 전극과 중첩된 소스 전극 및 드레인 전극, 상기 데이터 라인 하부전극과 상기 소스 및 드레인 전극의 아래에서 상기 데이터 라인 하부 전극과 상기 소스 및 상기 드레인 전극을 따라 형성되는 반도체 패턴, 및 상기 소스 전극과 드레인 전극 사이에 노출된 상기 반도체층 표면에 형성된 채널 보호막을 포함하는 박막 트랜지스터와; 상기 제1 및 제2 절연패턴을 사이에 두고 상기 게이트 라인과 중첩되는 반도체 패턴 및 스토리지 전극과; 상기 화소 영역에 형성되며, 상기 드레인 전극 상에 직접 형성되고 상기 스토리지 전극, 상기 반도체 패턴 상기 제2 절연 패턴을 관통하는 스토리지 홀을 통해 상기 제1 절연패턴과 접촉하여 상기 게이트 라인과 중첩되는 화소 전극을 구비한다.
- <86> 상기 액정표시장치는 상기 공통 라인에서 연장된 공통 패드 하부 전극과; 상기 공통 패드 하부 전극상에 형성된 더미 전극과; 상기 더미 전극을 관통하여 상기 공통 패드 하부 전극을 노출시키는 컨택홀과; 상기 더미 전극 및 상기 컨택홀을 덮도록 형성되어 상기 공통 패드 하부 전극 및 상기 더미 전극과 접속되는 공통 패드 상부 전극을 추가로 구비하고, 상기 더미 전극 하부에는 상기 반도체 패턴이 중첩되고, 상기 반도체 패턴과 상기 공통 패드 하부 전극 사이에는 상기 제2 절연패턴이 중첩되며 상기 컨택홀은 상기 반도체 패턴 및 상기 제2 절연패턴을 관통하여 상기 공통 패드 하부 전극을 노출시키는 것을 특징으로 한다.
- <87> 또한 상기 액정표시장치는 상기 게이트 라인에서 연장된 게이트 패드 하부 전극과; 상기 게이트 패드 하부 전극 상에 형성된 더미 전극과; 상기 더미 전극을 관통하여 상기 게이트 패드 하부 전극을 노출시키는 컨택홀과; 상기 더미 전극 및 상기 컨택홀을 덮도록 형성되어 상기 게이트 패드 하부 전극 및 상기 더미 전극과 접속되는 게이트 패드 상부 전극을 추가로 구비하고, 상기 더미 전극 하부에는 상기 반도체 패턴이 중첩되고, 상기 반도체 패턴과 상기 게이트 패드 하부 전극 사이에는 상기 제2 절연패턴이 중첩되며 상기 컨택홀은 상기 반도체 패턴 및 상기 제2 절연패턴을 관통하여 상기 게이트 패드 하부 전극을 노출시키는 것을 특징으로 한다.

- <88> 상기 목적외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- <89> 이하 본 발명의 바람직한 실시 예들을 도 3 내지 도 19b를 참조하여 설명하기로 한다.
- <90> 도 3 내지 도 4b는 본 발명에 따른 박막트랜지스터 어레이 기판의 제조 방법에 사용되는 노광장치를 설명하기 위한 도면이다.
- <91> 도 3 내지 도 4b를 참조하면 본 발명에 따른 노광 장치(100)는 광원(111)으로부터 조사되는 빛을 집속렌즈(113)를 통하여 DMD(Digital Micro mirror Device)칩(117)에 배치된 다수의 마이크로 미러들(Micro Mirror)에 입사되도록 하고, 이 마이크로 미러는 자신에게 입사된 빛을 선택적으로 기판(131)을 향해 반사되도록 하여 기판(131)에 일정한 패턴이 형성되게 한다.
- <92> 상기 광원(111)에서 조사되는 광출력량은 데이터 처리부(119)에 의해 제어된다.
- <93> 도 4a 및 도 4b에 도시된 바와 같이 DMD 칩(117)에 대해 상세히 설명하면, DMD 칩(117)은 다수개의 메모리 셀로 구성되며, 상기 메모리 셀 별로 마이크로 미러(121)들이 배치되어 있다. 각 메모리 셀에 배치된 마이크로 미러(121)는 어드레스 전극(125)과 마이크로 미러(121)간의 정전기적 인력에 의해 한 쌍의 비틀림 헌지(127a, 127b)를 축으로 하여 선택적으로 +10도 혹은 -10도로 기울어진다. 어드레스 전극(125)과 마이크로 미러(121)간의 정전기적 인력은 메모리 셀에 인가되는 데이터에 의해 결정된다.
- <94> 다수의 마이크로 미러(121)들은 개별적으로 구동이 가능하며 개별적으로 선택된 마이크로 미러(121)를 통해 반사된 광은 투영 렌즈(115)를 통하여 기판(131)상에 조사된다.
- <95> 상기 DMD 칩(117)은 전자회로에 의해 제어된다. 이 회로는 도 4a 및 도 4b에 도시된 어드레스 전극들(125)에 접속된 메모리 셀을 포함하고, 메모리 셀의 비반적 출력은 2개의 어드레스 전극들(125) 중 하나에 인가되고 메모리 셀의 반전 출력은 다른 하나의 어드레스 전극에 인가된다. 상기 회로에 인가되는 데이터는 데이터 처리부(119)로부터 발생된다.
- <96> 도 5a 내지 도 6b는 본 발명의 실시예에 따른 서로 다른 높이의 포토 레지스트 패턴의 형성방법을 설명하기 위한 도면이다.
- <97> 본 발명의 실시예에 따른 서로 다른 높이의 포토 레지스트 패턴은 도 3 내지 도 4b에 도시된 노광 장치(100)를 이용하여 형성된다.
- <98> 먼저 도 5a 내지 도 5d를 참조하여 본 발명의 제1 실시예에 따른 포토 레지스트 패턴의 형성방법을 설명하면, 패터닝하고자하는 박막(221, 223)과 그 위에 적층된 포토레지스트(PR)를 포함한 기판(201) 상에 노광 장치(100)를 배치한다.
- <99> 노광 장치(100)는 도 3 내지 도 4b에서 상술한 바와 같이 다수의 마이크로 미러(121)를 포함하고 있고, 데이터 처리부에 의해 상기 다수의 마이크로 미러(121)를 개별적으로 구동할 수 있다. 개별적으로 구동이 가능한 마이크로 미러(121)들을 이용하여 포토레지스트(PR) 상에 서로 다른 광량이 조사되도록 할 수 있다. 예를 들어 제1 위치에 100% 광량이 조사되도록 하고, 제2 위치에 50%광량이 조사되도록 하여 포토레지스트(PR)를 현상하면, 박막(221, 223)에는 서로 다른 높이의 포토레지스트 패턴들이 잔류하게 된다. 즉 포토레지스트(PR)가 현상 후 노광된 부분이 남게 되는 네가티브형일 경우에 제1 위치에는 제1 높이의 포토레지스트 패턴(225a)이 남게 될 것이고, 제2 위치에는 제1 높이보다 낮은 제2 높이의 포토레지스트 패턴(225b)이 남게 될 것이다.
- <100> 포토레지스트(PR)에 조사되는 광량을 조절하는 방법에 대해서는 도 5b 내지 도 5c를 참조하여 설명하기로 한다.
- <101> 도 5b를 참조하면 노광장치(100)의 광원(111)을 통해 조사되는 광이 목적 위치에 반사되지 않도록 마이크로 미러들(121)을 조정한 경우에는 광원(111)을 통해 출력되는 광은 모두 외부로 반사되어, 목적 위치에 조사되지 않는다.
- <102> 도 5c를 참조하면 노광장치(100)의 광원(111)을 통해 조사되는 광이 목적위치를 향해 모두 반사되도록 마이크로 미러들(121)을 조정한 경우에는 광원(111)을 통해 출력되는 광은 모두 목적 위치로 반사되어, 목적 위치 상에 100% 조사된다.
- <103> 도 5d를 참조하면 노광장치(100)의 광원(111)을 통해 조사되는 광이 목적위치를 향해 일부 반사되도록 마이크로 미러들(121)을 조정한 경우에는 광원(111)을 통해 출력되는 광의 일부는 외부로 반사되고, 나머지 일부는 목적

위치로 반사되어, 목적 위치 상에는 출력량보다 적은 광량이 조사된다.

<104> 도 6a 내지 도 6c를 참조하여 본 발명의 제2 실시예에 따른 포토레지스트 패턴(225a, 225b)의 형성방법을 설명하면, 패터닝하고자하는 박막(221, 223)과 그 위에 적층된 포토레지스트(PR)를 포함한 기판(201) 상에 노광 장치(100)를 배치한다.

<105> 노광 장치(100)는 도 3 내지 도 4b에서 상술한 바와 같이 다수의 마이크로 미러(121), 광원(111) 및 이들을 제어하는 데이터 처리부(119)를 포함하고 있다. 노광 장치(100)는 데이터 처리부에 의해 상기 다수의 마이크로 미러(121)를 개별적으로 구동할 수 있고, 광원의 광출력량을 조정할 수 있다. 개별적으로 구동이 가능한 마이크로 미러(121) 및 서로 다른 광출력량을 이용하여 포토레지스트(PR) 상의 서로 다른 위치에 서로 다른 광량이 조사되도록 할 수 있다. 예를 들어 제1 위치에 100% 광량이 조사되도록 하고, 제2 위치에 50% 광량이 조사되도록 하여 포토레지스트(PR)를 현상하면, 박막(221, 223)에는 서로 다른 높이의 포토레지스트 패턴들이 잔류하게 된다. 즉 포토레지스트(PR)가 현상 후 노광된 부분이 남게 되는 네가티브형일 경우에 제1 위치에는 제1 높이의 포토레지스트 패턴(225a)이 남게 될 것이고, 제2 위치에는 제1 높이보다 낮은 제2 높이의 포토레지스트 패턴(225b)이 남게 될 것이다.

<106> 본 발명의 제2 실시예에 따라 제1 높이 및 제2 높이의 포토레지스트 패턴(225a, 225b)을 형성하는 방법을 상세히 하면 먼저 제1 높이의 포토레지스트 패턴(225a)을 형성하기 위한 제1 위치 및 제1 높이보다 낮은 제2 높이의 포토레지스트 패턴(225b)을 형성하기 위한 제2 위치를 지정한다. 그리고 제1 위치에 포토레지스트(PR)상에 광을 조사하는 제1 스캔단계(S1)와, 제2 위치에 대응하는 포토레지스트(PR)상에 광을 조사하는 제2 스캔단계(S2)를 실시한다.

<107> 제1 스캔단계(S1)에서는 도 6a에 도시된 바와 같이 노광장치(100)의 제어부를 통해 마이크로 미러들이 광원으로부터 출력되는 광을 포토레지스트(PR) 상의 제1 위치에 대응되는 영역에 조사될 수 있도록 조정된다.

<108> 그리고 제2 스캔단계(S2)에서 도 6b에 도시된 바와 같이 노광 장치(100)의 제어부를 통해 마이크로 미러들이 광원으로부터 출력되는 광을 포토레지스트(PR) 상의 제2 위치에 대응되는 영역에 조사될 수 있도록 조정된다.

<109> 상술한 제1 스캔 단계(S1) 및 제2 스캔 단계(S2)에서 광원은 제어부를 통해 제어되어 서로 다른 광량을 출력한다. 예를 들어, 제어부는 제1 스캔 단계(S1)에서 광원으로부터 100%의 광량을 출력하도록 하고, 제2 스캔 단계(S2)에서 광원으로부터 50%의 광량을 출력하도록 제어한다. 이에 따라 제1 위치 및 제2 위치에는 서로 다른 높이의 포토레지스트 패턴(225a, 225b)이 형성될 수 있다.

<110> 도 6a 내지 도 6c에서는 제1 스캔 단계(S1)를 실시한 후 제2 스캔단계(S2)를 실시하였으나, 위치 지정 및 광출력량의 제어 순서에 따라 제2 스캔 단계(S2)를 실시한 후 제1 스캔단계(S1)를 진행할 수 있다.

<111> 그리고 도 5a 내지 도 6c에서 상술한 포토레지스트(PR)는 네가티브형 외에 포지티브형을 이용할 수 있다.

<112> 도 7은 본 발명의 제3 실시예에 따른 수평 전계 인가형 액정 표시장치의 박막 트랜지스터 기판을 도시한 평면도이고, 도 8은 도 7에 도시된 박막 트랜지스터 기판을 "I-I'", "II-II'", "III-III'" 선을 따라 절취하여 도시한 단면도이다.

<113> 도 7 및 도 8에 도시된 박막 트랜지스터 기판은 하부 기판(325) 위에 게이트 절연패턴(327)을 사이에 두고 교차하여 화소 영역을 정의하는 게이트 라인(302) 및 데이터 라인(304), 게이트 라인(302) 및 데이터 라인(304)과 화소 전극(318)에 접속된 박막 트랜지스터(306), 화소 영역에서 수평 전계를 형성하기 위한 화소 전극(318) 및 공통 전극 평거부(314), 공통 전극 평거부(314)와 접속된 공통 라인(316)과, 제1 절연 패턴(327a)을 사이에 두고 중첩된 화소 전극(318) 및 공통 라인(316)으로 구성된 스토리지 캐패시터(350)를 구비한다. 그리고, 제3 실시예에 따른 박막 트랜지스터 기판은 게이트 라인(302)과 접속된 게이트 패드(324), 데이터 라인(304)과 접속된 데이터 패드(330), 공통 라인(316)과 접속된 공통 패드(355)를 더 구비한다.

<114> 게이트 절연패턴(327)은 제1 절연 패턴(327a) 및 제2 절연 패턴(327b)으로 구성된다.

<115> 게이트 라인(302)은 게이트 드라이버(미도시)로부터의 스캔 신호를, 데이터 라인(304)은 데이터 드라이버(미도시)로부터의 비디오 신호를 공급한다. 이러한 게이트 라인(302) 및 데이터 라인(304)은 게이트 절연 패턴(327)을 사이에 두고 교차하여 각 화소 영역을 정의한다.

<116> 데이터 라인(304)은 소스/드레인 금속으로 이루어진 데이터 라인 하부 전극(304a) 및 데이터 라인 하부 전극(304a) 상에 직접 형성됨과 아울러 투명 도전성 금속으로 이루어진 데이터 라인 상부 전극(304b)으로 구성된다.

- <117> 박막 트랜지스터(306)는 게이트 라인(302)의 스캔 신호에 응답하여 데이터 라인(304) 상의 비디오 신호가 화소 전극(318)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(306)는 게이트 라인(302)과 연결된 게이트 전극(308), 데이터 라인(304)과 연결된 소스 전극(310), 소스 전극(310)과 마주하며 화소 전극(318)과 접속된 드레인 전극(312), 그리고 게이트 절연패턴(327)을 사이에 두고 게이트 전극(308)과 중첩되어 소스 전극(310)과 드레인 전극(312) 사이에 채널을 형성하는 활성층(321) 및 활성층(321)과 소스 및 드레인 전극(310, 312)과의 오믹 접촉을 위한 오믹 컨택층(323)을 포함하는 반도체 패턴(320)을 구비한다. 여기서 소스 전극(310)은 데이터 라인 하부 전극(304a)으로부터 연장되어 형성된다. 이 소스 전극(310) 상부에는 데이터 라인 상부 전극(304b)이 연장되어 소스 전극(310)과 중첩된다. 또한 드레인 전극(312) 상부에는 화소 전극(318)이 연장되어 드레인 전극(312)과 중첩된다.
- <118> 공통 라인(316)은 공통 전극을 통해 액정 구동을 위한 기준 전압, 즉 공통 전압을 각 화소에 공급한다. 이러한 공통 라인(316)은 게이트 라인(302)과 나란하게 형성된다.
- <119> 공통 전극은 공통 라인(316)과 연결되고 화소 영역내에서 화소 전극(318)의 평거부(318b)와 나란하게 배치된 다수의 공통 전극 평거부(314)를 포함한다.
- <120> 화소 전극(318)은 박막 트랜지스터(306)의 드레인 전극(312)상에 직접 형성됨으로써 드레인 전극(312)과 접속됨과 아울러 화소 영역에 형성된다. 이러한 화소 전극(318)은 상술한 바와 같이 드레인 전극(312)과 접속되고 인접한 게이트 라인(302)과 나란하게 형성됨과 아울러 공통 라인(316)과 중첩되어 형성된 수평부(318a) 및, 수평부(318a)에 연결되어 화소 영역 내로 돌출된 평거부(318b)를 구비한다.
- <121> 상술한 소스 전극(310) 및 드레인 전극(312) 하부에는 반도체 패턴(320)이 중첩된다.
- <122> 스토리지 캐패시터(350)는 공통 라인(316) 및, 공통 라인(316)과 게이트 절연 패턴(327)을 사이에 두고 중첩되는 드레인 전극(312)과 접속된 화소 전극 수평부(318a)로 구성된다. 드레인 전극(312)은 공통 라인(316)과 중첩되도록 공통 라인(316)을 따라 형성되며, 이러한 드레인 전극(312) 상부에 화소 전극 수평부(318a)가 직접 중첩되어 형성됨으로써 화소 전극 수평부(318a)가 드레인 전극(312)과 접속된다. 이러한 스토리지 캐패시터(350)는 화소 전극(318)에 충전된 비디오 신호가 다음 신호가 충전될 때까지 화소 전극(318)의 전압을 안정적으로 유지시킨다. 또한 스토리지 캐패시터(350)는 드레인 전극(310), 반도체 패턴(320) 및 제2 게이트 절연 패턴(327b)을 관통하여 공통 라인(316)과 중첩된 제1 절연 패턴(327a)을 노출시키는 스토리지 홀(341)을 포함함으로써 스토리지 캐패시터의 용량을 증대시킬 수 있다. 이를 상세히 하면, 총 4000Å 두께로 형성되는 게이트 절연 패턴(327)은 2000Å의 두께의 제1 절연 패턴(327a) 및 제2 절연 패턴(327b)으로 각각 분리 형성됨에 따라 스토리지 홀(341)을 통해 스토리지 캐패시터(350)의 전극간 거리가 제1 절연 패턴(327a)의 두께가 된다. 이에 따라 스토리지 캐패시터(350)의 전극간 거리가 가까워지게 되므로 본 발명은 스토리지 캐패시터(350)의 용량이 증대시킬 수 있게 된다.
- <123> 게이트 라인(302)은 게이트 패드(324)를 통해 게이트 드라이버(미도시)와 접속된다. 게이트 패드(324)는 게이트 라인(302)으로부터 연장된 게이트 패드 하부 전극(326)과, 제2 절연 패턴(327b)을 사이에 두고 게이트 패드 하부 전극(326)과 중첩되며 소스/드레인 금속으로 이루어진 제1 더미 전극(328)과, 제1 더미 전극(328) 및 게이트 패드 하부 전극(326)과 접속되는 게이트 패드 상부 전극(329)을 구비한다. 제1 더미 전극(328) 하부에는 반도체 패턴(320)이 중첩되며, 게이트 패드 상부 전극(329)은 제1 더미 전극(328), 반도체 패턴(320) 및 제2 게이트 절연 패턴(327b)을 관통하여 게이트 패드 하부 전극(326)을 노출시키는 제1 컨택홀(347)을 통해 게이트 패드 하부 전극(326) 및 제1 더미 전극(328)의 측면과 접속된다.
- <124> 공통 라인(316)에 공통 전압원(미도시)으로부터의 공통 전압을 공급하는 공통 패드(355)는 공통 라인(316)에서 연장되어 상기 게이트 패드(324)와 동일한 수직 구조로 형성된다. 즉 공통 패드(355)는 공통 라인(316)으로부터 연장된 공통 패드 하부 전극(353)과, 제2 절연 패턴(327b)을 사이에 두고 공통 패드 하부 전극(353)과 중첩되며 소스/드레인 금속으로 이루어진 제2 더미 전극(357)과, 제2 더미 전극(357) 및 공통 패드 하부 전극(353)과 접속되는 공통 패드 상부 전극(358)을 구비한다. 제2 더미 전극(357) 하부에는 반도체 패턴(320)이 중첩되며, 공통 패드 상부 전극(358)은 제2 더미 전극(357), 반도체 패턴(320) 및 제2 게이트 절연 패턴(327b)을 관통하여 공통 패드 하부 전극(353)을 노출시키는 제2 컨택홀(359)을 통해 공통 패드 하부 전극(353) 및 제2 더미 전극(357)의 측면과 접속된다.
- <125> 데이터 라인(304)은 데이터 패드(330)를 통해 데이터 드라이버(미도시)와 접속된다. 데이터 패드(330)는 데이터 라인 하부 전극(304a)으로부터 연장된 데이터 패드 하부 전극(332)과, 데이터 라인 상부 전극(304b)으로부터

연장된 데이터 패드 상부 전극(334)을 구비한다. 데이터 패드 상부 전극(334)은 데이터 패드 하부 전극(332) 상에 직접 형성되어 데이터 패드 하부 전극(332)과 접속된다.

<126> 한편, 각 패드부(324, 330, 355)는 액정표시패널을 완성한 후 모듈공정에서 외부로 노출되며 각 드라이버의 회로 기판에 접속된다. 이 때 각 드라이버의 회로 기판과 패드부(324, 330, 355)의 접속은 ACF(anisotropic conduction film : 이방성 도전 필름)등과 같은 도전성 접착제를 통해 이루어진다. 만약 각 드라이버의 회로 기판과 패드부(324, 330, 355) 사이에 접속 불량이 발생하면 그 접착부를 나무칼로 긁어 분리한 후 각 드라이버의 회로 기판과 패드부(324, 330, 355)를 ACF를 통해 다시 접속시키는 리워크(rework) 작업을 진행한다. 따라서 각 패드부 상부 전극(329, 334, 355)은 공기 중의 수분에 의해 부식되는 것을 방지할 수 있으며, 나무칼 등의 외력에 의해 스크래치 등의 손상 발생을 방지할 수 있는 투명 도전성 금속으로 형성된다.

<127> 상술한 제3 실시예에 따른 박막 트랜지스터 기판은 공통 라인(316)을 통해 공통 전극에 기준 전압이 공급되고 박막 트랜지스터(306)를 통해 화소 전극(318)에 비디오 신호가 공급되면, 공통 전극의 평거부(314) 및 화소 전극의 평거부(318b) 사이에는 수평 전계가 형성된다. 이러한 수평 전계에 의해 박막 트랜지스터 기판과 칼라 필터 기판 사이에서 수평 방향으로 배열된 액정 분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.

<128> 이와 같은 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판은 도 9a 내지 도 14d에 도시된 바와 같은 3단계의 형성 공정을 통해 형성된다.

<129> 도 9a 및 도 9b를 참조하면, 제1 단계 형성 공정을 통해 하부 기판(325) 상에 게이트 라인(302), 게이트 전극(308), 게이트 패드 하부 전극(326), 공통 패드 하부 전극(353), 공통 라인(316) 및 공통 전극 평거부(314)를 포함하는 게이트 금속 패턴군과, 게이트 패드 하부 전극(326) 및 공통 패드 하부 전극(353)을 제외한 게이트 금속 패턴군 상부에 중첩되는 제1 절연패턴(327a)이 형성된다.

<130> 도 10a 내지 도 10d를 결부하여 제1 단계 형성 공정을 상세히 설명하면, 하부 기판(325) 상에 스퍼터링, PECVD 방법 등의 증착 방법을 통해 Al, Mo, Cr계 등으로 이루어진 게이트 금속층(364) 및 SiO_x, SiNx 등으로 이루어진 무기 절연층(366)이 증착된다.

<131> 상기 무기 절연층(366)상에 포토레지스트를 도포한 후, 도 3 내지 도 6b에서 상술한 바와 같이 노광 장치(100)를 이용하여 도 10a에 도시된 바와 같이 서로 다른 높이의 포토레지스트 패턴(362a, 362b)을 형성한다.

<132> 제1 높이의 포토레지스트 패턴(362a)은 게이트 라인(302), 게이트 전극(308), 공통 라인(316) 및 공통 전극 평거부(314)가 형성될 무기 절연층(366) 상에 형성된다.

<133> 제1 높이의 포토레지스트 패턴(362a) 보다 낮은 제2 높이의 포토레지스트 패턴(362b)은 게이트 패드 하부 전극(326) 및 공통 패드 하부 전극이 형성될 무기 절연층(366) 상에 형성된다.

<134> 상기의 포토레지스 패턴(362a, 362b)을 이용하여 무기 절연층(366)을 건식 식각하고, 게이트 금속층(364)을 습식 식각함으로써 도 10b에 도시된 바와 같이 게이트 라인(302), 게이트 전극(308), 게이트 패드 하부 전극(326), 공통 패드 하부 전극, 공통 라인(316) 및 공통 전극 평거부(314)를 포함하는 게이트 금속 패턴군 및 그 상부에 제1 절연패턴(327a)이 형성된다.

<135> 이후, 포토레지스트 패턴(362a, 362b)을 애칭하면, 도 10c에 도시된 바와 같이 제1 높이의 포토레지스트 패턴(362a)의 두께가 얇아지게 됨과 동시에 제2 높이의 포토레지스트 패턴(362b)이 제거된다. 제2 높이의 포토레지스트 패턴(362b)이 제거됨에 따라, 제2 높이의 포토레지스트 패턴(362b) 하부에 형성되었던 제1 절연패턴(327a)이 노출된다. 이 노출된 제1 절연 패턴(327a)은 식각 공정을 통해 제거됨으로써 게이트 패드 하부 전극(326) 및 공통 패드 하부 전극이 노출된다.

<136> 이 후, 도 10d에 도시된 바와 같이 남은 포토레지스트 패턴(362a)을 스트립 공정으로 제거한다.

<137> 도 11a 및 도 11b를 참조하면, 제2 단계 형성 공정을 통해 게이트 금속 패턴군 및 제1 절연패턴(327a)이 형성된 하부 기판(325) 상에 데이터 라인 하부 전극(304a), 데이터 라인 하부 전극(304a)과 연결됨과 아울러 공통라인(316)을 따라 중첩된 연결패턴(317), 제1 및 제2 더미 전극(328, 357) 및 데이터 패드 하부 전극(332)을 포함하는 소스/드레인 금속 패턴군과, 소스/드레인 금속 패턴군 하부에 중첩된 반도체 패턴(320) 및 반도체 패턴(320) 하부에 중첩된 제2 절연패턴(327b)이 형성된다. 반도체 패턴(320)은 활성층(321) 및 오믹 컨택층(323)을 포함한다.

- <138> 도 12a 내지 도 12c를 결부하여 제2 단계 형성 공정을 상세히 설명하면, 게이트 금속 패턴군 및 제1 절연패턴(327a)이 형성된 하부 기판(325) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 SiO_x, SiNx 등으로 이루어진 무기 절연층(366), 비정질 실리콘층(321a), n+ 비정질 실리콘층(323a), 그리고 소스/드레인 금속층(372)이 순차적으로 증착된다. 소스/드레인 금속층(372)으로는 몰리브덴(Mo), 몰리브덴 합금(Mo alloy) 등이 이용된다.
- <139> 그 다음, 소스/드레인 금속층(372) 위에 포토레지스트가 도포된 후, 제1 마스크(370)를 이용한 포토리소그래피 공정으로 도 12a에 도시된 바와 같이 포토레지스트 패턴(374)을 형성한다. 도 12a에 도시된 제1 마스크(370)는 투과 영역(P1) 및 차단 영역(P3)을 구비하는 마스크이다. 제2 단계 형성 공정에서 형성되는 포토레지스트 패턴(374)은 제1 마스크(370)를 이용하지 않고, 도 3 내지 4b에서 상술한 노광장치(100)를 이용하여 형성할 수 있다.
- <140> 이러한 포토레지스트 패턴(374)을 이용하여 도 12b에 도시된 바와 같이 습식 식각 공정으로 소스/드레인 금속층(372)을 패터닝하고, 건식 식각 공정으로 n+ 비정질 실리콘층(323a), 비정질 실리콘층(321a) 및 무기 절연층(366)을 패터닝함으로써 데이터 라인 하부 전극(304a), 연결패턴(317), 제1 더미 전극(328), 제2 더미전극 및 데이터 패드 하부 전극(332)을 포함하는 소스/드레인 금속 패턴군 및 그 하부에 중첩된 반도체 패턴(320) 및 제2 절연패턴(327b)이 형성된다. 또한 제2 단계 형성 공정에서 포토레지스트 패턴(374)을 이용한 식각 공정으로 공통 라인(316)과 중첩되는 부분의 소스/드레인 금속층(372), n+ 비정질 실리콘층(323a), 비정질 실리콘층(121a) 및 무기 절연층(366)이 패터닝됨으로써 공통 라인(316)과 중첩되는 제1 절연패턴(327a)을 노출시키는 스토리지 홀(341)이 형성된다. 그리고 제2 단계 형성 공정에서 포토레지스트 패턴(374)을 이용한 식각 공정으로 게이트 패드 하부 전극(326)과 중첩되는 부분의 소스/드레인 금속층(372), n+ 비정질 실리콘층(323a), 비정질 실리콘층(121a) 및 무기 절연층(366)이 패터닝됨으로써 게이트 패드 하부 전극(326)을 노출시키는 제1 컨택홀(347)이 형성된다. 제1 컨택홀(347)을 형성하는 방법과 동일한 방법으로 공통 패드 하부 전극과 중첩되는 부분의 소스/드레인 금속층(372), n+ 비정질 실리콘층(323a), 비정질 실리콘층(121a) 및 무기 절연층(366)이 패터닝됨으로써 공통 패드 하부 전극을 노출시키는 제2 컨택홀이 형성된다.
- <141> 이어서, 도 12c에 도시된 바와 같이 포토레지스트 패턴(374)을 스트립 공정으로 제거한다.
- <142> 도 13a 및 도 13b를 참조하면, 제3 단계 형성 공정을 통해 반도체 패턴(320) 및 소스/드레인 금속 패턴군이 형성된 하부 기판(325) 상에 데이터 라인 상부 전극(304b), 화소 전극(318), 게이트 패드 상부 전극(329), 공통 패드 상부 전극(358) 및 데이터 패드 상부 전극(334)을 포함하는 투명 도전 패턴군이 형성되고, 연결 패턴(317)이 채널부의 형성으로 분리됨으로써 소스 전극(310) 및 드레인 전극(312)이 형성된다.
- <143> 도 14a 내지 도 14d를 참조하여 제3 단계 형성 공정을 상세히 설명하면, 반도체 패턴(320) 및 소스/드레인 금속 패턴군이 형성된 하부 기판(325) 상에 스퍼터링 등의 증착 방법으로 ITO(Indium Tin Oxide) 등의 투명 도전막(382)이 증착된다. 이어서 포토레지스트가 도포된 후, 제2 마스크(380)를 이용한 포토리소그래피 공정을 통해 도 14a에 도시된 바와 같이 포토레지스트 패턴(384)이 형성된다. 도 14a에 도시된 제2 마스크(380)는 투과 영역(P1) 및 차단 영역(P3)을 포함하는 마스크이다. 제3 단계 형성 공정에서 형성되는 포토레지스트 패턴(384)은 제2 마스크(380)를 이용하지 않고, 도 3 내지 4b에서 상술한 노광장치(100)를 이용하여 형성할 수 있다.
- <144> 이후 포토레지스트 패턴(384)을 이용하여 투명 도전막(382)을 패터닝함으로써 도 14b에 도시된 바와 같이 데이터 라인 상부 전극(304b), 화소 전극(318), 게이트 패드 상부 전극(329), 공통 패드 상부 전극 및 데이터 패드 상부 전극(334)을 포함하는 투명 도전 패턴군이 형성된다.
- <145> 데이터 라인 상부 전극(304b)은 데이터 라인 하부 전극(304a) 상에 직접 형성됨으로써 데이터 라인 하부 전극(304)과 접속된다. 또한 데이터 라인 상부 전극(304b)은 연결 패턴(317) 일부 상에 중첩되도록 연장됨으로써 연결 패턴(317)의 일부와 접속된다.
- <146> 게이트 패드 상부 전극(329)은 제1 컨택홀(347)을 통해 노출된 게이트 패드 하부 전극(326)과 접속됨과 아울러 제1 더미 전극(328)의 상면 및 측면과 접속된다.
- <147> 공통 패드 상부 전극은 게이트 패드 상부 전극(329)과 마찬가지로 제2 컨택홀을 통해 노출된 공통 패드 하부 전극과 접속됨과 아울러 제2 더미 전극의 상면 및 측면과 접속된다.
- <148> 데이터 패드 상부 전극(334)은 데이터 라인 상부 전극(304b)으로부터 연장되어 데이터 패드 하부 전극(332)상에 직접 중첩됨으로써 데이터 패드 하부 전극(332)과 접속된다.
- <149> 화소 전극(318) 중 화소 전극의 수평부(318a)는 연결 패턴(317) 일부 상에 중첩되도록 연장됨으로써 연결패턴

(317)의 일부와 접속된다. 또한 화소 전극(318)은 스토리지 홀(341)을 통해 제1 절연패턴(327a)을 사이에 두고 공통 라인(316)과 중첩되어 스토리지 캐패시터(350)를 형성한다.

<150> 게이트 전극(308)과 중첩된 연결 패턴(317)의 일부분은 데이터 라인 상부 전극(304a) 및 화소 전극(318)과 중첩되지 않음으로써 노출된다. 도 14c에 도시된 바와 같이 노출된 연결 패턴(317) 및 그 하부의 오믹 컨택층(323)은 식각 공정을 통해 제거하여 활성층(321)을 노출시킴으로써 소스 전극(310) 및 드레인 전극(312)을 분리하는 채널부가 형성된다. 노출된 활성층(321) 표면에는 여러가지 가스 플라즈마를 이용한 표면 처리 공정을 통해 300Å 내지 500Å 두께의 채널 보호막(311)이 형성된다. 예를 들어 도 14c에 도시된 바와 같이 산소(O₂)플라즈마를 이용한 표면 처리 공정을 통해 노출된 활성층의 표면에 SiO₂ 산화막을 형성할 수 있다. 산소(O₂) 이외에도 질소(N₂), 수소(H₂)등의 가스를 이용하여 채널 보호막(311)을 형성할 수 있다.

<151> 그리고 나서 도 14d에 도시된 바와 같이 납은 포토 레지스트 패턴(384)을 스트립 공정을 통해 제거한다.

<152> 본 발명의 제3 실시예에서 게이트 절연 패턴(327)은 제1 절연패턴(327a)을 형성하는 제1 단계 형성공정 및 제2 절연패턴(327b)을 형성하는 제2 단계 형성 공정의 각각 분리된 공정을 통해 형성된다.

<153> 상술한 바와 같이 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판 및 그 제조 방법은 DMD침을 포함한 노광 장치를 이용하여 서로 다른 높이의 포토레지스트 패턴을 형성할 수 있다. 따라서 회절 노광 마스크 또는 반투과 마스크를 사용하지 않으므로 마스크 수를 절감할 수 있고, 더 나아가 상기 DMD침을 포함한 노광 장치를 모든 제조 단계에 이용함으로써 마스크를 사용하지 않고 제3 실시예에 따른 박막 트랜지스터 기판을 제조할 수 있다.

<154> 도 15는 본 발명의 제4 실시예에 따른 수직 전계 인가형 액정 표시장치의 박막 트랜지스터 기판을 도시한 평면도이고, 도 16은 도 15에 도시된 박막 트랜지스터 기판을 "IV-IV", V-V", VI-VI" 선을 따라 절취하여 도시한 단면도이다.

<155> 도 15 및 도 16에 도시된 박막 트랜지스터 기판은 하부 기판(425) 위에 게이트 절연패턴(427)을 사이에 두고 교차하여 화소 영역을 정의하는 게이트 라인(402) 및 데이터 라인(404), 게이트 라인(402) 및 데이터 라인(404)과 화소 전극(418)에 접속된 박막 트랜지스터(406), 화소 영역에서 칼라 필터 어레이 기판에 형성된 공통 전극(미도시)과 수직 전계를 형성하기 위한 화소 전극(418), 제1 절연 패턴(427a)을 사이에 두고 중첩된 화소 전극(418) 및 게이트 라인(402)으로 구성된 스토리지 캐패시터(450)를 구비한다. 그리고, 본 발명의 제4 실시예에 따른 박막 트랜지스터 기판은 게이트 라인(402)과 접속된 게이트 패드(424), 데이터 라인(404)과 접속된 데이터 패드(430)를 더 구비한다.

<156> 게이트 절연 패턴(427)은 제1 절연 패턴(427a) 및 제2 절연 패턴(427b)으로 구성된다.

<157> 게이트 라인(402)은 게이트 드라이버(미도시)로부터의 스캔 신호를, 데이터 라인(404)은 데이터 드라이버(미도시)로부터의 비디오 신호를 공급한다. 이러한 게이트 라인(402) 및 데이터 라인(404)은 게이트 절연패턴(427)을 사이에 두고 교차하여 각 화소 영역을 정의한다.

<158> 데이터 라인(404)은 소스/드레인 금속으로 이루어진 데이터 라인 하부 전극(404a) 및 데이터 라인 하부 전극(404a) 상에 직접 형성됨과 아울러 투명 도전성 금속으로 이루어진 데이터 라인 상부 전극(404b)으로 구성된다.

<159> 박막 트랜지스터(406)는 게이트 라인(402)의 스캔 신호에 응답하여 데이터 라인(404) 상의 비디오 신호가 화소 전극(418)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(406)는 게이트 라인(402)과 연결된 게이트 전극(408), 데이터 라인(404)과 연결된 소스 전극(410), 소스 전극(410)과 마주하며 화소 전극(418)과 접속된 드레인 전극(412), 그리고 게이트 절연패턴(427)을 사이에 두고 게이트 전극(408)과 중첩되며 소스 전극(410)과 드레인 전극(412) 사이에 채널을 형성하는 활성층(421) 및 활성층(421)과 소스 및 드레인 전극(410, 412)과의 오믹 접촉을 위한 오믹 컨택층(423)을 포함하는 반도체 패턴(420)을 구비한다. 여기서 소스 전극(410)은 데이터 라인 하부 전극(404a)으로부터 연장되어 형성된다. 그리고 데이터 라인 상부 전극(404b)은 연장되어 소스 전극(410) 상에 직접 중첩된다. 또한 화소 전극(418)은 연장되어 드레인 전극(412) 상에 직접 중첩된다.

<160> 화소 전극(418)은 화소 영역에 형성됨과 아울러 박막 트랜지스터(406)의 드레인 전극(412) 상에 직접 형성됨으로써 드레인 전극(412)과 접속된다.

<161> 스토리지 캐패시터(450)는 게이트 라인(402) 및, 게이트 라인(402)과 게이트 절연패턴(427)을 사이에 두고 중첩된 화소 전극(418)으로 구성된다. 화소 전극(418)은 게이트 라인(402)과 게이트 절연패턴(427)을 사이에 두고

중첩된 스토리지 전극(452)상에 직접 형성됨으로써 스토리지 전극(452)과 접속된다. 그리고 스토리지 전극(452) 하부에는 반도체 패턴(420)이 중첩된다. 이러한 스토리지 캐패시터(450)는 화소 전극(418)에 충전된 비디오 신호가 다음 신호가 충전될 때까지 화소 전극(418)의 전압을 안정적으로 유지시킨다. 또한 스토리지 캐패시터(450)는 스토리지 전극(452), 반도체 패턴(420) 및 제2 게이트 절연 패턴(427b)을 관통하여 게이트 라인(402)과 중첩된 제1 절연 패턴(427a)을 노출시키는 스토리지 홀(441)을 포함함으로써 스토리지 캐패시터의 용량을 증대시킬 수 있다. 이를 상세히 하면, 총 4000Å 두께로 형성되는 게이트 절연패턴(427)은 2000Å의 두께의 제1 절연패턴(427a) 및 제2 절연패턴(427b)으로 각각 분리 형성됨에 따라 스토리지 홀(441)을 통해 스토리지 캐패시터(450)의 전극간 거리가 제1 절연패턴(427a)의 두께가 된다. 이에 따라 스토리지 캐패시터(450)의 전극간 거리가 가까워지게 되므로 본 발명은 스토리지 캐패시터(450)의 용량이 증대시킬 수 있게 된다.

<162> 게이트 라인(402)은 게이트 패드(424)를 통해 게이트 드라이버(미도시)와 접속된다. 게이트 패드(424)는 게이트 라인(402)으로부터 연장된 게이트 패드 하부 전극(426)과, 제2 절연패턴(427b)을 사이에 두고 게이트 패드 하부 전극(426)과 중첩되며 소스/드레인 금속으로 이루어진 더미 전극(428)과, 더미 전극(428) 및 게이트 패드 하부 전극(426)과 접속되는 게이트 패드 상부 전극(429)을 구비한다. 더미 전극(428) 하부에는 반도체 패턴(420)이 중첩되며, 게이트 패드 상부 전극(429)은 더미 전극(428), 반도체 패턴(420) 및 제2 절연패턴(427b)을 관통하여 게이트 패드 하부 전극(326)을 노출시키는 제1 컨택홀(447)을 통해 게이트 패드 하부 전극(426) 및 더미 전극(428)의 측면과 접속된다.

<163> 데이터 라인(404)은 데이터 패드(430)를 통해 데이터 드라이버(미도시)와 접속된다. 데이터 패드(430)는 데이터 라인 하부 전극(404a)으로부터 연장된 데이터 패드 하부 전극(432)과, 데이터 라인 상부 전극(404b)으로부터 연장된 데이터 패드 상부 전극(434)을 구비한다. 데이터 패드 상부 전극(434)은 데이터 패드 하부 전극(432) 상에 직접 형성되어 데이터 패드 하부 전극(432)과 접속된다.

<164> 상술한 제4 실시예에 따른 박막 트랜지스터 기판은 박막 트랜지스터(406)를 통해 화소 전극(418)에 비디오 신호가 공급되면, 칼라 필터 기판 상에 형성된 공통 전극(미도시) 및 화소 전극(418) 사이에는 수직 전계가 형성된다. 이러한 수직 전계에 의해 박막 트랜지스터 기판과 칼라 필터 기판 사이에 배열된 액정 분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.

<165> 이와 같은 본 발명의 제4 실시예에 따른 박막 트랜지스터 기판은 도 17a 내지 도 19b에 도시된 바와 같이 3단계의 공정을 통해 형성된다.

<166> 도 17a 및 도 17b를 참조하면, 제1 단계 형성 공정을 통해 하부 기판(425) 상에 게이트 라인(402), 게이트 전극(408) 및 게이트 패드 하부 전극(426)을 포함하는 게이트 금속 패턴군과, 게이트 패드 하부 전극(426)을 제외한 게이트 금속 패턴군 상부에 중첩된 제1 절연패턴(427a)이 형성된다.

<167> 제1 단계 형성 공정에 대한 상세한 설명은 상술한 도 10a 내지 도 10d에 대한 설명과 동일하므로 생략한다. 단본 발명의 제4 실시예의 제1 단계 형성 공정에서는 도 10a 내지 도 10d에서 상술한 공통 패드 하부 전극, 공통 라인(416) 및 공통 전극 평거부(414)는 형성되지 않는다.

<168> 도 18a 및 도 18b를 참조하면, 제2 단계 형성 공정을 통해 게이트 금속 패턴군 및 제1 절연패턴(427a)이 형성된 하부 기판(425) 상에 데이터 라인 하부 전극(404a), 데이터 라인 하부 전극(404a)과 연결됨과 게이트 전극(408)과 중첩된 연결패턴(417), 게이트 라인(402)과 중첩된 스토리지 전극(452), 더미 전극(428) 및 데이터 패드 하부 전극(432)을 포함하는 소스/드레인 금속 패턴군과, 소스/드레인 금속 패턴군 하부에 중첩된 반도체 패턴(420) 및 반도체 패턴(420) 하부에 중첩된 제2 절연패턴(427b)이 형성된다. 또한 제2 단계 형성 공정에서는 스토리지 전극(452), 반도체 패턴(420) 및 제2 절연패턴(427b)을 관통하여 게이트 라인(402)과 중첩된 제1 절연패턴(427a)을 노출시키는 스토리지 홀(441)이 추가로 형성된다.

<169> 제2 단계 형성 공정에 대한 상세한 설명은 상술한 도 12a 내지 도 12c에 대한 설명과 동일하므로 생략한다. 단본 발명의 제4 실시예의 제2 단계 형성 공정에서는 게이트 라인(402)과 게이트 절연 패턴(427)을 사이에 두고 중첩되는 스토리지 전극(452)이 추가로 형성된다.

<170> 도 19a 및 도 19b를 참조하면, 제3 단계 형성 공정을 통해 반도체 패턴(420) 및 소스/드레인 금속 패턴군이 형성된 하부 기판(425) 상에 데이터 라인 상부 전극(404b), 화소 전극(418), 게이트 패드 상부 전극(329) 및 데이터 패드 상부 전극(434)을 포함하는 투명 도전 패턴군이 형성되고, 연결 패턴(417) 사이에 채널부가 형성됨으로써 소스 전극(410) 및 드레인 전극(412)이 형성된다. 그리고 채널부에는 채널 보호막(411)이 형성된다.

<171> 제3 단계 형성 공정에 대한 상세한 설명은 상술한 도 14a 내지 도 14d에 대한 설명과 동일하므로 생략한다. 단본 발명의 제4 실시예의 제3 단계 형성 공정에서는 스토리지 전극(452) 상에 직접 형성된 화소 전극(418)이 스토리지 홀(441)을 통해 제1 절연패턴(427a)을 사이에 두고 게이트 라인(402)과 중첩된다.

<172> 상술한 바와 같이 본 발명의 제4 실시예에 따른 박막 트랜지스터 기판 및 그 제조 방법은 DMD칩을 포함한 노광 장치를 이용하여 서로 다른 높이의 포토레지스트 패턴을 형성할 수 있다. 따라서 회절 노광 마스크 또는 반투과 마스크를 사용하지 않으므로 마스크 수를 절감할 수 있고, 더 나아가 상기 DMD칩을 포함한 노광 장치를 모든 제조 단계에 이용함으로써 마스크를 사용하지 않고 제4 실시예에 따른 박막 트랜지스터 기판을 제조할 수 있다.

발명의 효과

<173> 상술한 바와 같이 본 발명에 따른 액정표시장치 및 그 제조 방법은 DMD칩을 포함한 노광 장치를 이용하여 서로 다른 높이의 포토레지스트 패턴을 형성할 수 있다. 따라서 회절 노광 마스크 또는 반투과 마스크를 사용하지 않으므로 마스크 수를 절감할 수 있고, 더 나아가 상기 DMD칩을 포함한 노광 장치를 모든 제조 단계에 이용함으로써 마스크를 사용하지 않고 박막 트랜지스터 기판을 제조할 수 있다.

<174> 그리고 본 발명은 마스크 공정수를 줄일 수 있음으로써 액정표시장치의 제조 비용을 절감할 수 있다. 또한 본 발명에서는 박막 트랜지스터의 채널부를 보호하는 보호막을 형성하는 별도의 공정이 제거됨으로써 비용이 절감되고 공정이 단순해지게 된다. 이 때 본 발명에서는 외부로 노출되는 채널부에 채널 보호막을 형성함으로 채널부의 오염을 방지할 있게 된다.

<175> 그리고 본 발명은 소스/드레인 금속 패턴, 반도체 패턴, 제2 절연 패턴을 관통하는 스토리지 홀을 포함함으로써 스토리지 캐패시터의 전극간 거리가 가까워지므로 스토리지 캐패시터의 용량을 증대시킬 수 있다.

<176> 이상 설명한 내용을 통해 당업자라면 본 발명이 기술적 사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

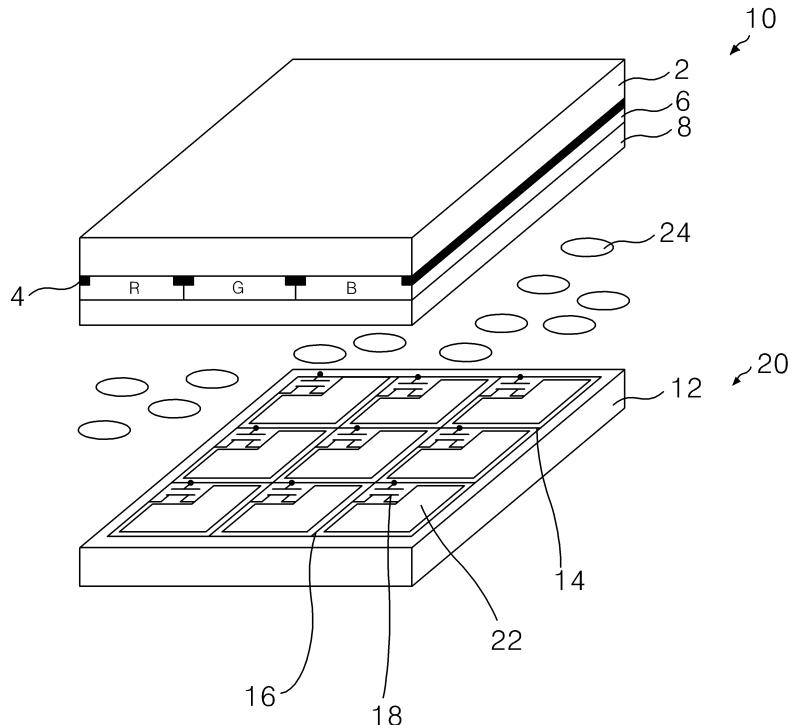
- <1> 도 1은 종래 액정표시장치를 나타내는 도면.
- <2> 도 2a 내지 도 2e는 종래 서로 다른 높이의 포토레지스트 패턴을 통해 서로다른 구조의 패턴을 패터닝하는 과정을 단계적으로 설명하기 위한 도면.
- <3> 도 3은 본 발명의 실시예에 이용되는 노광장치의 일례를 설명하기 위한 도면.
- <4> 도 4a 및 도 4b는 도 3에 도시된 DMD칩의 일부를 상세히 설명하기 위한 사시도 및 분해사시도.
- <5> 도 5a 내지 도 5d는 본 발명의 제1 실시예에 따른 서로 다른 높이의 포토레지스트 패턴을 형성하는 과정을 설명하기 위한 도면.
- <6> 도 6a 내지 도 6c는 본 발명의 제2 실시예에 따른 서로 다른 높이의 포토레지스트 패턴을 형성하는 과정을 설명하기 위한 도면.
- <7> 도 7은 본 발명의 제3 실시예에 따른 액정표시장치의 박막 트랜지스터 어레이 기판을 나타내는 평면도.
- <8> 도 8은 도 7에 도시된 박막 트랜지스터 어레이 기판을 "I-I'", "II-II'", "III-III'"선을 따라 절취하여 나타내는 단면도.
- <9> 도 9a 및 도 9b는 본 발명의 제3 실시예 따른 박막 트랜지스터 어레이 기판의 제1 단계 형성공정을 설명하기 위한 평면도 및 단면도.
- <10> 도 10a 내지 도 10d는 본 발명의 제3 실시예 따른 박막 트랜지스터 어레이 기판의 제1 단계 형성공정을 구체적으로 설명하기 위한 단면도들.
- <11> 도 11a 및 도 11b는 본 발명의 제3 실시예 따른 박막 트랜지스터 어레이 기판의 제2 단계 형성공정을 설명하기 위한 평면도 및 단면도.
- <12> 도 12a 내지 도 12c는 본 발명의 제3 실시예 따른 박막 트랜지스터 어레이 기판의 제2 단계 형성공정을 구체적으로 설명하기 위한 단면도들.

- <13> 도 13a 및 도 13b는 본 발명의 제3 실시예 따른 박막 트랜지스터 어레이 기판의 제3 단계 형성공정을 설명하기 위한 평면도 및 단면도.
- <14> 도 14a 내지 도 14d는 본 발명의 제3 실시예 따른 박막 트랜지스터 어레이 기판의 제3 단계 형성공정을 구체적으로 설명하기 위한 단면도들.
- <15> 도 15는 본 발명의 제4 실시예에 따른 액정표시장치의 박막 트랜지스터 어레이 기판을 나타내는 평면도.
- <16> 도 16은 도 15에 도시된 박막 트랜지스터 어레이 기판을 "IV-IV'", "V-V'", "VI-VI'"선을 따라 절취하여 나타내는 단면도.
- <17> 도 17a 및 도 17b는 본 발명의 제4 실시예 따른 박막 트랜지스터 어레이 기판의 제1 단계 형성공정을 설명하기 위한 평면도 및 단면도.
- <18> 도 18a 및 도 18b는 본 발명의 제4 실시예 따른 박막 트랜지스터 어레이 기판의 제2 단계 형성공정을 설명하기 위한 평면도 및 단면도.
- <19> 도 19a 및 도 19b는 본 발명의 제4 실시예 따른 박막 트랜지스터 어레이 기판의 제3 마스크 공정을 설명하기 위한 평면도 및 단면도.
- <20> <도면의 주요 부분에 대한 부호의 설명>
- | | |
|-------------------------------------------------------------|----------------------------|
| <21> 2 : 상부 유리 기판 | 4 : 블랙 매트릭스 |
| <22> 6 : 칼라 필터 | 8 : 공통 전극 |
| <23> 10 : 칼라 필터 기판 | 12 : 하부 유리 기판 |
| <24> 14, 302, 402 : 게이트 라인 | 16, 304, 404 : 데이터 라인 |
| <25> 18, 306, 406 : 박막 트랜지스터 | 20 : 박막 트랜지스터 기판 |
| <26> 22, 318, 418 : 화소 전극 | 24 : 액정 |
| <27> 308, 408 : 게이트 전극 | 310, 410 : 소스 전극 |
| <28> 312, 412 : 드레인 전극 | 321, 421 : 활성층 |
| <29> 320, 420 : 반도체 패턴 | 323, 423 : 오믹 접촉층 |
| <30> 316 : 공통 라인 | 314 : 공통 전극 핑거부 |
| <31> 347, 359, 447 : 컨택홀 | 341, 441 : 스토리지 홀 |
| <32> 452 : 스토리지 전극 | 1, 131, 201, 325, 425 : 기판 |
| <33> 324, 424 : 게이트 패드 | 330, 430 : 데이터 패드 |
| <34> 25a, 25b, 225a, 225b, 362a, 362b, 374, 384 : 포토레지스트 패턴 | |
| <35> 304a, 404a : 데이터 라인 하부 전극 | |
| <36> 304b, 404b : 데이터 라인 상부 전극 | |
| <37> 311, 411 : 채널 보호막 | 355 : 공통 패드 |
| <38> 350, 450 : 스토리지 캐패시터 | |
| <39> 332, 432 : 데이터 패드 하부 전극 | 334, 434 : 데이터 패드 상부 전극 |
| <40> 326, 426 : 게이트 패드 하부 전극 | 328, 428, 357 : 더미 전극 |
| <41> 329, 429 : 게이트 패드 상부 전극 | 358 : 공통 패드 상부 전극 |
| <42> 27, 370, 380 : 마스크 | 100 : DMD 노광 장치 |
| <43> P1 : 투과부 | P2 : 부분 투과부 또는 회절 노광부 |

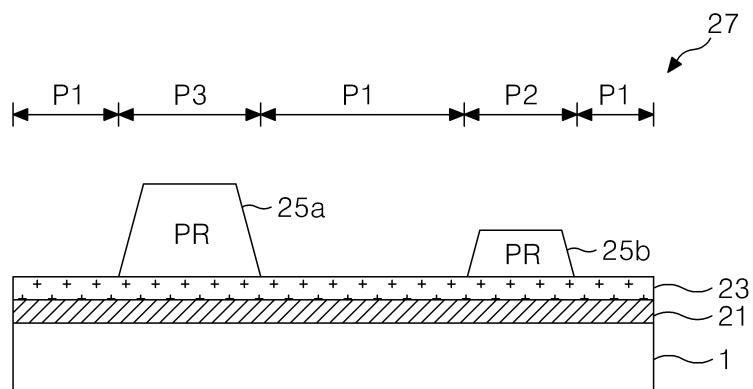
- | | | |
|------|-----------------------|-----------------------|
| <44> | P3 : 차단부 | 317, 417 : 연결 패턴 |
| <45> | 327a, 427a : 제1 절연 패턴 | 327b, 427b : 제2 절연 패턴 |
| <46> | 117 : DMD 칩 | 119 : 제어부 |
| <47> | 111 : 광원 | 121 : 미세 미러 |

도면

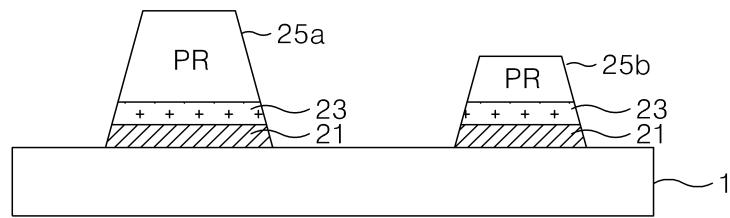
도면1



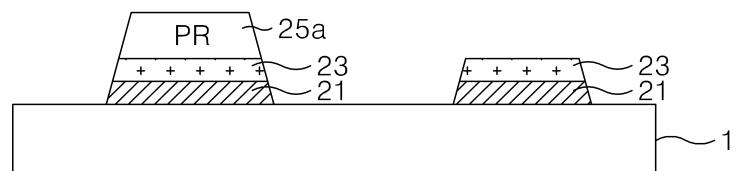
도면2a



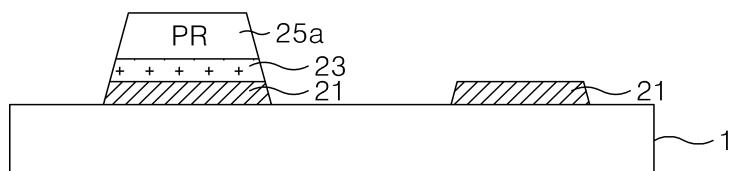
도면2b



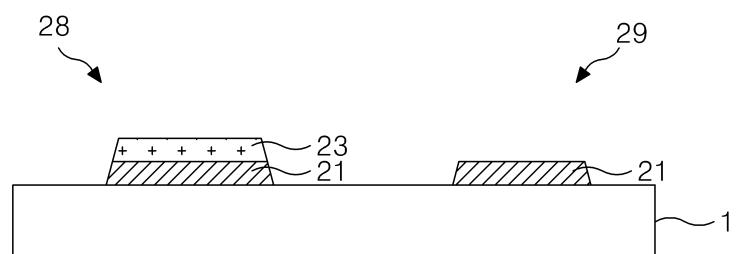
도면2c



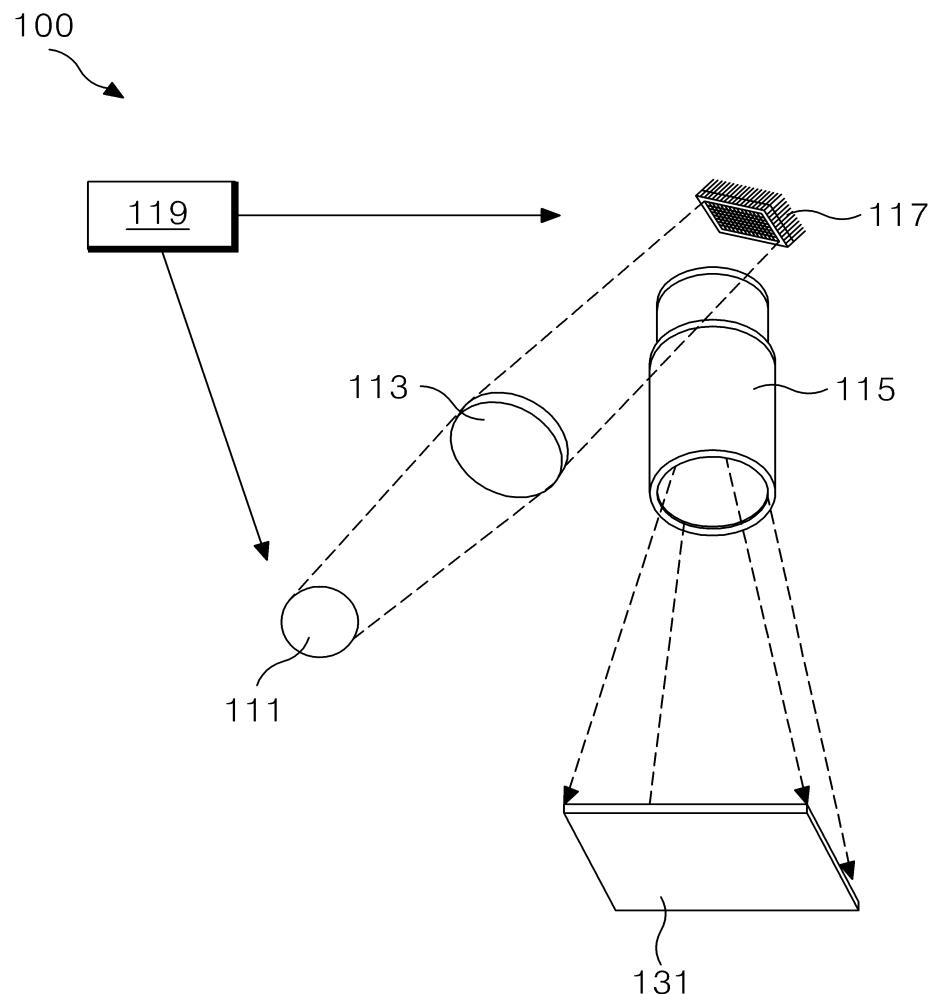
도면2d



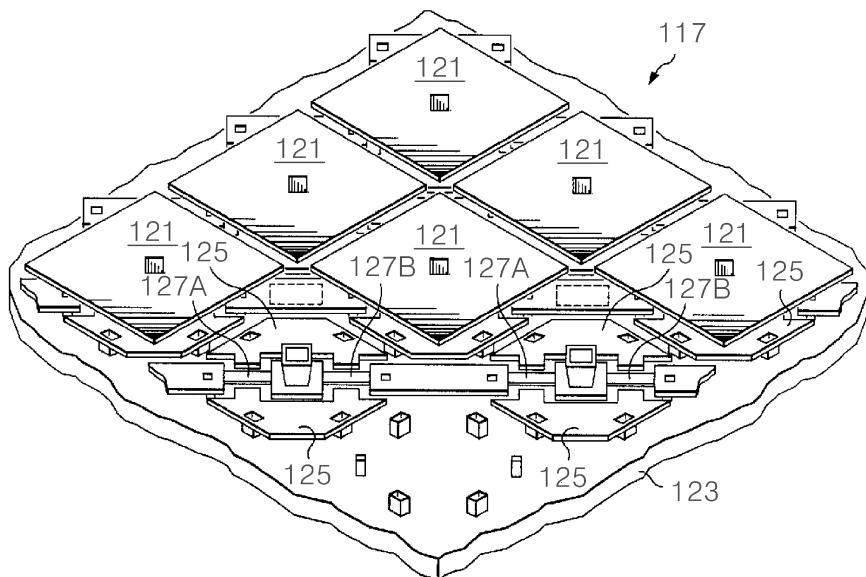
도면2e



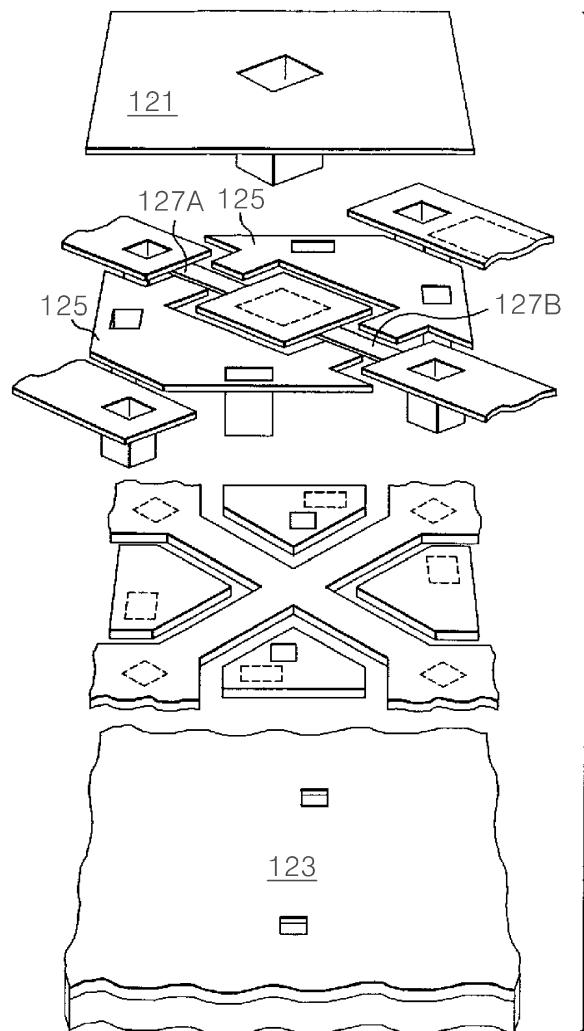
도면3



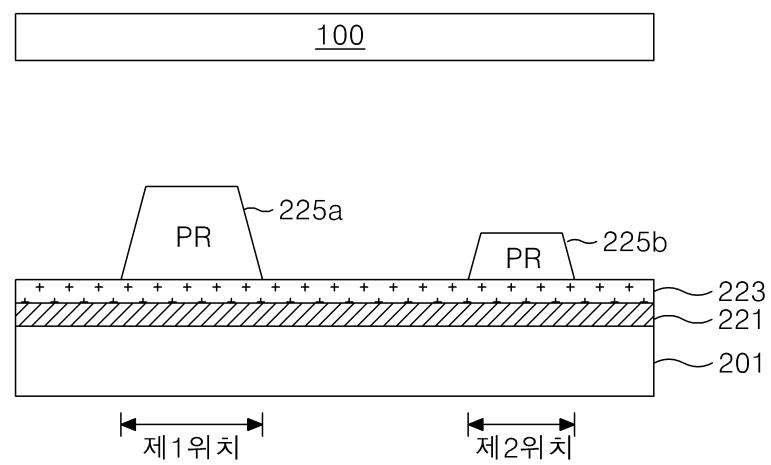
도면4a



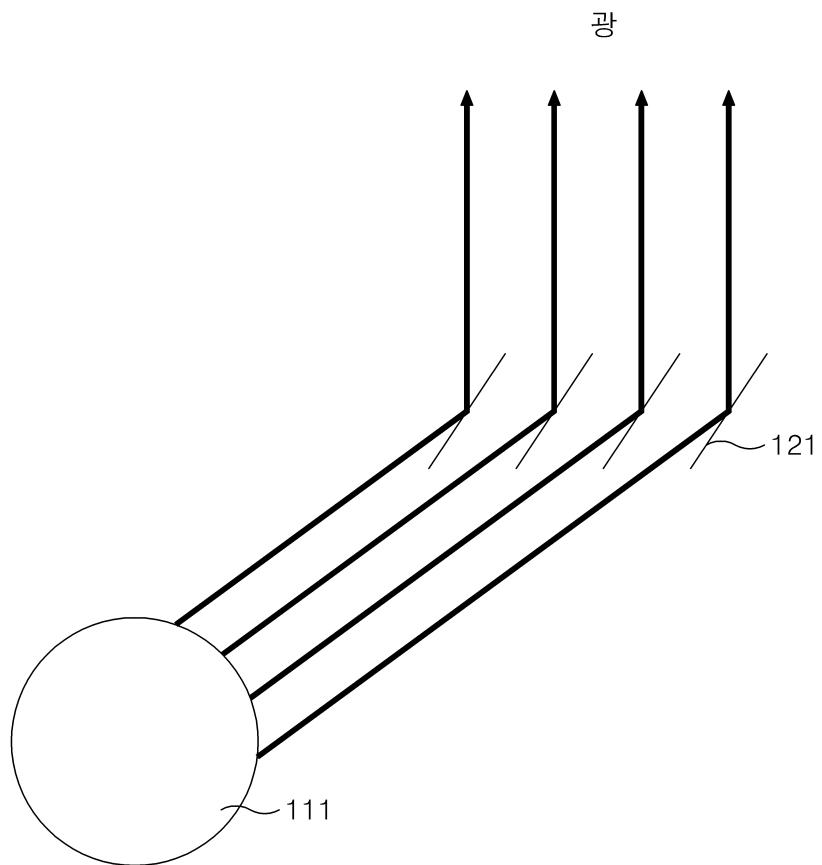
도면4b



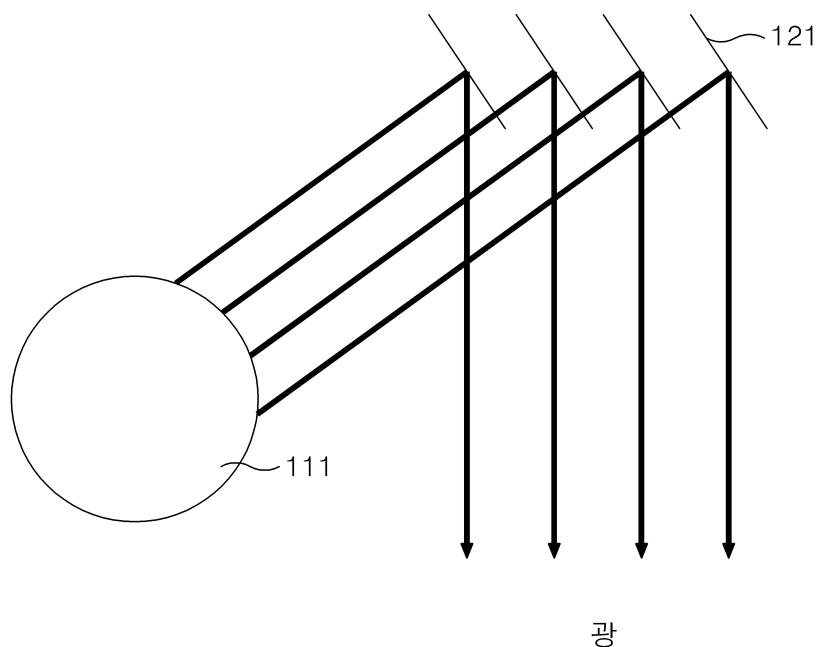
도면5a



도면5b

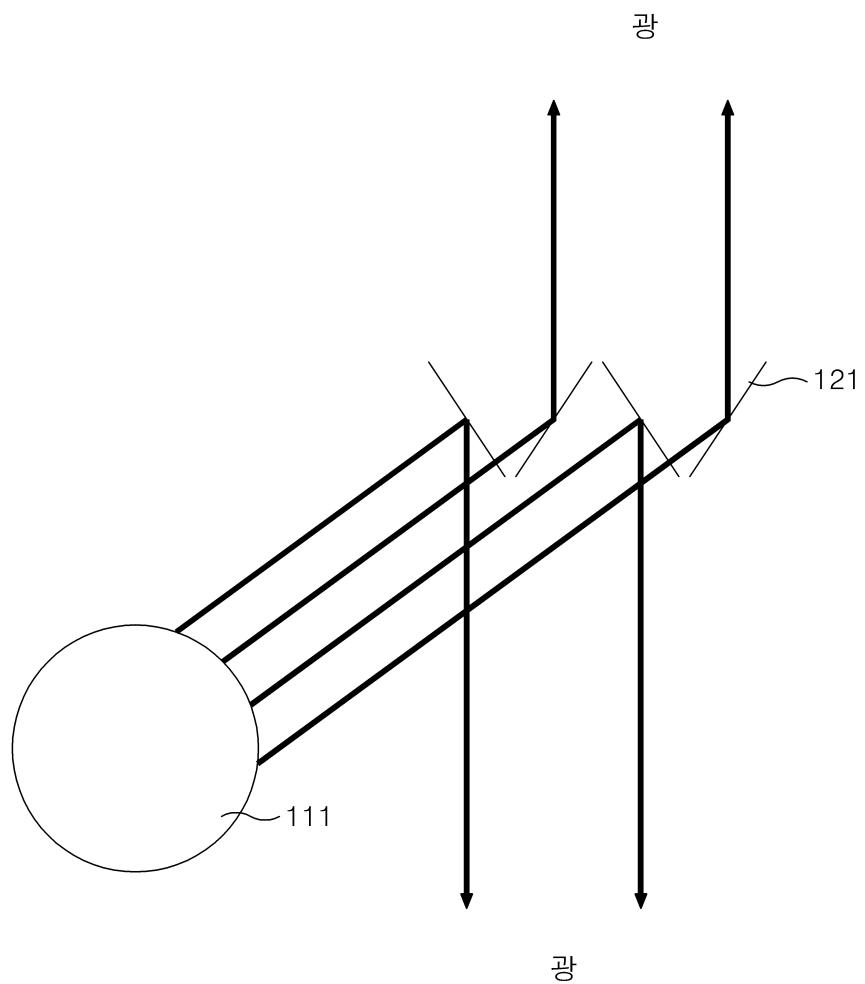


도면5c

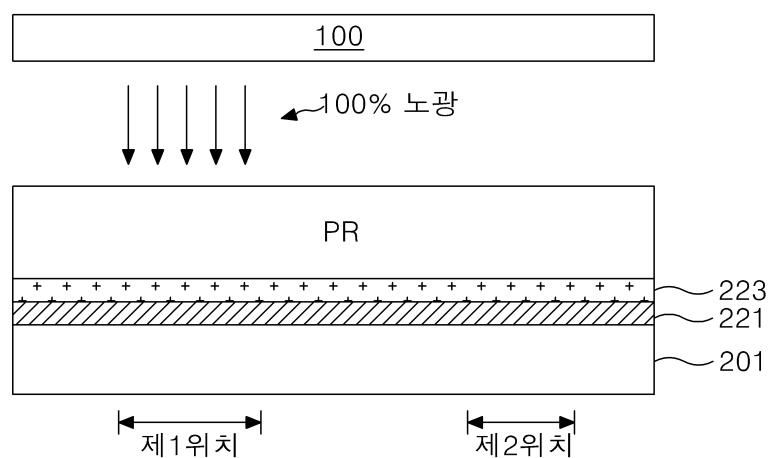


광

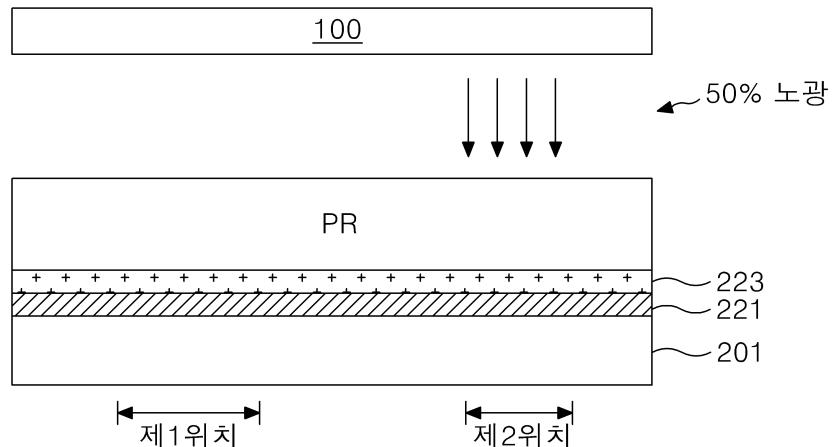
도면5d



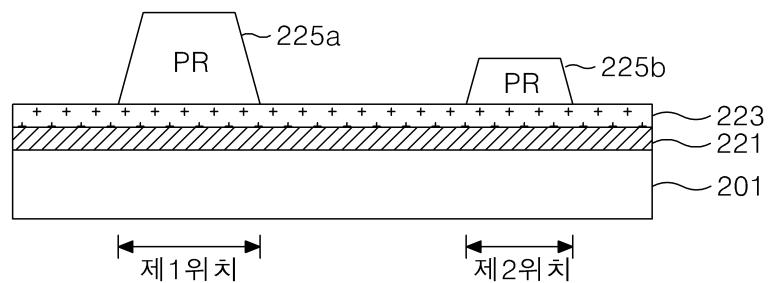
도면6a



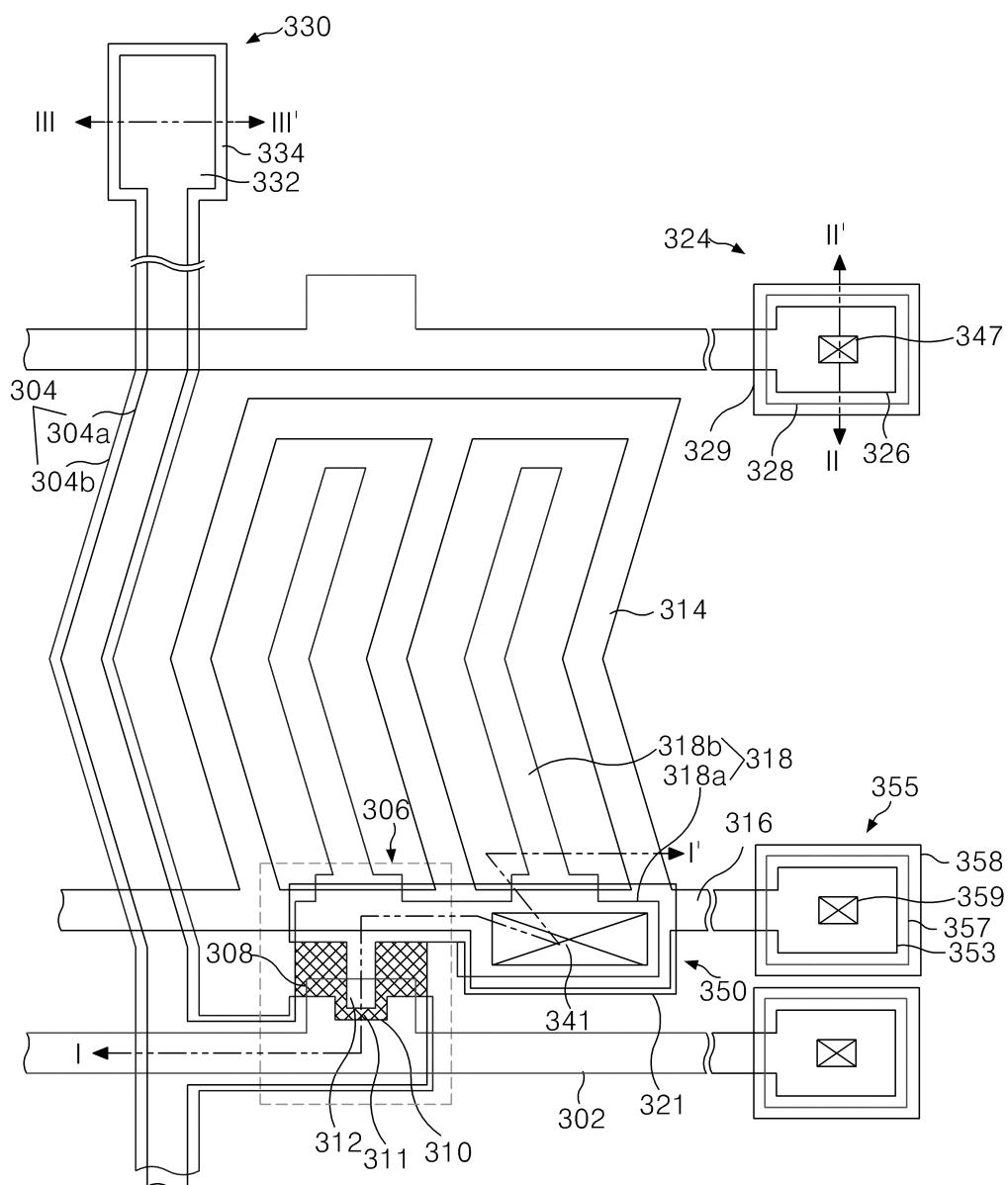
도면6b



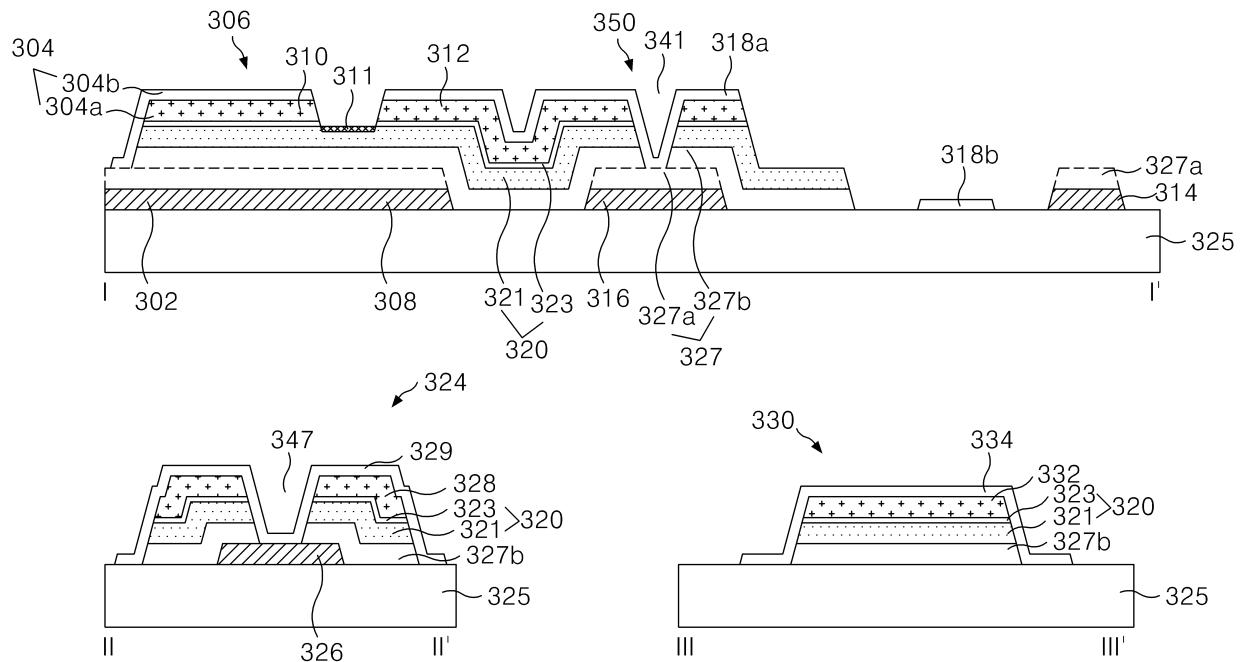
도면6c



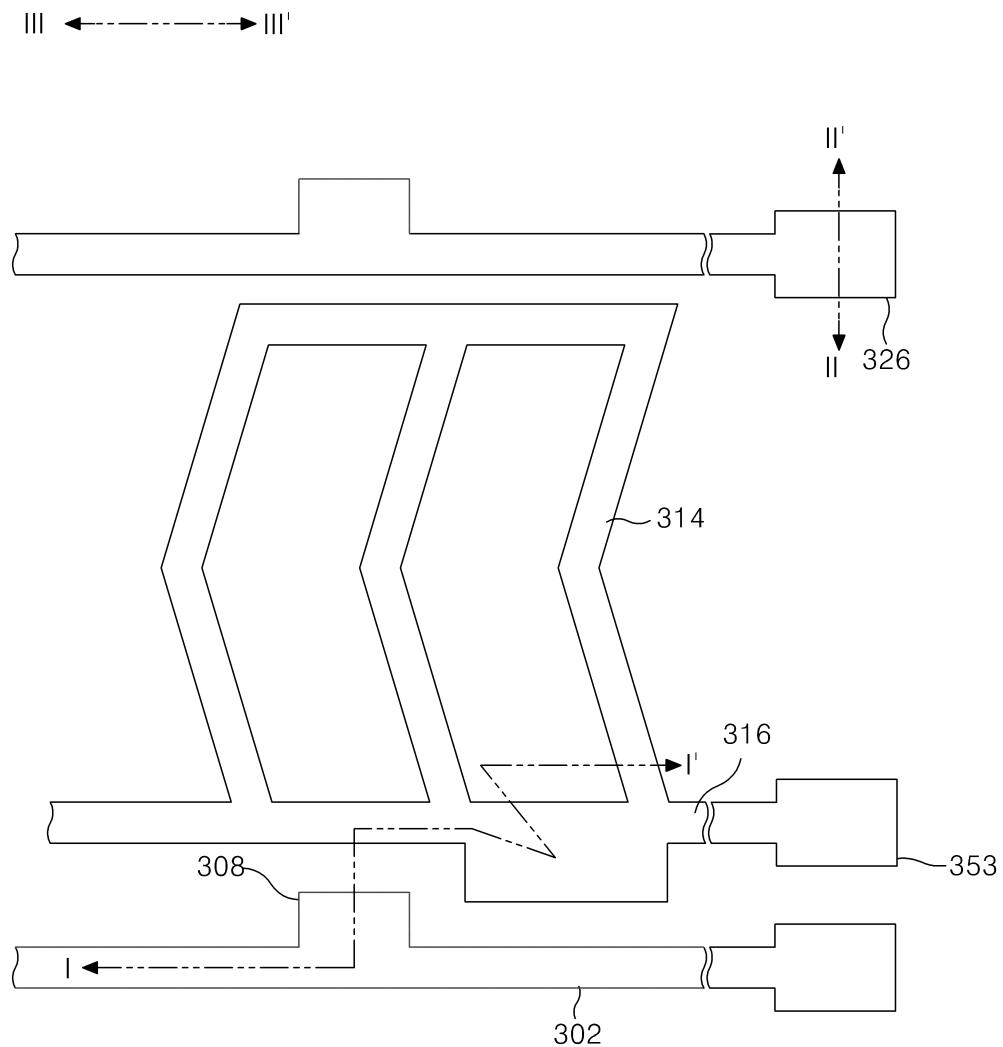
도면7



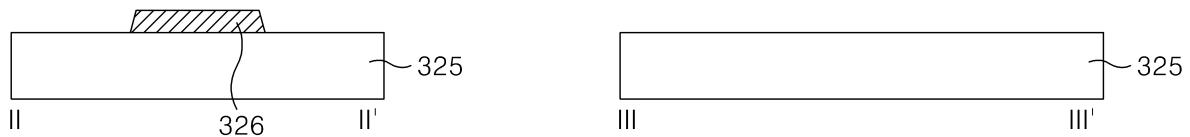
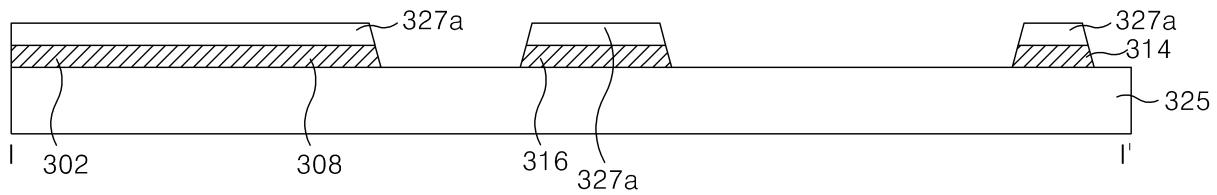
도면8



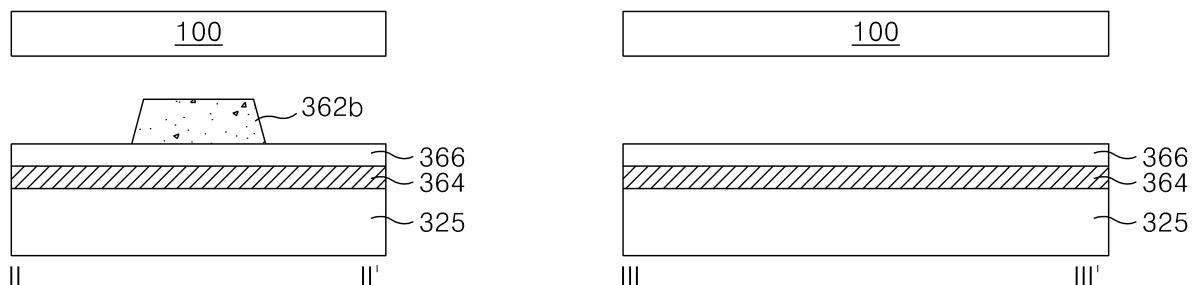
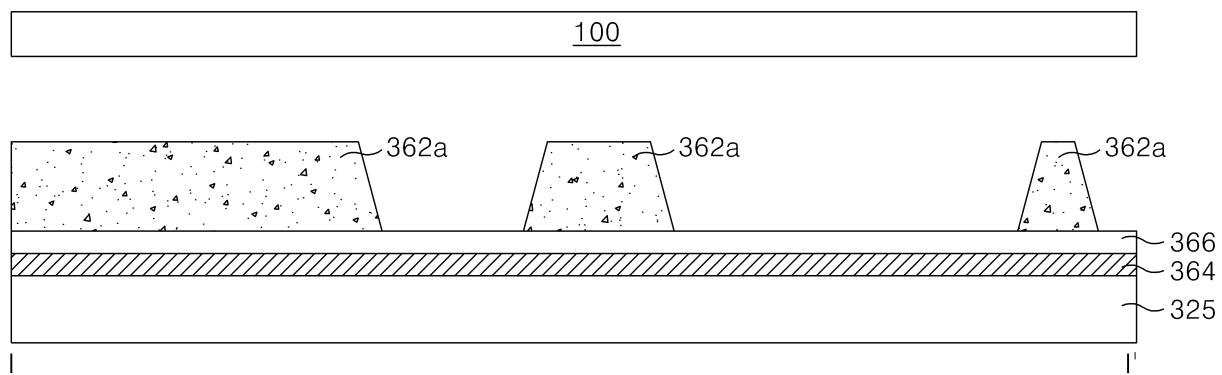
도면9a



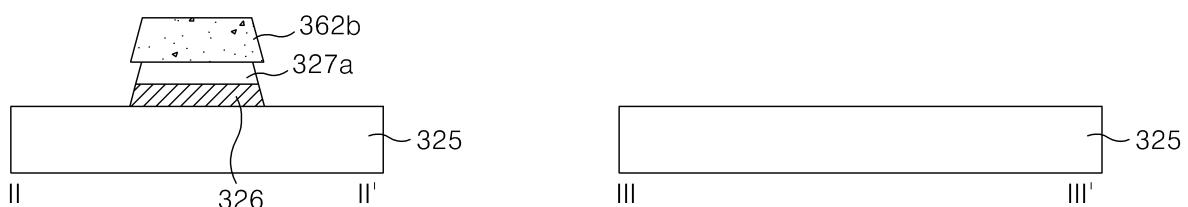
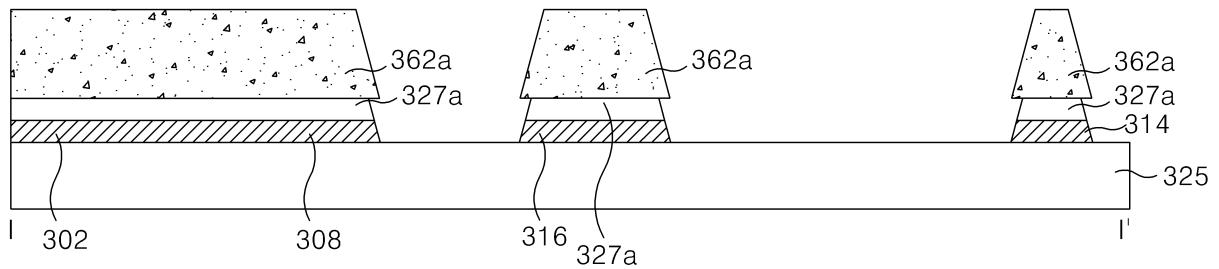
도면9b



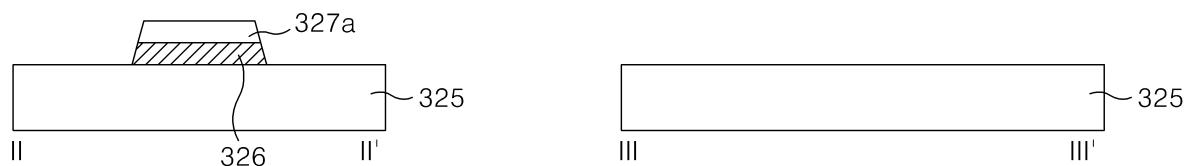
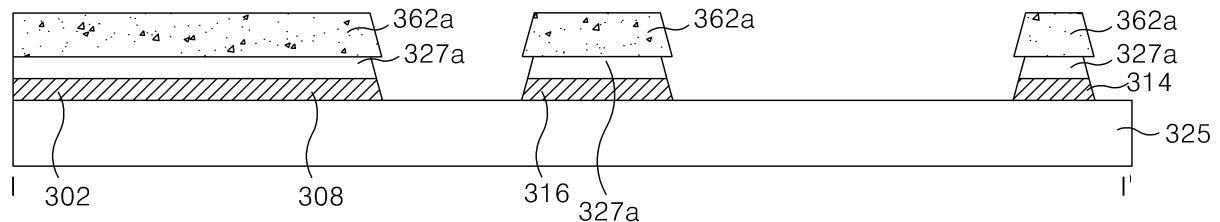
도면10a



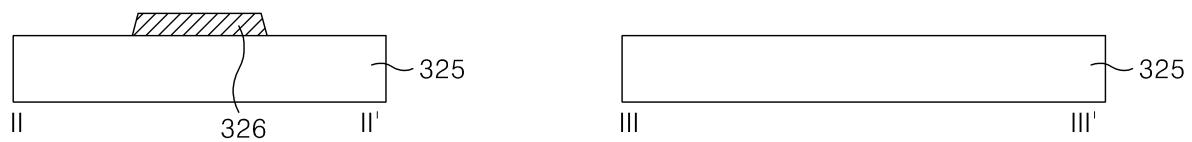
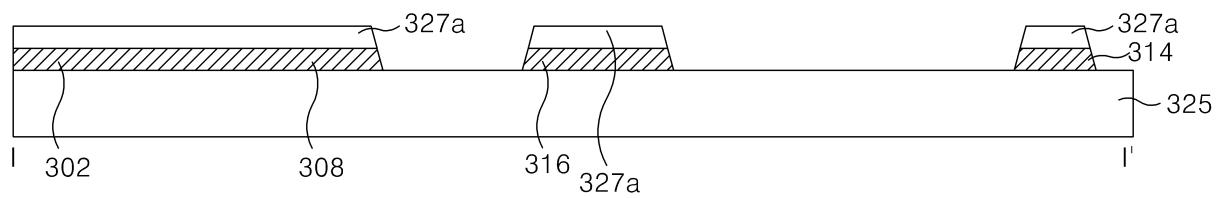
도면10b



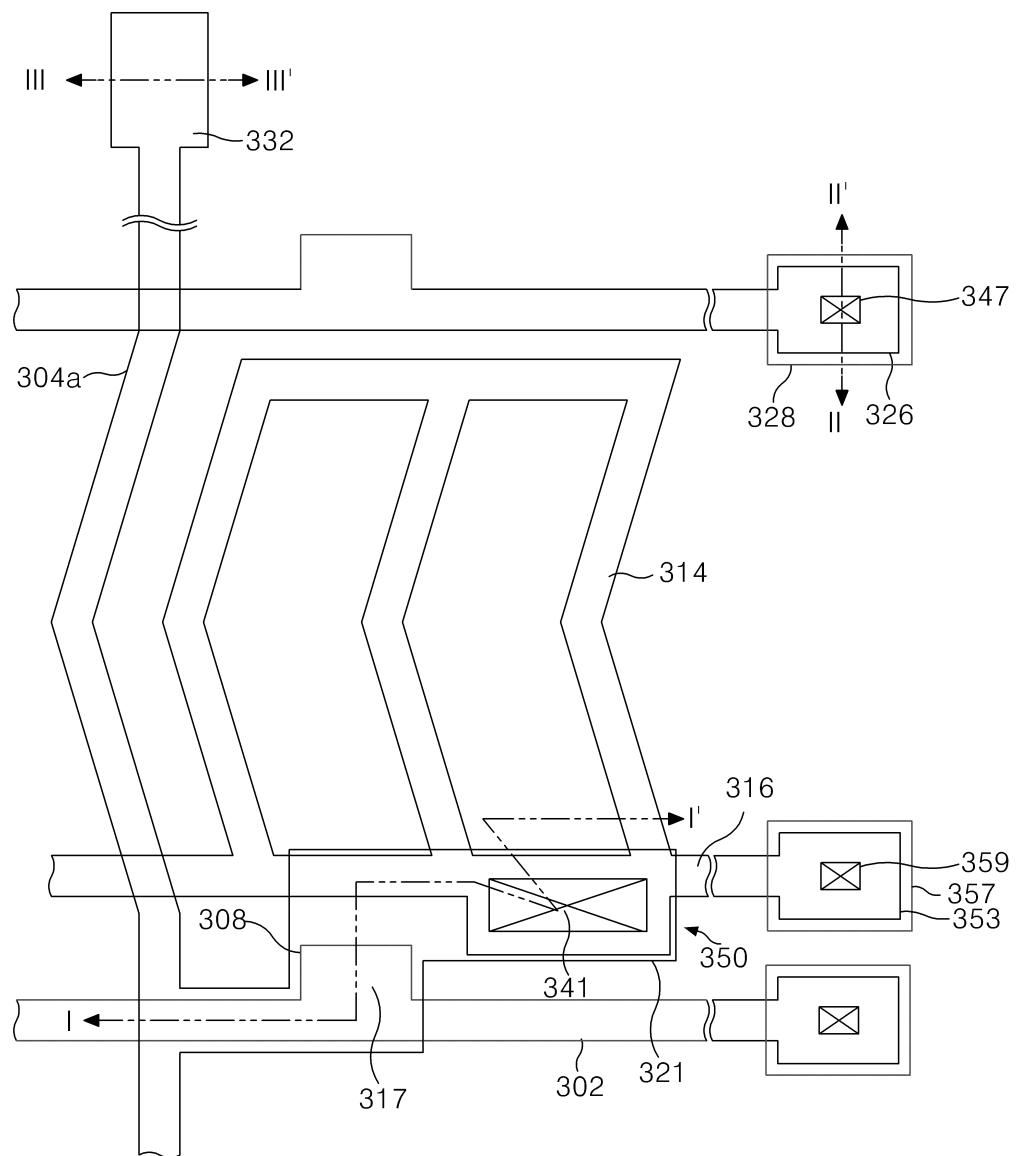
도면10c



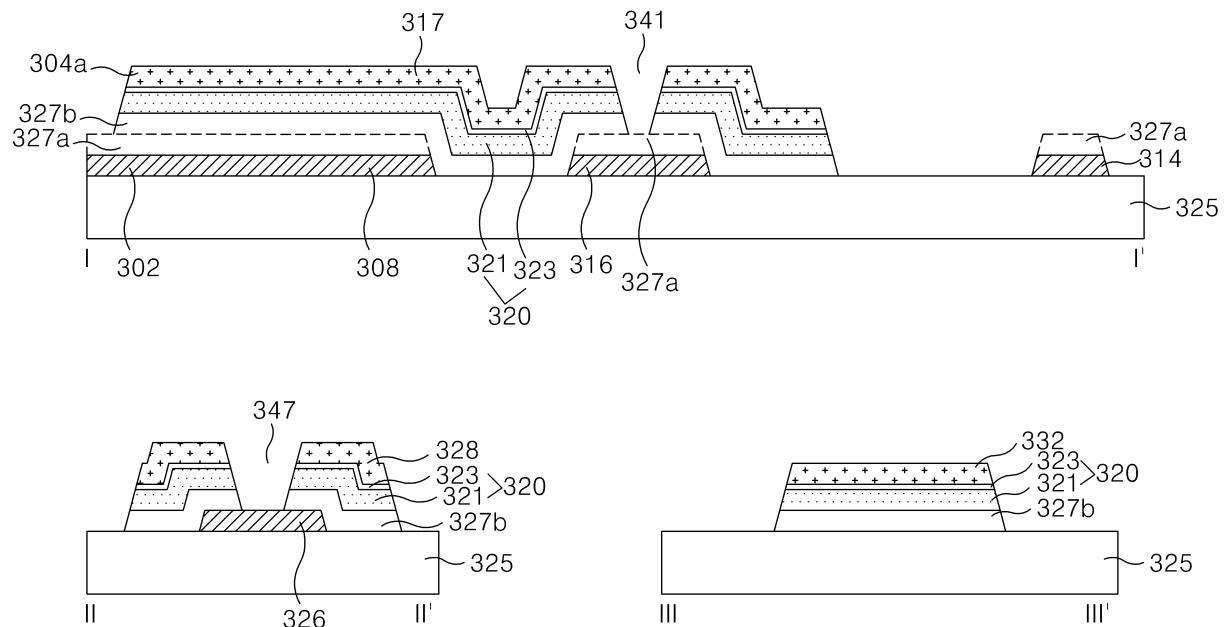
도면10d



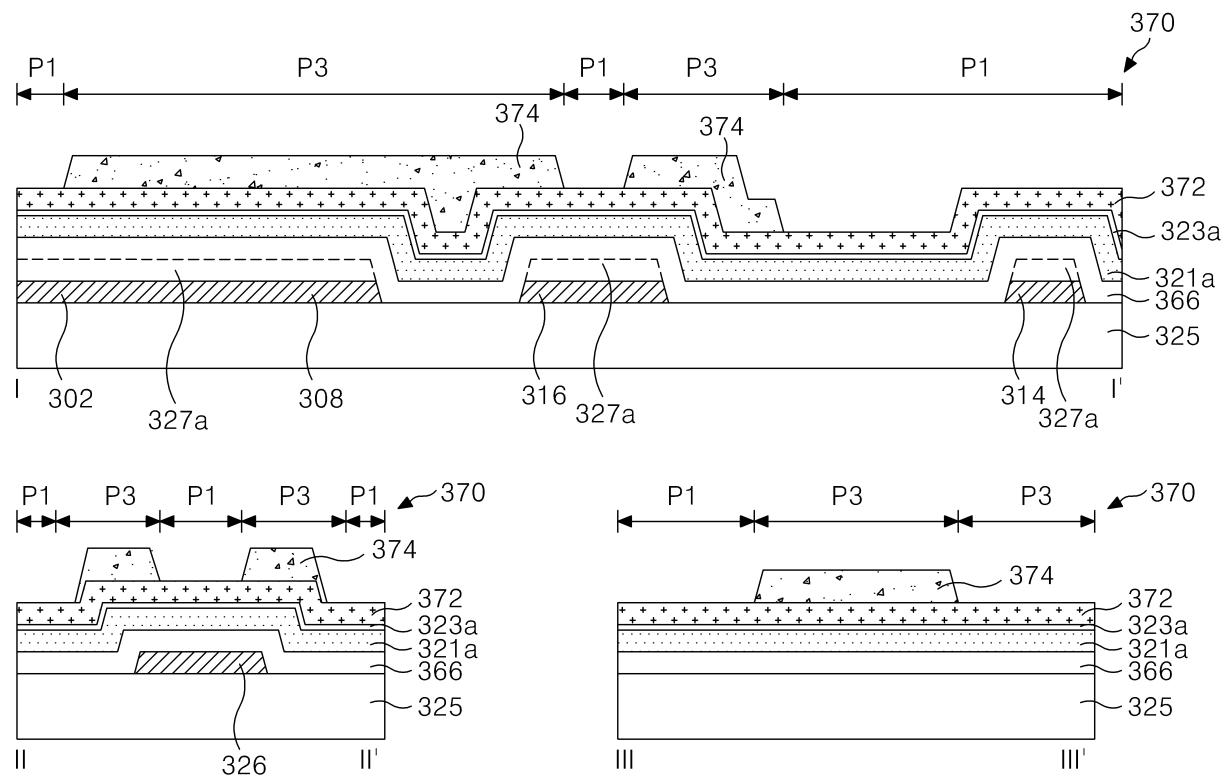
도면11a



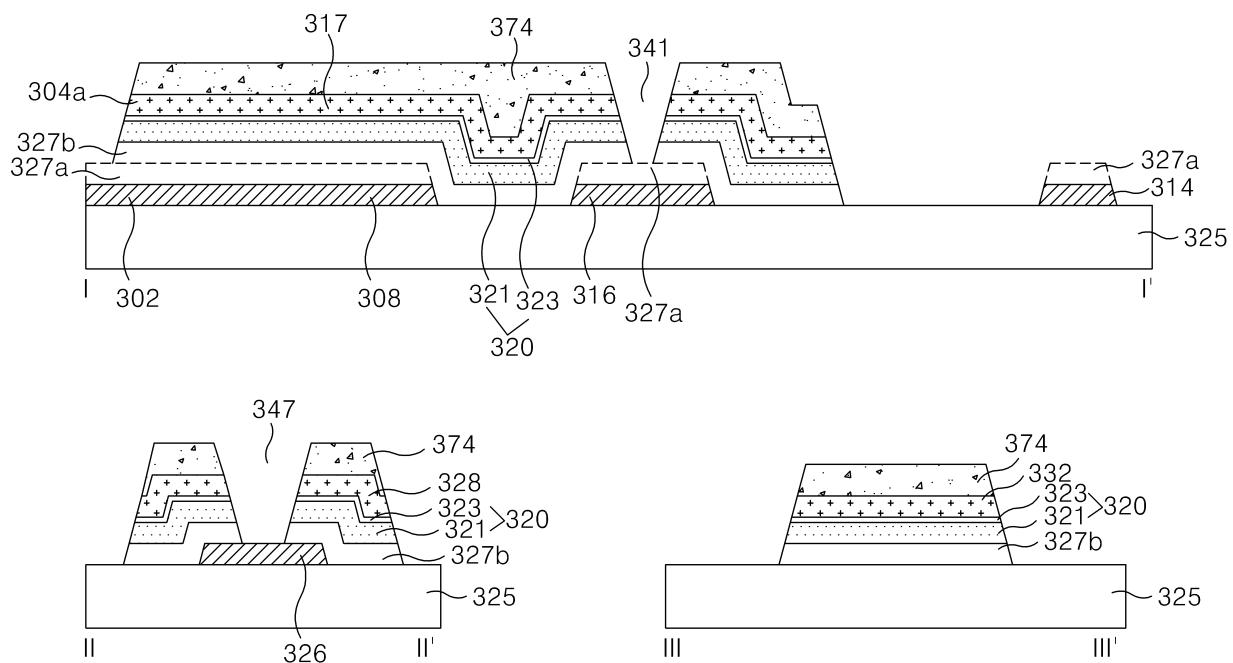
도면11b



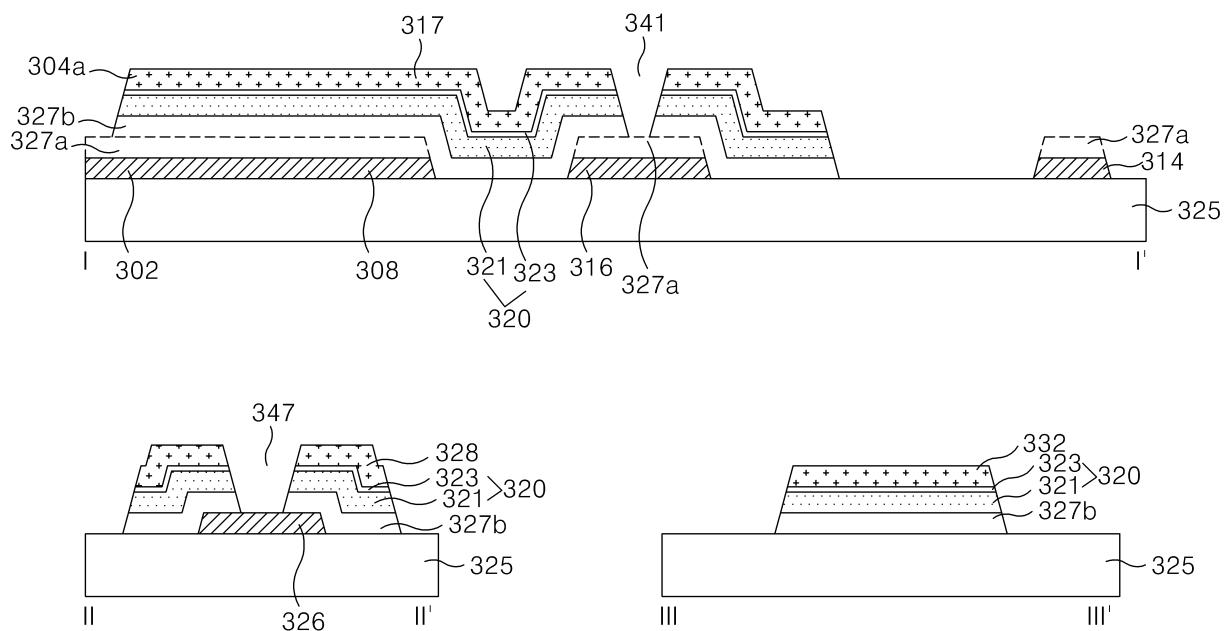
도면12a



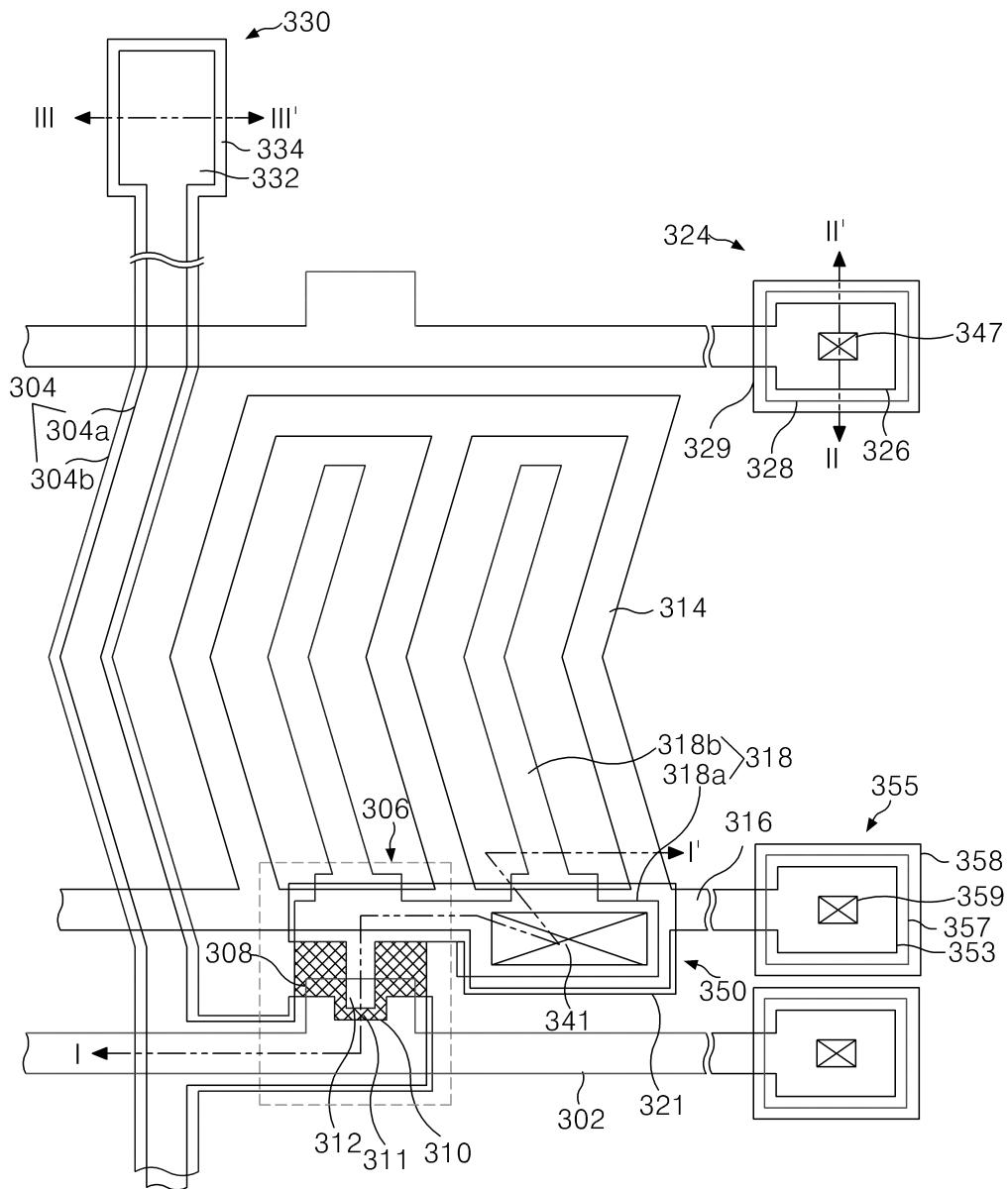
도면12b



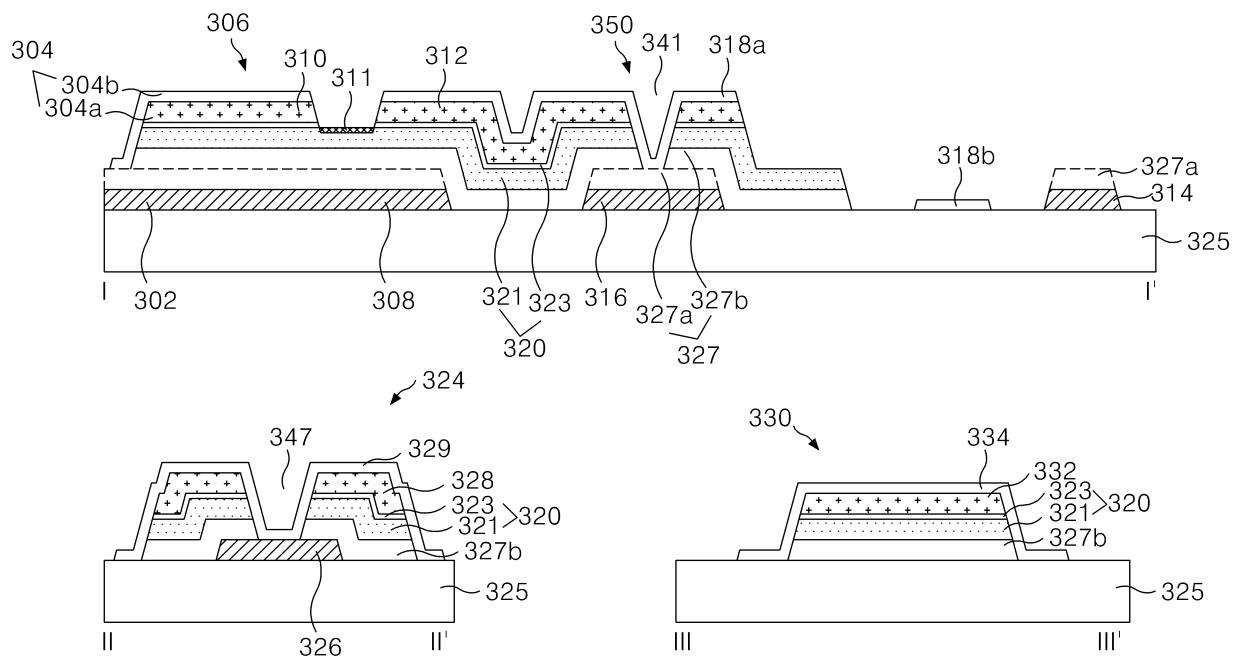
도면12c



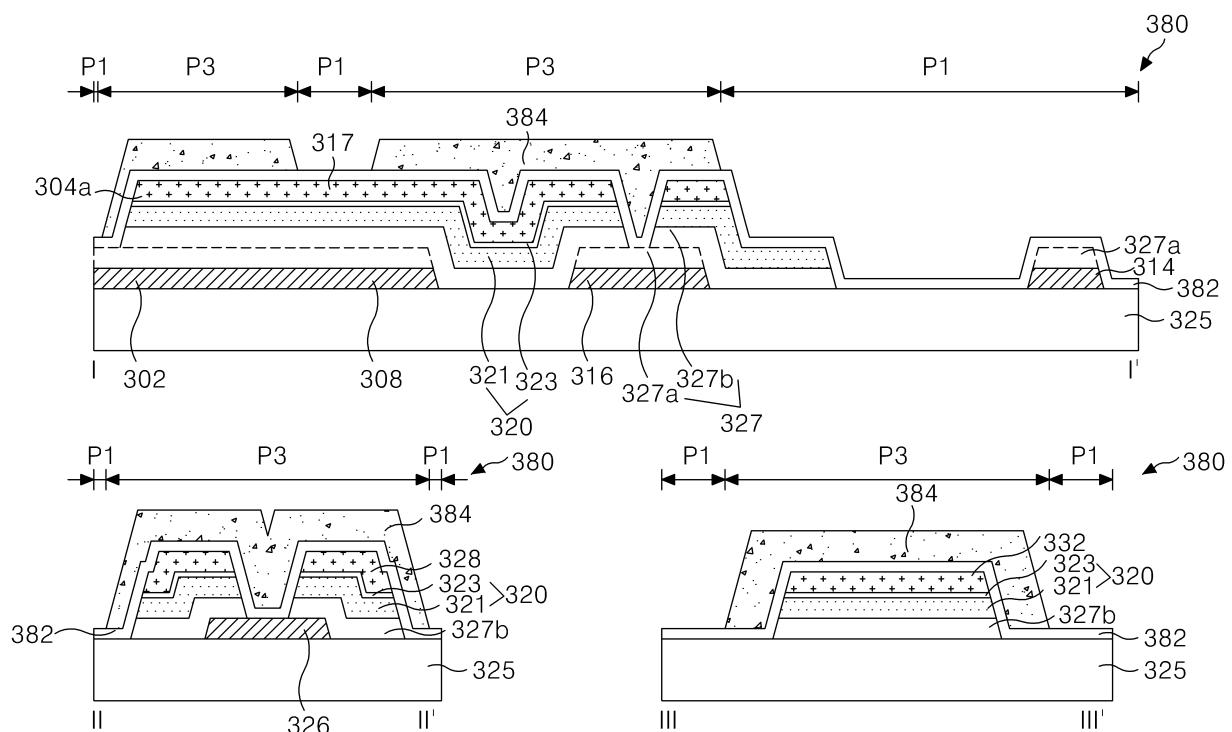
도면13a



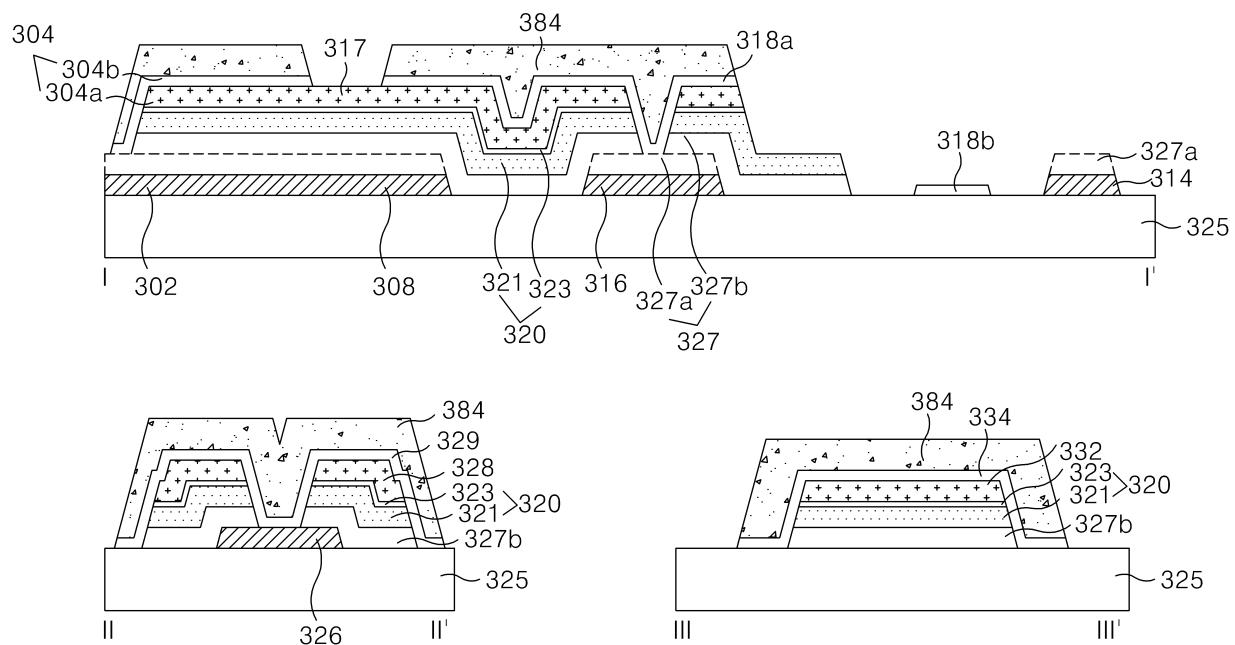
도면 13b



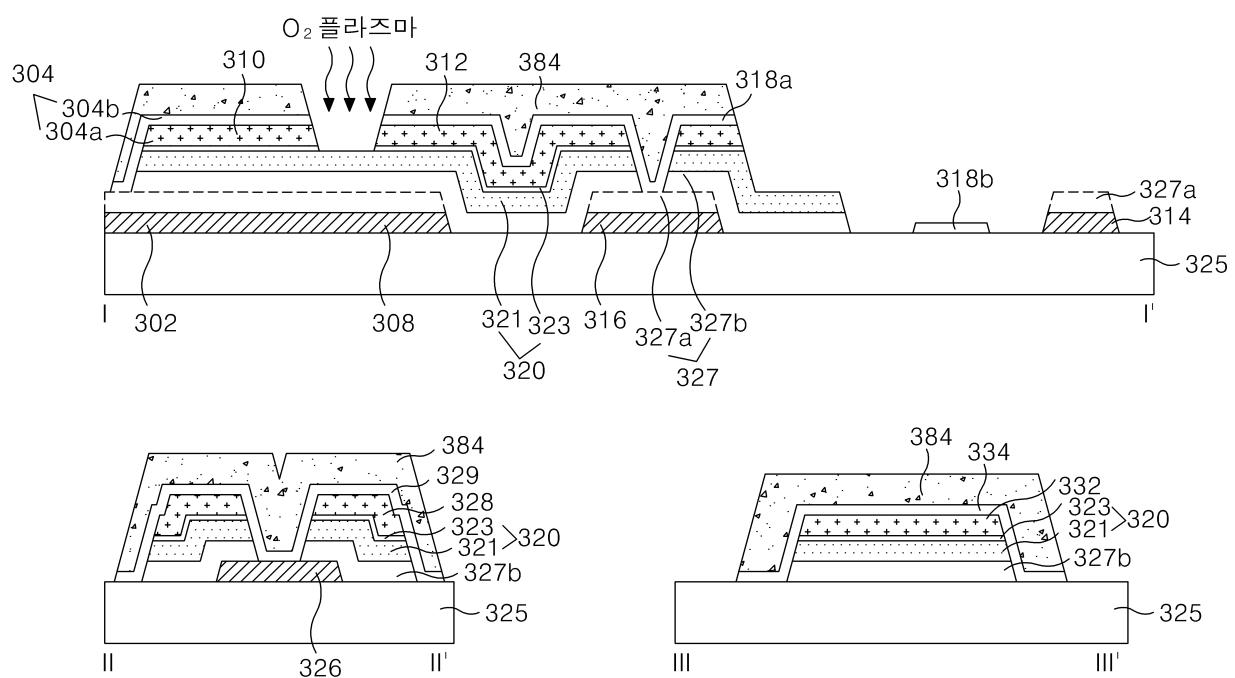
도면 14a



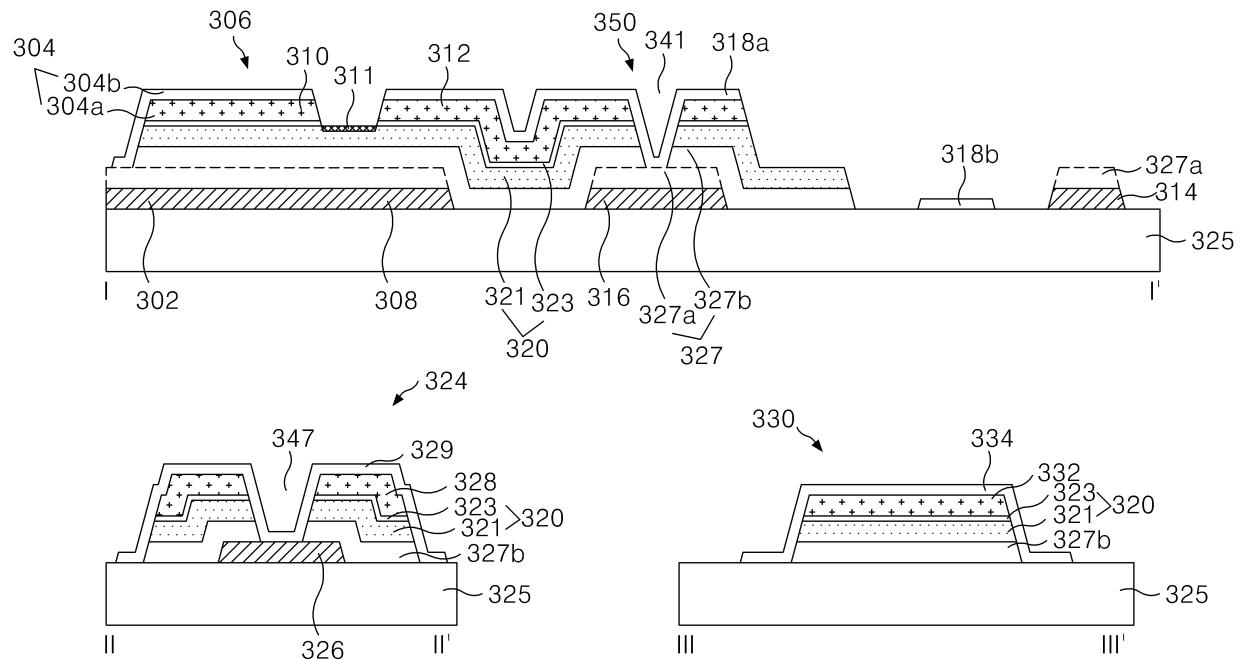
도면14b



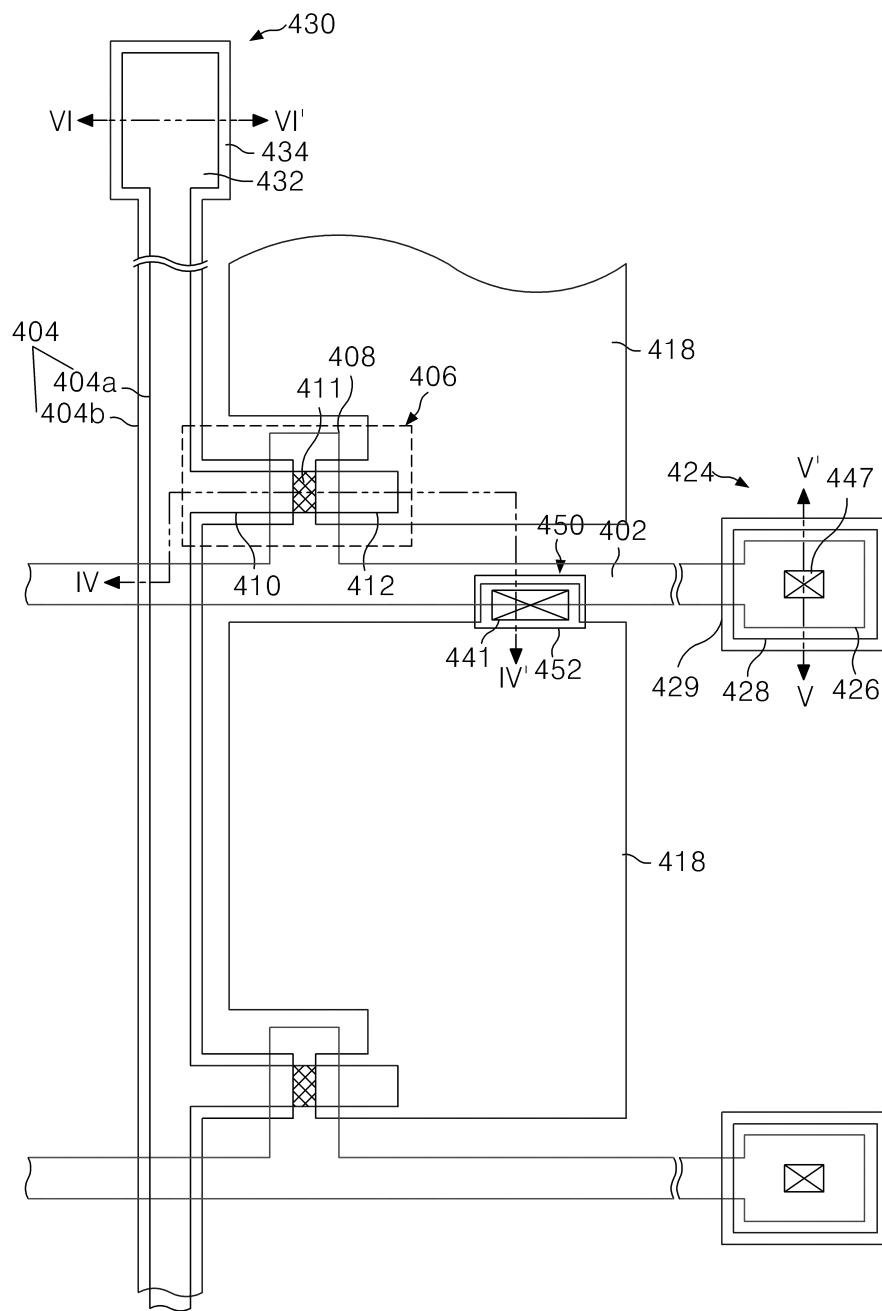
도면14c



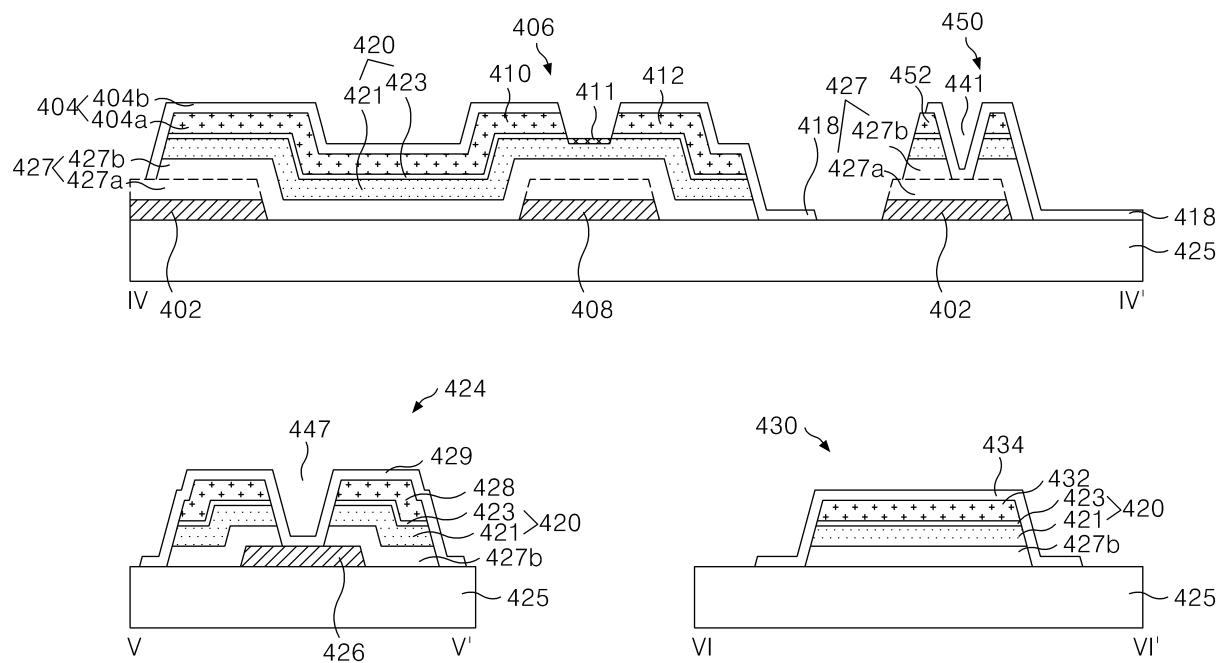
도면14d



도면15

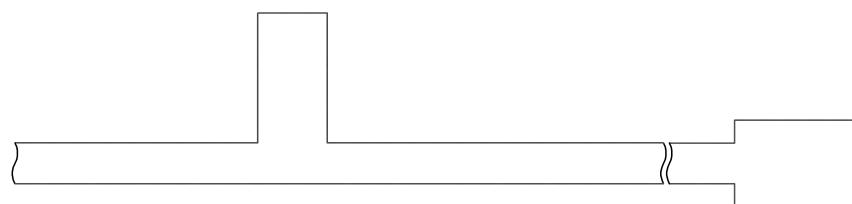
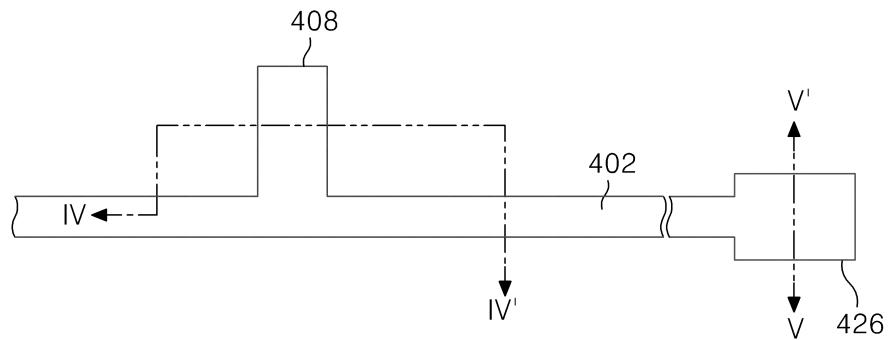


도면16

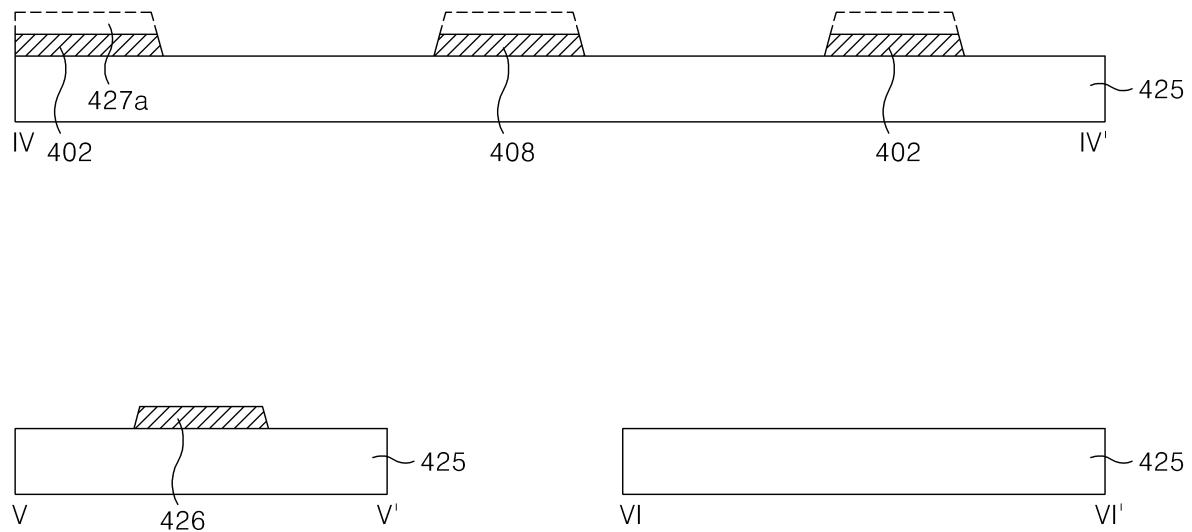


도면17a

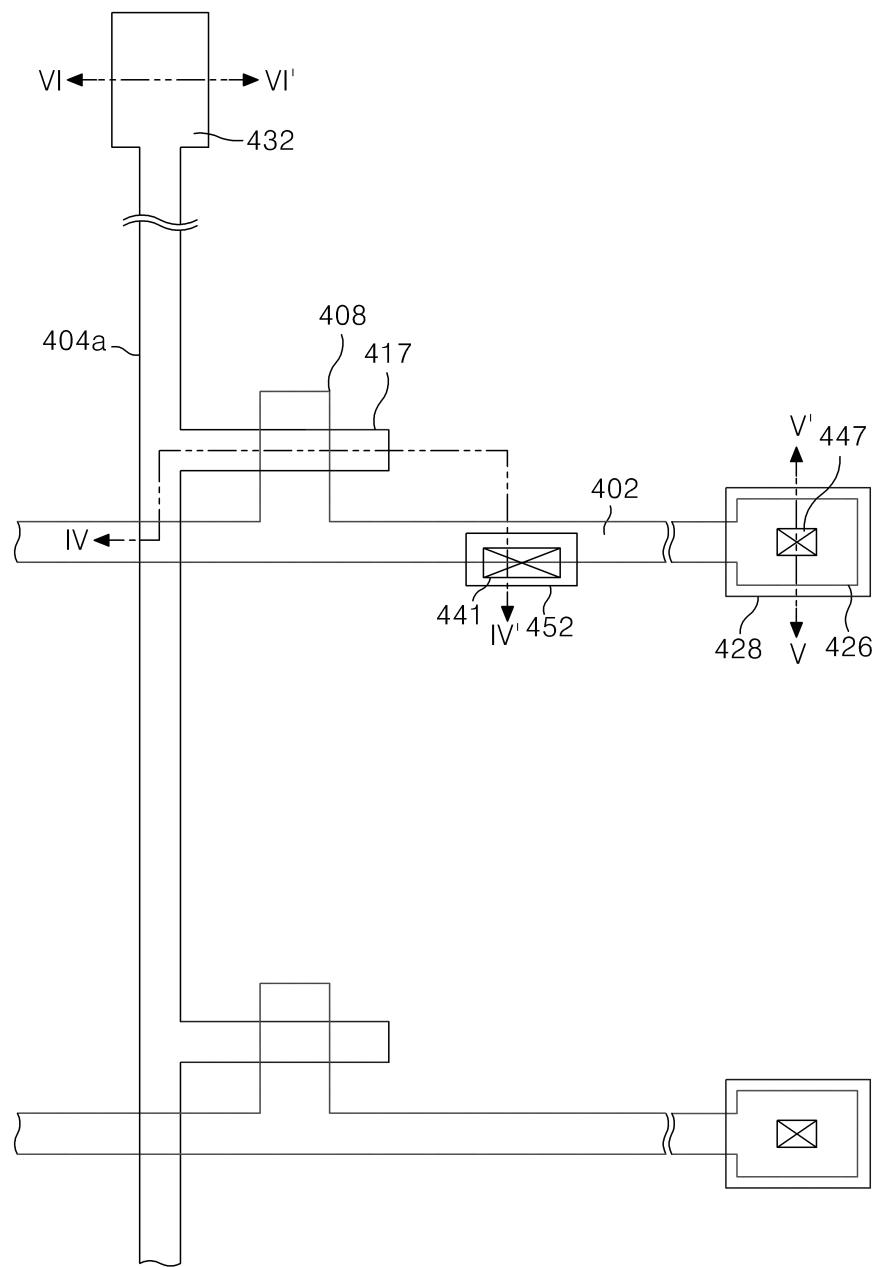
$V_l \longleftrightarrow V_l'$



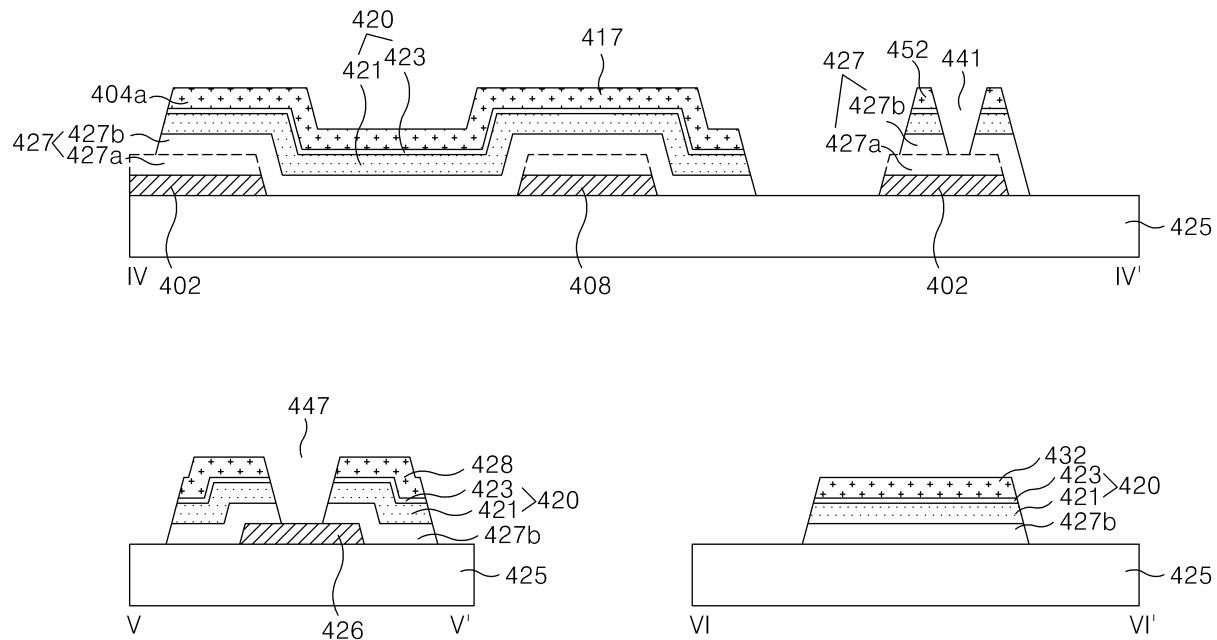
도면17b



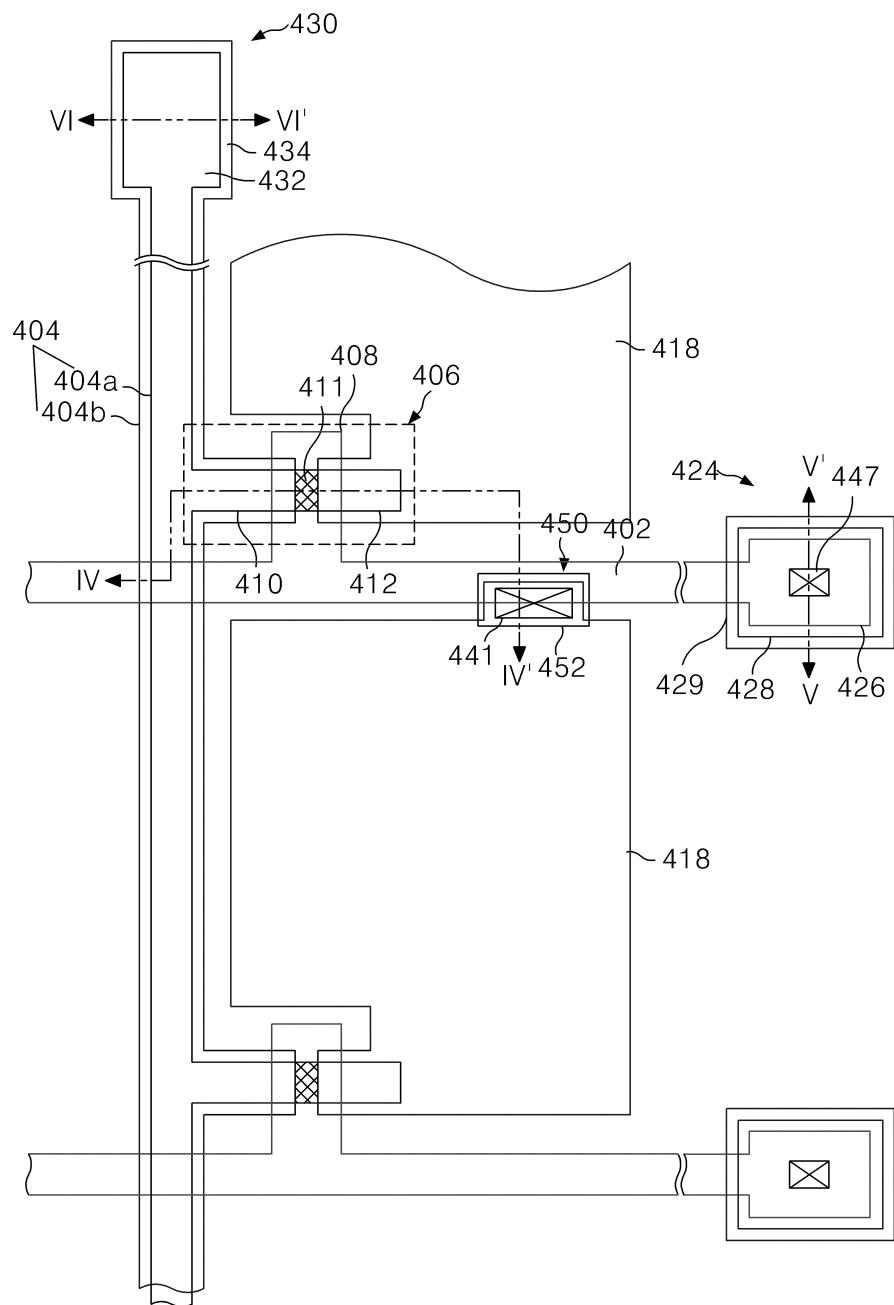
도면18a



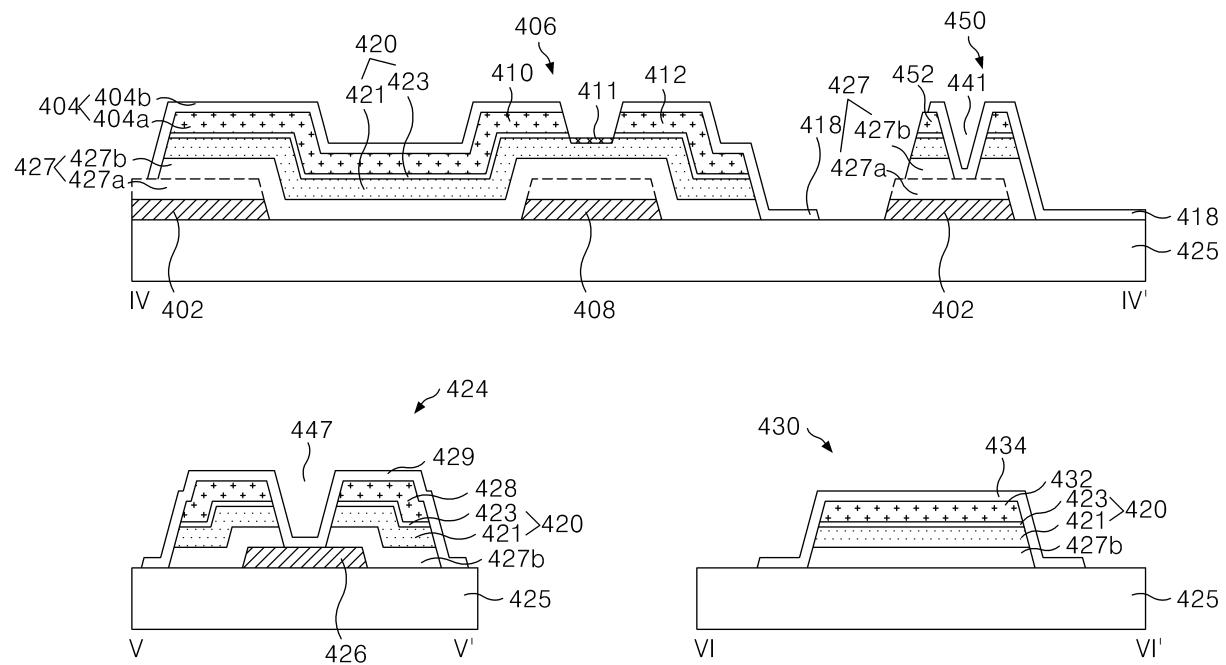
도면18b



도면 19a



도면19b



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020070112989A	公开(公告)日	2007-11-28
申请号	KR1020060046634	申请日	2006-05-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	OH JAE YOUNG 오재영 JEE YOUNG SEUNG 지영승 KIM JEONG OH 김정오 KIM SOO POOL 김수풀		
发明人	오재영 지영승 김정오 김수풀		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136286 G02F1/1335 G02F2001/136231 H01L29/786		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示器的制造方法，该方法可以减少掩模工艺，而且不使用掩模并且可以制造。此外，本发明涉及使用根据本发明的制造方法来改善存储电容器的容量的液晶显示器。该液晶显示器的制造方法包括对具有光致抗蚀剂图案的薄膜进行图案化的步骤，该步骤：在步骤中的高度：照射光致抗蚀剂的薄膜形式，使其留下不同的光致抗蚀剂图案和不同的高度。光源和多个微镜在步骤中形成光刻胶的步骤：形成薄膜形式的步骤：薄膜和光刻胶在制备曝光装置的步骤中至少一个薄膜：液体基板晶体显示器将目标位置排列在层叠基板上：第二光量不同于光刻胶第二位置的第一光量，驱动光源控制曝光装置的微镜，并照射光线在光致抗蚀剂的第一位置的第一光量，分别根据电和电压控制选择性地将来自光源的光朝向目标位置反射到掩模。

100

