



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2007-0076903  
G02F 1/136 (2006.01) (43) 공개일자 2007년07월25일

(21) 출원번호 10-2006-0006379  
(22) 출원일자 2006년01월20일  
심사청구일자 없음

(71) 출원인 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 장중용  
충남 천안시 불당동 대동 다숲아파트 107-104

(74) 대리인 남승희

전체 청구항 수 : 총 14 항

(54) 박막 트랜지스터 기판과 그 제조 방법 및 이를 포함한 액정표시 장치

(57) 요약

본 발명은 게이트 라인과 화소 전극 간의 커플링 커패시턴스를 감소시키기 위한 구조를 갖는 박막 트랜지스터 기판과 그 제조 방법 및 이를 포함한 액정 표시 장치에 관한 것으로, 기판 상에 일 방향으로 형성된 복수의 게이트 라인그룹과, 복수의 게이트 라인그룹과 절연되어 교차되게 형성된 복수의 데이터 라인과, 복수의 게이트 라인그룹과 복수의 데이터 라인의 교차 영역에 형성된 복수의 화소그룹 및 복수의 화소그룹과 게이트 라인그룹 간의 커플링 커패시턴스를 감소시키기 위하여, 복수의 게이트 라인 그룹 상에 형성된 복수의 실딩 라인을 포함하며, 각 게이트 라인 그룹은 복수의 게이트 라인으로 구성되며, 각 화소그룹은 복수의 단위화소로 구성되는 것을 특징으로 하는 박막 트랜지스터 기판과 그 제조 방법 및 이를 포함한 액정 표시 장치가 제공된다.

대표도

도 5

특허청구의 범위

청구항 1.

기판 상에 일 방향으로 형성된 복수의 게이트 라인그룹;

상기 복수의 게이트 라인그룹과 절연되어 교차되게 형성된 복수의 데이터 라인;

상기 복수의 게이트 라인그룹과 복수의 데이터 라인의 교차 영역에 형성된 복수의 화소그룹 및

상기 복수의 화소그룹과 상기 게이트 라인그룹 간의 커플링 커패시턴스를 감소시키기 위하여, 상기 복수의 게이트 라인 그룹 상에 형성된 복수의 실딩 라인(shielding line)을 포함하며,

상기 각 게이트 라인 그룹은 복수의 게이트 라인으로 구성되며, 상기 각 화소그룹은 복수의 단위화소로 구성되는 것을 특징으로 하는 박막 트랜지스터 기관.

## 청구항 2.

제1항에 있어서,

상기 각 게이트 라인 그룹은 제1 게이트 라인과, 상기 제1 게이트 라인과 소정 간격 이격되어 형성된 제2 게이트 라인을 포함하며,

상기 각 화소 그룹은 제1 단위 화소와 제2 단위 화소를 포함하는 것을 특징으로 하는 박막 트랜지스터 기관.

## 청구항 3.

제2항에 있어서,

상기 각 실딩 라인은 상기 각 게이트 라인 그룹 중 적어도 하나의 게이트 라인 상에 형성되는 것을 특징으로 하는 박막 트랜지스터 기관.

## 청구항 4.

제3항에 있어서,

상기 각 실딩 라인은 상기 게이트 라인과 평행하게 형성되는 것을 특징으로 하는 박막 트랜지스터 기관.

## 청구항 5.

제2항에 있어서,

상기 제1 단위 화소와 상기 제2 단위 화소는 서로 상이한 게이트 라인에 연결되는 동시에, 동일한 데이터 라인에 연결되는 것을 특징으로 하는 박막 트랜지스터 기관.

## 청구항 6.

제2항에 있어서,

상기 각 화소 그룹은 화소 전극과, 박막 트랜지스터 및 스토리지 커패시터 전극을 포함하며, 상기 각 실딩 라인은 상기 화소 전극과 동일한 재료로 형성되는 것을 특징으로 하는 박막 트랜지스터 기관.

## 청구항 7.

제6항에 있어서,

상기 실딩 라인에는 상기 스토리지 커패시터 전극에 인가되는 전압과 동일한 전압이 인가되는 것을 특징으로 하는 박막 트랜지스터 기관.

### 청구항 8.

제6항에 있어서,

소정 화소 그룹 내에 형성된 스토리지 커패시터 전극과 상기 소정 화소 그룹과 인접한 화소 그룹 내에 형성된 스토리지 커패시터 전극을 전기적으로 연결시키기 위한 콘택을 더 포함하는 것을 특징으로 하는 박막 트랜지스터 기관.

### 청구항 9.

제8항에 있어서,

상기 각 실딩 라인은 상기 콘택과 연결되며, 상기 게이트 라인 그룹 중 적어도 하나의 게이트 라인 상에 형성되는 것을 특징으로 하는 박막 트랜지스터 기관.

### 청구항 10.

제8항에 있어서,

상기 소정 화소 그룹과 상기 소정 화소 그룹과 인접한 화소 그룹은 상이한 게이트 라인그룹 내에 형성되는 것을 특징으로 하는 박막 트랜지스터 기관.

### 청구항 11.

기관 상에 일 방향으로 형성된 복수의 게이트 라인그룹과, 상기 복수의 게이트 라인그룹과 절연되어 교차되게 형성된 복수의 데이터 라인과, 상기 복수의 게이트 라인그룹과 복수의 데이터 라인의 교차 영역에 형성된 복수의 화소그룹 및 상기 복수의 화소그룹과 상기 게이트 라인그룹 간의 커플링 커패시턴스를 감소시키기 위하여, 상기 복수의 게이트 라인 그룹 상에 형성된 복수의 실딩 라인(shielding line)을 포함하며, 상기 각 게이트 라인 그룹은 제1 게이트 라인과, 상기 제1 게이트 라인과 소정 간격 이격되어 형성된 제2 게이트 라인으로 구성되며, 상기 각 화소 그룹은 제1 단위 화소와 제2 단위 화소로 구성된 박막 트랜지스터 기관;

상기 박막 트랜지스터 기관과 대향되며, 공통 전극이 형성된 컬러 필터 기관 및

상기 박막 트랜지스터 기관과 상기 컬러 필터 기관 사이에 주입된 액정층을 포함하는 것을 특징으로 하는 액정 표시 장치.

### 청구항 12.

제11항에 있어서,

상기 각 실딩 라인은 상기 각 게이트 라인 그룹 중 적어도 하나의 게이트 라인 상에 형성되는 것을 특징으로 액정 표시 장치.

### 청구항 13.

제12항에 있어서,

소정 화소 그룹 내에 형성된 스토리지 커패시터 전극과 상기 소정 화소 그룹과 인접한 화소 그룹 내에 형성된 스토리지 커패시터 전극을 전기적으로 연결시키기 위한 콘택을 더 포함하며, 상기 각 실딩 라인은 상기 콘택과 연결되는 것을 특징으로 액정 표시 장치.

#### 청구항 14.

기판 상에 일 방향으로 형성된 복수의 게이트 라인그룹을 형성하는 단계;

상기 복수의 게이트 라인그룹과 절연되어 교차되게 형성된 복수의 데이터 라인을 형성하는 단계;

상기 복수의 게이트 라인그룹과 복수의 데이터 라인의 교차 영역에 형성된 복수의 화소그룹을 형성하는 단계 및

상기 복수의 화소그룹과 상기 게이트 라인그룹 간의 커플링 커패시턴스를 감소시키기 위하여, 상기 복수의 게이트 라인 그룹 상에 형성된 복수의 실딩 라인(shielding line)을 형성하는 단계를 포함하며,

상기 각 게이트 라인 그룹은 제1 게이트 라인과, 상기 제1 게이트 라인과 소정 간격 이격되어 형성된 제2 게이트 라인을 포함하며, 상기 각 화소 그룹은 제1 단위 화소와 제2 단위 화소를 포함하며, 상기 각 실딩 라인은 상기 각 게이트 라인 그룹 중 적어도 하나의 게이트 라인 상에 형성하는 것을 특징으로 하는 박막 트랜지스터 기판 제조 방법.

#### 명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 기판과 그 제조 방법 및 이를 포함한 액정 표시 장치에 관한 것으로, 보다 상세하게는 게이트 라인과 화소 전극 간의 커플링 커패시턴스를 감소시키기 위한 구조를 갖는 박막 트랜지스터 기판과 그 제조 방법 및 이를 포함한 액정 표시 장치에 관한 것이다.

액정 표시 장치는 종래의 CRT(Cathode Ray Tube)와 비교하여 소형, 경량화 및 대화면화의 장점을 갖고 있어, 이의 개발이 활발히 이루어지고 있으며, 랩탑형 컴퓨터뿐만 아니라 데스크탑형 컴퓨터의 모니터, 대형 표시장치 및 이동 통신 단말기의 디스플레이장치에도 사용되고 있어 그 사용범위가 급속도로 확대되고 있으며, 이러한 액정 표시 장치는 매트릭스 형태로 배열된 다수의 제어용 스위치들에 인가되는 영상신호에 따라 광의 투과량이 조절되어 액정 표시 장치의 패널에 원하는 화상을 표시한다.

최근 비정질 실리콘 박막트랜지스터 액정 표시 장치의 경우 TCP(Tape Carrier Package) 또는 COG(Chip On Glass) 방식으로 게이트 구동 IC와 소스 구동 IC를 장착하고 있다. 한편, 게이트 구동 IC의 경우에는 비용적인 측면, 모듈 공정 단순화 및 기구 설계적인 측면을 고려하여, 기판 상에 집적하고, 소스 구동 IC의 경우에는 그 수를 가능한 줄이려는 연구가 진행 중이다.

도 1에는 종래 기술에 따른 액정 표시 장치의 개략적인 평면도가 도시되는데, 상기 도 1의 액정 표시 장치는 소스 구동 IC를 절반으로 줄이고, 대신에 게이트 라인을 두 배로 증가시키면서, 게이트 구동 IC를 기판에 집적시킨 구조이다.

그러나, 상기와 같은 액정 표시 장치의 경우, 좌우 인접한 단위 화소가 동일한 데이터 라인을 되는데, 이 때 두 개의 단위 화소 사이에 동일한 전압을 인가하더라도 커플링 커패시턴스(Coupling Capacitance)에 의해서 전압차가 생기게 되며, 그 결과 시인적으로 세로줄 불량이 발생하게 된다.

도 2에는 종래 기술에 따른 액정 표시 장치 구동 시 발생하는 문제점이 도시된다. 제1 단위 화소(Pixel 1)와 제2 단위 화소(Pixel 2)에 동일한 전압을 인가하더라도 게이트 라인과 화소 전극간의 커플링 커패시턴스로 인하여, 전압차가 발생하여 제1 단위 화소(Pixel 1)와 제2 단위 화소(Pixel 2)의 색이 달라 보이는 문제점이 발생하게 된다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 상술한 종래의 문제점을 극복하기 위한 것으로서, 본 발명이 이루고자 하는 기술적 과제는 액정 표시 장치의 개구율을 저하시키지 않으면서, 게이트 라인과 단위 화소의 화소 전극간의 커플링 커패시턴스를 감소시키기 위한 실딩 라인을 포함한 박막 트랜지스터 기판과 그 제조 방법 및 이를 포함한 액정 표시 장치를 제공하기 위한 것이다.

### 발명의 구성

상기 본 발명의 목적을 달성하기 위한 본 발명의 일 측면에 따르면, 기판 상에 일 방향으로 형성된 복수의 게이트 라인그룹; 상기 복수의 게이트 라인그룹과 절연되어 교차되게 형성된 복수의 데이터 라인; 상기 복수의 게이트 라인그룹과 복수의 데이터 라인의 교차 영역에 형성된 복수의 화소그룹 및 상기 복수의 화소그룹과 상기 게이트 라인그룹 간의 커플링 커패시턴스를 감소시키기 위하여, 상기 복수의 게이트 라인 그룹 상에 형성된 복수의 실딩 라인(shielding line)을 포함하며, 상기 각 게이트 라인 그룹은 복수의 게이트 라인으로 구성되며, 상기 각 화소그룹은 복수의 단위화소로 구성되는 것을 특징으로 하는 박막 트랜지스터 기판이 제공된다.

상기 각 게이트 라인 그룹은 제1 게이트 라인과, 상기 제1 게이트 라인과 소정 간격 이격되어 형성된 제2 게이트 라인을 포함하며, 상기 각 화소 그룹은 제1 단위 화소와 제2 단위 화소를 포함하는 것을 특징으로 한다.

상기 각 실딩 라인은 상기 각 게이트 라인 그룹 중 적어도 하나의 게이트 라인 상에 형성되는 것을 특징으로 한다.

상기 각 실딩 라인은 상기 게이트 라인과 평행하게 형성되는 것을 특징으로 한다.

상기 제1 단위 화소와 상기 제2 단위 화소는 서로 상이한 게이트 라인에 연결되는 동시에, 동일한 데이터 라인에 연결되는 것을 특징으로 한다.

상기 각 화소 그룹은 화소 전극과, 박막 트랜지스터 및 스토리지 커패시터 전극을 포함하며, 상기 각 실딩 라인은 상기 화소 전극과 동일한 재료로 형성되는 것을 특징으로 한다.

상기 실딩 라인에는 상기 스토리지 커패시터 전극에 인가되는 전압과 동일한 전압이 인가되는 것을 특징으로 한다.

소정 화소 그룹 내에 형성된 스토리지 커패시터 전극과 상기 소정 화소 그룹과 인접한 화소 그룹 내에 형성된 스토리지 커패시터 전극을 전기적으로 연결시키기 위한 콘택을 더 포함하는 것을 특징으로 한다.

상기 각 실딩 라인은 상기 콘택과 연결되며, 상기 게이트 라인 그룹 중 적어도 하나의 게이트 라인 상에 형성되는 것을 특징으로 한다.

상기 소정 화소 그룹과 상기 소정 화소 그룹과 인접한 화소 그룹은 상이한 게이트 라인그룹 내에 형성되는 것을 특징으로 한다.

상기 본 발명의 목적을 달성하기 위한 본 발명의 다른 측면에 따르면, 기판 상에 일 방향으로 형성된 복수의 게이트 라인그룹과, 상기 복수의 게이트 라인그룹과 절연되어 교차되게 형성된 복수의 데이터 라인과, 상기 복수의 게이트 라인그룹과 복수의 데이터 라인의 교차 영역에 형성된 복수의 화소그룹 및 상기 복수의 화소그룹과 상기 게이트 라인그룹 간의 커플링 커패시턴스를 감소시키기 위하여, 상기 복수의 게이트 라인 그룹 상에 형성된 복수의 실딩 라인(shielding line)을 포함하며, 상기 각 게이트 라인 그룹은 제1 게이트 라인과, 상기 제1 게이트 라인과 소정 간격 이격되어 형성된 제2 게이트 라인으로 구성되며, 상기 각 화소 그룹은 제1 단위 화소와 제2 단위 화소로 구성된 박막 트랜지스터 기판; 상기 박막 트랜지스터 기판과 대향되며, 공통 전극이 형성된 컬러 필터 기판 및 상기 박막 트랜지스터 기판과 상기 컬러 필터 기판 사이에 주입된 액정층을 포함하는 것을 특징으로 하는 액정 표시 장치가 제공된다.

상기 본 발명의 목적을 달성하기 위한 본 발명의 또 다른 측면에 따르면, 기관 상에 일 방향으로 형성된 복수의 게이트 라인그룹을 형성하는 단계; 상기 복수의 게이트 라인그룹과 절연되어 교차되게 형성된 복수의 데이터 라인을 형성하는 단계; 상기 복수의 게이트 라인그룹과 복수의 데이터 라인의 교차 영역에 형성된 복수의 화소그룹을 형성하는 단계 및 상기 복수의 화소그룹과 상기 게이트 라인그룹 간의 커플링 커패시턴스를 감소시키기 위하여, 상기 복수의 게이트 라인 그룹 상에 형성된 복수의 실딩 라인(shielding line)을 형성하는 단계를 포함하며, 상기 각 게이트 라인 그룹은 제1 게이트 라인과, 상기 제1 게이트 라인과 소정 간격 이격되어 형성된 제2 게이트 라인을 포함하며, 상기 각 화소 그룹은 제1 단위 화소와 제2 단위 화소를 포함하며, 상기 각 실딩 라인은 상기 각 게이트 라인 그룹 중 적어도 하나의 게이트 라인 상에 형성하는 것을 특징으로 하는 박막 트랜지스터 기관 제조 방법이 제공된다.

한편, 본 발명의 상세한 설명에서 층, 막, 영역, 판 등의 부분이 다른 부분 상부에 또는 위에 있다고 표현되는 경우는 각 부분이 다른 부분의 바로 상부 또는 바로 위에 있는 경우뿐만 아니라 각 부분과 다른 부분의 사이에 또 다른 부분이 있는 경우도 포함한다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세히 설명한다.

도 3은 본 발명의 제1 실시예에 따른 액정 표시 장치의 박막 트랜지스터 기관의 개략 평면도이며, 도 4는 도 3에 도시된 박막 트랜지스터 기관의 A-A'선에 따른 개략 단면도이다.

상기 도 3 및 도 4를 참조하면, 본 발명의 제1 실시예에 따른 액정 표시 장치는 하부 기관인 박막 트랜지스터 기관과, 이와 대향하여 배치되는 상부 기관인 컬러 필터 기관(미도시)과, 이들 두 기관 사이에 형성되며 두 기관에 대해서 원하는 방향으로 배향되는 액정층(미도시)으로 이루어진다.

상기 박막 트랜지스터 기관은 기관 상에 일 방향으로 형성된 복수의 게이트 라인그룹과, 상기 복수의 게이트 라인그룹과 절연되어 교차되게 형성된 복수의 데이터 라인과, 상기 복수의 게이트 라인그룹과 복수의 데이터 라인의 교차 영역에 형성된 복수의 화소그룹과, 상기 복수의 화소그룹(380)과 상기 게이트 라인그룹 간의 커플링 커패시턴스를 감소시키기 위하여, 상기 복수의 게이트 라인 그룹 상에 형성된 복수의 실딩 라인(shielding line)(390) 및 스토리지 커패시터 전극(340)과 연결된 스토리지 커패시터 전극 라인(330)을 포함하며, 상기 각 게이트 라인 그룹은 복수의 게이트 라인을 포함하며, 상기 각 화소그룹은 복수의 단위화소를 포함한다.

상기 박막 트랜지스터 기관은 투명 절연성 기관(301) 위에 게이트 신호를 전달하며, 기관 상에 가로 방향으로 형성된 복수의 게이트 라인 그룹을 포함하며, 상기 각 게이트 라인 그룹은 제1 게이트 라인( $GL_{1(n)}$ )과 상기 제1 게이트 라인과 소정 간격 이격되어 형성된 제2 게이트 라인( $GL_{2(n)}$ )으로 구성된다.

상기 복수의 게이트 라인그룹과 복수의 데이터 라인의 교차 영역에는 복수의 화소그룹이 형성되며, 상기 각 화소그룹(380)은 제1 단위 화소와 제2 단위 화소를 포함한다. 상기 제1 단위 화소와 제2 단위 화소 각각은 제1 박막 트랜지스터 및 제2 박막 트랜지스터( $TFT_{1(n)}$ ,  $TFT_{2(n)}$ )와, 제1 화소 전극(383)과 제2 화소 전극(385) 및 스토리지 커패시터 전극 라인(330)으로부터 연장된 스토리지 커패시터 전극(340)을 포함한다. 상기 제1 박막 트랜지스터 및 제2 박막 트랜지스터( $TFT_{1(n)}$ ,  $TFT_{2(n)}$ ) 각각은 게이트 라인에 접속된 게이트 전극과, 데이터 라인에 접속된 소스 전극과, 화소 전극에 접속된 드레인 전극과, 상기 게이트 전극과 소스 전극 및 드레인 전극 사이에 순차적으로 형성된 게이트 절연막 및 활성층과, 활성층의 적어도 일부에 형성된 오믹 접촉층을 포함한다. 이때, 오믹 접촉층은 채널부를 제외한 활성층 상에 형성될 수 있다. 상기 제1 박막 트랜지스터는 상기 제1 게이트 라인( $GL_{1(n)}$ )에 공급되는 신호에 응답하여 데이터 라인( $DL_n$ )에 공급되는 화소 신호가 제1 화소 전극(383)에 충전되도록 한다. 그리고, 상기 제2 박막 트랜지스터는 상기 제2 게이트 라인( $GL_{2(n)}$ )에 공급되는 신호에 응답하여 데이터 라인( $DL_n$ )에 공급되는 화소 신호가 제2 화소 전극(385)에 충전되도록 한다.

한편, 본 실시예에서는  $n-1$ 번째 데이터 라인( $DL_{n-1}$ )과  $n$ 번째 데이터 라인( $DL_n$ )과 사이에 배치된 상기 제1 단위 화소와 제2 단위 화소 모두는 상기  $n$ 번째 데이터 라인( $DL_n$ )에 연결된다. 즉, 동일한 데이터 라인에 연결된 화소그룹의 제1 단위 화소와 제2 단위 화소 모두가 상기 데이터 라인의 좌측 또는 우측에 배치된다. 그러나, 이에 한정되는 것은 아니며, 동일한 데이터 라인에 연결되는 화소그룹의 제1 단위 화소와 제2 단위 화소가 상기 데이터 라인을 사이에 두고 배치될 수도 있다.

상기 스토리지 커패시터 전극 라인(330)은 상기 게이트 라인과 소정 간격 이격된 채, 평행하게 형성되며, 상기 스토리지 커패시터 전극(340)은 상기 스토리지 커패시터 전극 라인(330)으로부터 연장되어, 상기 화소 전극(383, 385)과 일부 중첩되게 형성된다. 또한, 상기 스토리지 커패시터 전극 라인(330)은 커플링 필터 기판에 인가될 공통 전압(Vcom)과 연결될 수도 있으며, 이와는 달리 공통 전압과 동일한 전압을 별도로 인가할 수도 있다. 본 실시예에서는 별도의 스토리지 커패시터 전극 라인이 형성되나, 이에 한정되는 것은 아니며, 상기 스토리지 커패시터 전극(340)은 제1 게이트 라인( $GL_{1(n)}$ ) 또는 제2 게이트 라인( $GL_{2(n)}$ )에서 연장되어 형성될 수도 있다.

상기 복수의 실딩 라인(390)은 게이트 라인 상부에 형성되며, 상기 게이트 라인과 평행하게 형성된다. 본 실시예에서는 실딩 라인(393)은 상기 제1 게이트 라인( $GL_{1(n)}$ ) 상부에 형성되고, 실딩 라인(395)은 상기 제2 게이트 라인( $GL_{2(n)}$ ) 상부에 각각 형성된다. 그러나, 이에 한정되는 것은 아니며, 상기 제1 게이트 라인과 제2 게이트 라인 중 일부에만 형성될 수도 있다.

예를 들어, 제1 게이트 라인이 먼저 턴 온되고, 그 다음에 제2 게이트 라인이 턴 온되는 경우를 가정하여 설명하면, 제1 게이트 라인에 연결된 제1 단위 화소는 제2 게이트 라인의 게이트 구동 신호에 의해서 영향을 받기 때문에 최종 화소 전압이 추가로 떨어지게 되며, 제2 게이트 라인에 연결된 제2 단위 화소도 제1 게이트 라인의 구동 신호에 의해서 영향을 받으나, 이는 제2 단위 화소에 화소 전압이 인가되기 전에 발생하기 때문에, 제2 단위 화소의 최종 화소 전압에는 크게 영향을 미치지 않게 된다. 따라서, 제1 단위 화소와 제2 게이트 라인 간의 커플링 커패시턴스를 줄이기 위하여, 상기 제2 게이트 라인( $GL_{2(n)}$ )에 실딩 라인(395)을 형성하는 것이 바람직하다.

상기 도 4를 참조하면, 상기 도 4에는 A-A'선에 따른 박막 트랜지스터 기판의 개략 단면도가 도시되며, 상기 액정 표시 장치의 박막 트랜지스터 기판은 투명 절연성 기판(301), 상기 투명 절연성 기판 상에 형성된 스토리지 커패시터 전극(340) 및 제2 게이트 라인( $GL_{2(n)}$ ), 상기 스토리지 커패시터 전극과 제2 게이트 라인 상에 형성된 게이트 절연막과, 상기 스토리지 커패시터 전극(340)과 일부 중첩되게 배치된 제1 화소 전극(383)과 상기 제2 게이트 라인( $GL_{2(n)}$ ) 상부에 형성된 실딩 라인(395)을 포함한다. 상기 실딩 라인(395)에는 상기 스토리지 커패시터 전극에 인가되는 전압과 동일한 전압이 인가되어, 상기 제2 게이트 라인( $GL_{2(n)}$ )과 상기 제1 화소 전극(383) 간의 커플링 커패시턴스를 최소화한다.

도 5는 본 발명의 제2 실시예에 따른 액정 표시 장치의 박막 트랜지스터 기판의 개략 평면도이며, 도 6a 내지 도 6e는 도 5에 도시된 본 발명의 제2 실시예에 따른 액정 표시 장치의 박막 트랜지스터 기판 제조 공정 단면도이다.

상기 도 5에 도시된 본 발명에 따른 제2 실시예는 인접한 화소그룹의 스토리지 커패시터 전극을 연결시키는 콘택을 더 포함하며, 실딩 라인이 상기 콘택으로부터 연장된다는 점이 상기 제1 실시예와 상이하며, 나머지 구성요소는 거의 유사하므로, 이하에서는 상이한 구성을 위주로 상술한다.

상기 박막 트랜지스터 기판은 기판 상에 일 방향으로 형성된 복수의 게이트 라인그룹과, 상기 복수의 게이트 라인그룹과 절연되어 교차되게 형성된 복수의 데이터 라인과, 상기 복수의 게이트 라인그룹과 복수의 데이터 라인의 교차 영역에 형성된 복수의 화소그룹과, 상기 복수의 화소그룹(380)과 상기 게이트 라인그룹 간의 커플링 커패시턴스를 감소시키기 위하여, 상기 복수의 게이트 라인 그룹 상에 형성된 복수의 실딩 라인(shielding line)(395)과, 스토리지 커패시터 전극(340)과 연결된 스토리지 커패시터 전극 라인(330) 및 인접한 스토리지 커패시터 전극을 연결시키는 콘택(400)을 포함하며, 상기 각 게이트 라인 그룹은 복수의 게이트 라인을 포함하며, 상기 각 화소그룹은 복수의 단위화소를 포함한다.

상기 박막 트랜지스터 기판은 투명 절연성 기판(301) 위에 게이트 신호를 전달하며, 기판 상에 가로 방향으로 형성된 복수의 게이트 라인 그룹을 포함하며, 상기 각 게이트 라인 그룹은 제1 게이트 라인( $GL_{1(n)}$ )과 상기 제1 게이트 라인과 소정 간격 이격되어 형성된 제2 게이트 라인( $GL_{2(n)}$ )으로 구성된다.

상기 복수의 게이트 라인그룹과 복수의 데이터 라인의 교차 영역에는 복수의 화소그룹이 형성되며, 상기 각 화소그룹(380)은 제1 단위 화소와 제2 단위 화소를 포함한다. 상기 제1 단위 화소와 제2 단위 화소 각각은 제1 박막 트랜지스터 및 제2 박막 트랜지스터( $TFT_{1(n)}$ ,  $TFT_{2(n)}$ )와, 제1 화소 전극(383)과 제2 화소 전극(385) 및 스토리지 커패시터 전극 라인(330)으로부터 연장된 스토리지 커패시터 전극(340)을 포함한다. 상기 제1 박막 트랜지스터는 상기 제1 게이트 라인( $GL_{1(n)}$ )

(n)에 공급되는 신호에 응답하여 데이터 라인(DL<sub>n</sub>)에 공급되는 화소 신호가 제1 화소 전극(383)에 충전되도록 한다. 그리고, 상기 제2 박막 트랜지스터는 상기 제2 게이트 라인(GL<sub>2(n)</sub>)에 공급되는 신호에 응답하여 데이터 라인(DL<sub>n</sub>)에 공급되는 화소 신호가 제2 화소 전극(385)에 충전되도록 한다.

상기 스토리지 커패시터 전극 라인(330)은 상기 게이트 라인과 소정 간격 이격된 채, 평행하게 형성되며, 상기 스토리지 커패시터 전극(340)은 상기 스토리지 커패시터 전극 라인(330)으로부터 연장되어, 상기 화소 전극(383, 385)과 일부 중첩되게 형성된다. 또한, 상기 스토리지 커패시터 전극 라인(330)은 칼리 필터 기판에 인가될 공통 전압(Vcom)과 연결될 수도 있으며, 이와는 달리 공통 전압과 동일한 전압을 별도로 인가할 수도 있다. 또한, 상이한 게이트 라인 그룹 내에 배치된 화소 그룹에 형성된 스토리지 커패시터 전극을 전기적으로 연결시키기 위한 콘택(400)이 형성된다.

상기 복수의 실딩 라인(395)은 상기 콘택(400)으로부터 연장되어 형성되며, 상기 제2 게이트 라인(GL<sub>2(n)</sub>) 상부에 형성된다. 이때, 상기 실딩 라인(395)은 상기 제2 게이트 라인(GL<sub>2(n)</sub>)과 평행하게 형성되며, 상기 제1 화소 전극(383) 영역까지만 연장되나, 이에 한정되는 것은 아니며, 더 연장될 수도 있다.

실딩 라인이 형성되지 않은 경우, 즉 종래 기술에 따른 액정 표시 장치의 제1 화소 전극과 제2 게이트 라인 간의 커플링 커패시턴스는 약 0.0043pf 정도이며, 이로 인한 제1 화소 전극의 최종 화소 전압은 약 140mV 정도 떨어지게 되는데, 상기과 같이 실딩 라인(395)을 형성하면, 상기 제2 게이트 라인과 상기 제1 화소 전극(383)간의 커플링 커패시턴스를 약 0.00006pf 정도로 줄일 수 있게 되며, 그 결과, 제1 화소 전극의 최종 화소 전압은 약 2mV 정도만 떨어지게 된다. 그 결과, 동일 전압 인가 시, 제1 화소 전극과 제2 화소 전극 간의 전압 차이가 거의 발생하지 않게 되어, 세로줄 불량을 방지할 수 있게 된다.

도 6a 내지 도 6e를 참조하여, 본 발명의 제2 실시예에 따른 액정 표시 장치의 박막 트랜지스터 기판 제조 공정을 살펴본다. 우선 도 6a를 참조하면, 투명 절연성 기판(301) 상에 제1 도전성막을 형성한 다음, 이를 제1 감광막 마스크 패턴(미도시)을 이용한 식각공정을 통해 소정 선폭의 게이트 전극(310)을 포함한 제1 게이트 라인(미도시)과 스토리지 커패시터 전극(340) 및 제2 게이트 전극(미도시)을 포함한 제2 게이트 라인(GL<sub>2(n)</sub>)을 형성한다.

먼저, 상기 투명 절연성 기판(300) 상에 CVD법, PVD법 및 스퍼터링법 등을 이용한 증착 방법을 통해 제1 도전성 막을 형성한다. 제1 도전성 막으로는 Cr, MoW, Cr/Al, Cu, Al(Nd), Mo/Al, Mo/Al(Nd) 및 Cr/Al(Nd) 중 적어도 어느 하나를 사용하는 것이 바람직하며, 상기 제1 도전성막은 다층막으로 형성할 수도 있다. 이후, 감광막을 도포한 다음, 제1 마스크를 이용한 포토리소그래피 공정을 실시하여 제1 감광막 마스크 패턴을 형성한다. 제1 감광막 마스크 패턴을 식각 마스크로 하는 식각공정을 실시하여 상기 도 6a에 도시된 바와 같이, 게이트 전극(310)과, 스토리지 커패시터 전극(340) 및 제2 게이트 라인(GL<sub>2(n)</sub>)을 형성한다. 이후, 소정의 스트립 공정을 실시하여 제1 감광막 마스크 패턴을 제거한다.

상기 도 6b를 참조하면, 상기 도 6a에 도시된 기판 전면에서 게이트 절연막(350), 활성층(361) 및 오믹 접촉층(363)을 순차적으로 형성한 다음, 제2 감광막 마스크 패턴(미도시)을 이용한 식각공정을 실시하여 박막 트랜지스터의 활성영역을 형성한다. 기판 상에 PECVD법, 스퍼터링법 등을 이용한 증착 방법을 통해 게이트 절연막(350)을 형성한다. 이때, 게이트 절연막(350)으로는 산화 실리콘 또는 질화 실리콘을 포함하는 무기 절연 물질을 사용하는 것이 바람직하다. 게이트 절연막(350) 상에 상술한 증착 방법을 통해 활성층(361) 및 오믹 접촉층(363)을 순차적으로 형성한다. 활성층(361)으로는 비정질 실리콘층을 사용하고, 오믹 접촉층(363)으로는 실리사이드 또는 N형 불순물이 고농도로 도핑된 비정질 실리콘층을 사용한다. 이후, 오믹 접촉층 상에 감광막을 도포한 다음, 제2 마스크를 이용한 포토리소그래피 공정을 통해 제2 감광막 마스크 패턴을 형성한다. 상기의 제2 감광막 마스크 패턴을 식각 마스크로 하고, 게이트 절연막(350)을 식각 정지막으로 하는 식각 공정을 실시하여 오믹 접촉층(363) 및 활성층(361)을 제거하여 게이트 전극(310) 상부에 활성영역을 형성한다. 이후, 소정의 스트립 공정을 실시하여 잔류하는 제2 감광막 마스크 패턴을 제거한다.

도 6c를 참조하면, 박막 트랜지스터의 활성 영역이 형성된 기판 전면에서 제2 도전성막을 형성한 다음, 이를 제3 감광막 마스크 패턴(미도시)을 이용한 식각공정을 실시하여 소스 전극(365) 및 드레인 전극(367)을 형성한다. 기판 전면에서 제2 도전성막을 CVD법, PVD법 및 스퍼터링법 등을 이용한 증착 방법을 통해 제2 도전성 막을 형성한다. 이때, 제2 도전성막으로는 Mo, Al, Cr, Ti 중 적어도 하나의 금속 단일층 또는 다중층을 사용하는 것이 바람직하다. 물론 제2 도전성막은 제1 도전성막과 동일한 물질을 사용할 수도 있다. 상기 제2 도전성막 상에 감광막을 도포한 다음, 마스크를 이용한 리소그래피 공정을 실시하여 제3 감광막 마스크 패턴을 형성한다. 상기 제3 감광막 마스크 패턴을 식각 마스크로 하는 식각공정을 실시

하여 제2 도전성막을 식각한 다음, 제3 감광막 마스크 패턴을 제거한 후, 식각된 제2 도전성막을 식각마스크로 하는 식각을 실시하여 제2 도전성막 사이의 노출된 영역의 오믹 접촉층(363)을 제거하여 소스 전극(365)과 드레인 전극(367) 사이에는 활성층(361)으로 이루어진 채널을 형성한다.

상기 도 6d를 참조하면, 기판 전면에 보호막(370)을 형성하고, 제 4 감광막 마스크 패턴을 이용한 식각공정을 통해 보호막(370)의 일부를 제거하여 콘택홀을 형성한다.

상기 도 6e를 참조하면, 상기 보호막(370) 상에 제 3 도전성막을 형성한 다음, 제 5 감광막 마스크 패턴(미도시)을 이용하여 제 3 도전성막을 패터닝하여 제1 화소 전극(383) 및 실딩 라인(395)을 형성한다. 이때, 제 3 도전성막은 ITO나 IZO를 포함하는 투명 도전막을 사용하는 것이 바람직하다.

도 7은 본 발명의 제3 실시예에 따른 액정 표시 장치의 박막 트랜지스터 기관의 개략 평면도이다. 상기 도 7에 도시된 본 발명에 따른 제3 실시예는 실딩 라인이 제1 게이트 라인에도 형성된다는 점이 상기 제2 실시예와 상이하며, 나머지 구성요소는 거의 유사하므로, 이하에서는 상이한 구성을 위주로 상술한다.

상기 도 7을 참조하면, 상기 박막 트랜지스터 기관은 투명 절연성 기관(301) 위에 게이트 신호를 전달하며, 기관 상에 가로 방향으로 형성된 복수의 게이트 라인 그룹을 포함하며, 상기 각 게이트 라인 그룹은 제1 게이트 라인( $GL_{1(n)}$ )과 상기 제1 게이트 라인과 소정 간격 이격되어 형성된 제2 게이트 라인( $GL_{2(n)}$ )으로 구성된다. 상기 복수의 게이트 라인그룹과 복수의 데이터 라인의 교차 영역에는 복수의 화소그룹이 형성되며, 상기 각 화소그룹(380)은 제1 단위 화소와 제2 단위 화소를 포함한다. 상기 제1 단위 화소와 제2 단위 화소 각각은 제1 박막 트랜지스터 및 제2 박막 트랜지스터( $TFT_{1(n)}$ ,  $TFT_{2(n)}$ )와, 제1 화소 전극(383)과 제2 화소 전극(385) 및 스토리지 커패시터 전극 라인(330)으로부터 연장된 스토리지 커패시터 전극(340)을 포함한다. 상기 제1 박막 트랜지스터는 상기 제1 게이트 라인( $GL_{1(n)}$ )에 공급되는 신호에 응답하여 데이터 라인( $DL_n$ )에 공급되는 화소 신호가 제1 화소 전극(383)에 충전되도록 한다. 그리고, 상기 제2 박막 트랜지스터는 상기 제2 게이트 라인( $GL_{2(n)}$ )에 공급되는 신호에 응답하여 데이터 라인( $DL_n$ )에 공급되는 화소 신호가 제2 화소 전극(385)에 충전되도록 한다. 상기 스토리지 커패시터 전극 라인(330)은 상기 게이트 라인과 소정 간격 이격된 채, 평행하게 형성되며, 상기 스토리지 커패시터 전극(340)은 상기 스토리지 커패시터 전극 라인(330)으로부터 연장되어, 상기 화소 전극(383, 385)과 일부 중첩되게 형성된다. 또한, 상기 스토리지 커패시터 전극 라인(330)은 컬러 필터 기관에 인가될 공통 전압(Vcom)과 연결될 수도 있으며, 이와는 달리 공통 전압과 동일한 전압을 별도로 인가할 수도 있다. 또한, 상이한 게이트 라인 그룹 내에 배치된 화소그룹에 형성된 스토리지 커패시터 전극을 전기적으로 연결시키기 위한 콘택(400)이 형성된다.

상기 복수의 실딩 라인(393)은 상기 콘택(400)으로부터 연장되어 형성되며, 상기 제1 게이트 라인( $GL_{1(n)}$ ) 상부에 형성된다. 이때, 상기 실딩 라인(393)은 상기 제1 게이트 라인( $GL_{1(n)}$ )과 평행하게 형성되며, 상기 제2 화소 전극(385) 영역까지만 연장되나, 이에 한정되는 것은 아니며, 더 연장될 수도 있다. 또한, 상기 복수의 실딩 라인(395)은 상기 콘택(400)으로부터 연장되어 형성되며, 상기 제2 게이트 라인( $GL_{2(n)}$ ) 상부에 형성된다. 이때, 상기 실딩 라인(395)은 상기 제2 게이트 라인( $GL_{2(n)}$ )과 평행하게 형성되며, 상기 제1 화소 전극(383) 영역까지만 연장되나, 이에 한정되는 것은 아니며, 더 연장될 수도 있다.

이상에서 설명한 것은 본 발명에 따른 박막 트랜지스터 기관과 그 제조 방법 및 이를 포함한 액정 표시 장치의 예시적인 실시예에 불과한 것으로서, 본 발명은 상기한 실시예에 한정되지 않고, 이하의 특허청구범위에서 청구하는 바와 같이, 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능한 범위까지 본 발명의 기술적 정신이 있다고 할 것이다.

### 발명의 효과

전술한 바와 같이 본 발명에 따르면, 액정 표시 장치의 개구율을 저하시키지 않으면서, 게이트 라인과 화소 전극간의 커패시터링 커패시턴스를 줄임으로써, 액정 표시 장치의 구동 시 발생하는 세로줄 불량을 방지할 수 있게 된다.

### 도면의 간단한 설명

도 1은 종래 기술에 따른 액정 표시 장치의 개략적인 평면도이다.

도 2는 종래 기술에 따른 액정 표시 장치 구동 시 발생하는 문제점을 나타낸 도이다.

도 3은 본 발명의 제1 실시예에 따른 액정 표시 장치의 박막 트랜지스터 기판의 개략 평면도이다.

도 4는 도 3에 도시된 박막 트랜지스터 기판의 A-A'선에 따른 개략 단면도이다.

도 5는 본 발명의 제2 실시예에 따른 액정 표시 장치의 박막 트랜지스터 기판의 개략 평면도이다.

도 6a 내지 도 6e는 도 5에 도시된 본 발명의 제2 실시예에 따른 액정 표시 장치의 박막 트랜지스터 기판 제조 공정 단면도이다.

도 7은 본 발명의 제3 실시예에 따른 액정 표시 장치의 박막 트랜지스터 기판의 개략 평면도이다.

\*도면의 주요 부분에 대한 부호의 설명\*

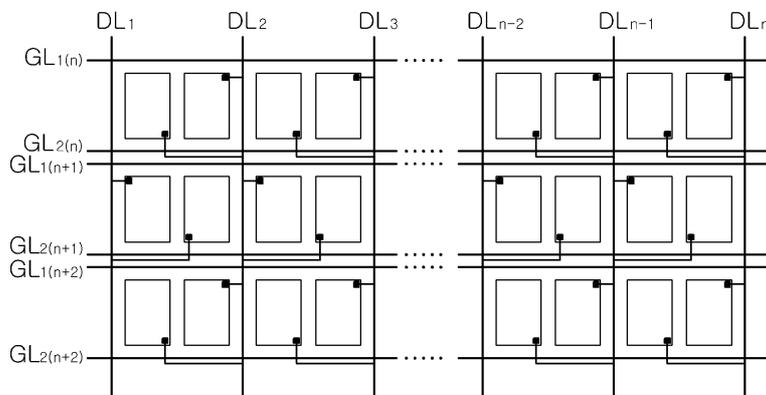
330; 스토리지 커패시터 전극 라인 340; 스토리지 커패시터 전극

380; 화소 전극 390; 실딩 라인

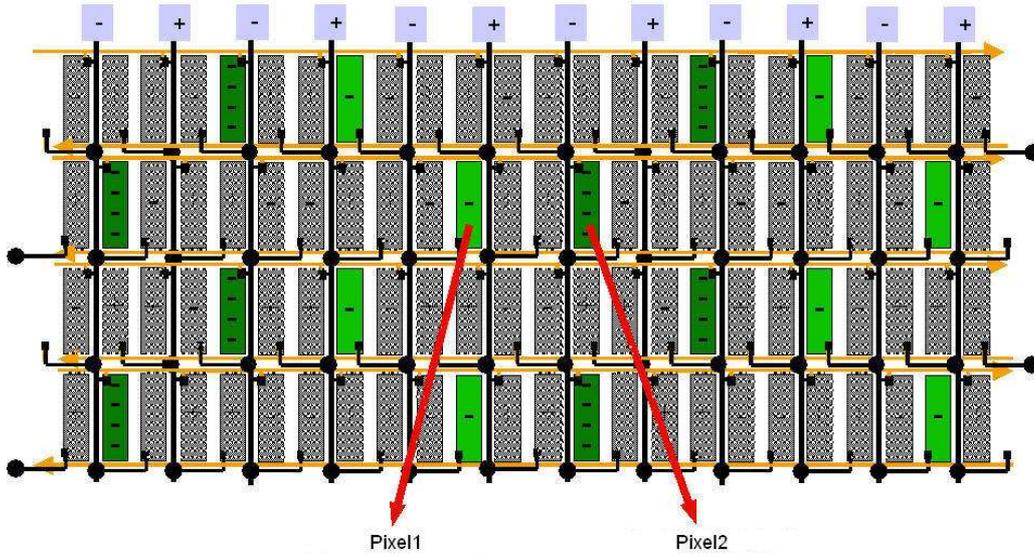
400; 콘택

도면

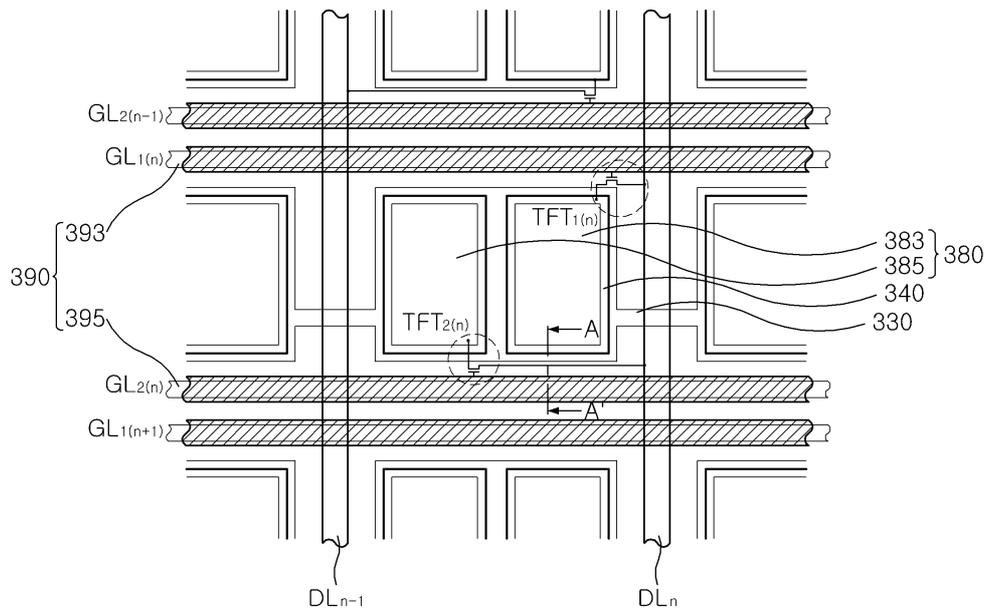
도면1



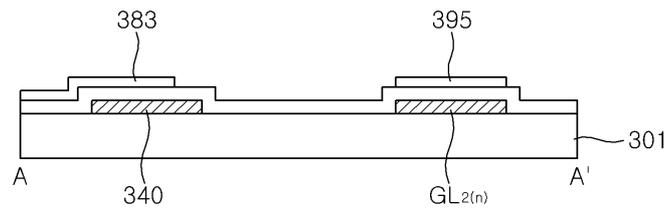
도면2



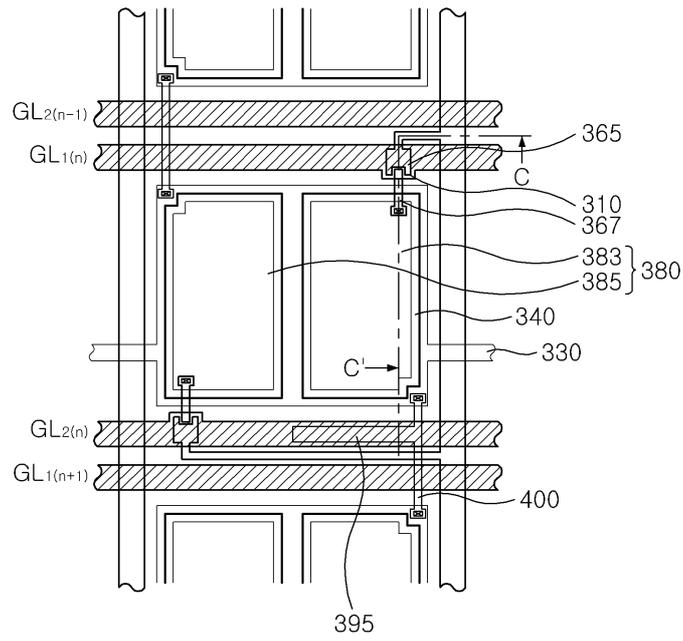
도면3



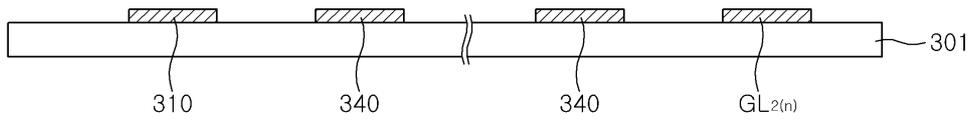
도면4



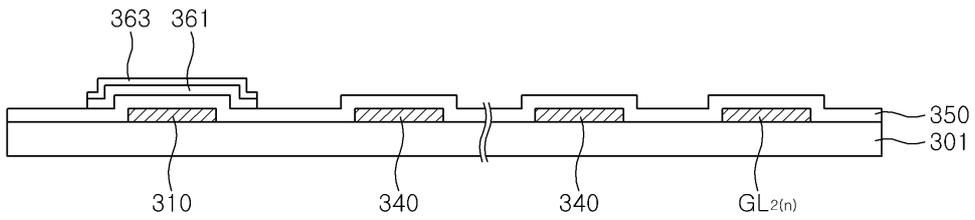
도면5



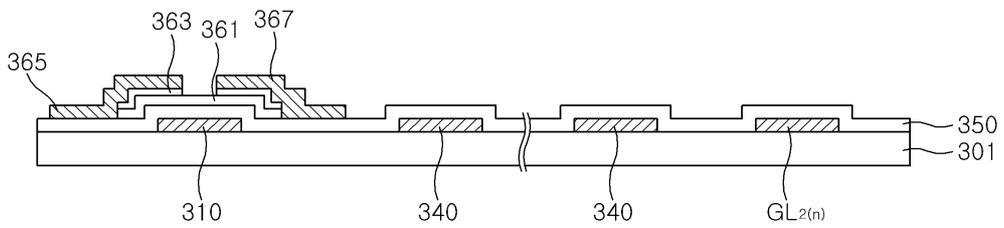
도면6a



도면6b



도면6c





专利名称(译)	薄膜晶体管基板，其制造方法以及包括该薄膜晶体管基板的液晶显示装置		
公开(公告)号	<a href="#">KR1020070076903A</a>	公开(公告)日	2007-07-25
申请号	KR1020060006379	申请日	2006-01-20
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	CHANG JONG WOONG		
发明人	CHANG JONG WOONG		
IPC分类号	G02F1/136		
CPC分类号	A01K69/06 B65H75/30		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明提供薄膜晶体管基板及其制造方法和薄膜晶体管基板及其制造方法，其中，为了减少多个数据的交叉域形成的多个像素组之间的耦合电容。这些线形成为使得它在基板上形成的多个栅极线组与单向方向绝缘，并且基板用多个栅极线组绝缘并且与多个栅极线组和多个数据线交叉并且多个像素组和栅极线组作为包括其的液晶显示器，其包括在多个栅极线组上形成的多个屏蔽线，并且每个栅极线组由多个栅极线组成，并且每个像素组由多个单位像素和液体组成包括其的晶体显示器，用于具有用于减小像素电极和像素电极之间的耦合电容的结构门线。液晶显示器，耦合电容和屏蔽线。

