



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0049739
G02F 1/136 (2006.01) (43) 공개일자 2007년05월14일

(21) 출원번호 10-2005-0106836
(22) 출원일자 2005년11월09일
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자 이석우
경기도 안양시 동안구 비산동 1102번지 관악아파트 127-1207
(74) 대리인 특허법인네이트

전체 청구항 수 : 총 12 항

(54) 액정표시장치용 어레이기판과 그 제조방법

(57) 요약

본 발명은 액정표시장치에 관한 것으로 특히, 구동회로 일체형 액정표시장치용 어레이 기판과 그 제조방법에 관한 것이다.

특히, 어레이 기판의 각 화소마다 구성하는 보조 용량부인 스토리지 캐패시터를 형성하기 위한 도핑공정에서, 슬릿 도핑 및 열처리를 통한 도펀트 확산현상을 이용한다.

본 발명은 전술한 공정을 포함하여, 7 마스크 공정으로 구동회로 일체형 액정표시장치용 어레이기판을 제작하는 것을 특징으로 한다.

대표도

도 7

특허청구의 범위

청구항 1.

화소영역을 포함하는 표시부와, 비표시부로 정의된 기판과;

상기 기판의 비표시부에 구성된 구동회로와;

상기 화소영역의 일 측에 구성된 스위칭 소자와;

상기 화소 영역의 일부에 구성되고, 스토리지 제 1 전극과, 슬릿패턴을 포함하는 스토리지 제 2 전극과, 스토리지 제 3 전극으로 구성된 스토리지 캐패시터와;

상기 스위칭 소자와 접촉하고, 상기 화소 영역에 위치한 화소 전극

을 포함하는 구동회로 일체형 액정표시장치용 어레이기판.

청구항 2.

제 1 항에 있어서,

상기 구동회로는 n형 다결정 박막트랜지스터와 p형 다결정 박막트랜지스터로 구성된 CMOS소자의 조합으로 이루어지고, 상기 스위칭 소자는 n형 다결정 박막트랜지스터 인 구동회로 일체형 액정표시장치용 어레이기판.

청구항 3.

제 2 항에 있어서,

상기 p형 다결정 박막트랜지스터와 상기 n형 다결정 박막트랜지스터는 다결정 액티브층과, 상기 액티브층 상부의 게이트 전극과 소스 및 드레인 전극을 포함하고, 상기 p형 다결정 박막트랜지스터는 상기 소스 및 드레인 전극과 접촉하는 액티브층의 표면에 p+ 이온이 도핑되고, 상기 n형 다결정 박막트랜지스터는 상기 소스 및 드레인 전극과 접촉하는 액티브층의 표면에 n+ 이온이 도핑되고, 상기 n+ 이온의 도핑영역과 게이트 전극의 사이에는 n-이온이 도핑된 저농도 도핑영역을 포함하는 것을 특징으로 하는 구동회로 일체형 액정표시장치용 어레이기판.

청구항 4.

제 1 항에 있어서,

상기 스토리지 제 1 전극은 표면에 n+ 이온이 도핑된 다결정 실리콘층인 것을 특징으로 하는 구동회로 일체형 액정표시장치용 어레이기판.

청구항 5.

제 1 항에 있어서,

상기 슬릿의 개수는 1~100개이고, 상기 스토리지 제 2 전극의 상기 슬릿 간 폭은 $1\mu\text{m}\sim 50\mu\text{m}$ 인 것을 특징으로 하는 구동회로 일체형 액정표시장치용 어레이기판.

청구항 6.

기판에 스위칭 영역과 스토리지 영역을 포함하는 다수의 화소 영역으로 구성된 표시영역과, 구동 회로부를 포함하는 비표시 영역을 정의하는 단계와;

상기 구동회로부에 제 1 반도체층과 제 2 반도체층을 형성하고, 상기 스위칭 영역과 스토리지 영역에 제 3 반도체층과 제 4 반도체층을 형성하는 제 1 마스크 공정 단계와;

상기 제 1 반도체층의 상부에 게이트 전극을 형성하고, 상기 제 2 반도체층과 제 3 반도체층 및 제 4 반도체층의 상부에 각각 이들을 덮는 금속패턴을 형성하고, 상기 게이트 전극이 덮히지 않은 제 1 반도체층의 표면에 p+ 이온을 도핑하는 제 2 마스크 공정 단계와;

상기 제 2 및 제 3 반도체층의 일부 상부에 게이트 전극을 형성하고, 상기 게이트 전극에 대응하지 않는 제 2 및 제 3 반도체층의 표면에 부분적으로 n+ 이온과 n-이온을 각각 도핑하고, 상기 제 4 반도체층의 상부에 슬릿을 포함하는 제 1 금속전극을 형성하고, 상기 슬릿에 대응하는 부분의 제 4 반도체층의 표면에 n+ 이온을 도핑하는 제 3 마스크 공정 단계와;

상기 기판의 전면에 상기 제 1 반도체층의 이온 도핑영역과, 상기 제 2 및 제 3 반도체층의 이온 도핑영역을 노출하는 콘택홀을 포함하는 층간 절연막을 형성하는 제 4 마스크 공정 단계와;

상기 층간 절연막이 형성된 기판을 열처리 하여, 상기 제 4 반도체층의 전면으로 상기 도핑된 n+ 이온이 확산되도록 하는 단계와;

상기 노출된 제 1 내지 제 3 반도체층 마다 이와 접촉하는 소스 및 드레인 전극을 형성하고, 상기 제 1 금속전극의 상부에 제 2 금속전극을 형성하는 제 5 마스크 공정 단계와;

상기 소스 및 드레인 전극과 제 2 금속전극이 형성된 기판의 전면에 보호층을 형성하고, 상기 제 3 반도체층과 접촉하는 드레인 전극을 노출하는 제 6 마스크 공정 단계와;

상기 노출된 드레인 전극과 접촉하는 화소 전극을 형성하는 제 7 마스크 공정 단계

를 포함하는 구동회로 일체형 액정표시장치용 어레이기판 제조방법.

청구항 7.

제 6 항에 있어서,

상기 제 3 마스크 공정 단계는,

상기 제 1 반도체층의 상부에 게이트 전극이 형성되고, 상기 제 2 반도체층과 제 3 반도체층과 제 4 반도체층의 상부에 이들을 덮는 금속패턴이 형성된 기판의 전면에 포토레지스트를 도포하여 감광층을 형성하는 단계와;

상기 제 2 반도체층과 제 3 반도체층에 제 1 액티브 영역과, 제 1 액티브 영역의 양측에 제 2 액티브 영역과, 상기 제 1 및 제 2 액티브 영역 사이에 제 3 액티브 영역을 정의하는 단계와;

상기 감광층을 제 3 마스크 공정으로 노광하고 현상하여, 상기 제 1 반도체층을 덮는 제 1 포토패턴과, 상기 제 2 및 제 3 반도체층 중 제 1 및 제 3 액티브 영역을 덮는 제 2 포토패턴과 제 3 포토패턴과, 상기 제 4 반도체층을 덮으며 슬릿패턴을 포함하는 제 4 포토패턴을 형성하는 단계와;

상기 제 1 내지 제 4 포토패턴 사이로 노출된 상기 금속패턴을 제거하여, 상기 제 2 및 제 3 포토패턴의 하부에 각각 게이트 전극을 형성하고, 상기 제 4 포토 패턴의 하부에 슬릿을 포함하는 제 1 금속전극을 형성하는 단계와;

상기 제 2 및 제 3 반도체층의 제 2 액티브 영역에 n+ 이온을 도핑하여 오믹영역을 형성하고 동시에, 상기 제 1 금속전극의 슬릿에 대응하는 상기 제 4 반도체층의 표면에 n+ 이온을 도핑하는 단계와;

상기 제 2 내지 제 3 포토 패턴을 에칭하여, 상기 제 2 및 제 3 반도체층의 제 3 액티브 영역에 대응하는 게이트 전극을 노출하는 단계와;

상기 노출된 게이트 전극을 제거하는 단계와;

상기 제 2 및 제 3 반도체층의 제 3 액티브 영역에 n-이온을 도핑하여 저농도 도핑영역을 형성하는 단계를 포함하는 구동회로 일체형 액정표시장치용 어레이기판 제조방법.

청구항 8.

제 7 항에 있어서,

상기 제 2 및 제 3 반도체층의 제 2 액티브 영역에 상기 소스 및 드레인 전극이 접촉하는 것을 특징으로 하는 구동회로 일체형 액정표시장치용 어레이기판 제조방법.

청구항 9.

제 7 항에 있어서,

상기 제 3 및 제 4 반도체층은 일체로 형성되고, 상기 제 3 반도체층과 접촉하는 드레인 전극과 상기 제 4 반도체층 상부의 제 2 금속전극 또한 일체로 구성된 것을 특징으로 하는 구동회로 일체형 액정표시장치용 어레이기판 제조방법.

청구항 10.

제 9 항에 있어서,

상기 화소 전극은 상기 제 2 금속전극과 접촉하는 것을 특징으로 하는 구동회로 일체형 액정표시장치용 어레이기판 제조방법.

청구항 11.

제 6 항에 있어서,

상기 제 1 금속전극의 슬릿은 1~100개로 형성할 수 있고, 상기 슬릿 간 제 2 금속전극의 폭은 $1\mu\text{m}$ ~ $50\mu\text{m}$ 로 형성할 수 있는 것을 특징으로 하는 구동회로 일체형 액정표시장치용 어레이기판 제조방법.

청구항 12.

제 7 항에 있어서,

상기 표면에 이온이 도핑된 제 4 반도체층과, 상기 슬릿을 포함하는 제 1 금속전극과 상기 제 2 금속전극은 스토리지 캐패시터를 구성하는 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 구동회로 일체형 액정표시장치용 어레이기판과 그 제조방법에 관한 것이다.

일반적으로, 액정표시장치는 박막 트랜지스터(Thin Film Transistor ; TFT)를 포함하는 어레이기판과 컬러 필터(color filter)기판 사이에 액정을 주입하여, 이 액정의 이방성에 따른 빛의 굴절률 차이를 이용해 이미지를 얻는 표시장치이다.

이러한 표시장치의 스위칭 소자로 사용되는 박막트랜지스터는, 어레이부의 설계에 따라 다양한 형태로 구성 가능하며 특히 액티브층으로 사용되는 반도체층으로는 비정질 실리콘 또는 다결정 실리콘(폴리 실리콘)을 사용하게 된다.

이때, 일반적인 스위칭 소자로는 수소화된 비정질 실리콘(a-Si:H)이 주로 이용되는데, 이는 저온 공정이 가능하여 저가의 절연기판을 사용할 수 있기 때문이다.

그러나, 수소화된 비정질 실리콘은 원자 배열이 무질서하기 때문에 약한 결합(weak Si-Si bond) 및 땀글링 본드(dangling bond)가 존재하여 빛 조사나 전기장 인가 시 준 안정상태로 변화되어 박막 트랜지스터 소자로 활용시 안정성이 문제로 대두되고 있으며, 전기적 특성(낮은 전계효과 이동도 : $0.1 \sim 1.0 \text{cm}^2/\text{V}\cdot\text{s}$)이 좋지 않아 구동회로로는 쓰기 어렵다.

반면, 폴리 실리콘은 비정질 실리콘에 비하여 전계효과 이동도가 크기 때문에 기판 위에 구동회로를 만들 수 있으며, 폴리 실리콘을 이용하여 기판에 직접 구동회로를 만들면 실장이 매우 간단해 지고 액정패널을 더욱 콤팩트(compact)하게 제작할 수 있는 장점이 있다.

도 1은 일반적인 구동회로 일체형 액정표시장치용 어레이기판의 개략도이다.

도시한 바와 같이, 절연 기판(10)은 크게 표시부(D1)와 비표시부(D2)로 정의될 수 있으며, 상기 표시부(D1)에는 다수의 화소(P)가 매트릭스 형태로 위치하고 각 화소마다 스위칭 소자(T) 및 이와 연결된 화소 전극(17)이 구성된다.

또한, 상기 화소(P)의 일 측을 따라 연장된 게이트 배선(12)과 이와는 수직하게 교차하는 데이터 배선(14)이 구성된다.

상기 비표시부(D2)에는 구동회로부(16,18)가 구성되는데, 구동 회로부(16,18)는 기판(10)의 일 측에 위치하여 상기 게이트 배선(12)에 신호를 인가하는 게이트 구동회로부(16)와, 이와는 평행하지 않은 기판(10)의 타 측에 위치하여 상기 데이터 배선(14)에 신호를 인가하는 데이터 구동회로부(18)를 포함한다.

상기 게이트 및 데이터 구동회로부(16,18)는 외부로부터 입력된 신호를 조절하여 각각 게이트 및 데이터 배선(12,14)을 통해 화소부(P)로 디스플레이 컨트롤 신호 및 데이터 신호를 공급하기 위한 장치이다.

따라서, 상기 게이트 및 데이터 구동회로부(16,18)는 입력되는 신호를 적절하게 출력시키기 위하여 일반적으로는 인버터(inverter)인 CMOS(complementary metal-oxide semiconductor)구조의 박막트랜지스터로 구성된다.

상기 CMOS는 고속 신호처리가 요구되는 구동회로부 박막 트랜지스터에 사용되는 반도체 기술의 일종으로서, 음전기로 충전된 여분의 전자들(n형 반도체)과 양전기로 충전된 정공들(p형 반도체)을 이용하여 하나의 전도체를 형성하고, 상기 두 종류의 반도체들의 효과적인 전기제어에 의해 전류 게이트를 이루기 위한 상호 보완적인 방법으로 사용된다.

이와 같이, 비표시부의 구동회로부를 이루는 CMOS 소자는 n형 및 p형 다결정 박막트랜지스터의 조합으로 이루어지고, 상기 표시부의 스위칭 소자는 n형 또는 p형 다결정 박막트랜지스터로 이루어진다.

이하, 도 2를 참조하여, 구동회로 일체형 액정표시장치용 어레이기판의 표시부의 구성을 설명한다.

도시한 바와 같이, 기판(30)의 일면에 제 1 방향으로 게이트 배선(GL)이 구성되고, 상기 게이트 배선(GL)과 교차하여 화소 영역(P)을 정의하는 데이터 배선(DL)이 구성된다.

상기 두 배선(SL, GL)의 교차부에는 게이트 전극(52)과 액티브층(38, 다결정 실리콘층)과 소스 전극(74a)과 드레인 전극(74b)으로 구성된 다결정 박막트랜지스터(T)가 구성되고, 상기 화소 영역(P)에는 상기 드레인 전극(74b)과 접촉하는 화소 전극(82)이 구성된다.

또한, 상기 화소 영역(P)의 일부에는 제 1, 제 2, 제 3 스토리지 전극(40,54,76)으로 형성된 스토리지 캐패시터(Cst)가 구성된다.

전술한 구성은, 액정패널의 표시영역을 일부 도시한 것이며 이러한 형상이 연속되어 표시영역을 이루게 된다.

전술한 표시영역의 주변으로는 구동회로부(미도시)를 형성하게 되며, 구동회로부(미도시)에는 상기 데이터 배선 및 게이트 배선(DL, GL)에 신호를 전달하기 위한 구동회로(미도시)가 형성된다.

상기 구동회로(미도시)는 다결정 박막트랜지스터의 조합으로 이루어지며, 구동 특성이 빠르고 누설전류 특성이 낮아야 하기 때문에 N형 다결정 박막트랜지스터 또는, 앞서 언급한 바와 같이 CMOS 트랜지스터의 조합으로 형성할 수 있다.

이하, 도 3a와 도 3b를 참조하여, 종래에 따른 구동회로 일체형 액정표시장치의 단면 구성을 설명한다.

(도 3a는 구동 회로부를 나타낸 단면도이고, 도 3b는 도 2의 II-II를 따라 절단한 단면도이다.)

도시한 바와 같이, 비표시 영역(D2)에 구성된 구동회로(DC)는 CMOS 트랜지스터의 조합으로 이루어지며, 상기 CMOS 트랜지스터는 N형 박막트랜지스터(T(n))와 P형 박막트랜지스터(P(n))의 조합으로 이루어진다.

표시 영역(D1)에 구성된 단일 화소 영역(P)은, 스위칭 소자(Ts)와 이와 접촉하면서 화소 영역(P)의 전면에 형성된 화소 전극(82)과, 보조 용량부인 스토리지 캐패시터가(Cst) 형성된다.

이때, 상기 표시영역(P)에 사용하는 스위칭 소자(Ts)는 P형 또는 N형 다결정 박막트랜지스터를 사용하게 되는데, 일반적으로는 N형 다결정 박막트랜지스터를 사용한다.

상기 스토리지 캐패시터(Cst)는, 스토리지 제 1 전극(40)과 스토리지 제 2 전극(54)과 스토리지 제 3 전극(76)으로 구성되며, 등가회로적으로는 두 개의 캐패시터(C1, C2)가 직렬 연결된 상태이다.

이와 같은 구성은, 영역을 확대하지 않고도 보조 용량을 더욱 확보할 수 있는 장점이 있다.

전술한 바와 같은 구성의 구동회로 일체형 액정표시장치용 어레이기판은, 일반적으로 스토리지 캐패시터(Cst)를 형성하기 위한 도핑 공정과, N형 박막트랜지스터(T(n))를 형성하기 위한 n+ 이온 도핑공정 그리고, P형 박막트랜지스터(T(p))를 형성하기 위한 p+ 이온 도핑공정을 포함하여 9마스크 공정을 필요로 한다.

이에 대해, 이하 공정도면을 참조하여 종래에 따른 구동회로 일체형 액정표시장치용 어레이기판의 제조공정을 설명한다.

도 4a 내지 도 4i는 종래에 따른 구동회로를 제작하는 공정을 순서대로 도시한 공정 단면도이다.

도 5a 내지 도 5i는 종래에 따른 구동회로 일체형 액정표시장치용 어레이기판의 표시영역에 대응하는 공정을 순서대로 도시한 공정 평면도이다.

도 6a 내지 도 6i는 각각 도 5a 내지 도 5i의 III-III을 따라 절단한 공정 단면도이다.

도 4a와 도 5a와 도 6a는 제 1 마스크 공정을 나타낸 도면이다.

도시한 바와 같이, 기판(30)을 표시부(D1)와 비표시부(D2)로 정의하고, 표시부(D1)는 다시 다수의 화소영역(P)으로 정의한다.

이때, 비표시부(D2)에 편의상 P영역(A1)과 N영역(A2)을 정의하고, 상기 화소영역(P)에 스위칭 영역(A3)과 스토리지 영역(A4)을 정의한다.

전술한 바와 같이, 다수의 영역(A1, A2, A3, A4)이 정의된 기판(30)의 일면에 절연물질을 증착하여 버퍼층(32)을 형성하고, 상기 버퍼층(32)의 상부에 비정질 실리콘(a-Si:H)을 증착한 후 결정화 하는 공정을 진행한다.

상기 결정화를 위해 다양한 열전달 수단이 이용될 수 있지만, 일반적으로는 레이저(laser)를 이용하여 결정화를 진행한다.

결정화 공정으로 결정화된 층을 패터닝하여, 상기 P영역(A1)과 N영역(A2)과 스위칭 영역(A3)에 액티브층(active layer)으로서 기능을 하는 제 1 내지 제 3 반도체층(34,36,38)을 형성하고, 상기 스토리지 영역(A4)에 전극으로서 기능을 하는 제 4 반도체층(40)을 형성한다.

이때, 제 3 반도체층(38)과 제 4 반도체층(40)은 일체로 형성할 수 있다.

도 4b와 도 5b와 도 6b는 제 2 마스크 공정을 나타내며, 상기 스토리지 영역(A4)의 제 4 반도체층(40)에 이온을 도핑(doping)하는 공정을 도시한 도면이다.

도시한 바와 같이, 상기 제 1 내지 제 4 반도체층(34,36,38,40)이 형성된 기판(30)의 전면에 포토레지스트(photoresist)를 도포한 후, 제 2 마스크 공정으로 패터닝하여, 상기 P영역(A1)과 N영역(A2) 및 스위칭 영역(A3)을 차폐하는 감광패턴(42)을 형성한다.

다음으로, 감광패턴(42)으로 차폐되지 않은 스토리지 영역(A4)의 제 4 반도체층(40) 표면에 이온(ion, n+ 이온)을 도핑하는 공정을 진행한다.

상기 제 4 반도체층(40)은 전극의 역할을 해야 하기 때문에 저항을 낮추기 위해 전술한 바와 같이 이온(n 또는 p형 이온)을 도핑하는 공정을 진행하는 것이며, 이온 도핑공정이 완료되면 상기 감광패턴(42)을 제거하는 공정을 진행한다.

도 4c와 도 5c와 도 6c는 제 3 마스크 공정을 나타낸 단면도이다.

도시한 바와 같이, 상기 스토리지 영역(A4)의 제 4 반도체층(40)에 이온(ion)을 도핑하여 스토리지 제 1 전극으로 형성하는 공정 후, 상기 제 1 및 제 4 반도체층(34,36,38,40)이 형성된 기판(30)의 전면에 게이트 절연막(46)을 형성한다.

상기 게이트 절연막(46)은 질화 실리콘(SiN_x)과 산화 실리콘(SiO₂)을 포함하는 무기절연물질 그룹 중 선택된 하나 이상의 물질을 증착하여 형성할 수 있다.

다음으로, 상기 게이트 절연막(46)이 형성된 기판(30)의 전면에 도전성 금속을 증착하고 제 3 마스크 공정으로 패터닝하여, 상기 제 1 내지 제 3 반도체층(34,36,38)의 중심에 대응하는 상부에 제 1 내지 제 3 게이트 전극(48,50,52)을 형성하고, 상기 스토리지 영역(A4)의 제 4 반도체층(40)에 대응하는 상부에 스토리지 제 2 전극(54)을 형성한다.

동시에, 상기 스위칭 영역(A3)에 구성된 게이트 전극(52)에서 연장되고 화소 영역(P)의 일 측에 위치하도록 게이트 배선(GL)을 형성하고, 상기 스토리지 제 2 전극(54)에서 연장되어 화소 영역(P)을 가로지르는 스토리지 배선(SL)을 형성한다.

도 4d와 도 5d와 도 6d는 제 4 마스크 공정을 나타내며, N영역(A2)과 스위칭 영역(A3)의 제 2 및 제 3 반도체층(36,38)에 n+ 이온을 도핑하기 위한 공정 단면도이다.

도시한 바와 같이, 상기 제 1 내지 제 3 게이트 전극(48,50,52)과 스토리지 제 2 전극(54)과 게이트 배선(미도시)이 형성된 기판(30)의 전면에 포토레지스트(photo-resist)를 도포한 후 제 4 마스크 공정으로 패터닝하여, 상기 P영역(A1)을 덮는 포토패턴(56)을 형성한다.

다음으로, 상기 포토패턴(56)사이로 노출된 N영역(A2)과 스위칭 영역(A3)에 n+ 이온을 도핑(doping)하는 공정을 진행한다.

이와 같이 하면, 상기 N영역(A2)과 스위칭 영역(A3)의 제 2 반도체층(36)과 제 3 반도체층(38)영역 중 상기 제 2 게이트 전극(50)과 제 3 게이트 전극(52)의 주변으로 노출된 표면에 n+ 이온이 도핑되며, 이온이 도핑된 영역은 저항성 접촉(ohmic contact)특성을 갖는다.

전술한 바와 같은 제 4 마스크 공정이 완료되면, 상기 포토패턴(56)을 제거하는 공정을 진행한다.

도 4e와 도 5e와 도 6e는 제 5 마스크 공정을 나타내며, P영역(A1)의 반도체층에 p+ 이온을 도핑하기 위한 공정 단면도이다.

도시한 바와 같이, 제 1 내지 제 3 게이트 전극(48,50,52)과 스토리지 제 2 전극(54)이 형성된 기판(30)의 전면에 포토레지스트(photoresist)를 도포한 후 제 5 마스크 공정으로 패터닝하여, N영역(A2)과 스위칭 영역(A3)과 스토리지 영역(A4)을 덮는 포토패턴(58)을 형성한다.

이때, 상기 스토리지 영역(A4)은 이미 제 2 스토리지 전극(54)이 형성된 상태이므로 포토패턴을 형성하지 않아도 좋다.

다음으로, P영역(A1)의 노출된 제 1 반도체층(34)중 게이트 전극(48)의 주변으로 노출된 표면에 p+ 이온을 도핑하는 공정을 진행한다.

이때, 이온이 도핑된 영역은 앞서 언급한 바와 같이 저항성 접촉(ohmic contact)특성을 갖는다.

도 4f와 도 5f와 도 6f는 제 6 마스크 공정을 나타낸 공정 단면도이다.

전술한 바와 같이, 제 1 내지 제 3 반도체층(34,36,38)에 이온을 도핑하여 저항성 접촉영역(이하, 오믹영역 이라함) 형성공정이 진행된 기판(30)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질그룹 중 선택한 하나를 증착하여 층간 절연막(interlayer, 60)을 형성한다.

다음으로, 상기 층간 절연막(60)과 하부의 게이트 절연막(46)을 제 6 마스크 공정으로 패터닝하여, 상기 제 1 내지 제 3 반도체층(34,36,38)의 이온도핑 영역(오믹콘택영역)을 노출하는 콘택홀을 형성한다.

상세히는, 상기 제 1 내지 제 3 게이트 전극(48,50,52)을 중심으로 양측의 반도체층(34,36,38)측, 오믹영역을 각각 노출하는 제 1 콘택홀(62a,64a,66a)과 제 2 콘택홀(62b,64b,66b)을 형성한다.

도 4g와 도 5g와 도 6g는 제 7 마스크 공정을 나타낸 공정 단면도이다.

상기 제 1 내지 제 3 반도체층(34,36,38)의 오믹영역(이온 도핑영역)일부를 노출하는 층간 절연막(60)이 형성된 기판(30)의 전면에 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 구리(Cu), 알루미늄합금(AlNd)등을 포함하는 도전성 금속 그룹 중 선택된 하나를 증착하고 패터닝하여, 상기 노출된 오믹영역과 접촉하는 소스 전극(70a,72a,74a)과 드레인 전극(70b,72b,74b)을 형성한다.

이때, 상기 스위칭 영역(A3)에 구성한 드레인 전극(74b)에서 스토리지 영역(A3)으로 연장된 연장부를 더욱 형성하며, 이는 스토리지 제 3 전극(76)으로서의 역할을 하게 된다.

또한, 상기 표시영역(D1)의 스위칭 영역(A3)에 형성한 소스 전극(74a)에서 연장되고, 상기 게이트 배선(GL)과 교차하여 화소 영역(P)의 일 측으로 연장된 데이터 배선(DL)을 형성한다.

전술한 제 1 내지 제 7 마스크 공정을 통해, 비표시부(D2)에는 p형 다결정 박막트랜지스터와 n형 다결정 박막트랜지스터의 조합인 CMOS소자가 형성되고, 상기 표시 영역(D1)의 스위칭 영역(A3)에는 n형 다결정 박막트랜지스터가 형성되고, 상기 스토리지 영역(A4)에는 스토리지 제 1 전극(40)과 스토리지 제 2 전극(54)과 스토리지 제 3 전극(76, 소스 드레인 금속층)으로 구성된 제 1 및 제 2 스토리지 캐패시터(C1,C2)가 형성된다.

도 4h와 도 5h와 도 6h는 제 8 마스크 공정을 나타낸 공정 단면도이다.

도시한 바와 같이, 상기 각 영역(A1,A2,A3)마다 소스전극(70a,72a,74a)과 드레인 전극(70b,72b,74b)이 형성된 기판(30)의 전면에 앞서 언급한 절연물질 그룹 중 선택된 하나 이상의 물질을 증착하여 보호층(78)을 형성한다.

상기 보호층(78)을 제 8 마스크 공정으로 패터닝하여, 상기 스위칭 영역(A3)의 드레인 전극(74b) 또는 스토리지 제 3 전극(76)을 노출하는 드레인 콘택홀(80)을 형성한다.

도 4i와 도 5i와 도 6i는 제 9 마스크 공정을 나타낸 공정 단면도이다.

도시한 바와 같이, 보호층(78)이 형성된 기판(30)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나를 증착하고 제 9 마스크 공정으로 패터닝하여, 상기 드레인 전극(74b) 또는 이에 연장된 스토리지 제 3 전극(76)과 접촉하면서 상기 화소 영역(P)에 위치하는 화소 전극(82)을 형성한다.

이상으로, 전술한 바와 같은 제 1 내지 제 9 마스크공정을 통해 종래에 따른 구동회로 일체형 액정패널의 박막트랜지스터 어레이기판을 제작할 수 있다.

따라서, 종래에는 다수의 공정으로 구동회로 일체형 어레이기판을 제작하기 때문에, 공정시간 지연과 생산비용 증가에 의해 공정수율이 저하되는 문제점이 있다.

또한, 다수의 공정에 따른 불량 발생률을 높이는 단점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 전술한 문제를 해결하기 위해 제안된 것으로, 공정수를 줄여 공정 시간을 단축하고, 공정비용을 낮추는 동시에, 불량 발생확률을 낮춰 생산수율을 높이는 것을 목적으로 한다.

발명의 구성

상기 목적을 달성하기 위한 본 발명에 따른 구동회로 일체형 액정표시장치용 어레이기판은 화소영역을 포함하는 표시부와, 비표시부로 정의된 기판과; 상기 기판의 비표시부에 구성된 구동회로와; 상기 화소영역의 일 측에 구성된 스위칭 소자와; 상기 화소 영역의 일부에 구성되고, 스토리지 제 1 전극과, 슬릿패턴을 포함하는 스토리지 제 2 전극과, 스토리지 제 3 전극으로 구성된 스토리지 캐패시터와; 상기 스위칭 소자와 접촉하고, 상기 화소 영역에 위치한 화소 전극을 포함한다.

상기 구동회로는 n형 다결정 박막트랜지스터와 p형 다결정 박막트랜지스터로 구성된 CMOS소자의 조합으로 이루어지고, 상기 스위칭 소자는 n형 다결정 박막트랜지스터이고, 상기 p형 다결정 박막트랜지스터와 상기 n형 다결정 박막트랜지스터는 다결정 액티브층과, 상기 액티브층 상부의 게이트 전극과 소스 및 드레인 전극을 포함하고, 상기 p형 다결정 박막트랜지스터는 상기 소스 및 드레인 전극과 접촉하는 액티브층의 표면에 p+ 이온이 도핑되고, 상기 n형 다결정 박막트랜지스터는 상기 소스 및 드레인 전극과 접촉하는 액티브층의 표면에 n+ 이온이 도핑되고, 상기 n+ 이온의 도핑영역과 게이트 전극 사이에는 n-이온이 도핑된 저농도 도핑영역을 포함하는 것을 특징으로 한다.

상기 스토리지 제 1 전극은 표면에 n+ 이온이 도핑된 다결정 실리콘층인 것을 특징으로 한다.

상기 슬릿의 개수는 1~100개이고, 상기 슬릿간 제 2 금속 전극의 폭은 1 μ m~50 μ m인 것을 특징으로 한다.

본 발명의 특징에 따른 구동회로 일체형 액정표시장치용 어레이기판 제조방법은 기판에 스위칭 영역과 스토리지 영역을 포함하는 다수의 화소 영역으로 구성된 표시영역과, 구동 회로부를 포함하는 비표시 영역을 정의하는 단계와; 상기 구동회로부에 제 1 반도체층과 제 2 반도체층을 형성하고, 상기 스위칭 영역과 스토리지 영역에 제 3 반도체층과 제 4 반도체층을 형성하는 제 1 마스크 공정 단계와; 상기 제 1 반도체층의 상부에 게이트 전극을 형성하고, 상기 제 2 반도체층과 제 3 반도체층 및 제 4 반도체층의 상부에 각각 이들을 덮는 금속패턴을 형성하고, 상기 게이트 전극이 덮히지 않은 제 1 반도체층의 표면에 p+ 이온을 도핑하는 제 2 마스크 공정 단계와; 상기 제 2 및 제 3 반도체층의 일부 상부에 게이트 전극을 형성하고, 상기 게이트 전극에 대응하지 않는 제 2 및 제 3 반도체층의 표면에 부분적으로 n+ 이온과 n-이온을 각각 도핑하고, 상기 제 4 반도체층의 상부에 슬릿을 포함하는 제 1 금속전극을 형성하고, 상기 슬릿에 대응하는 부분의 제 4 반도체층의 표면에 n+ 이온을 도핑하는 제 3 마스크 공정 단계와; 상기 기판의 전면에 상기 제 1 반도체층의 이온 도핑영역과, 상기 제 2 및 제 3 반도체층의 이온 도핑영역을 노출하는 콘택홀을 포함하는 층간 절연막을 형성하는 제 4 마스크 공정 단계와; 상기 층간 절연막이 형성된 기판을 열처리 하여, 상기 제 4 반도체층의 전면으로 상기 도핑된 n+ 이온이 확산되도록 하는 단계와; 상기 노출된 제 1 내지 제 3 반도체층 마다 이와 접촉하는 소스 및 드레인 전극을 형성하고, 상기 제 1 금속전극의 상부에 제 2 금속전극을 형성하는 제 5 마스크 공정 단계와; 상기 소스 및 드레인 전극과 제 2 금속전극이 형성된 기판의 전면에 보호층을 형성하고, 상기 제 3 반도체층과 접촉하는 드레인 전극을 노출하는 제 6 마스크 공정 단계와; 상기 노출된 드레인 전극과 접촉하는 화소 전극을 형성하는 제 7 마스크 공정 단계를 포함한다.

상기 제 3 마스크 공정 단계는, 상기 제 1 반도체층의 상부에 게이트 전극이 형성되고, 상기 제 2 반도체층과 제 3 반도체층과 제 4 반도체층의 상부에 이들을 덮는 금속패턴이 형성된 기판의 전면에 포토레지스트를 도포하여 감광층을 형성하는 단계와; 상기 제 2 반도체층과 제 3 반도체층에 제 1 액티브 영역과, 제 1 액티브 영역의 양측에 제 2 액티브 영역과, 상기 제 1 및 제 2 액티브 영역 사이에 제 3 액티브 영역을 정의하는 단계와; 상기 감광층을 제 3 마스크 공정으로 노광하고 현상하여, 상기 제 1 반도체층을 덮는 제 1 포토패턴과, 상기 제 2 및 제 3 반도체층 중 제 1 및 제 3 액티브 영역을 덮는 제 2 포토패턴과 제 3 포토패턴과, 상기 제 4 반도체층을 덮으며 슬릿패턴을 포함하는 제 4 포토패턴을 형성하는 단계와; 상기 제 1 내지 제 4 포토패턴 사이로 노출된 상기 금속패턴을 제거하여, 상기 제 2 및 제 3 포토패턴의 하부에 각각 게이트 전극을 형성하고, 상기 제 4 포토패턴의 하부에 슬릿을 포함하는 제 1 금속전극을 형성하는 단계와; 상기 제 2 및 제 3 반도체층의 제 2 액티브 영역에 n+ 이온을 도핑하여 오믹영역을 형성하고 동시에, 상기 제 1 금속전극의 슬릿에 대응하는 상기 제 4 반도체층의 표면에 n+ 이온을 도핑하는 단계와; 상기 제 2 내지 제 3 포토패턴을 에싱하여, 상기 제 2 및 제 3 반도체층의 제 3 액티브 영역에 대응하는 게이트 전극을 노출하는 단계와; 상기 노출된 게이트 전극을 제거하는 단계와; 상기 제 2 및 제 3 반도체층의 제 3 액티브 영역에 n-이온을 도핑하여 저농도 도핑영역을 형성하는 단계를 포함한다.

상기 제 2 및 제 3 반도체층의 제 2 액티브 영역에 상기 소스 및 드레인 전극이 접촉하는 것을 특징으로하고, 상기 제 3 및 제 4 반도체층은 일체로 형성되고, 상기 제 3 반도체층과 접촉하는 드레인 전극과 상기 제 4 반도체층 상부의 제 2 금속전극 또한 일체로 구성된 것을 특징으로 한다.

상기 화소 전극은 상기 제 2 금속전극과 접촉하는 것을 특징으로 한다.

상기 제 1 금속전극의 슬릿은 1~100개로 형성할 수 있고, 상기 슬릿 간 제 2 금속전극의 폭은 1 μ m~50 μ m로 형성할 수 있는 것을 특징으로 하고, 상기 표면에 이온이 도핑된 제 4 반도체층과, 상기 슬릿을 포함하는 제 1 금속전극과 상기 제 2 금속전극은 스토리지 캐패시터를 구성하는 것을 특징으로 한다.

이하, 본 발명의 실시예에 따른 구동회로 일체형 액정표시장치용 어레이기판의 제조방법을 설명한다.

-- 실시예 --

도 7은 본 발명에 따른 구동회로 일체형 액정표시장치용 어레이 기판의 표시영역의 구성을 일부 확대한 평면도이다.

도시한 바와 같이, 기판(100)상에 일 방향으로 연장된 게이트 배선(GL)과, 상기 게이트 배선(GL)과 수직하게 교차하여 화소 영역(P)을 정의하는 데이터 배선(DL)을 구성한다.

상기 게이트 배선(GL)과 데이터 배선(DL)의 교차지점에는 스위칭 소자인 다결정 박막트랜지스터(Ts)를 구성하며, 상기 화소 영역(P)에는 화소 전극(158)을 구성한다.

상기 다결정 박막트랜지스터(Ts)는 다결정 실리콘층인 액티브층(110)과, 게이트 전극(128)과 소스 전극(150a)과 드레인 전극(150b)을 포함하며, 상기 화소 전극(158)은 상기 드레인 전극(150b)과 접촉하도록 구성한다.

상기 화소 영역(P)의 일부에는, 보조 용량부인 스토리지 캐패시터(Cst)를 구성하는데 이때, 상기 스토리지 캐패시터(Cst)는 다결정 반도체층인 스토리지 제 1 전극(112)과, 슬릿(S)을 포함하며 스토리지 배선(SL)에서 상기 스토리지 제 1 전극(112)의 상부로 연장된 스토리지 제 2 전극(130)과, 상기 스토리지 제 2 전극(130)을 덮는 스토리지 제 3 전극(152)으로 이루어진다.

이하, 단면 구성을 참조하여 전술한 구성을 포함하는 구동회로 일체형 액정표시장치용 어레이기판의 구성을 알아본다.

이하, 도 8a와 도 8b본 발명에 따른 구동회로 일체형 액정표시장치용 어레이기판의 단면 구성을 도시한 단면도이다.(도 8b는 도 7의 V-V를 따라 절단한 단면도이다.)

도시한 바와 같이, 구동회로 일체형 액정표시장치용 어레이기판(100)은 표시부(D1)와 비표시부(D2)로 나눌 수 있다.

상기 표시부(D1)에는 스위칭 소자(Ts)와, 제 1 스토리지 전극(112)과 슬릿을 포함하는 제 2 스토리지 전극(130)과 제 3 스토리지 전극(152)을 포함하는 스토리지 캐패시터(Cst)와 화소전극(158)이 구성된 다수의 화소 영역(P)으로 이루어지고, 상기 비표시부(D2)에는 구동회로(DC)를 구성한다.

상기 구동회로(DC)는 n형 다결정 박막트랜지스터(T(n))와 p형 다결정 박막트랜지스터(T(p))로 구성된 CMOS조합으로 형성하는 것이 일반적이며, 상기 스위칭 소자(Ts)는 n형 다결정 박막트랜지스터이다.

전술한 구성에서 특징적인 것은 단일 마스크 공정으로 다수의 공정을 진행하는 것이다. 이를 요약하면 아래와 같다.

첫째, 구동회로 및 스위칭 소자(DC, Ts)의 게이트 전극(118, 126, 128)과, 상기 스토리지 캐패시터(C)의 스토리지 제 2 전극(130, 슬릿포함)을 형성한다.

둘째, 상기 구동회로(DC)를 구성하는 제 2 반도체층(110)과 상기 스위칭 소자(Ts)의 제 3 반도체층(112)중 상기 게이트 전극(126, 128)이 위치하지 않은 표면에, n⁺ 이온과 n⁻을 부분적으로 도핑하여 오믹 영역과 저농도 도핑영역을 형성하고, 상기 스토리지 제 2 전극(130)의 슬릿(S)에 대응하는 하부의 제 4 반도체층(112)에 n⁺ 이온을 도핑하는 공정을 진행한다.

따라서, 전술한 특징적인 마스크 공정을 포함한 7마스크 공정으로, 본 발명에 따른 구동회로 일체형 액정표시장치용 어레이기판을 제작할 수 있다.

이하, 공정도면을 참조하여 본 발명에 따른 구동회로 일체형 액정표시장치용 어레이기판의 제조공정을 설명한다.

도 9a 내지 도 9k는 본 발명에 따른 구동회로를 제작하는 공정을 순서대로 도시한 공정 단면도이다.

도 10a 내지 도 10k는 본 발명에 따른 구동회로 일체형 액정표시장치용 어레이기판의 표시영역에 대응하는 공정을 순서대로 도시한 공정 평면도이다.

도 11a 내지 도 11k는 각각 도 10a 내지 도 10k의 V-V를 따라 절단한 공정 단면도이다.

도 9a와 도 10a와 도 11a는 제 1 마스크 공정을 나타낸 도면이다.

도시한 바와 같이, 기판(100)을 표시부(D1)와 비표시부(D2)로 정의하고, 표시부(D1)는 다시 다수의 화소영역(P)으로 정의한다.

이때, 비표시부(D2)에 편의상 P영역(A1)과 N영역(A2)을 정의하고, 상기 화소영역(P)에 스위칭 영역(A3)과 스토리지 영역(A4)을 정의한다.

전술한 바와 같이, 다수의 영역(A1, A2, A3, A4)이 정의된 기판(100)의 전면에 절연물질을 증착하여 버퍼층(104)을 형성하고, 상기 버퍼층(104)의 상부에 비정질 실리콘(a-Si:H)을 증착한 후 결정화 하는 공정을 진행한다.

상기 결정화를 위해 다양한 열전달 수단이 이용될 수 있지만, 일반적으로는 레이저(laser)를 이용하여 결정화를 진행한다.

결정화 공정으로 결정화된 층을 패터닝하여, 상기 P영역(A1)과 N영역(A2)과 스위칭 영역(A3)에 액티브층(active layer)으로서 기능을 하는 제 1 내지 제 3 반도체층(106, 108, 110)을 형성하고, 상기 스토리지 영역(A4)에 전극(스토리지 제 1 전극)으로서 기능을 하는 제 4 반도체층(112)을 형성한다.

이때, 상기 스위칭 영역(A3)의 제 3 반도체층(110)과 스토리지 영역(A4)의 제 4 반도체층(112)은 일체로 구성한다.

도 9b와 도 10b와 도 11b는 제 2 마스크 공정을 나타낸 도면이다.

도시한 바와 같이, 상기 제 1 내지 제 4 반도체층(106, 108, 110, 112)이 형성된 기판(100)의 전면에 게이트 절연막(114)과 도전성 금속층을 적층한다.

이때, 상기 게이트 절연막(114)은 질화 실리콘(SiNx)과 산화 실리콘(SiO₂)을 포함하는 무기절연물질 그룹 중 선택된 하나 이상의 물질을 증착하여 형성할 수 있고, 상기 도전성 금속층(미도시)은 알루미늄(Al), 알루미늄합금(AlNd), 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 구리(Cu), 몰리브덴(MoW)등을 포함하는 도전성 금속 그룹 중 선택한 하나 이상의 금속을 증착하여 형성할 수 있다.

다음으로, 상기 금속층의 상부에 포토레지스트를 증착하고 제 2 마스크 공정으로 노광하는 공정을 진행한 후 현상하여 특정 형상의 제 1 및 제 3 포토패턴(124a, 124b, 124c)을 형성한다.

연속하여, 상기 제 1 내지 제 3 포토패턴(124a, 124b, 124c)의 주변으로 노출된 금속층을 제거하는 공정을 진행한다.

이와 같이 하면, 비표시부(D2)의 P영역(A1)에는 제 1 반도체층(106)의 중심에 대응하여 게이트 전극(118)이 형성된다.

상세히는 상기 제 1 반도체층(106)을 제 1 액티브 영역(B1)과, 상기 제 1 액티브 영역(B1)의 양측을 제 2 액티브 영역(B2)으로 정의한다면, 상기 제 1 액티브 영역(B1)에 대응하여 게이트 전극(118)이 형성된다.

상기 N영역(A2)은 이를 덮는 제 1 금속패턴(120)과, 상기 스위칭 영역 및 스토리지 영역(A3, A4)은 일체화된 제 2 금속패턴(122)으로 덮혀 있는 상태로 남아 있다.

한편, 상기 제 2 마스크 공정에서는 도시한 바와 같이, 상기 제 2 금속패턴(122)과 연결된 게이트 배선(GL)과 스토리지 배선(SL)을 형성한다.

본 공정에서, 게이트 전극(118)과 제 1 및 제 2 금속패턴(120, 122)과 게이트 배선 및 스토리지 배선(GL, SL)의 상부에 남아 있는 상기 제 1 내지 제 3 포토패턴(124a, 124b, 124c)은 제거할 수도 있고 제거하지 않을 수도 있다.

도 9c와 도 10c와 도 11c는 P영역(A1)에 구성한 제 1 반도체층(110)의 제 2 액티브 영역(B2)을 오믹영역으로 형성하기 위한 p+ 이온 도핑공정이다.

도시한 바와 같이, 상기 P영역(A1)에 구성한 제 1 반도체층(106)의 제 2 액티브 영역(B2)에 p+ 이온을 도핑하여 오믹 영역으로 형성한다.

상기 제 1 반도체층(106)에 오믹영역을 형성한 후, 앞선 공정에서 제거하지 않은 잔류 포토패턴(124a, 124b, 124c)을 제거하지 않았다면 이를 제거하는 공정을 진행한다.

이하, 도 9d 내지 9g와 도 10d 내지 10g와 도 11d 내지 11g는 제 3 마스크 공정을 순서대로 나타낸 공정 도면이다,

다음으로, 도 9d와 도 10d와 도 11d는 제 3 마스크 공정으로 상기 제 1 및 제 2 금속패턴을 가공하여, N영역 및 스위칭 영역에 각각 게이트 전극을 형성하고, 스토리지 영역에 스토리지 제 2 전극을 형성하는 공정을 도시한 도면이다.

도시한 바와 같이, P영역(A1)에 게이트 전극(118)이 형성된 기판(100)의 전면에서 포토레지스트를 도포한 후 제 3 마스크 공정으로 패터닝하여, 상기 P영역(A1)을 가리는 제 1 포토패턴(132a)을 형성하고, 상기 N영역(A2)과 스위칭 영역(A3)에 각각 게이트 전극(126, 128)을 형성하고, 상기 스토리지 영역(A4)에는 슬릿(S)을 포함하는 스토리지 제 2 전극(130)을 형성한다.

상기 슬릿(S)의 개수는 경우에 따라 1~100개의 범위내에서 형성할 수 있고, 상기 슬릿(S)간의 전극 폭은 1 μ m~50 μ m의 범위내에서 설계할 수 있다.

상기 P영역(A1)이외에도, 상기 N영역 및 스위칭 영역(A2, A3)의 게이트 전극(126, 128)과, 스토리지 제 2 전극(130)의 상부에도 이를 패터닝하기 위해 존재했던 제 2 내지 제 4 포토패턴(132b, 132c, 132d)을 그대로 남겨 둔다.

상기 슬릿(S)의 형태는 도시한 바와 같이 나란히 이격된 형상이거나, W과 같은 다양한 형상으로 변형가능하다.

상기 N영역 및 스위칭 영역(A2, A3)에 위치하는 제 2 반도체층(108)과 제 3 반도체층(110)은 제 1 액티브 영역(B1)과, 제 1 액티브 영역(B1)의 양측에 제 2 액티브 영역(B2)과, 상기 제 1 및 제 2 액티브 영역(B1, B2)의 사이를 제 3 액티브 영역(B3)으로 정의하며, 상기 게이트 전극(126, 128)은 상기 제 1 액티브 영역(B1) 및 제 3 액티브 영역(B3)에 대응하여 위치하도록 한다.

도 9e와 도 10e와 도 11e는 N영역(A2)과 스위칭 영역(A3)의 제 2 및 제 3 반도체층(108, 110)에 n+ 이온을 도핑하여 오믹 영역을 형성하고, 스토리지 영역(A4)의 제 4 반도체층(112)에 n+ 이온을 도핑하는 공정이다.

도시한 바와 같이, N영역과 스위칭 영역(A3,A4)에 게이트 전극(126,128)이 형성되고, 상기 스토리지 영역(A4)에 슬릿(S)을 포함하는 스토리지 제 2 전극(130)이 형성된 기판(100)의 전면에 n⁺ 이온을 도핑하는 공정을 진행한다.

이와 같이 하면, 상기 N영역(A2)과 스위칭 영역(A3)에 위치하는 제 2 반도체층(108)과 제 3 반도체층(110)의 제 2 액티브 영역(B2)에 n⁺ 이온이 도핑되고, 상기 스토리지 제 2 전극(130)의 슬릿(S)에 대응하는 하부의 제 4 반도체층(112) 표면에 n⁺ 이온이 도핑된다.

이하, 도 9f 내지 도 9g와 도 10f 내지 도 10g와 도 11f 내지 도 11g는 n영역과 스위칭영역의 반도체층에 저농도 도핑영역인 LDD영역을 형성하기 위한 공정이다.

도 9f와 도 10f와 도 11f는 제 1 내지 제 4 포토패턴을 애싱(ashing)한 결과를 도시한 도면이다.

도시한 바와 같이, 상기 P영역(A1)과 N영역 및 스위칭 영역(A2,A3)과 스토리지 영역(A4)에 남겨진 제 1 내지 제 4 포토패턴(132a,132b,132c,132d)을 애싱(ashing)하는 공정을 진행한다.

상기 애싱공정은 건식식각 공정과 유사하며, 상기 제 1 내지 제 4 포토패턴(132a,132b,132c,132d)을 완전히 제거하는 목적 보다는, 주변의 일부만을 제거하여 하부 금속층 일부를 노출하기 위한 것이다.

따라서, 본 공정에서는 포토레지스트 패턴 애싱을 통해, 제 2 및 제 3 반도체층(110,112)의 제 3 액티브 영역(B3)에 대응하는 상부 게이트 전극(126,128)을 노출한다. 이때, 상기 스토리지 제 2 전극 및 게이트 배선(130,GL)과 스토리지 배선(SL)의 주변도 일부 노출된다.

이후, 상기 노출된 부분의 게이트 전극(126,128)을 제거하는 공정을 진행한다.

도 9g와 도 10g와 도 11g는 LDD영역을 형성하기 위한 n-도핑공정을 나타낸 도면이다.

도시한 바와 같이, 전술한 공정에서 N영역(A2)과 스위칭 영역(A2)에 위치한 게이트 전극(126,128)둘레의 일부가 제거된 부분에 대응하는 제 2 및 제 3 반도체층(108,110)의 제 3 액티브영역(B3)에 n-이온을 도핑하는 공정을 진행하여, 저농도 도핑영역(드레인 영역)(lightly doped drain, LDD)을 형성한다.

저농도 도핑영역을 형성하는 이유는, 채널(제 1 액티브 영역)에 근접한 영역에서 열전자 효과(hot electron effect)에 의해 발생하는 누설전류 특성을 최소화하기 위한 것이다.

상기 제 2 및 제 3 반도체층(108,110)에 LDD영역을 형성한 후, 상기 P영역(A1)과 상기 N영역(A2)과 스위칭 영역(A3)과 스토리지 영역(A4)의 제 1 내지 제 4 포토패턴(132a,132b,132c,132d)을 제거하는 공정을 진행한다.

이상으로, 전술한 제 2 내지 제 3 마스크 공정을 통해, P 영역(A1)의 제 1 반도체층(106)의 상부에 게이트 전극(118)을 형성하고, 상기 게이트 전극(118)이 위치하지 않은 제 1 반도체층(106)의 표면에 p⁺ 이온을 도핑하여 오믹 영역을 형성하고, 상기 N영역(A2)과 스위칭 영역(A3)의 제 2 내지 제 3 반도체층(108,110)에는 n⁺ 이온과 n-이온을 각각 도핑하여 오믹 영역과 저농도 도핑영역을 형성함과 동시에 각각 게이트 전극(126,128)을 형성하고, 상기 스토리지 영역(A4)에는 스토리지 제 2 전극(130)을 형성함과 동시에, 그 하부의 제 4 반도체층(112)에 n⁺ 이온을 도핑하는 공정을 진행하였다.

도 9h와 도 10h와 도 11h는 제 4 마스크 공정을 나타낸 도면이다.

도시한 바와 같이, N영역(A1)과 P영역(A2)과 스위칭 영역(A3)에 각각 게이트 전극(118,126,128)이 형성되고, 상기 스토리지 영역(A4)에 슬릿(S)을 포함하는 스토리지 제 2 전극(130)이 형성된 기판(100)의 전면에 질화 실리콘(SiNx)과 산화 실리콘(SiO₂)을 포함하는 무기절연 물질 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 층간 절연막(134)을 형성한다.

상기 층간 절연막(134)을 제 4 마스크 공정으로 패터닝하여, 상기 제 1 반도체층(106)과 제 2 반도체층(108)과 제 3 반도체층(110)의 이온도핑영역(오믹 영역)을 각각 노출하는 콘택홀을 형성한다.

상세히는, 상기 P영역(A1)과 N영역(A2)과 스위칭 영역(A3)에 형성한 각 게이트 전극(118,126,128)을 중심으로 양측의 반도체층(106,108,110)측, 이온도핑영역을 각각 노출하는 제 1 콘택홀(136a,138a,140a)과 제 2 콘택홀(136b,138b,140b)을 형성한다. 이때, 도시하지는 않았지만 상기 제 4 반도체층(112)을 노출하는 콘택홀을 형성할 수 있다.

다음으로, 상기 콘택홀을 포함하는 층간 절연막(134)이 형성된 기판(100)을 활성화 열처리 공정을 진행한다.

이와 같이 하면, 앞서 진행하였던 이온 도핑공정 시, 제 1 내지 제 4 반도체층의(106,108,110,112) 표면에 발생한 결함을 회복할 수 있는 동시에, 상기 제 4 반도체층(112)의 표면에 슬릿형상으로 부분적으로 도핑된 이온이 상기 제 4 반도체층(112)의 전면으로 확산되는 결과를 얻을 수 있다.

즉, 앞서 제 3 마스크 공정에서, n영역 및 스위칭 영역에 n+ 이온을 도핑하는 공정에서 스토리지 제 2 전극(130)의 슬릿(S)에 대응하는 하부 제 4 반도체층(112)에 n+ 이온을 도핑하였는데, 비로소 상기 열처리를 통해 제 4 반도체층(112)의 전면에 이온이 분포하게 됨으로써 제 4 반도체층은 전극으로서의 역할을 할 수 있게 되었다.

이때, 상기 스토리지 제 2 전극(130)에 형성하는 슬릿(S)개수는 앞서 언급한 바와 같이, 1개 이상에서 100개 이하로 형성할 수 있으며, 슬릿 간 금속막의 폭은 약 $1\mu\text{m}\sim 50\mu\text{m}$ 의 값으로 설계하면 된다.

또한, 상기 슬릿(S)의 형태는 π 과 같이 다양한 형상으로 변형가능하다.

도 9i와 도 10i와 도 11i는 소스 및 드레인 전극을 형성하는 제 5 마스크 공정을 도시한 도면이다.

도시한 바와 같이, 층간 절연막(134)의 전면에 앞서 언급한 도전성 금속 그룹 중 선택된 하나 이상의 금속을 증착하고 패터닝하여, 제 1 내지 제 3 반도체층(106,108,110)의 양측에 각각 접촉하는 소스 전극(146a,148a,150a)과 드레인 전극(146b,148b,150b)을 형성한다.

이때, 상기 스위칭 영역(S)에 대응하는 드레인 전극(150b)을 상기 스토리지 영역(A4)으로 확장하며, 확장된 영역은 스토리지 제 3 전극(152)으로 사용한다.

상기 소스 및 드레인 전극(146a,148a,150a)(146b,148b,150b)을 형성하는 동시에, 상기 화소 영역(A3)의 소스 전극(150a)에서 화소 영역(P)의 일 측으로 연장되도록 데이터 배선(DL)을 형성한다.

도 9j와 도 10j와 도 11j는 보호막에 콘택홀을 형성하는 제 6 마스크 공정을 도시한 도면이다.

도시한 바와 같이, 상기 P영역(A1)과 N영역(A2)과 스위칭 영역(A3)에 각각 소스전극(146a,148a,150a)과 드레인 전극(146b,148b,150b)이 형성된 기판(100)의 전면에 앞서 언급한 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기 절연물질 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 보호막(154)을 형성한다.

다음으로, 상기 보호막(154)을 제 6 마스크 공정으로 패터닝하여, 상기 스위칭 영역(A3)에 형성한 드레인 전극(150b)을 노출하는 드레인 콘택홀(156)을 형성한다.

도 9k와 도 10k와 도 11k는 화소 전극을 형성하는 제 7 마스크 공정을 도시한 도면이다.

상기 보호막(154)이 형성된 기판(100)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 물질 그룹 중 선택된 하나 또는 그 이상을 증착하고 제 7 마스크 공정으로 패터닝하여, 상기 노출된 드레인 전극(150b)과 접촉하면서 화소 영역(P)의 전면에 위치하도록 화소 전극(158)을 형성한다.

전술한 바와 같은 7마스크 공정을 통해, 본 발명에 따른 구동회로 일체형 액정표시장치용 어레이기판을 제작할 수 있다.

발명의 효과

따라서, 본 발명에 따른 구동회로 일체형 액정표시장치용 어레이기판 제조방법(7마스크 제조방법)은, 종래에 비해 공정이 단순화 되어 공정비용을 절감하고 공정 시간을 단축할 수 있는 효과가 있다.

또한, 공정이 단순화됨으로써, 불량 발생확률을 낮출 수 있어 생산수율을 개선하는 효과가 있다.

도면의 간단한 설명

도 1은 일반적인 구동회로 일체형 액정패널을 개략적으로 도시한 평면도이고,

도 2는 종래에 따른 구동회로 일체형 액정표시장치용 어레이기판의 일부를 도시한 확대 평면도이고,

도 3a와 도 3b는 종래에 따른 구동회로 일체형 액정표시장치의 구성을 개략적으로 도시한 단면도이고,

도 4a 내지 도 4i는 종래에 따른 구동회로를 제작하는 공정을 순서대로 도시한 공정 단면도이고,

도 5a 내지 도 5i는 종래에 따른 구동회로 일체형 액정표시장치용 어레이기판의 표시영역에 대응하는 공정을 순서대로 도시한 공정 평면도이고,

도 6a 내지 도 6i는 도 5a 내지 도 5i를 각각, III-III를 따라 절단한 공정 단면도이고,

도 7은 본 발명에 따른 구동회로 일체형 액정표시장치용 어레이 기판의 표시영역 일부를 확대한 평면도이고,

도 8a와 도 8b는 본 발명에 따른 구동회로 일체형 액정표시장치용 어레이기판의 단면 구성을 도시한 단면도이고,

도 9a 내지 도 9k는 본 발명에 따른 구동회로를 제작하는 공정을 순서대로 도시한 공정 단면도이고,

도 10a 내지 도 10k는 본 발명에 따른 구동회로 일체형 액정표시장치용 어레이기판의 표시영역에 대응하는 공정을 순서대로 도시한 공정 평면도이고,

도 11a 내지 도 11k는 각각 도 10a 내지 도 10k의 V-V를 따라 절단한 공정 단면도이다.

< 도면의 주요 부분에 대한 부호의 설명 >

100 : 기판 110 : 제 3 반도체층

112 : 제 4 반도체층 128 : 게이트 전극

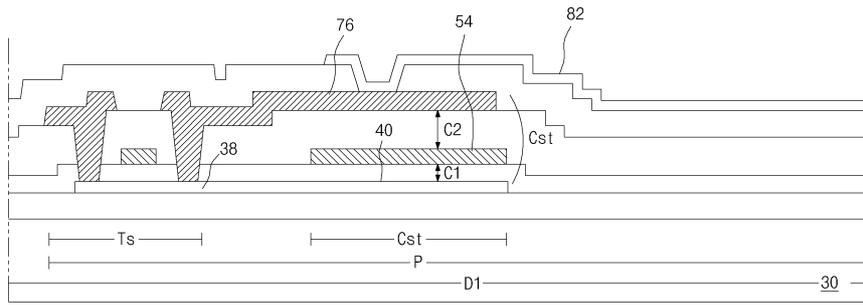
130 : 스토리지 제 2 전극 150a,150b : 소스전극, 드레인 전극

158 : 화소 전극 SL: 스토리지 배선

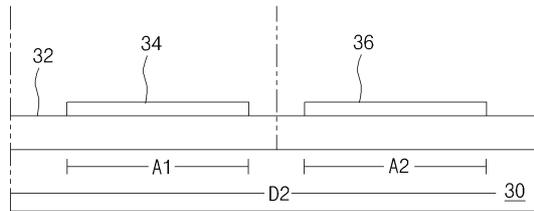
GL : 게이트 배선

도면

도면3b

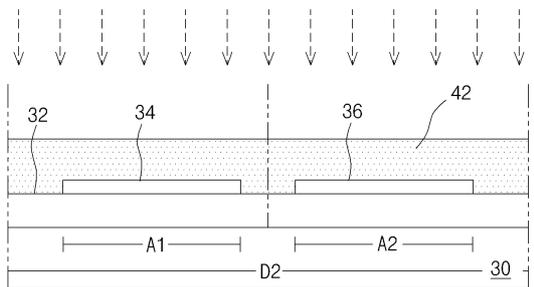


도면4a

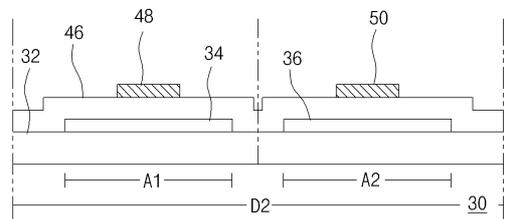


도면4b

n+ 이온도핑

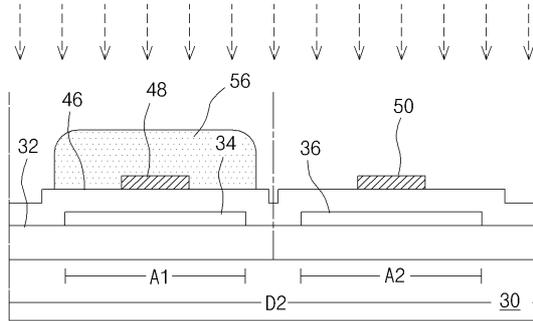


도면4c



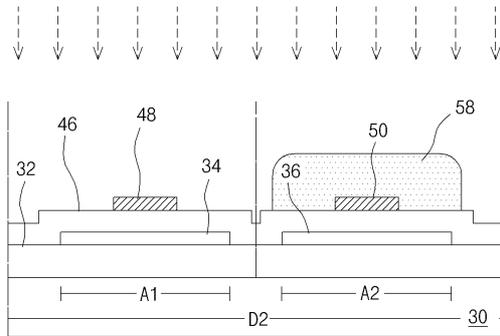
도면4d

n+ 이온도핑

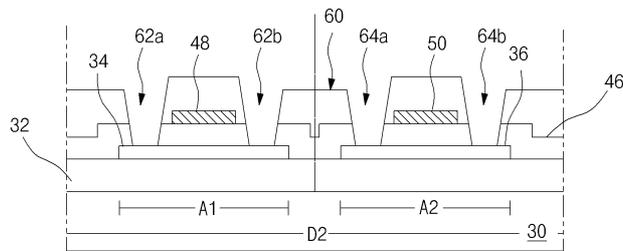


도면4e

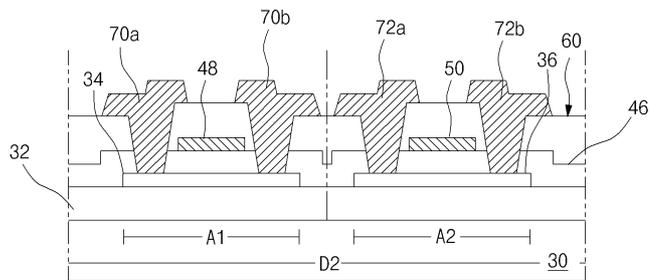
p+ 이온도핑



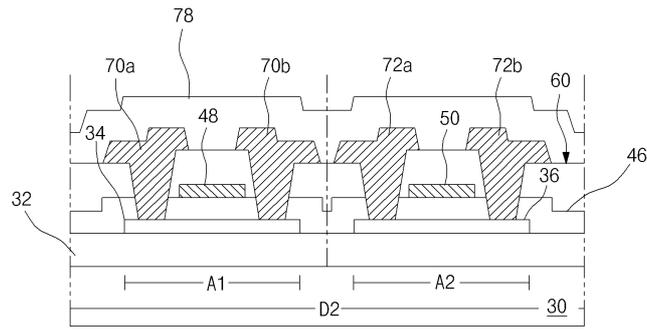
도면4f



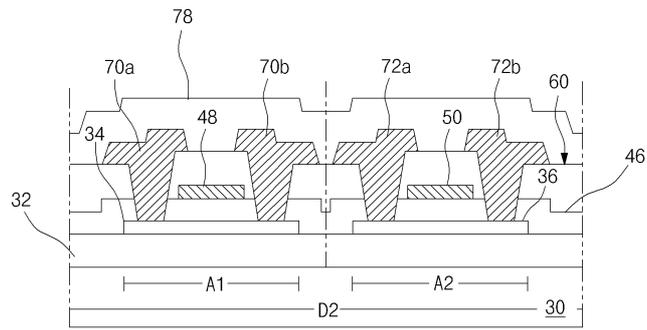
도면4g



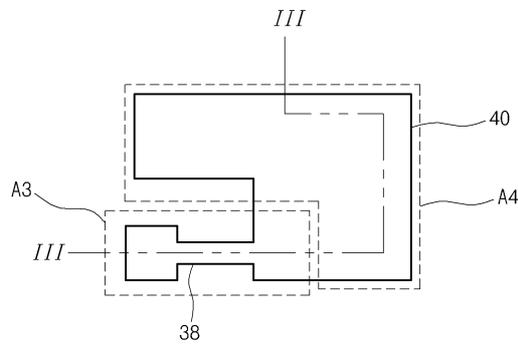
도면4h



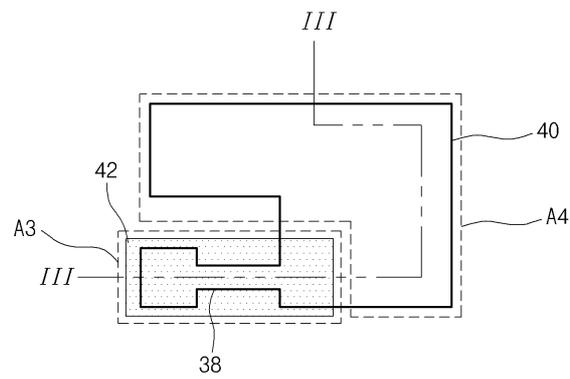
도면4i



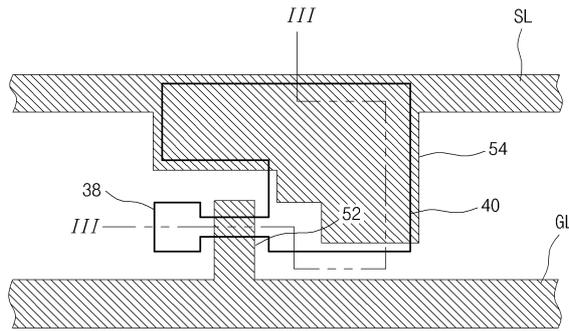
도면5a



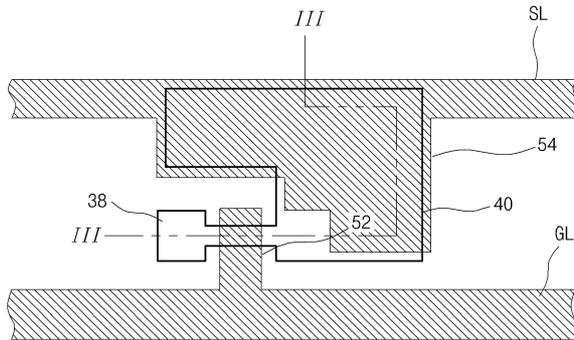
도면5b



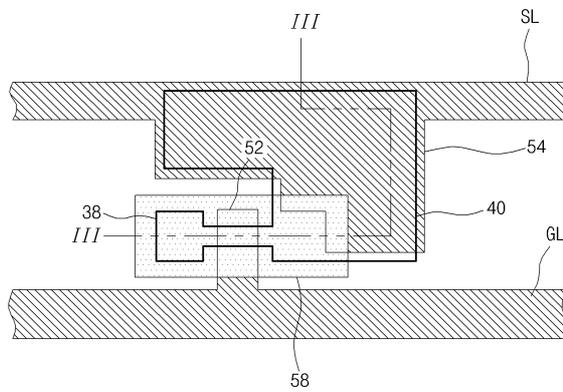
도면5c



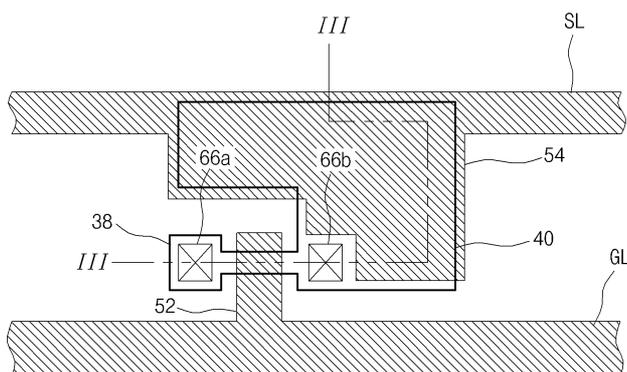
도면5d



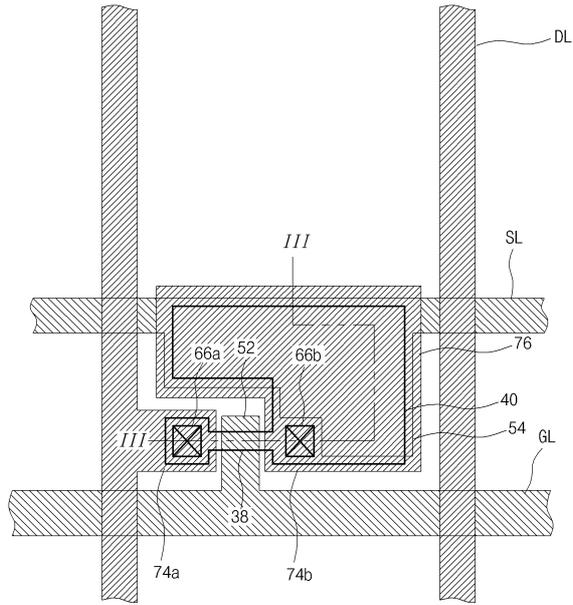
도면5e



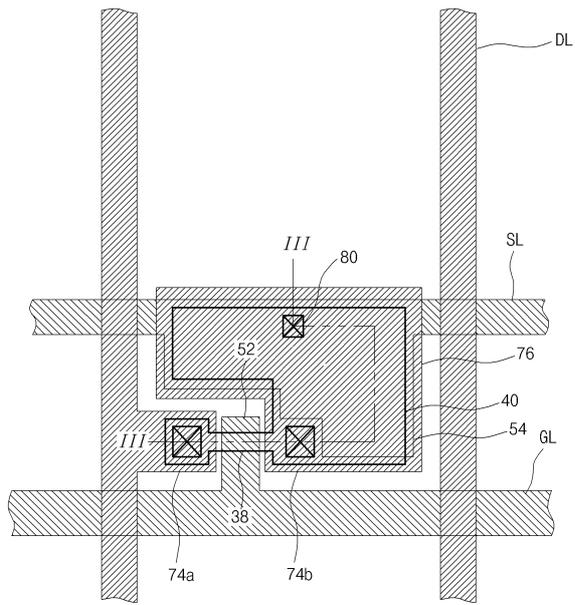
도면5f



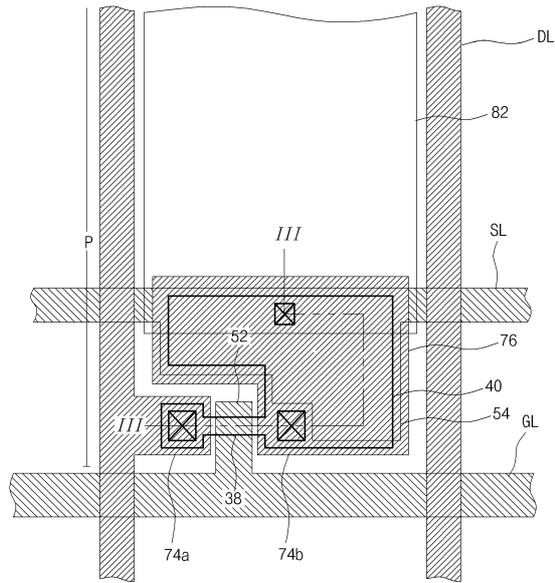
도면5g



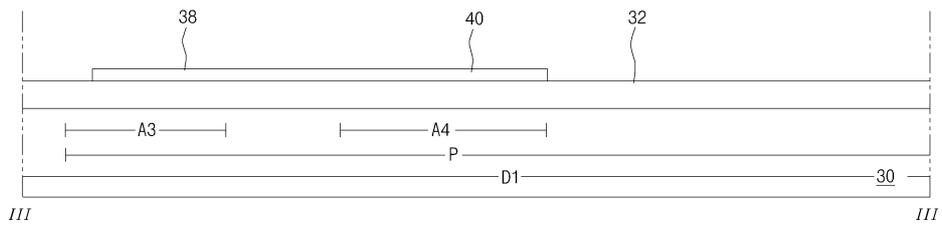
도면5h



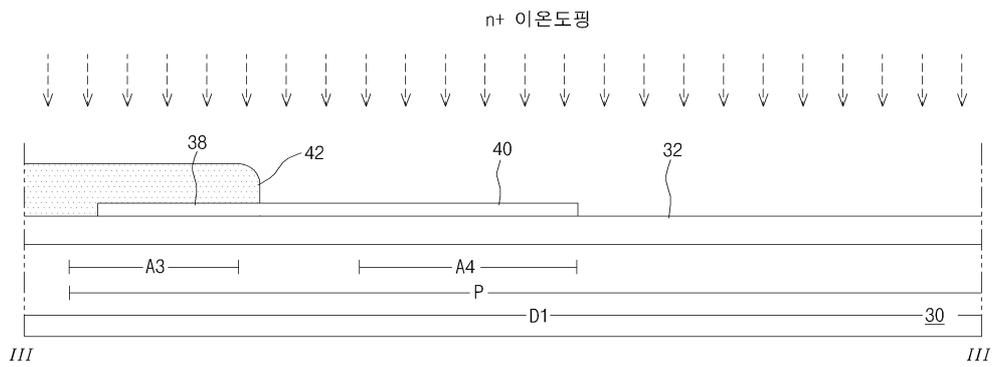
도면5i



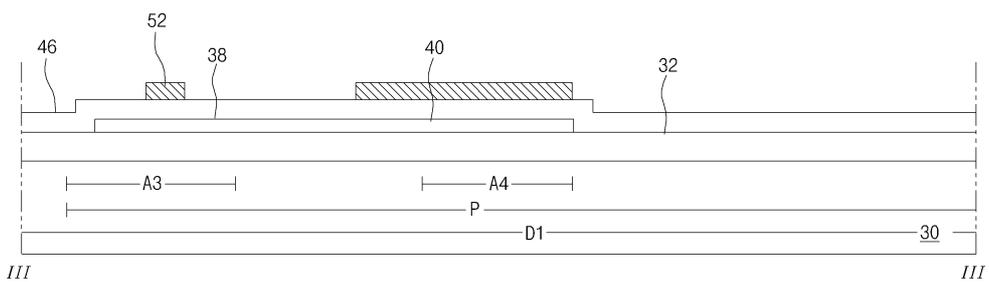
도면6a



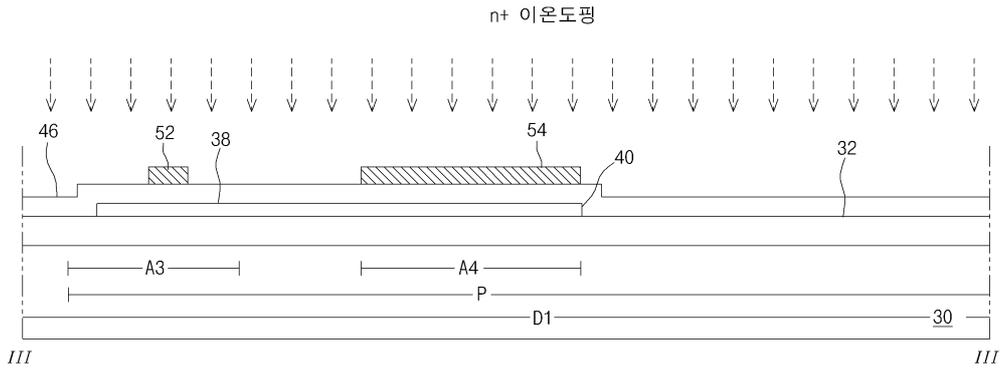
도면6b



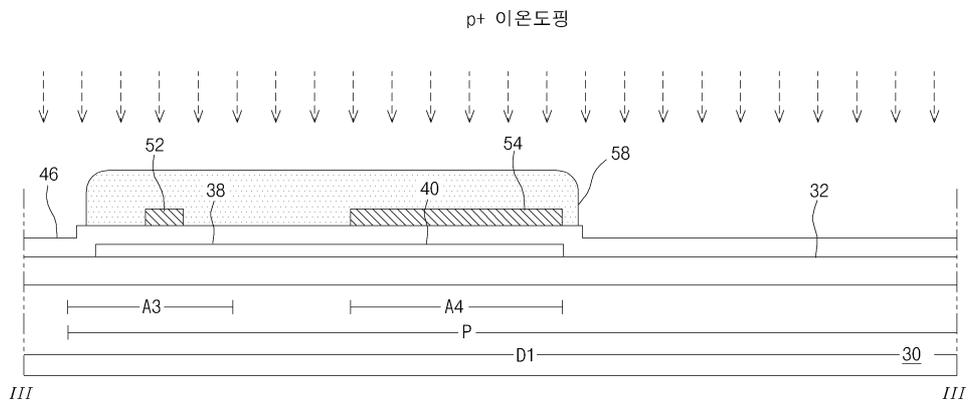
도면6c



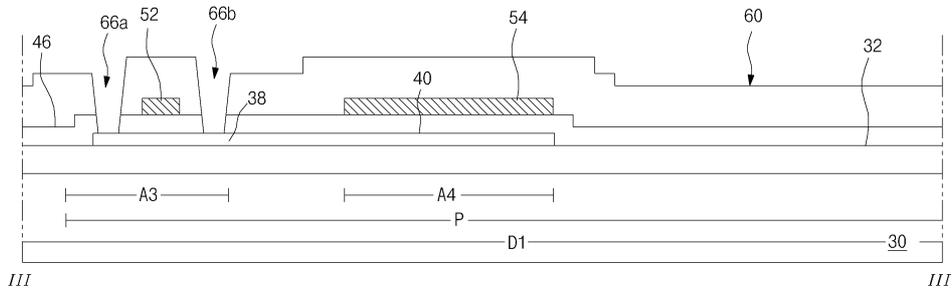
도면6d



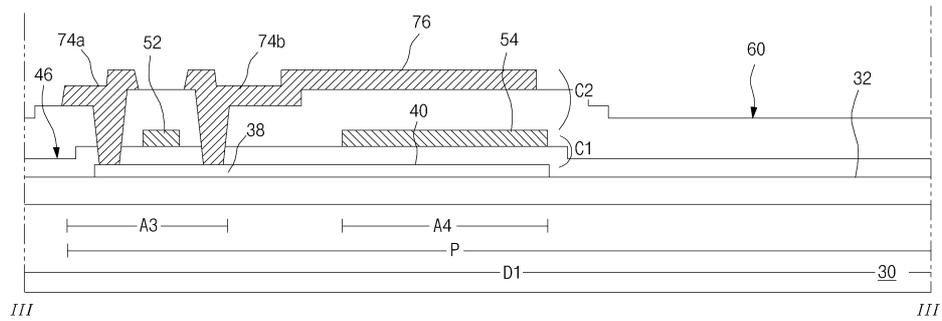
도면6e



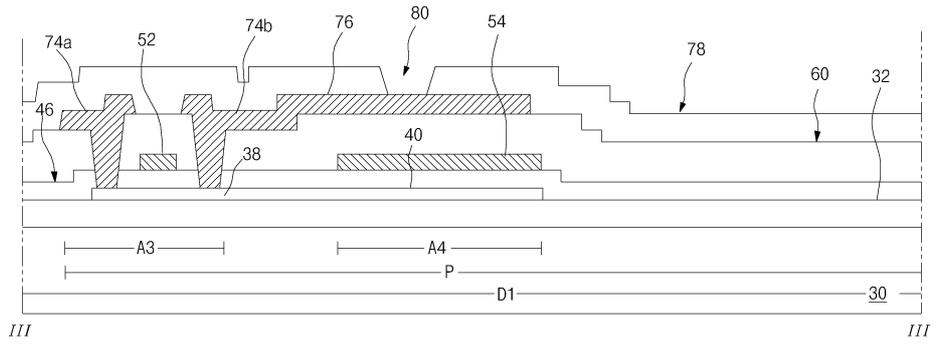
도면6f



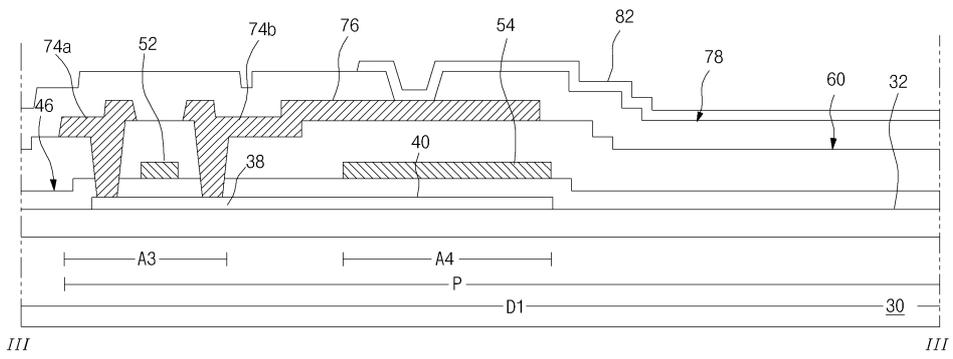
도면6g



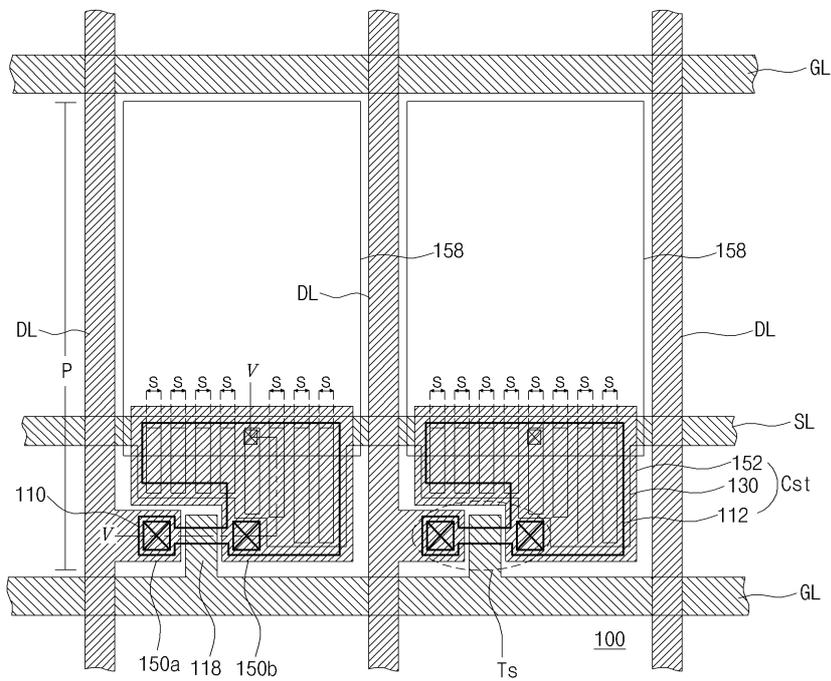
도면6h



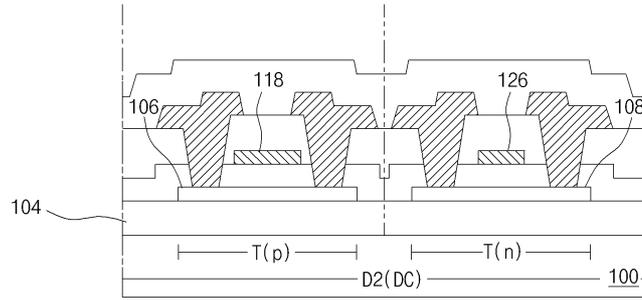
도면6i



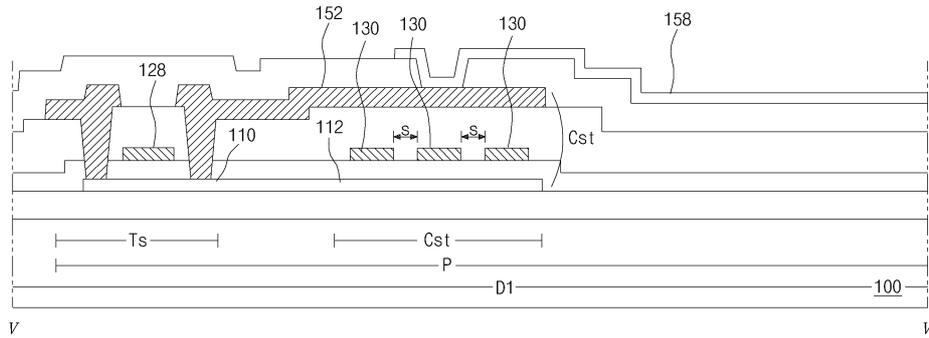
도면7



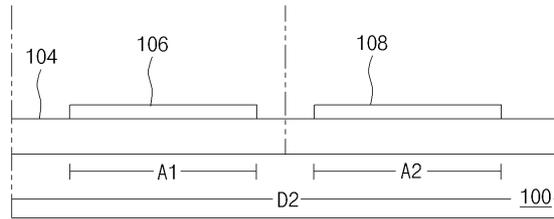
도면8a



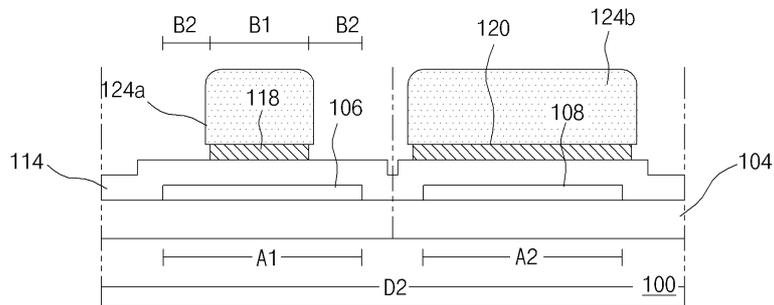
도면8b



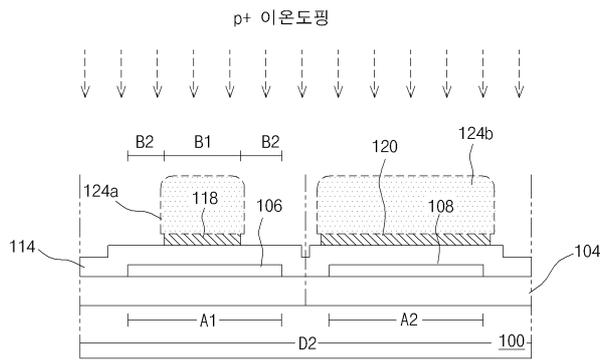
도면9a



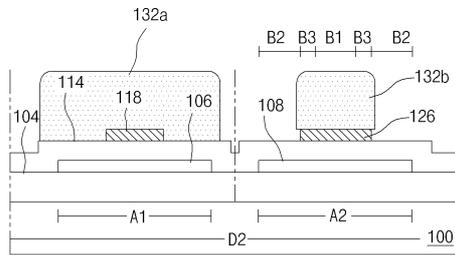
도면9b



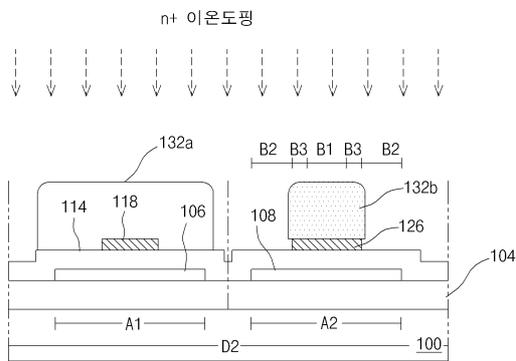
도면9c



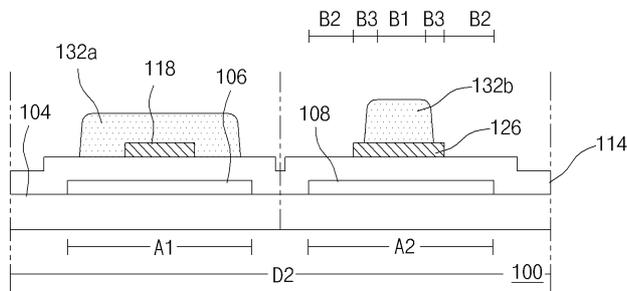
도면9d



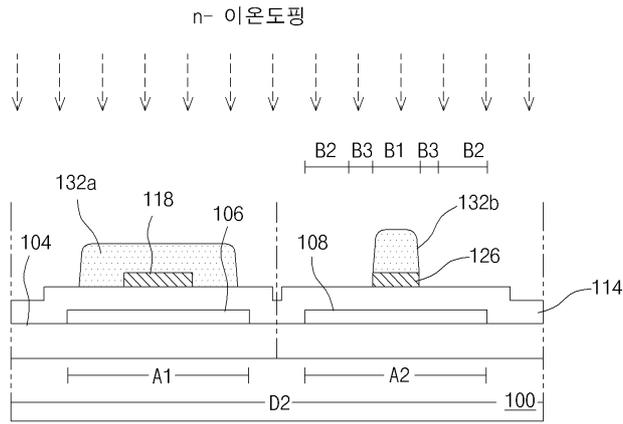
도면9e



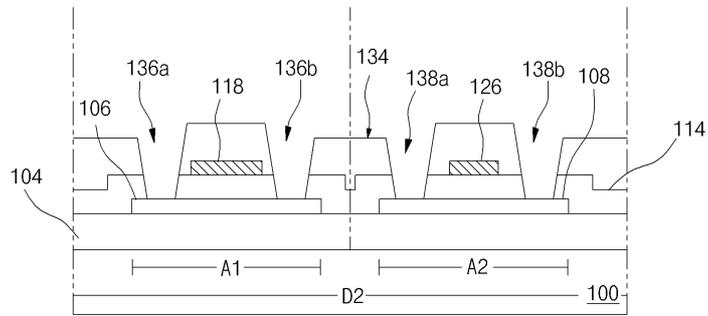
도면9f



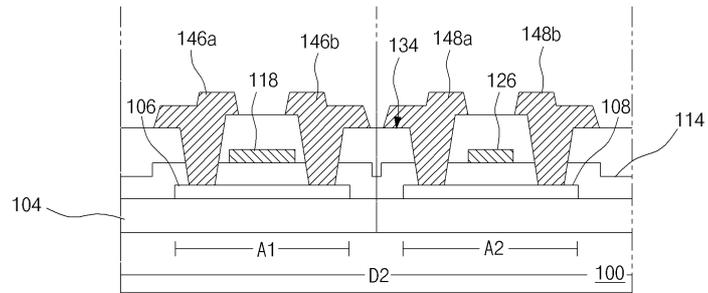
도면9g



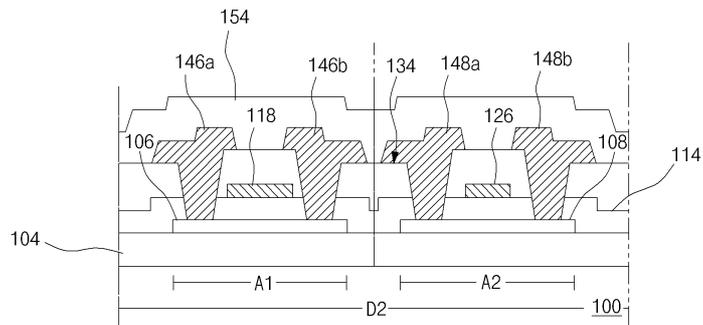
도면9h



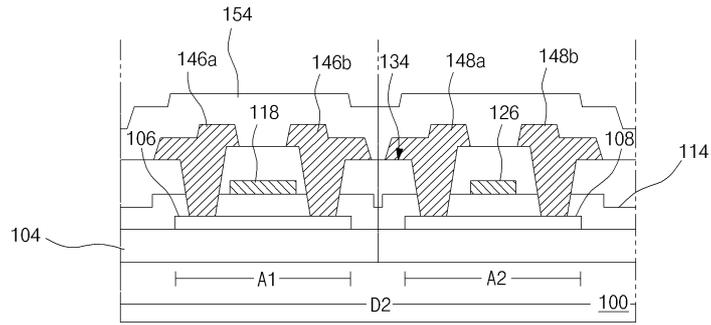
도면9i



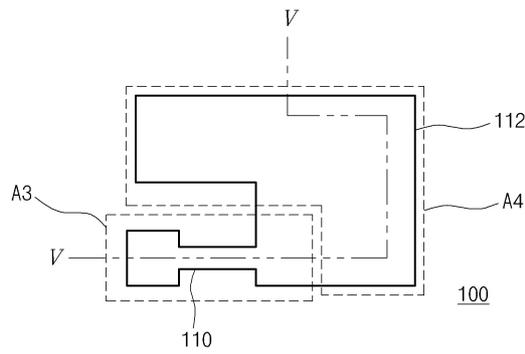
도면9j



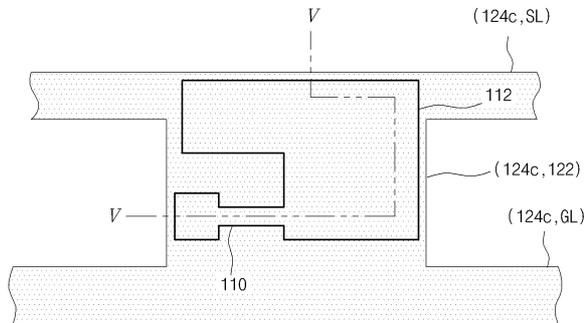
도면9k



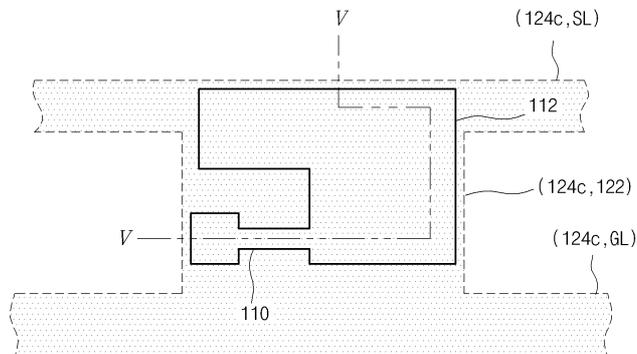
도면10a



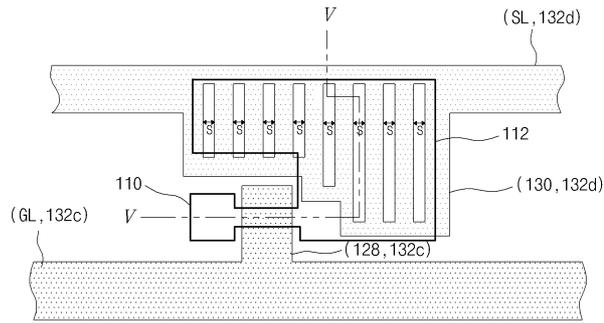
도면10b



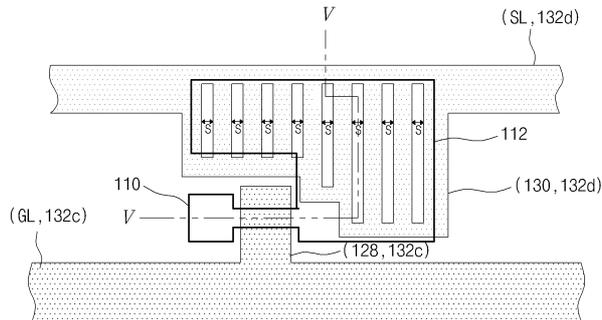
도면10c



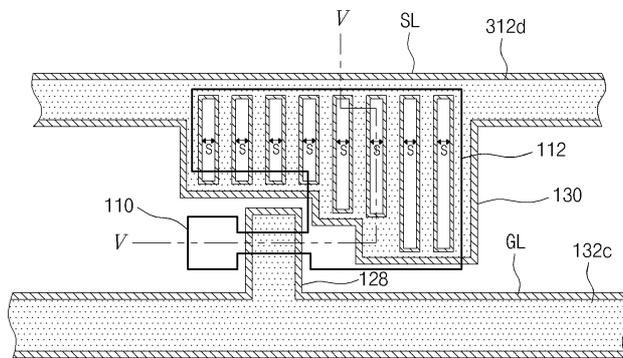
도면10d



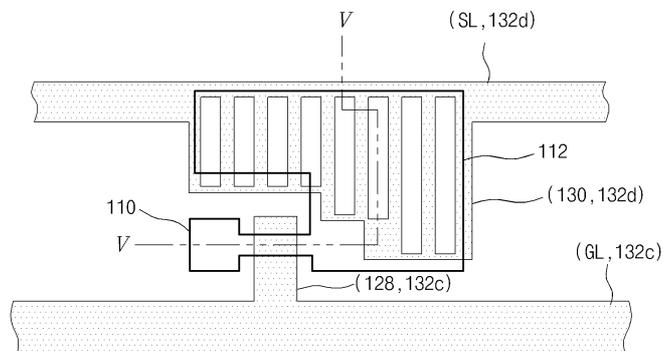
도면10e



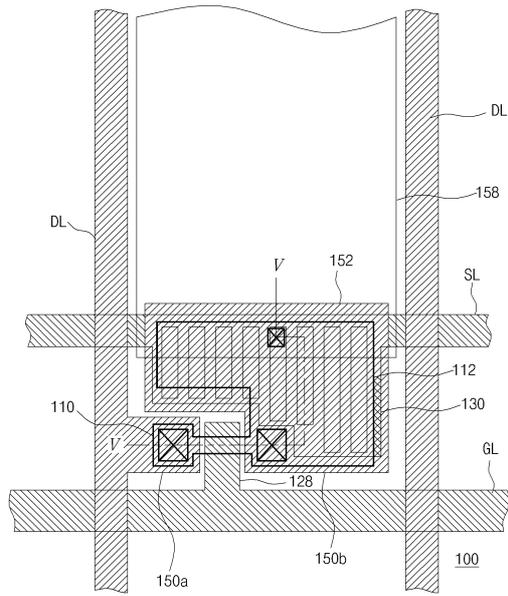
도면10f



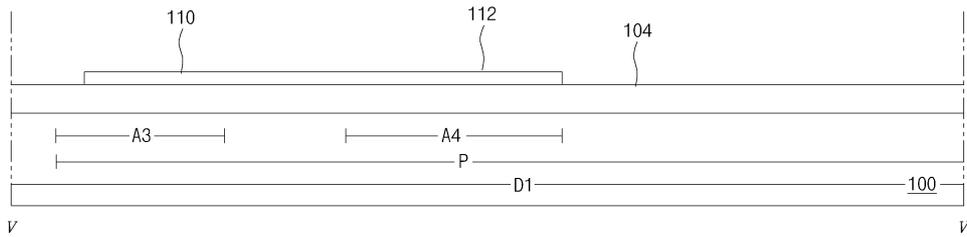
도면10g



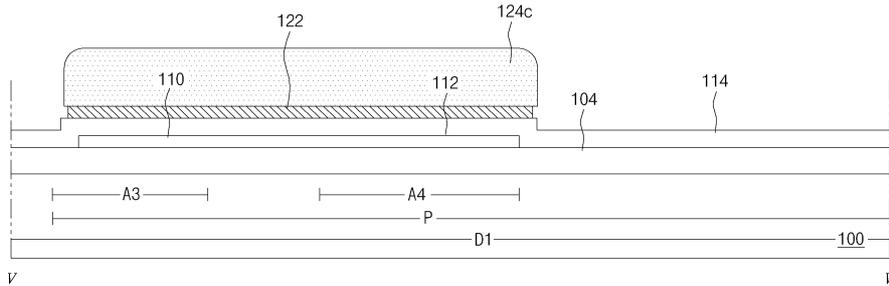
도면10k



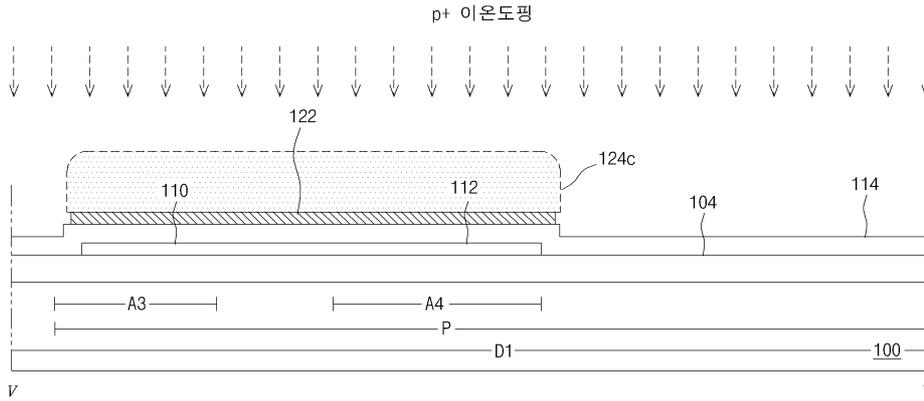
도면11a



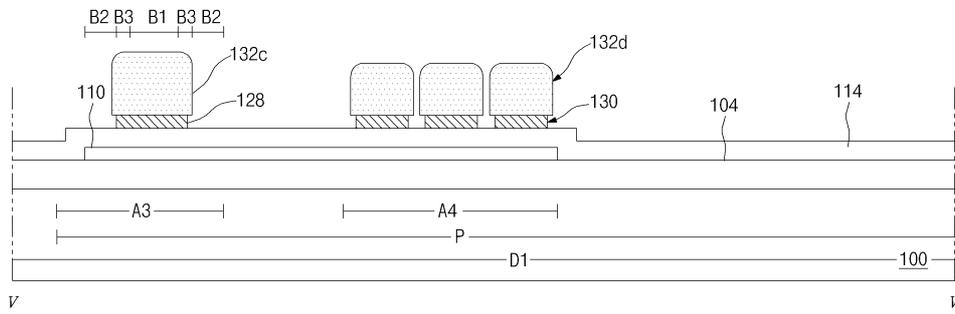
도면11b



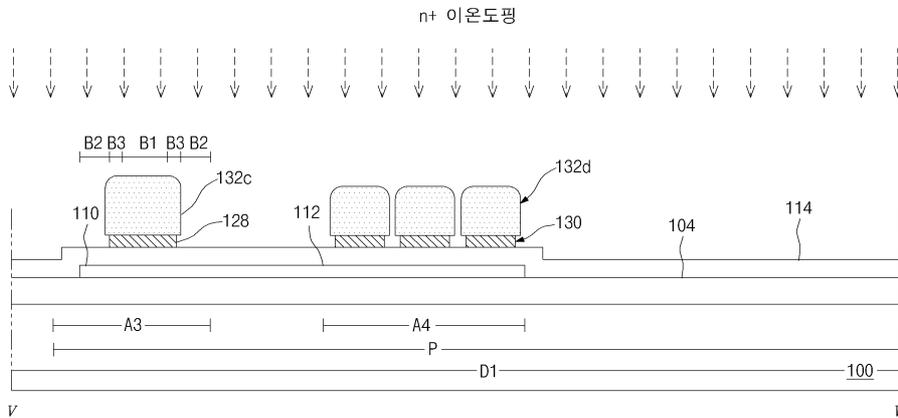
도면11c



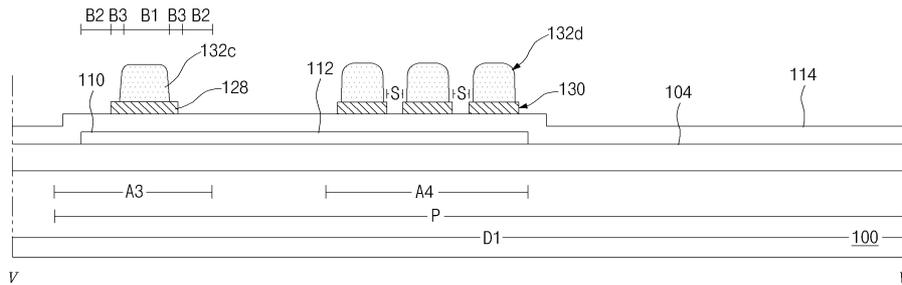
도면11d



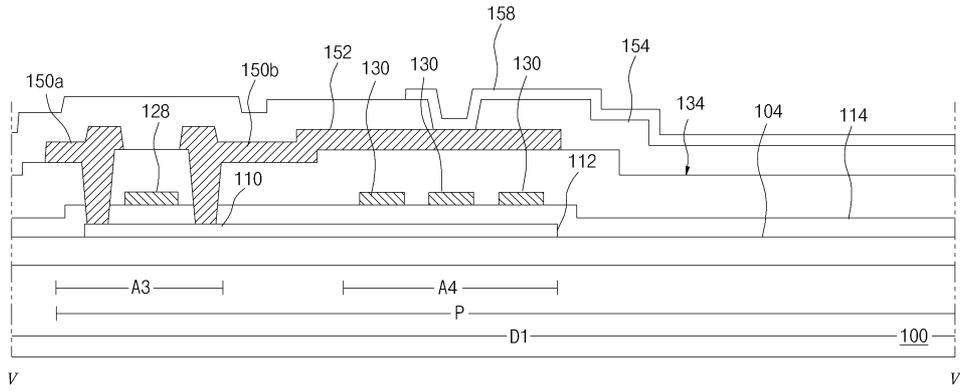
도면11e



도면11f



도면11k



专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR1020070049739A	公开(公告)日	2007-05-14
申请号	KR1020050106836	申请日	2005-11-09
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE SEOK WOO		
发明人	LEE, SEOK WOO		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136213 G02F1/136277 G02F1/1368 G02F2001/13625 G02F2201/123		
外部链接	Espacenet		

摘要(译)

本发明尤其涉及一种用于液晶显示器的驱动电路集成型阵列基板及其制造方法，作为液晶显示器。特别地，通过狭缝掺杂和热处理的掺杂剂扩散现象用于掺杂工艺中，以形成包括在阵列面板的每个像素处的辅助电容抑制存储电容器。本发明涉及该方法，7掩模工艺。并且制造用于液晶显示器的驱动电路集成型阵列基板。

