

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G02F 1/133

(11) 공개번호 10-2005-0112653
(43) 공개일자 2005년12월01일

(21) 출원번호 10-2004-0037795
(22) 출원일자 2004년05월27일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 최재권
경상북도구미시비산동전원리빙필101-908
김동언
대구광역시중구봉산동134-18

(74) 대리인 허용록

심사청구 : 없음

(54) 액정표시장치 및 그 구동방법

요약

본 발명의 액정표시장치는 소정 구간동안 화소전극과 공통전극 사이에 구비된 제2 박막 트랜지스터를 스위칭 제어하여 화소전극과 공통전극을 전기적으로 연결시켜 등전위를 형성하여 횡전계를 발생시키지 않게 되어, 움직임 흐림 현상이나 잔상 등이 방지될 수 있다.

대표도

도 3

색인어

액정표시장치, IPS, 움직임 흐림 현상, 잔상

명세서

도면의 간단한 설명

도 1a는 일반적인 음극선관에서 시간에 따른 광의 밀도(Light intensity)를 설명하기 위한 도면.

도 1b는 일반적인 액정표시장치에서 시간에 따른 광의 밀도를 설명하기 위한 도면.

도 2는 종래의 액정표시장치의 구동 원리를 설명하는 도면.

도 3은 본 발명의 바람직한 일 실시예에 따른 IPS 모드를 갖는 액정표시장치의 패널 레이아웃을 개략적으로 나타낸 도면.

도 4는 본 발명의 바람직한 일 실시예에 따른 액정표시장치의 구동 방법을 설명하기 위한 파형도.

도 5는 본 발명의 바람직한 다른 실시예에 따른 액정표시장치의 구동 방법을 설명하기 위한 파형도.

<도면의 주요 부분에 대한 부호의 설명>

11 : 게이트 라인 13 : 데이터 라인

15, 23 : 박막 트랜지스터 17 : 화소전극

19 : 공통전극 라인 21 : 공통전극

25 : 제어용 전극 라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 모션 블러링 및 잔상을 개선한 액정표시장치 및 그 구동방법에 관한 것이다.

정보화 사회가 발전함에 따라 표시 장치에 대한 요구도 다양한 형태로 증가되고 있다. 이에 부응하여 최근에는 액정표시(LCD: Liquid Crystal Display)장치, 플라즈마디스플레이(PDP: Plasma Display Panel)장치, ELD(Electro Luminescent Display)장치, VFD(Vacuum Fluorescent Display)장치 등과 같은 다양한 평판 표시 장치가 연구되어 왔고, 일부는 이미 표시 장치로 활용되고 있다.

상기 액정표시장치는 화질이 우수하고, 경량, 박형, 저소비 등과 같은 장점을 갖는다. 따라서, 상기 액정표시장치는 기존의 음극선관(CRT: Cathode Ray Tube) 장치를 대체하여 새로운 평판 표시 장치로서 각광받고 있다. 이와 같은 액정표시장치는 컴퓨터용 모니터, 텔레비전 세트의 표시장치에 활발히 사용되고 있다.

일반적인 액정 표시 장치는 화상을 표시하는 액정 패널과 상기 액정 패널에 구동 신호를 공급하기 위한 드라이버를 구비한다.

상기 액정 패널은 일정 공간을 갖고 합착된 제 1 및 제 2 기판과, 상기 제 1 및 제 2 기판 사이에 주입된 액정층으로 구성된다. 상기 제 1 기판(어레이 기판)에는 일정 간격을 갖고 일 방향으로 배열되는 복수의 게이트 라인과, 상기 각 게이트 라인과 수직한 방향으로 일정한 간격으로 배열되는 복수의 데이터 라인을 갖는다. 이때, 게이트 라인과 데이터 라인이 교차되는 교차점에 의해 화소 영역이 정의된다. 화소 영역에는 매트릭스 형태로 형성되는 복수의 화소전극과, 상기 게이트 라인으로 인가된 게이트 신호(주사 신호)에 의해 스위칭되어 상기 데이터 라인으로 인가된 데이터 신호를 화소전극에 전달하는 복수의 박막 트랜지스터(TFT: Thin Film Transistor)가 형성된다. 상기 제 2 기판(칼라 필터 기판)에는 상기 화소 영역을 제외한 부분의 빛을 차단하기 위한 블랙 매트릭스층과, 칼라 색상을 표현하기 위한 R, G, B 칼라 필터층과, 화상을 구현하기 위한 공통전극이 형성된다. 이와 같은 상기 제 1 및 제 2 기판은 스페이서(spacer)에 의해 일정 공간을 갖고 액정 주입구를 갖는 실(seal)재에 의해 합착되고 상기 두 기판 사이에 액정이 주입된다.

상기 드라이버는 게이트 라인에 게이트 신호를 인가하는 게이트 드라이버와, 데이터 라인에 데이터 신호를 인가하는 소오스 드라이버로 구분된다. 이때, 상기 게이트 드라이버와 데이터 드라이버는 통상적으로 타이밍 콘트롤러라고 불리는 마이컴(미도시)의 제어를 받는다.

일반적인 액정 표시 장치의 구동 원리는 액정의 광학적 이방성과 분극 성질을 이용한다. 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 갖고 있으며, 인위적으로 액정에 전기장을 인가하여 분자 배열의 방향을 제어할 수 있다. 따라서, 전기장의 인가 상태에 따라 분극 특성을 보이는 액정에 빛을 조사하게 되면, 액정의 분자 배향 방향을 임의로 조절할 수 있고, 액정의 배향 상태에 따라 통과되는 빛의 양이 조절되어 화상 정보를 표현할 수 있다.

한편, 종래에 음극선관(CRT : Cathode Ray Tube)은 전자총에서 방출된 전자의 세기에 조절하여 휘도를 제어하는데 반하여, 액정표시장치는 광원에서 발생된 광의 세기를 조절하여 화면의 휘도를 제어한다.

도 1a에 도시된 바와 같이, 음극선관은 임펄스(impulse) 방식에 의해 구동된다. 즉, 음극선관에서는 한 프레임의 소정 구간 동안에는 화상이 표시되고, 나머지 구간 동안에는 화상이 표시되지 않는 임펄스 방식으로 구동된다. 이에 따라, 전 프레임의 나머지 구간 동안 전 화상이 표시되어 전 화상이 다음 화상에 영향을 주기 않기 때문에 움직임 흐림 현상(motion blurring)과 전 프레임에 표시된 전 화상이 현재 프레임 상에는 남게 되는 잔상 등이 발생되지 않는다.

이에 반해, 도 1b에 도시된 바와 같이, 액정표시장치는 전 프레임 동안 전 화상이 그대로 유지되어 표시되다가 다음 프레임 동안 다음 화상이 표시되는 홀드(hold) 방식으로 구동된다.

즉, 도 2에 도시된 바와 같이, 통상적으로 액정표시장치는 한 프레임에서 각 게이트 라인마다 게이트 신호가 인가되는 동안(1H) 데이터 전압(Vdata)이 충전되고, 나머지 구간 동안에는 충전된 전압이 유지되게 된다. 따라서, 액정표시장치에서는 한 프레임 동안 지속적으로 화상이 표시되게 된다. 그러므로, 액정표시장치는 프레임 별로 이와 같이 홀드 방식으로 구동되어 각 프레임 간에 화상이 표시되지 않는 구간이 존재하지 않기 때문에 전 프레임 동안 표시된 화상이 다음 프레임 동안 표시된 화상에 영향을 주는 움직임 흐림 현상이나 잔상 등이 발생되게 된다.

발명이 이루고자 하는 기술적 과제

본 발명은 프레임 구간의 소정 구간동안 화소전극과 공통전극을 쇼트시킴으로써, 모션 블러링 및 잔상을 개선한 액정표시장치 및 그 구동방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 바람직한 일 실시예에 따르면, 액정표시장치는, 제1 방향으로 배열된 복수의 게이트 라인들; 상기 복수의 게이트 라인들에 수직인 제2 방향으로 배열된 복수의 데이터 라인들; 상기 게이트 라인들과 상기 데이터 라인들에 의해 정의된 화소영역들 각각에 형성되고, 상기 게이트 라인과 상기 데이터 라인 각각에 접속된 복수의 제1 박막 트랜지스터들; 상기 제1 박막 트랜지스터들 각각에 접속된 복수의 화소전극들; 상기 화소전극들과 일정 간격으로 배열된 복수의 공통전극들; 및 소정의 제어 신호에 의해 스위칭 제어되어 상기 화소전극들과 상기 공통전극들을 전기적으로 연결시키도록 구비된 복수의 제2 박막 트랜지스터들을 포함한다.

상기 소정의 제어신호는 한 프레임에서 화상이 표시된 후의 여유 구간동안 또는 프레임들 간의 블랭킹 구간동안 인가될 수 있다.

본 발명의 바람직한 다른 실시예에 따르면, 프레임 단위로 순차적으로 인가된 게이트 신호들에 응답하여 데이터 신호들을 각 화소영역의 화소전극에 인가하는 동시에, 상기 화소전극에 일정 간격을 두고 배열된 공통전극에 공통전압을 인가하여 화상을 표시하는 단계; 및 상기 화상이 표시된 후의 소정 구간동안 인가된 제어신호에 의해 상기 화소전극과 상기 공통전극을 전기적으로 연결시켜 표시 중인 화상을 소거하는 단계를 포함한다.

상기 화소전극과 상기 공통전극 사이에 구비된 박막 트랜지스터가 상기 소정의 제어 신호에 의해 스위칭 제어되어 상기 화소전극과 상기 공통전극을 전기적으로 연결시킬 수 있다.

상기 소정 구간은 한 프레임에서 화상이 표시된 후의 여유 구간 또는 프레임들 간의 블랭킹 구간 중 하나일 수 있다.

따라서, 본 발명은 소정 구간동안 화소전극과 공통전극 사이에 구비된 제2 박막 트랜지스터를 스위칭 제어하여 화소전극과 공통전극을 전기적으로 연결시켜 등전위를 형성하여 횡전계를 발생시키지 않게 되어, 움직임 흐림 현상이나 잔상 등이 방지될 수 있다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 살펴보면 다음과 같다.

이하의 실시예에서는 IPS 모드를 갖는 액정표시장치를 일 예로 들어 설명하고 있지만, 본 발명은 IPS 모드 이외의 다른 모드에도 적용될 수 있음을 밝혀둔다.

도 3은 본 발명의 바람직한 일 실시예에 따른 IPS 모드를 갖는 액정표시장치의 패널 레이아웃을 개략적으로 나타낸 도면이다. 도 3에는 설명의 편의를 위해 박막 트랜지스터가 배열된 어레이 기관(하부기관)을 도시하고 있다. 하지만, 도 3에는 도시되지 않았지만, 액정패널을 형성하기 위해 상기 하부 기관과 대향되어 R, G, B 컬러필터층을 갖는 컬러필터 기관(상부기관)과, 상기 하부 기관과 상기 상부 기관 사이에 충전된 액정층이 더 구비될 수 있다. 즉, 액정패널은 하부기관과, 상기 하부기관에 소정 간격으로 이격되어 대향된 상부기관 및 상기 하부 기관과 상부기관 사이에 충전된 액정층으로 구성된다. 이때, IPS 모드를 갖는 액정패널에서는 종래의 일반적인 액정패널과는 달리 상부기관에 공통전극이 형성되지 않는다. 대신 공통전극은 상기 하부기관 상에 형성된다. 즉, IPS 모드를 갖는 액정표시장치는 하부 기관 상에 화소전극과 공통전극이 모두 배치되어 화소전극과 공통전극 사이의 횡전계에 의해 액정을 조절하여 화상을 표시한다.

도 3을 참조하면, 본 발명의 IPS 모드를 갖는 액정표시장치에서 하부기관은 가로 방향으로 일정한 간격으로 배열된 복수의 게이트 라인(11)들과, 상기 게이트 라인(11)들에 수직인 세로 방향으로 일정한 간격으로 배열된 복수의 데이터 라인(13)들을 갖는다. 이때, 상기 게이트 라인(11)들과 데이터 라인(13)들이 수직으로 교차하는 교차점에 의해 화소 영역이 정의된다.

화소 영역에는 매트릭스 형태로 형성되는 복수의 화소전극(17)과, 상기 게이트 라인(11)으로 인가된 게이트 신호(주사신호)에 의해 스위칭되어 상기 데이터 라인(13)으로 인가된 데이터 신호를 화소전극(17)에 전달하는 복수의 박막 트랜지스터(TFT: Thin Film Transistor)(15)가 형성된다. 여기서, 상기 박막 트랜지스터(15)는 후술되는 제어용 박막 트랜지스터(23)와 구별하기 위해 이하에서는 구동 박막 트랜지스터라 한다.

이를 상세히 설명하면, 상기 구동 박막 트랜지스터(15)의 게이트 전극은 상기 게이트 라인(11)에 접속되고, 소스 전극은 상기 데이터 라인(13)에 접속되며, 드레인 전극은 상기 화소전극(17)에 접속된다.

상기 화소전극(17)은 복수의 화소전극 바들(17a, 17b, 17c)이 일정 간격을 두고 세로 방향으로 배열된다. 종래에는 화소전극이 하나의 4각 면으로 형성되는데 반해, 본 발명의 IPS 모드에서는 화소전극(17)이 일정 간격을 갖는 복수의 화소전극 바들(17a, 17b, 17c)이 배열 형성된다. 이들 화소전극 바들(17a, 17b, 17c)은 서로 간에 연결되게 된다. 상기 화소전극 바들(17a, 17b, 17c) 중 하나의 바(17a)의 일측이 상기 구동 박막 트랜지스터(15)의 드레인 전극에 접속된다.

상기 게이트 신호에 의해 상기 구동 박막 트랜지스터(15)가 스위칭될 때, 데이터 신호가 상기 화소전극(17)을 통해 화소전극 바들(17a, 17b, 17c)로 전달되게 된다.

상기 화소전극 바들(17a, 17b, 17c) 사이에는 공통전압이 인가되기 위한 복수의 공통전극 바들(21a, 21b, 21c)로 이루어진 공통전극(21)이 형성된다. 이때, 상기 공통전극 바들(21a, 21b, 21c)은 서로 간에 연결되게 된다.

따라서, 상기 화소전극 바들(17a, 17b, 17c)과 상기 공통전극 바들(21a, 21b, 21c)은 서로 교대로 배열되게 된다. 이때, 상기 화소전극 바들(17a, 17b, 17c)에 데이터 신호가 인가되고, 상기 공통전극 바들(21a, 21b, 21c)에 공통전압이 인가되면, 화소전극 바들(17a, 17b, 17c)과 공통전극 바들(21a, 21b, 21c) 사이에 횡전계가 발생하고, 이러한 횡전계에 의해 액정들이 조절되게 된다.

상기 공통전압 바들 중 하나의 일측은 상기 공통전극 라인(19)에 접속된다. 상기 공통전극 라인(19)은 상기 게이트 라인(11)들과 평행하게 배열될 수 있다. 따라서, 상기 공통전극 라인(19)으로 인가된 공통전압이 상기 공통전극(21)을 통해 공통전극 바들(21a, 21b, 21c)로 전달되게 된다.

한편, 상기 화소전극(17)과 상기 공통전극(21) 사이에는 제어용 박막 트랜지스터(23)가 구비된다. 즉, 상기 화소전극(17)에 포함된 화소전극 바들(17a, 17b, 17c) 중 하나의 화소전극 바(17a)와 상기 공통전극(21)에 포함된 공통전극 바들(21a, 21b, 21c) 중 하나의 공통전극 바(21a) 사이에 제어용 박막 트랜지스터(23)가 구비된다. 상기 제어용 박막 트랜지스터(23)는 각 프레임의 소정 구간동안 상기 화소전극 바와 공통전극 바를 전기적으로 연결시키기 위해 구비된다. 여기서, 소정 구간이라 함은 프레임 후단의 수 내지 수백 수평 구간(H)의 범위를 의미한다.

이때, 상기 제어용 박막 트랜지스터(23)는 상기 구동 박막 트랜지스터(15)와 동일한 물질로 동일한 공정에 의해 만들어지게 된다. 하지만, 상기 제어용 박막 트랜지스터(23)는 단순히 온/오프 스위칭 동작만 하면 되므로, 상기 구동 박막 트랜지스터(15)에 비해 상대적으로 작은 사이즈로 만들어지는 것이 바람직하다. 이에 따라, 상기 구동 박막 트랜지스터(15)가 -5~27V 사이에서 스위칭 동작되는데 반해, 상기 제어용 박막 트랜지스터(23)는 0~3V 사이에서 스위칭 동작될 수 있다.

상기 제어용 박막 트랜지스터(23)의 게이트 전극은 제어용 전극 라인(25)에 접속되고, 소스 전극은 화소전극 바에 접속되며, 드레인 전극은 공통전극 바에 접속된다. 여기서, 상기 제어용 전극 라인(25)은 상기 게이트 라인(11)에 평행하게 배열될 수 있다. 그리고, 상기 제어용 전극 라인(25)에는 상기 제어용 박막 트랜지스터(23)를 스위칭 제어하기 위한 제어신호(타이밍 콘트롤러에서 생성된 제어신호와 구별하기 위해 블랙 제어신호라 한다)가 인가되게 되는데, 이러한 제어신호는 도시되지 않은 타이밍 콘트롤러 등에서 생성되어 인가될 수 있다.

상기 제어용 박막 트랜지스터(23)는 한 프레임 중에서 화상이 표시되는 구간동안에는 턴-오프된 상태로 유지되어 상기 화소전극 바와 상기 공통전극 바를 단선시키고, 화상 표시 구간이 지난 후의 소정 구간동안 턴-온이 되어 상기 화소전극 바와 상기 공통전극 바를 연결시킨다. 이와 같이 제어용 박막 트랜지스터(23)가 턴-온되어 화소전극 바와 상기 공통전극 바가 연결되게 되면, 상기 화소전극 바와 상기 공통전극 바의 전압이 동일하게 되어 횡전계가 발생되지 않게 되어, 화상이 표시되지 않게 된다. 결국, 다음 프레임 이전의 이전 프레임의 소정 구간동안 화상이 표시되지 않게 된다. 물론, 다음 프레임이 시작되면 다시 화상이 표시되게 된다. 이와 같이 상기 제어용 박막 트랜지스터(23)를 제어하여 현재 프레임과 다음 프레임 사이에 일정 구간 화상이 표시되지 않도록 하여 줌으로써, 움직임 흐림 현상이나 잔상 등을 방지할 수 있다.

이러한 제어용 박막 트랜지스터(23)는 각 화소영역마다 한개씩 구비될 수 있다. 이때, 각 화소영역마다 구비된 제어용 박막 트랜지스터(23)에 접속된 제어용 전극 라인(25)들은 모두 연결된다. 따라서, 한 프레임의 소정 구간 동안 제공되는 블랙 제어신호에 의해 각 화소영역마다 구비된 제어용 박막 트랜지스터(23)가 동시에 제어될 수 있다. 즉, 한 프레임의 소정 구간 동안 제어신호가 각 제어 전극 라인들로 인가되면, 각 제어 전극 라인들에 접속된 제어용 박막 트랜지스터(23)들이 동시에 턴-온되게 된다. 이에 따라, 한 프레임의 소정 구간 동안에는 모든 화소 영역에서 화상이 표시되지 않게 된다. 즉, 상기 한 프레임의 소정 구간 동안 표시중인 화상이 소거되게 된다.

상기와 같이 구성된 액정표시장치의 동작을 상세히 설명한다.

도 4는 본 발명의 바람직한 일 실시예에 따른 액정표시장치의 구동 방법을 설명하기 위한 파형도이다.

앞서 설명한 바와 같이, IPS 모드를 갖는 액정패널은 게이트 드라이버에서 인가된 게이트 신호와 데이터 드라이버에서 인가된 데이터 신호에 의해 화상이 표시되게 된다. 이때, 상기 게이트 드라이버와 데이터 드라이버는 도시되지 않은 타이밍 콘트롤러에 의해 제어되게 된다.

일반적으로 액정표시장치는 수평동기 신호(Vsync)를 기준으로 구동되게 된다. 즉, 상기 수평동기 신호는 16.67ms를 갖는 프레임이 주기적으로 발생하게 된다. 프레임 간에는 블랭킹(blanking) 구간이 존재하게 된다.

상기 타이밍 콘트롤러는 상기 수평 동기 신호를 바탕으로 상기 게이트 드라이버 및 게이트 드라이버를 제어하기 위한 제어신호를 생성한다. 또한, 상기 타이밍 콘트롤러는 공통전압과 블랙 제어신호도 생성한다. 여기서, 상기 공통전압은 상기 액정패널의 공통전극 라인(19)을 통해 공통전극(21)으로 인가되게 되고, 상기 블랙 제어신호는 상기 제어용 전극 라인(25)을 통해 제어용 박막 트랜지스터(23)를 스위칭 제어한다.

상기 게이트 드라이버는 상기 제어신호에 응답하여 주사신호를 순차적으로 발생하여 액정패널의 각 게이트 라인(11)들에 인가한다. 이에 따라, 상기 게이트 라인(11)들에 접속된 박막 트랜지스터가 턴-온되게 된다.

이때, 상기 데이터 드라이버는 상기 제어신호에 응답하여 데이터 신호를 각 데이터 라인(13)들에 인가한다. 이에 따라, 상기 데이터 신호는 턴-온된 박막 트랜지스터를 통해 화소전극(17)으로 인가되게 된다. 앞서 설명한 바와 같이, 상기 화소전극(17)에는 화소전극 바들(17a, 17b, 17c)이 구비되므로, 상기 화소전극 바들(17a, 17b, 17c)로 데이터 신호가 인가되게 된다.

상기 화소전극(17)으로 인가된 데이터 신호는 도시되지 않은 스토리지 전극에 충전되게 된다. 이때, 상기 주사신호는 극히 짧은 구간동안 하이 전압(대략 27V)을 갖게 되고, 하이 전압이 인가되고 난 후에는 로우 전압(대략 -5V)이 인가되게 된다. 이러한 로우 전압에 의해 각 게이트 라인(11)들에 접속된 박막 트랜지스터는 턴-오프되게 된다.

이때, 상기 게이트 신호 및 데이터 신호가 인가되는 시점에 맞추어 상기 타이밍 콘트롤러에서 생성된 공통전압이 공통전극 라인(19)을 통해 공통전극(21)으로 인가되게 된다. 앞서 설명한 바와 같이, 공통전극(21)에는 공통전극 바들(21a, 21b, 21c)이 구비되므로, 상기 공통전극 바들(21a, 21b, 21c)로 공통전압이 인가되게 된다.

그리고, 상기 공통전극 바들(21a, 21b, 21c)과 화소전극 바들(17a, 17b, 17c)은 교대로 배열된다.

따라서, 액정패널에는 제1 게이트 라인으로 주사신호가 제일 먼저 인가되어 상기 제1 게이트 라인에 접속된 박막 트랜지스터들이 턴-온되면, 상기 제1 게이트 라인에 수직으로 배열된 복수의 데이터 라인들을 통해 데이터 신호가 인가되게 되어 각 박막 트랜지스터들을 통해 각 화소전극(17)들에 포함된 화소전극 바들(17a, 17b, 17c)에 데이터 신호가 인가되게 된다. 이에 따라, 상기 화소전극(17)에 포함된 화소전극 바들(17a, 17b, 17c)에 인가된 데이터 신호와 공통전극(21)에 포함된 공통전극 바들(21a, 21b, 21c)에 인가된 공통전압 사이의 횡전계가 발생하게 된다. 그리고, 이러한 횡전계에 의해 액정이 조절되어 화상이 표시되게 된다.

제1 게이트 라인 상에 화상이 표시되면, 이어서 제2 게이트 라인, 제3 게이트 라인들이 순차적으로 활성화되면서 각각의 화상이 표시되게 된다.

상기 액정패널에 구비된 모든 게이트 라인(11) 상에 화상이 표시되는 구간은 한 프레임 이내이다. 통상적으로 상기 액정패널 내에 구비된 모든 게이트 라인(11)상에 화상을 표시되더라도 한 프레임에는 약간의 여유 구간이 존재하게 된다. 여기서, 여유 구간은 한 프레임에서 화상이 모두 표시된 구간과 다음 프레임 이전의 블랭킹 구간 사이의 시간 길이를 의미한다.

이때, 상기 타이밍 컨트롤러는 상기 여유 구간에 소정의 블랙 제어 신호를 생성하여 상기 액정패널에 구비된 모든 제어용 전극 라인(25)들에 인가한다. 앞서 설명한 바와 같이, 제어용 전극 라인(25)들은 게이트 라인(11)들과 평행으로 배열된다. 상기 제어용 전극 라인(25)으로 인가된 블랙 제어신호에 의해 상기 제어용 전극 라인(25)들에 접속된 제어용 박막 트랜지스터(23)들이 동시에 턴-온되게 된다. 이때, 앞서 설명한 바와 같이, 제어용 박막 트랜지스터(23)의 소스 전극에는 화소전극 바들(17a, 17b, 17c) 중 하나의 화소전극 바(17a)가 접속되고, 드레인 전극에는 공통전극 바들(21a, 21b, 21c) 중 하나의 공통전극 바(21a)가 접속된다.

따라서, 상기 제어용 박막 트랜지스터(23)들이 동시에 턴-온됨에 따라 상기 화소전극 바와 공통전극 바가 전기적으로 연결되게 된다. 이때, 상기 공통전극 바와 화소전극 바는 동일한 전압을 갖게 된다. 통상적으로는 화소전극 바에 인가된 데이터 신호(양의 신호 및 음의 신호 포함)가 공통전극 바에 인가된 공통전압보다 높으므로 상기 공통전극 바는 상기 화소전극 바의 데이터 신호가 인가되게 된다.

이와 같이, 여유 구간에서 화소전극 바와 공통전극 바가 제어용 박막 트랜지스터(23)에 의해 전기적으로 연결되어, 화소전극 바와 공통전극 바가 동일한 전압을 갖게 되므로, 화소전극 바와 공통전극 바 사이에는 등전위가 형성되어 어떠한 횡전계도 발생되지 않게 된다. 그러므로, 한 프레임의 여유 구간동안 화상이 표시되지 않게 된다. 즉, 상기 한 프레임의 여유 구간 동안 표시중인 화상이 소거되게 된다. 이때, 이러한 여유 구간을 블랙 구간이라 칭한다. 즉, 블랙 구간이란 화상이 표시되지 않는 구간을 의미한다.

결국, 한 프레임에서 블랙 구간 이전동안 모든 화상이 표시되고, 블랙 구간동안 표시 중인 화상이 소거되어 표시되지 않게 된다. 물론, 다음 프레임에서도 블랙 구간 이전동안 모든 화상이 표시되고, 블랙 구간동안 표시중인 화상이 소거되어 표시되지 않게 된다. 따라서, 각 프레임마다 화상이 표시되지 않는 블랙 구간이 존재하게 되어, 액정표시장치가 임펄스 방식과 같이 구동하게 되어, 움직임 흐림 현상이나 잔상 등이 발생되지 않게 된다. 따라서, 보다 깨끗한 화질의 화상이 표시될 수 있다.

한편, 한 프레임 내의 블랙 구간동안 표시 중인 화상을 소거하는 것이 아니라, 프레임 사이에 존재하는 블랭킹 구간동안 표시 중인 화상을 소거하여 표시되지 않도록 할 수 있다.

도 5는 본 발명의 바람직한 다른 실시예에 따른 액정표시장치의 구동 방법을 설명하기 위한 파형도이다.

앞서 설명한 바와 같이, IPS 모드를 갖는 액정패널은 게이트 드라이버에서 인가된 게이트 신호와 데이터 드라이버에서 인가된 데이터 신호에 의해 화상이 표시되게 된다. 이때, 상기 게이트 드라이버와 데이터 드라이버는 도시되지 않은 타이밍 컨트롤러에 의해 제어되게 된다.

일반적으로 액정표시장치는 수평동기 신호(Vsync)를 기준으로 구동되게 된다. 즉, 상기 수평동기 신호는 16.67ms를 갖는 프레임이 주기적으로 발생하게 된다. 프레임 간에는 블랭킹(blanking) 구간이 존재하게 된다.

상기 타이밍 콘트롤러는 상기 수평 동기 신호를 바탕으로 상기 게이트 드라이버 및 게이트 드라이버를 제어하기 위한 제어신호를 생성한다. 또한, 상기 타이밍 콘트롤러는 공통전압과 블랙 제어신호도 생성한다. 여기서, 상기 공통전압은 상기 액정패널의 공통전극 라인(19)을 통해 공통전극(21)으로 인가되게 되고, 상기 블랙 제어신호는 상기 제어용 전극 라인(25)을 통해 제어용 박막 트랜지스터(23)를 스위칭 제어한다.

상기 게이트 드라이버는 상기 제어신호에 응답하여 주사신호를 순차적으로 발생하여 액정패널의 각 게이트 라인(11)들에 인가한다. 이에 따라, 상기 게이트 라인(11)들에 접속된 박막 트랜지스터가 턴-온되게 된다.

이때, 상기 데이터 드라이버는 상기 제어신호에 응답하여 데이터 신호를 각 데이터 라인(13)들에 인가한다. 이에 따라, 상기 데이터 신호는 턴-온된 박막 트랜지스터를 통해 화소전극(17)으로 인가되게 된다. 앞서 설명한 바와 같이, 상기 화소전극(17)에는 화소전극 바들(17a, 17b, 17c)이 구비되므로, 상기 화소전극 바들(17a, 17b, 17c)로 데이터 신호가 인가되게 된다.

상기 화소전극(17)으로 인가된 데이터 신호는 도시되지 않은 스토리지 전극에 충전되게 된다. 이때, 상기 주사신호는 극히 짧은 구간동안 하이 전압(대략 27V)을 갖게 되고, 하이 전압이 인가되고 난 후에는 로우 전압(대략 -5V)이 인가되게 된다. 이러한 로우 전압에 의해 각 게이트 라인(11)들에 접속된 박막 트랜지스터는 턴-오프되게 된다.

이때, 상기 게이트 신호 및 데이터 신호가 인가되는 시점에 맞추어 상기 타이밍 콘트롤러에서 생성된 공통전압이 공통전극 라인(19)을 통해 공통전극(21)으로 인가되게 된다. 앞서 설명한 바와 같이, 공통전극(21)에는 공통전극 바들(21a, 21b, 21c)이 구비되므로, 상기 공통전극 바들(21a, 21b, 21c)로 공통전압이 인가되게 된다.

그리고, 상기 공통전극 바들(21a, 21b, 21c)과 화소전극 바들(17a, 17b, 17c)은 교대로 배열된다.

따라서, 액정패널에는 제1 게이트 라인으로 주사신호가 제일 먼저 인가되어 상기 제1 게이트 라인에 접속된 박막 트랜지스터들이 턴-온되면, 상기 제1 게이트 라인에 수직으로 배열된 복수의 데이터 라인들을 통해 데이터 신호가 인가되게 되어 각 박막 트랜지스터들을 통해 각 화소전극(17)들에 포함된 화소전극 바들(17a, 17b, 17c)에 데이터 신호가 인가되게 된다. 이에 따라, 상기 화소전극(17)에 포함된 화소전극 바들(17a, 17b, 17c)에 인가된 데이터 신호와 공통전극(21)에 포함된 공통전극 바들(21a, 21b, 21c)에 인가된 공통전압 사이의 횡전계가 발생하게 된다. 그리고, 이러한 횡전계에 의해 액정이 조절되어 화상이 표시되게 된다.

제1 게이트 라인 상에 화상이 표시되면, 이어서 제2 게이트 라인, 제3 게이트 라인들이 순차적으로 활성화되면서 각각의 화상이 표시되게 된다.

이와 같이 한 프레임 동안 화상을 표시하게 된다.

앞서 설명한 바와 같이, 프레임들 간에는 블랭킹 구간이 존재한다.

상기 타이밍 콘트롤러는 상기 블랭킹에 소정의 블랙 제어 신호를 생성하여 상기 액정패널에 구비된 모든 제어용 전극 라인(25)들에 인가한다. 앞서 설명한 바와 같이, 제어용 전극 라인(25)들은 게이트 라인(11)들과 평행으로 배열된다. 상기 제어용 전극 라인(25)으로 인가된 블랙 제어신호에 의해 상기 제어용 전극 라인(25)들에 접속된 제어용 박막 트랜지스터(23)들이 동시에 턴-온되게 된다. 이때, 앞서 설명한 바와 같이, 제어용 박막 트랜지스터(23)의 소스 전극에는 화소전극 바들(17a, 17b, 17c) 중 하나의 화소전극 바(17a)가 접속되고, 드레인 전극에는 공통전극 바들(21a, 21b, 21c) 중 하나의 공통전극 바(21a)가 접속된다.

따라서, 상기 제어용 박막 트랜지스터(23)들이 동시에 턴-온됨에 따라 상기 화소전극 바와 공통전극 바가 전기적으로 연결되게 된다. 이때, 상기 공통전극 바와 화소전극 바는 동일한 전압을 갖게 된다. 통상적으로는 화소전극 바에 인가된 데이터 신호(양의 신호 및 음의 신호 포함)가 공통전극 바에 인가된 공통전압보다 높으므로 상기 공통전극 바는 상기 화소전극 바의 데이터 신호가 인가되게 된다.

이와 같이, 블랭킹 구간에서 화소전극 바와 공통전극 바가 제어용 박막 트랜지스터(23)에 의해 전기적으로 연결되어, 화소전극 바와 공통전극 바가 동일한 전압을 갖게 되므로, 화소전극 바와 공통전극 바 사이에는 등전위가 형성되어 어떠한

횡전계도 발생되지 않게 된다. 그러므로, 한 프레임의 블랭킹 구간동안 표시 중인 화상이 소거되어 표시되지 않게 된다. 따라서, 이러한 블랭킹 구간이 블랙 구간으로 이용될 수 있다. 여기서, 블랙 구간이란 화상이 표시되지 않는 구간을 의미한다.

결국, 한 프레임 동안 모든 화상이 표시되고, 다음 프레임 이전의 블랭킹 구간동안 표시 중인 화상이 소거되어 표시되지 않게 된다. 물론, 다음 프레임 동안 모든 화상이 표시되고, 그 다음 프레임 이전의 블랭킹 구간동안 표시 중인 화상이 소거되어 표시되지 않게 된다. 따라서, 프레임들 사이의 블랭킹 구간마다 화면이 표시되지 않는 블랙 구간이 존재하게 되어, 액정표시장치가 임펄스 방식과 같이 구동하게 되어, 움직임 흐림 현상이나 잔상 등이 발생되지 않게 된다. 따라서, 보다 깨끗한 화질의 화상이 표시될 수 있다.

이상의 설명에서는 IPS 모드를 갖는 액정표시장치에 한정하여 설명하였지만, 본 발명은 이에 한정되지 않고 다른 모드를 갖는 액정표시장치에도 얼마든지 적용 가능함을 밝혀둔다. 즉, 화소전극과 공통전극을 전기적으로 연결시킬 수 있는 제어용 박막 트랜지스터가 구비될 수 있는 어떠한 모드를 갖는 액정표시장치에도 적용이 가능하다.

발명의 효과

이상에서 살펴본 바와 같이, 본 발명에 의하면, 한 프레임에서 화상이 표시되는 구간을 제외한 나머지 구간동안 제어용 박막 트랜지스터를 스위칭 제어하여 화소전극 바와 공통전극 바를 전기적으로 연결시켜 화상이 표시되지 않도록 함으로써, 움직임 흐림 현상이나 잔상 등을 방지하여 선명한 화질을 구현할 수 있다.

또한, 본 발명에 의하면, 프레임들 간에 존재하는 블랭킹 구간동안 제어용 박막 트랜지스터를 스위칭 제어하여 화소전극 바와 공통전극 바를 전기적으로 연결시켜 화상이 표시되지 않도록 함으로써, 움직임 흐림 현상이나 잔상 등을 방지하여 선명한 화질을 구현할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

제1 방향으로 배열된 복수의 게이트 라인들;

상기 복수의 게이트 라인들에 수직인 제2 방향으로 배열된 복수의 데이터 라인들;

상기 게이트 라인들과 상기 데이터 라인들에 의해 정의된 화소영역들 각각에 형성되고, 상기 게이트 라인과 상기 데이터 라인 각각에 접속된 복수의 제1 박막 트랜지스터들;

상기 제1 박막 트랜지스터들 각각에 접속된 복수의 화소전극들;

상기 화소전극들과 일정 간격으로 배열된 복수의 공통전극들; 및

소정의 제어 신호에 의해 스위칭 제어되어 상기 화소전극들과 상기 공통전극들을 전기적으로 연결시키도록 구비된 복수의 제2 박막 트랜지스터들

을 포함하는 액정표시장치.

청구항 2.

제1항에 있어서, 상기 화소전극들은 복수의 화소전극 바들로 이루어지고, 상기 공통전극들은 복수의 공통전극 바들로 이루어지며, 상기 화소전극 바들과 상기 공통전극 바들은 교대로 배열되는 것을 특징으로 하는 액정표시장치.

청구항 3.

제1항에 있어서, 상기 소정의 제어신호는 한 프레임에서 화상이 표시된 후의 여유 구간동안 인가되는 것을 특징으로 하는 액정표시장치.

청구항 4.

제1항에 있어서, 상기 소정의 제어신호는 프레임들 간의 블랭킹 구간동안 인가되는 것을 특징으로 하는 액정표시장치.

청구항 5.

제1항에 있어서, 상기 화소전극들과 상기 공통전극들이 전기적으로 연결될 때, 상기 화소전극들과 상기 공통전극들은 동일한 전압을 갖는 것을 특징으로 하는 액정표시장치.

청구항 6.

프레임 단위로 순차적으로 인가된 게이트 신호들에 응답하여 데이터 신호들을 각 화소영역의 화소전극에 인가하는 동시에, 상기 화소전극에 일정 간격을 두고 배열된 공통전극에 공통전압을 인가하여 화상을 표시하는 단계; 및

상기 화상이 표시된 후의 소정 구간동안 인가된 제어신호에 의해 상기 화소전극과 상기 공통전극을 전기적으로 연결시켜 표시 중인 화상을 소거하는 단계

를 포함하는 액정표시장치의 구동방법.

청구항 7.

제6항에 있어서, 상기 화소전극과 상기 공통전극 사이에 구비된 박막 트랜지스터가 상기 소정의 제어 신호에 의해 스위칭 제어되어 상기 화소전극과 상기 공통전극을 전기적으로 연결시키는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 8.

제6항에 있어서, 상기 소정 구간은 한 프레임에서 화상이 표시된 후의 여유 구간인 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 9.

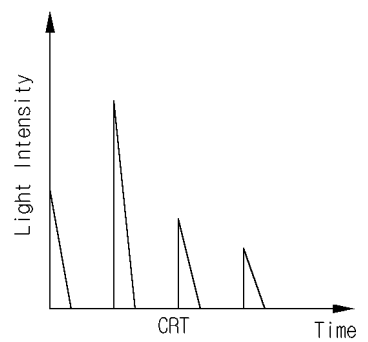
제6항에 있어서, 상기 소정 구간은 프레임들 간의 블랭킹 구간인 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 10.

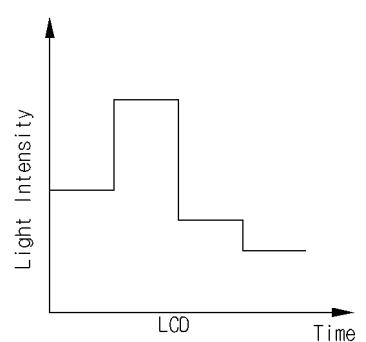
제6항에 있어서, 상기 화소전극과 상기 공통전극이 전기적으로 연결될 때, 상기 화소전극과 상기 공통전극은 동일한 전압을 갖는 것을 특징으로 하는 액정표시장치의 구동방법.

도면

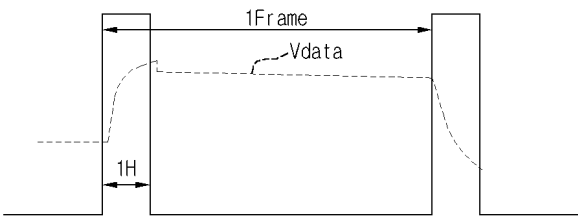
도면1a



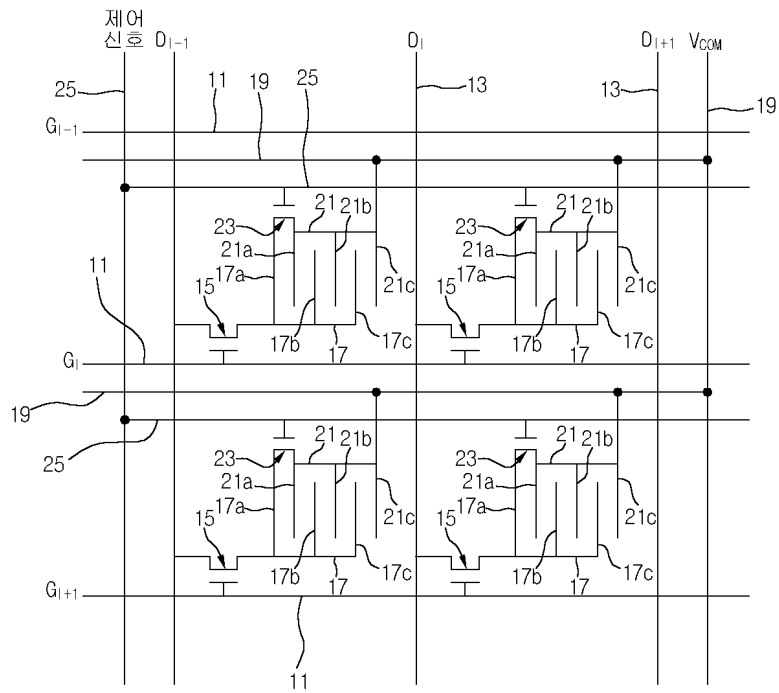
도면1b



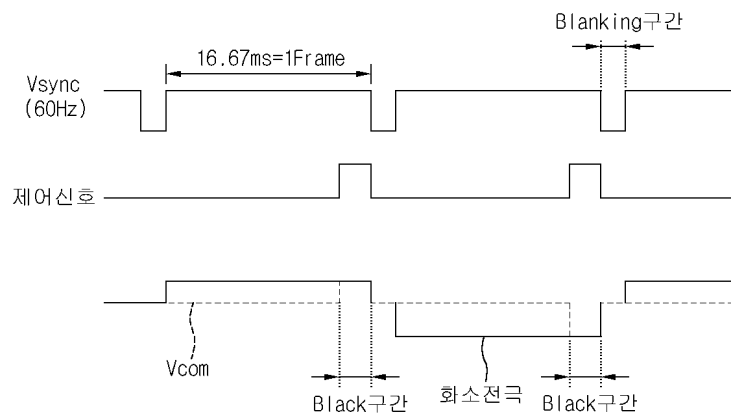
도면2



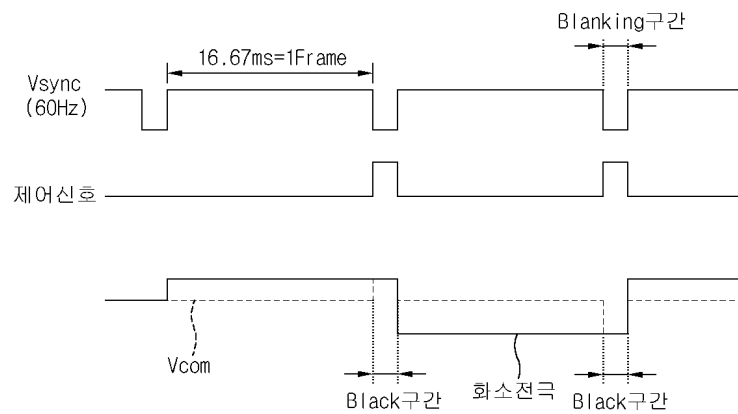
도면3



도면4



도면5



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020050112653A	公开(公告)日	2005-12-01
申请号	KR1020040037795	申请日	2004-05-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI JAEKWON 최재권 KIM DONGUN 김동언		
发明人	최재권 김동언		
IPC分类号	G02F1/133		
外部链接	Espacenet		

摘要(译)

本发明的液晶显示器将设置在像素电极和公共电极之间的第二薄膜晶体管切换和控制预定时间，以电连接像素电极和公共电极以形成相等的电位，从而不产生横向电场，可以防止模糊现象或残像。3 指数方面 液晶显示器，IPS，运动模糊，余像

