

(19)대한민국특허청(KR) (12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G02F 1/136

(11) 공개번호 10-2005-0046171
(43) 공개일자 2005년05월18일

(21) 출원번호 10-2003-0080188
(22) 출원일자 2003년11월13일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자 이경목
서울특별시구로구오류2동152번지우석빌라1-106
남승희
경기도수원시장안구울전동394-22번지502호
오재영
경기도의왕시내손1동포일아파트101동210호

(74) 대리인 김영호

심사청구 : 없음

(54) 액정표시패널 및 그 제조 방법

요약

본 발명은 공정을 단순화하여 제조단가를 절감할 수 있는 액정표시패널 및 그 제조 방법을 제공하는 것이다.

본 발명은 버퍼패턴을 사이에 두고 서로 중첩되게 형성된 투명전극패턴과 폴리반도체패턴, 게이트 절연패턴을 사이에 두고 상기 폴리반도체패턴의 채널영역과 중첩되게 형성된 게이트전극, 층간절연막을 사이에 두고 상기 게이트전극과 중첩되게 형성된 상기 폴리반도체패턴의 소스영역과 소스접촉홀을 통해 접속된 소스전극, 상기 층간절연막 상에 형성되며 상기 폴리반도체패턴의 드레인전극과 드레인접촉홀을 통해 접속된 드레인전극을 가지는 제1 및 제2 박막 트랜지스터와; 상기 제1 및 제2 박막 트랜지스터 중 어느 하나와 접속되며 상기 기판 상에 상기 투명전극패턴과 동일물질로 형성된 화소전극을 구비하는 것을 특징으로 한다.

대표도

도 5

명세서

도면의 간단한 설명

도 1은 종래의 폴리 실리콘형 액정표시패널의 화상표시부를 나타내는 평면도이다.

도 2는 도 1에 도시된 액정표시패널의 I - I '선을 따라 절단하여 도시한 단면도 및 구동 박막 트랜지스터의 단면도이다.

도 3a 내지 도 3h는 도 2에 도시된 종래 폴리 실리콘형 액정표시패널의 박막트랜지스터 어레이 기판의 제조방법을 나타내는 단면도이다.

도 4는 본 발명에 실시예에 따른 액정표시패널의 화상표시부를 나타내는 평면도이다 .

도 5는 도 4에 도시된 스위치소자를 II - II '선을 따라 절단하여 도시한 단면도 및 구동 박막 트랜지스터의 단면도이다. .

도 6a 내지 도 6h는 도 5에 도시된 박막 트랜지스터 어레이 기판의 제조방법 중 제1 마스크 공정을 나타내는 단면도.

< 도면의 주요부분에 대한 설명>

2, 102 : 게이트 라인 4, 104 : 데이터 라인

14,114,174 : 액티브층 20,120 : 화소접촉홀

1, 101 : 하부기관 16,116 : 버퍼막

12,112 : 게이트 절연막 6, 106 : 게이트 전극

26, 126 : 층간절연막 8, 108 : 소스 전극

10, 110 : 드레인 전극 18 : 보호막

22, 122 : 화소전극 128 : 게이트패드

148 : 데이터패드

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시패널에 관한 것으로, 특히 공정을 단순화하여 제조단가를 절감할 수 있는 액정표시패널 및 그 제조 방법에 관한 것이다.

통상, 액정표시소자(Liquid Crystal Display; LCD)는 비디오신호에 따라 액정셀들의 광투과율을 조절함으로써 액정셀들이 매트릭스 형태로 배열되어진 액정패널에 비디오신호에 해당하는 화상을 표시하게 된다. 이 경우, 액정셀들을 스위칭하는 소자로서 통상 박막트랜지스터(Thin film Transistor; TFT)가 이용되고 있다.

이러한 액정표시소자에 이용되는 박막트랜지스터는 반도체층으로 아몰퍼스(Amorphous) 실리콘 또는 폴리(Poly) 실리콘을 이용한다. 아몰퍼스 실리콘형 박막 트랜지스터는 아몰퍼스 실리콘막의 균일성이 비교적 좋아 특성이 안정된 장점을 가지고 있다. 그러나, 아몰퍼스 실리콘형 박막 트랜지스터는 전하 이동도가 낮아 응답 속도가 느리다는 단점을 가지고 있다. 이에 따라, 아몰퍼스 실리콘형 박막 트랜지스터는 빠른 응답 속도를 필요로 하는 고해상도 표시 패널이나 게이트 드라이버 및 데이터 드라이버의 구동 소자로는 적용이 어려운 단점을 가지고 있다.

폴리 실리콘형 박막 트랜지스터는 전하 이동도가 높음에 따라 빠른 응답 속도를 필요로 하는 고해상도 표시 패널에 적합할 뿐만 아니라 주변 구동 회로들을 표시 패널에 내장할 수 있는 장점을 가지고 있다. 이에 따라, 폴리 실리콘형 박막 트랜지스터를 이용한 액정 표시 장치가 대두되고 있다.

종래 폴리 실리콘형 박막트랜지스터를 이용한 액정표시장치는 화소 매트릭스를 포함하는 화상표시부와, 화상 표시부의 데이터 라인들을 구동하기 위한 데이터구동부와, 화상 표시부의 게이트 라인들을 구동하기 위한 게이트 구동부를 구비한다.

화상 표시부에는 액정셀들이 매트릭스 형태로 배열되어 화상을 표시한다. 액정셀들 각각은 게이트 라인과 데이터 라인의 교차점에 접속된 스위칭소자로서 N형 불순물이 주입된 폴리 실리콘을 이용한 박막 트랜지스터(Thin Film Transistor ; 이하 "TFT"라 함)에 의해 구동된다.

화상표시부의 N형 TFT(30)는 도 1 및 도 2에 도시된 바와 같이 게이트라인(2)과 접속되는 게이트전극(6)과, 데이터라인(4)과 접속되는 소스전극(8)과, 화소전극(22)과 보호막(18)을 관통하는 화소접촉홀(20)을 통해 접속되는 드레인전극(10)을 구비한다.

게이트전극(6)은 버퍼막(16) 상에 형성되는 액티브층(14)의 채널영역(14C)과 게이트절연막(12)을 사이에 두고 중첩되게 형성된다. 소스전극(8)은 게이트전극(6)과 층간절연막(26)을 사이에 두고 절연되게 형성되어 n+ 이온이 주입된 액티브층의 소스영역(14S)과 소스접촉홀(24S)을 통해 접촉한다. 드레인전극(14D)은 게이트전극(6)과 층간절연막(26)을 사이에 두고 절연되게 형성되어 n+ 이온이 주입된 액티브층의 드레인영역(14D)과 드레인접촉홀(24D)을 통해 접촉된다. 한편, 액티브층의 채널영역(14C)과 드레인영역(14D), 채널영역(14C)과 소스영역(14S) 사이에는 n-이온이 주입된 엘디디(Lightly Doped Drain ; 이하 "LDD"라 함)영역이 형성될 수도 있다. 이 LDD영역은 상대적으로 높은 오프전류를 감소시키는 역할을 한다.

이러한 N형 TFT(30)는 게이트 라인(2)으로부터의 스캔 펄스에 응답하여 데이터 라인(4)으로부터의 비디오 신호, 즉 화소 신호를 액정셀(LC)에 충전되게 한다. 이에 따라, 액정셀(LC)은 충전된 화소 신호에 따라 광투과율을 조절하게 된다.

화소 전극(22)은 보호막(18)을 관통하는 화소접촉홀(20)을 통해 N형 TFT(30)의 드레인 전극(10)과 접속된다. 화소 전극(22)은 충전된 화소전압에 의해 도시하지 않은 상부 기관에 형성되는 공통 전극과 전위차를 발생시키게 된다. 이 전위차에 의해 박막 트랜지스터 기관과 상부 기관 사이에 위치하는 액정이 유전 이방성에 의해 회전하게 되며 도시하지 않은 광원으로부터 화소 전극(22)을 경유하여 입사되는 광을 상부 기관 쪽으로 투과시키게 된다.

게이트 구동부는 게이트 제어신호들에 의해 프레임마다 수평기간씩 순차적으로 게이트라인들(2)을 구동한다. 이 게이트 구동부에 의해 박막트랜지스터들이 수평라인 단위로 순차적으로 턴-온되어 데이터라인(4)을 액정셀과 접속시키게 된다.

데이터 구동부는 수평기간마다 다수의 디지털 데이터신호 샘플링하여 아날로그 데이터신호로 변환한다. 그리고 데이터 구동부는 아날로그 데이터신호를 데이터라인들에 공급한다. 이에 따라, 턴-온된 박막트랜지스터에 접속된 액정셀들은 데이터라인들 각각으로부터의 데이터신호에 응답하여 광투과율을 조절하게 된다.

이러한 게이트구동부 및 데이터 구동부는 CMOS구조로 연결된 다수개의 구동 P형 TFT(90)와 구동 N형 TFT를 포함하게 된다. 구동 P형 TFT(90)는 액티브층의 소스 및 드레인영역(74S,74D)에 봉소 불순물이 주입된다. 구동 N형 TFT(도시하지 않음)는 액티브층의 소스 및 드레인영역에 인이나 비소 불순물을 주입하게 된다.

이러한 구동 N형 및 P형 TFT(90) 각각은 버퍼막(16)을 사이에 두고 하부기관(1) 상에 형성되는 액티브층(74)과, 게이트 절연막(12)을 사이에 두고 액티브층(74)과 중첩되게 형성되는 게이트전극(66)과, 게이트전극(66)과 절연되게 형성되며 액티브층과 접촉되는 소스전극(68) 및 드레인전극(70)을 구비한다.

도 3a 내지 도 3h는 종래 폴리 실리콘형 박막트랜지스터를 이용한 액정표시장치의 제조방법을 나타내는 단면도이다.

먼저, 하부기관(1) 상에 SiO₂ 등의 절연물질로 전면 증착된 후 패터닝됨으로써 버퍼막(16)이 형성된다. 버퍼막(16)이 형성된 하부기관(1) 상에 아몰퍼스 실리콘막이 증착된 후 아몰퍼스 실리콘막이 레이저에 의해 결정화되어 폴리 실리콘막이 되고, 그 폴리 실리콘막이 제1 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 패터닝된다. 이에 따라, 도 3a에 도시된 바와 같이 화상표시부의 화상 TFT 및 구동부의 N형 TFT에 포함되는 N형 TFT와, 구동부의 P형 TFT(이하, "P형 TFT"라 함) 각각의 액티브층(14,74)을 포함하는 액티브패턴이 형성된다.

액티브패턴이 형성된 하부기관(1) 상에 SiO₂의 절연물질이 전면 증착됨으로써 게이트절연막(12)이 형성된다. 게이트절연막(12)이 형성된 하부기관(1) 상에 게이트금속층이 전면 증착된 후 제2 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 게이트금속층이 패터닝된다. 이에 따라, 도 3b에 도시된 바와 같이 N형 및 P형 TFT 각각의 게이트 전극(6,66)이 형성된다. 여기서, 게이트금속층은 알루미늄(Al), 알루미늄/네오듐(Al/Nd) 등을 포함하는 알루미늄계 금속이 이용된다.

그런 다음, 하부기관(1) 상에 포토레지스트가 전면 증착된 후 제3 마스크를 이용한 포토리소그래피공정에 의해 포토레지스트가 패터닝됨으로써 포토레지스트패턴이 형성된다. 이 포토레지스트패턴은 N형 TFT의 액티브층(14)을 일부 노출시키며 P형 TFT의 액티브층(74)을 완전히 가리도록 형성된다. 이 포토레지스트패턴을 마스크로 이용하여 N형 TFT의 액티브층(14)에 n⁺ 이온이 주입됨으로써 도 3c에 도시된 바와 같이 N형 TFT의 액티브층(14)의 소스영역(14S)과 드레인영역(14D)이 형성된다.

n⁺ 이온이 주입된 액티브층(14)이 형성된 하부기관(1) 상에 포토레지스트가 전면 증착된 후 제4 마스크를 이용한 포토리소그래피공정에 의해 포토레지스트가 패터닝됨으로써 포토레지스트패턴이 형성된다. 이 포토레지스트패턴은 P형 TFT의 액티브층(74)을 제외한 영역을 덮도록 형성된다. 이러한 포토레지스트패턴을 마스크로 이용하여 P형 TFT의 액티브층(74)에 p⁺ 이온이 주입됨으로써 도 3d에 도시된 바와 같이 P형 TFT의 액티브층(74)의 소스영역(74S)과 드레인영역(74D)이 형성된다.

p⁺ 이온이 주입된 액티브층(74)이 형성된 하부기관(1) 상에 절연물질이 전면 증착됨으로써 층간절연막(26)이 형성된다. 이 후 층간절연막(26)과 게이트 절연막(12)이 제5 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 패터닝된다. 이에 따라, 도 3e에 도시된 바와 같이 N형 TFT의 소스영역(14S)과 드레인영역(14D)을 각각 노출시키는 소스접촉홀(24S)과 드레인접촉홀(24D)이 형성되며, P형 TFT의 소스영역(74S)과 드레인영역(74D)을 각각 노출시키는 소스접촉홀(84S)과 드레인접촉홀(84D)이 형성된다.

소스접촉홀(24S) 및 드레인접촉홀(24D)이 형성된 하부기관(1) 상에 소스/드레인금속층이 전면 증착된 후 제6 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 소스/드레인금속층이 패터닝된다. 이에 따라, 도 3f에 도시된 바와 같이 N형 TFT의 소스 및 드레인전극(8,10) 및 P형 TFT의 소스 및 드레인전극(68,70)을 포함하는 소스/드레인패턴이 형성된다. 소스/드레인패턴에 포함되는 각 소스 및 드레인전극(8,68,10,70)은 소스접촉홀(24S,84S) 및 드레인접촉홀(24D,84D)을 통해 액티브층의 소스영역(14S,74S) 및 드레인영역(14D,74D)과 접촉된다.

소스/드레인패턴이 형성된 하부기관(1) 상에 절연물질이 전면 증착됨으로써 보호막(18)이 형성된다. 이 후 제7 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 보호막(18)이 패터닝됨으로써 도 3g에 도시된 바와 같이 화상표시부의 N형 TFT의 드레인전극(10)을 노출시키는 화소접촉홀(20)이 형성된다.

보호막(18)이 형성된 하부기관(1) 상에 투명전도성물질이 전면 증착된 후 제8 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 투명전도성물질이 패터닝됨으로써 도 3h에 도시된 바와 같이 화소전극(22)이 형성된다. 화소전극(22)은 화소접촉홀(20)을 통해 화상 TFT의 드레인전극(10)과 전기적으로 접속된다.

이와 같이, 종래 폴리실리콘형 박막트랜지스터를 갖는 액정표시장치의 제조 방법은 8마스크 공정을 채용함으로써 제조공정이 복잡하여 원가 절감에 한계가 있다. 이는 하나의 마스크 공정이 박막 증착 공정, 세정 공정, 포토리소그래피 공정, 식각 공정, 포토레지스트 박리 공정, 검사 공정 등과 같은 많은 공정을 포함하고 있기 때문이다. 이에 따라, 최근에는 제조공정을 더욱 단순화하여 제조 단가를 더욱 줄일 수 있는 방안이 요구된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 공정을 단순화하여 제조단가를 절감할 수 있는 액정표시패널 및 그 제조방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시패널은 버퍼패턴을 사이에 두고 서로 중첩되게 형성된 투명전극패턴과 폴리반도체패턴, 게이트 절연패턴을 사이에 두고 상기 폴리반도체패턴의 채널영역과 중첩되게 형성된 게이트전극, 층간절연막을 사이에 두고 상기 게이트전극과 중첩되게 형성된 상기 폴리반도체패턴의 소스영역과 소스접촉홀을 통해 접속된 소스전극, 상기 층간절연막 상에 형성되며 상기 폴리반도체패턴의 드레인전극과 드레인접촉홀을 통해 접속된 드레인전극을 가지는 제1 및 제2 박막 트랜지스터와; 상기 제1 및 제2 박막 트랜지스터 중 어느 하나와 접속되며 상기 기판 상에 상기 투명전극패턴과 동일물질로 형성된 화소전극을 구비하는 것을 특징으로 한다.

상기 제1 박막 트랜지스터의 폴리반도체패턴에는 n+ 이온이 포함되고, 상기 제2 박막 트랜지스터의 폴리반도체패턴에는 p+ 이온이 포함된 제2 불순물이 주입된 것을 특징으로 한다.

상기 화소전극은 상기 제1 박막 트랜지스터의 드레인전극과 접속되는 것을 특징으로 한다.

상기 제1 박막 트랜지스터는 상기 액정표시패널의 화상표시부에 위치하는 액정셀과 접속된 것을 특징으로 한다.

상기 제1 및 제2 박막 트랜지스터는 상기 액정셀을 구동하기 위한 구동회로부에 포함되는 것을 특징으로 한다.

상기 게이트 라인과 접속되며 층간절연막 및 보호막을 관통하는 접촉홀을 통해 노출된 게이트 패드를 추가로 구비하는 것을 특징으로 한다.

상기 데이터 라인과 접속되며 보호막을 관통하는 접촉홀을 통해 노출된 데이터 패드를 추가로 구비하는 것을 특징으로 한다.

본 발명에 따른 액정표시패널의 제조방법은 기판 상에 순차적으로 투명전극층, 버퍼층 및 폴리반도체층을 적층하는 공정과; 상기 폴리반도체층을 패터닝하여 제1 박막 트랜지스터의 제1 폴리반도체패턴 및 제2 박막 트랜지스터의 제2 폴리반도체패턴을 포함하는 반도체패턴을 형성하는 제1 마스크공정과; 상기 제1 및 제2 폴리반도체패턴을 덮도록 상기 기판 상에 게이트절연막과 그 위에 게이트 금속층을 적층하는 공정과; 상기 게이트 금속층을 패터닝하여 게이트라인, 제1 및 제2 게이트전극, 제1 및 제2 게이트전극 중 적어도 어느 하나와 접속된 게이트 라인을 포함하는 게이트패턴, 상기 제1 폴리반도체패턴의 소스영역 및 드레인영역을 형성하는 제2 마스크 공정과; 상기 투명전극층, 상기 버퍼층 및 상기 게이트 절연막을 패터닝하여 투명전극패턴을 형성함과 아울러 상기 제2 폴리반도체패턴에서 소스영역과 드레인영역을 형성하는 제3 마스크공정과; 게이트 패턴을 덮도록 상기 기판 상에 층간절연막을 적층하고 상기 층간절연막을 패터닝하여 상기 제1 및 제2 폴리반도체패턴 각각의 소스영역 및 드레인영역을 노출시키는 소스접촉홀 및 드레인접촉홀, 상기 화소전극을 노출시키는 화소접촉홀을 형성하는 제4 마스크공정과; 상기 제1 및 제2 폴리반도체패턴의 소스영역과 소스접촉홀을 통해 각각 접속되는 제1 및 제2 소스전극, 상기 제1 및 제2 드레인영역과 드레인접촉홀을 통해 각각 접속되는 제1 및 제2 드레인전극을 포함하는 소스/드레인 패턴을 형성하는 제5 마스크공정과; 상기 소스/드레인 패턴 상에 보호막을 적층하는 공정을 포함하는 것을 특징으로 한다.

상기 제2 마스크 공정은 상기 게이트전극과 비중첩되는 상기 제1 폴리반도체패턴에 제1 불순물을 주입하여 상기 제1 폴리반도체패턴의 소스영역 및 드레인영역을 형성하는 공정을 포함하는 것을 특징으로 한다.

상기 제2 마스크 공정은 게이트 패턴이 형성된 기판 상에 회절 마스크를 이용하여 단차진 포토레지스트를 형성하는 공정과; 상기 단차진 포토레지스트패턴을 마스크로 이용하여 상기 투명전극층, 버퍼층 및 게이트 절연막을 패터닝하여 화소전극을 포함하는 투명전극 패턴을 형성하는 공정과; 상기 단차진 포토레지스트를 애싱하는 공정과; 상기 애싱공정에 의해 잔존하는 포토레지스트를 마스크로 이용하여 상기 제2 액티브층에 불순물을 주입하는 공정과; 상기 잔존하는 포토레지스트를 제거하는 공정을 포함하는 것을 특징으로 한다.

상기 게이트 라인과 접속되며 상기 층간절연막 및 보호막을 관통하는 접촉홀을 통해 노출되는 게이트패드를 형성하는 공정을 추가로 포함하는 것을 특징으로 한다.

상기 게이트라인과 접속되며 상기 층간절연막 및 보호막을 관통하는 접촉홀을 통해 노출되는 게이트패드를 형성하는 공정을 추가로 포함하는 것을 특징으로 한다.

상기 데이터라인과 접속되며 상기 층간절연막 및 보호막을 관통하는 접촉홀을 통해 노출되는 데이터패드를 형성하는 공정을 추가로 포함하는 것을 특징으로 한다.

상기 제1 박막 트랜지스터는 상기 액정표시패널의 화상표시부에 위치하는 액정셀과 접속되는 것을 특징으로 한다.

상기 제1 및 제2 박막 트랜지스터는 상기 액정셀을 구동하기 위한 구동회로부에 포함되는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 4 내지 도 14를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 4는 본 발명에 따른 폴리실리콘형 TFT를 이용한 액정표시장치를 나타내는 평면도이며, 도 5은 도 4에서 선 "II-II"를 따라 절취한 액정표시장치 및 P형 TFT를 나타내는 단면도이다.

도 4 및 도 5를 참조하면, 본 발명에 따른 폴리실리콘형 TFT를 이용한 액정표시장치의 화상표시부는 절연되게 교차하는 게이트라인(102) 및 데이터라인(104)과, 게이트라인(102) 및 데이터라인(104)의 교차부에 위치하는 N형 TFT(130)와, 게이트라인(102) 및 데이터라인(104)의 교차로 정의된 영역에 형성되며 화상 TFT(130)와 접속되는 화소전극(122)을 구비한다.

N형 TFT(130)는 게이트라인(102)과 접속되는 게이트전극(106)과, 데이터라인(104)과 접속되는 소스전극(108)과, 층간절연막(136)을 관통하여 액티브층(114)과 접속되는 드레인전극(110)을 구비한다.

게이트 전극(106)은 버퍼막(116) 상에 형성되는 액티브층(114)의 채널영역(114c)과 게이트 절연막(112)을 사이에 두고 중첩되게 형성된다. 소스전극(108)은 게이트 전극(106)과 층간 절연막(126)을 사이에 두고 절연되게 형성되어 n+ 이온이 주입된 액티브층(114)의 소스영역(114S)과 소스접촉홀(124S)을 통해 접촉한다. 드레인 전극(110)은 게이트 전극(106)과 층간절연막(126)을 사이에 두고 절연되게 형성되어 n+ 이온이 주입된 액티브층(114)의 드레인 영역(114D)과 드레인 접촉홀(124D)을 통해 접촉된다. 또한 드레인 전극(114)은 층간절연막(126), 게이트 절연막(112) 및 버퍼막(116)을 사이에 두고 화소전극(122)과 화소접촉홀(120)을 통해 접촉된다.

이러한 N형 TFT(130)는 게이트 라인(102)으로부터의 스캔 펄스에 응답하여 데이터 라인(104)으로부터의 비디오 신호, 즉 화소 신호를 액정셀(LC)에 충전되게 한다. 이에 따라, 액정셀(LC)은 충전된 화소 신호에 따라 광투과율을 조절하게 된다.

화소 전극(122)은 하부기관(101) 상에 형성되며 N형 TFT(130)의 드레인 전극(110)과 접속된다. 화소 전극(122)은 충전된 화소전압에 의해 도시하지 않은 상부 기관에 형성되는 공통 전극과 전위차를 발생시키게 된다. 이 전위차에 의해 박막 트랜지스터 기관과 상부 기관 사이에 위치하는 액정이 유전 이방성에 의해 회전하게 되며 도시하지 않은 광원으로부터 화소전극(122)을 경유하여 입사되는 광을 상부 기관 쪽으로 투과시키게 된다.

게이트 구동부(도시하지 않음)는 게이트 제어신호들에 의해 프레임마다 수평기간씩 순차적으로 게이트라인들(102)을 구동한다. 이 게이트 구동부에 의해 박막트랜지스터들이 수평라인 단위로 순차적으로 턴-온되어 데이터라인(104)을 액정셀과 접속시키게 된다.

데이터 구동부(도시하지 않음)는 수평기간마다 다수의 디지털 데이터신호 샘플링하여 아날로그 데이터신호로 변환한다. 그리고 데이터 구동부는 아날로그 데이터신호를 데이터라인들(104)에 공급한다. 이에 따라, 턴-온된 박막트랜지스터에 접속된 액정셀들은 데이터라인들(104) 각각으로부터의 데이터신호에 응답하여 광투과율을 조절하게 된다.

이러한 게이트구동부 및 데이터 구동부는 CMOS구조로 연결된 다수개의 구동 P형 TFT(190)와 구동 N형 TFT(도시하지 않음)를 포함하게 된다. 구동 P형 TFT(190)는 액티브층의 소스 및 드레인영역(174S, 174D)에 붕소 불순물이 주입된다. 구동 N형 TFT는 액티브층의 소스 및 드레인영역에 인이나 비소 불순물을 주입하게 된다.

이러한 구동 N형 및 P형 TFT(190) 각각은 버퍼막(116)을 사이에 두고 하부기관(101) 상에 형성된 액티브층(74)과, 게이트 절연막(112)을 사이에 두고 액티브층(174)과 중첩되게 형성되는 게이트 전극(106)과, 게이트 전극(106)과 절연되게 형성되며 액티브층(174)과 접속되는 소스전극(168), 드레인 전극(170)을 구비한다.

게이트 패드부(125)는 게이트 라인(102)으로 부터 연장되는 게이트 패드(128)와, 게이트 패드(128)를 도시하지 않은 테이프 캐리어 패키지(Tape Carrier Package; 이하 "TCP"라 함)와 접속시키기 위해 게이트 패드(128)를 노출시키는 게이트 패드접촉홀(132)을 구비한다. 한편, 게이트 구동부 대신 데이터 구동부가 기관 상에 형성되는 경우에는 게이트 패드부(125) 대신 데이터 패드부(140)를 구비할 수 있다.

데이터 패드부(140)는 데이터 라인(104)으로 부터 연장되는 데이터패드(148)와, 데이터패드(148)를 TCP와 접속시키기 위해 데이터패드(148)를 노출시키는 데이터패드접촉홀(142)을 구비한다.

도 6a 내지 도 6h는 도 5에 도시된 박막 트랜지스터 어레이 기관의 제조방법을 나타내는 단면도이다.

하부기관(101) 상에 투명도전층물질, 절연물질 및 아몰퍼스 실리콘막이 증착된 후 아몰퍼스 실리콘막이 레이저에 의해 결정화되어 폴리 실리콘막이 되고, 그 폴리실리콘막이 제1 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 패터닝된다. 이에 따라, 도 6a에 도시된 바와 같이 투명도전층(122a), 버퍼층(116a), 화상표시부의 화상 TFT 및 구동부의 N형 TFT에 포함되는 N형 TFT와, 구동부의 P형 TFT 각각의 액티브층(114, 174)을 포함하는 액티브패턴이 형성된다. 여기서, 투명전극물질로는 인듐주석산화물(Indium Tin Oxide : ITO)이나 주석산화물(Tin Oxide : TO) 또는 인듐아연산화물(Indium Zinc Oxide : IZO)이 이용된다. 절연물질로는 SiO₂, SiNx, SiO₂/SiNx 등의 무기물이 이용된다.

액티브패턴이 형성된 하부기관 상에 SiO₂ 등의 절연물질이 전면 증착됨으로써 게이트 절연막(112)이 형성된다. 게이트 절연막(112)이 형성된 하부기관(101) 상에 게이트 금속층이 전면 증착된 후 제2 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 게이트금속층이 패터닝됨으로써 N형 및 P형 TFT 각각의 게이트 전극(6, 66)과 게이트패드(128)가 형성된다. 여기서, 게이트금속층은 알루미늄(Al), 알루미늄/네오듐(Al/Nd) 등을 포함하는 알루미늄계 금속이 이용된다. 이 게

이트전극(6,66)을 마스크로 이용하여 N형 및 P형 TFT의 액티브층(14,74)에 P+ 이온이 주입됨으로써 6b에 도시된 바와 같이 N형 및 P형 TFT 각각의 게이트전극(6,66)과 중첩되는 액티브층(14,74)은 채널영역(14C,74C)으로, P형 TFT 게이트전극(6,66)과 중첩되지 않는 액티브층(14,74)은 소스영역(174S) 및 드레인 영역(174D)이 형성된다.

그런 다음, 하부기관(1) 상에 제3 마스크를 이용한 포토리소그래피 공정과 식각공정으로 단차진 포토레지스트 패턴을 형성하게 된다. 이 경우 제3 마스크로는 회절 노광부를 갖는 회절 노광 마스크를 이용함으로써 N형 TFT의 포토레지스트 패턴이 P형 TFT 영역 보다 낮은 높이를 갖게 한다. 이어서, 포토레지스트 패턴(71b)을 이용한 식각공정으로 게이트 절연막(112), 버퍼막(116a) 및 투명전극층(122a)이 패터닝됨으로써 도 6c에 도시된 바와 같이 화소전극(122)을 포함하는 투명전극패턴, 버퍼층(116) 및 패터닝된 게이트 절연막(112)이 형성된다. 이후, N형 TFT에서 낮은 높이를 갖는 포토레지스트 패턴(103)이 애싱(Ashing) 공정으로 제거된 후 노출된 N형 TFT에 n+ 이온이 주입됨으로써 도 6d에 도시된 바와 같이 N형 TFT의 액티브층(114)의 소스영역(114S) 및 드레인 영역(114D)이 형성된다.

이어서, 스트립 공정으로 남아 있는 포토레지스트 패턴(103)이 제거된다.

n+ 이온이 주입된 액티브층(114)이 형성된 하부기관(101) 상에 절연물질이 전면 증착됨으로써 도 6e에 도시된 바와 같이 층간절연막(26)이 형성된다. 이 후 층간절연막(126) 및 게이트절연막(112)이 제4 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 패터닝된다. 이에 따라, 도 6f에 도시된 바와 같이 N형 TFT의 소스영역(114S)과 드레인영역(114D)을 각각 노출시키는 소스접촉홀(124S)과 드레인접촉홀(124D)이 형성되며, P형 TFT의 소스영역(174S)과 드레인영역(174D)을 각각 노출시키는 소스접촉홀(184S)과 드레인접촉홀(184D)이 형성된다. 또한, 화소전극(122)을 노출시키는 화소접촉홀(120)과 게이트패드(128)를 노출시키는 제1 게이트패드접촉홀(132a)이 형성된다.

소스접촉홀(24S), 드레인접촉홀(24D), 화소접촉홀(120) 및 제1 게이트패드접촉홀(132a)이 형성된 하부기관(101) 상에 소스/드레인금속층이 전면 증착된 후 제6 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 소스/드레인금속층이 패터닝된다. 이에 따라, 도 6g에 도시된 바와 같이 데이터패드(148), N형 TFT의 소스 및 드레인전극(108,110) 및 P형 TFT의 소스 및 드레인전극(168,170)을 포함하는 소스/드레인패턴이 형성된다. 소스/드레인패턴에 포함되는 각 소스 및 드레인전극(18,168,110,170)은 소스접촉홀(24S,84S) 및 드레인접촉홀(24D,84D)을 통해 액티브층의 소스영역(14S,74S) 및 드레인영역(14D,74D)과 접촉된다. 또한, 화상영역의 N형 TFT의 드레인전극(110)은 화소전극(122)과 접촉된다.

소스/드레인패턴이 형성된 하부기관(101) 상에 절연물질이 전면 증착됨으로써 보호막(18)이 형성된다. 이 후 제6 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 보호막(118)이 패터닝됨으로써 도 6h에 도시된 바와 같이 게이트패드(128)를 노출시키는 제2 게이트패드접촉홀(132b)과 데이터패드(148)를 노출시키는 데이터패드접촉홀(142)이 형성된다.

이와 같이, 본 발명에 따른 액정표시소자 및 그 제조방법은 회절마스크를 이용하여 단차진 포토레지스트 패턴을 형성하고 그 단차진 포토레지스트 패턴을 마스크로 이용하여 버퍼막, 게이트 절연막 및 화소전극을 포함하는 투명전극패턴을 형성한다. 이후 애싱공정에 의해 잔존하는 포토레지스트 패턴을 마스크로 이용하여 N형 TFT의 액티브층에 n+ 이온을 주입하게 된다. 이에 따라, 종래의 8마스크 공정과 대비하여 마스크 공정을 줄일 수 있게 됨으로써 공정이 단순화되고 제조단가가 절감된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치 및 그 제조방법은 회절마스크를 이용하여 버퍼막, 게이트 절연막, 및 화소전극을 형성함과 아울러 N형 TFT의 액티브층에 n+ 이온을 주입함으로써 마스크 공정을 줄일 수 있다. 이로써, 공정이 단순화 되고 제조단가가 절감된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

버퍼패턴을 사이에 두고 서로 중첩되게 형성된 투명전극패턴과 폴리반도체패턴, 게이트 절연패턴을 사이에 두고 상기 폴리반도체패턴의 채널영역과 중첩되게 형성된 게이트전극, 층간절연막을 사이에 두고 상기 게이트전극과 중첩되게 형성된 상기 폴리반도체패턴의 소스영역과 소스접촉홀을 통해 접속된 소스전극, 상기 층간절연막 상에 형성되며 상기 폴리반도체패턴의 드레인전극과 드레인접촉홀을 통해 접속된 드레인전극을 가지는 제1 및 제2 박막 트랜지스터와;

상기 제1 및 제2 박막 트랜지스터 중 어느 하나와 접속되며 상기 기관 상에 상기 투명전극패턴과 동일물질로 형성된 화소전극을 구비하는 것을 특징으로 하는 액정표시패널.

청구항 2.

제 1 항에 있어서,

상기 제1 박막 트랜지스터의 폴리반도체패턴에는 n+ 이온이 포함되고, 상기 제2 박막 트랜지스터의 폴리반도체패턴에는 p+ 이온이 포함된 제2 불순물이 주입된 것을 특징으로 하는 액정표시패널.

청구항 3.

제 2 항에 있어서,

상기 화소전극은 상기 제1 박막 트랜지스터의 드레인전극과 접속되는 것을 특징으로 하는 액정표시패널.

청구항 4.

제 2 항에 있어서,

상기 제1 박막 트랜지스터는 상기 액정표시패널의 화상표시부에 위치하는 액정셀과 접속된 것을 특징으로 하는 액정표시패널.

청구항 5.

제 1 항에 있어서,

상기 제1 및 제2 박막 트랜지스터는 상기 액정셀을 구동하기 위한 구동회로부에 포함되는 것을 특징으로 하는 액정표시패널.

청구항 6.

제 1 항에 있어서,

상기 게이트 라인과 접속되며 층간절연막 및 보호막을 관통하는 접촉홀을 통해 노출된 게이트 패드를 추가로 구비하는 것을 특징으로 하는 액정표시패널.

청구항 7.

제 1 항에 있어서,

상기 데이터 라인과 접속되며 보호막을 관통하는 접촉홀을 통해 노출된 데이터 패드를 추가로 구비하는 것을 특징으로 하는 액정표시패널.

청구항 8.

기관 상에 순차적으로 투명전극층, 버퍼층 및 폴리반도체층을 적층하는 공정과;

상기 폴리반도체층을 패터닝하여 제1 박막 트랜지스터의 제1 폴리반도체패턴 및 제2 박막 트랜지스터의 제2 폴리반도체패턴을 포함하는 반도체패턴을 형성하는 제1 마스크공정과;

상기 제1 및 제2 폴리반도체패턴을 덮도록 상기 기관 상에 게이트절연막과 그 위에 게이트 금속층을 적층하는 공정과;

상기 게이트 금속층을 패터닝하여 게이트라인, 제1 및 제2 게이트전극, 제1 및 제2 게이트전극 중 적어도 어느 하나와 접속된 게이트 라인을 포함하는 게이트패턴, 상기 제1 폴리반도체패턴의 소스영역 및 드레인영역을 형성하는 제2 마스크 공정과;

상기 투명전극층, 상기 버퍼층 및 상기 게이트 절연막을 패터닝하여 투명전극패턴을 형성함과 아울러 상기 제2 폴리반도체패턴에서 소스영역과 드레인영역을 형성하는 제3 마스크공정과;

게이트 패턴을 덮도록 상기 기관 상에 층간절연막을 적층하고 상기 층간절연막을 패터닝하여 상기 제1 및 제2 폴리반도체패턴 각각의 소스영역 및 드레인영역을 노출시키는 소스접촉홀 및 드레인접촉홀, 상기 화소전극을 노출시키는 화소접촉홀을 형성하는 제4 마스크공정과;

상기 제1 및 제2 폴리반도체패턴의 소스영역과 소스접촉홀을 통해 각각 접속되는 제1 및 제2 소스전극, 상기 제1 및 제2 드레인영역과 드레인접촉홀을 통해 각각 접속되는 제1 및 제2 드레인전극을 포함하는 소스/드레인 패턴을 형성하는 제5 마스크공정과;

상기 소스드레인 패턴 상에 보호막을 적층하는 공정을 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 9.

제 8 항에 있어서,

상기 제2 마스크 공정은

상기 게이트전극과 비중첩되는 상기 제1 폴리반도체패턴에 제1 불순물을 주입하여 상기 제1 폴리반도체패턴의 소스영역 및 드레인영역을 형성하는 공정을 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 10.

제 8 항에 있어서,

상기 제2 마스크 공정은

게이트 패턴이 형성된 기판 상에 회절 마스크를 이용하여 단차진 포토레지스트를 형성하는 공정과;

상기 단차진 포토레지스트패턴을 마스크로 이용하여 상기 투명전극층, 버퍼층 및 게이트 절연막을 패터닝하여 화소전극을 포함하는 투명전극 패턴을 형성하는 공정과;

상기 단차진 포토레지스트를 애싱하는 공정과;

상기 애싱공정에 의해 잔존하는 포토레지스트를 마스크로 이용하여 상기 제2 액티브층에 불순물을 주입하는 공정과;

상기 잔존하는 포토레지스트를 제거하는 공정을 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 11.

제 8 항에 있어서,

상기 게이트 라인과 접속되며 상기 층간절연막 및 보호막을 관통하는 접촉홀을 통해 노출되는 게이트패드를 형성하는 공정을 추가로 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 12.

제 8 항에 있어서,

상기 게이트라인과 접속되며 상기 층간절연막 및 보호막을 관통하는 접촉홀을 통해 노출되는 게이트패드를 형성하는 공정을 추가로 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 13.

제 8 항에 있어서,

상기 데이터라인과 접속되며 상기 층간절연막 및 보호막을 관통하는 접촉홀을 통해 노출되는 데이터패드를 형성하는 공정을 추가로 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 14.

제 8 항에 있어서,

상기 제1 박막 트랜지스터는 상기 액정표시패널의 화상표시부에 위치하는 액정셀과 접속되는 것을 특징으로 하는 액정 표시패널의 제조방법.

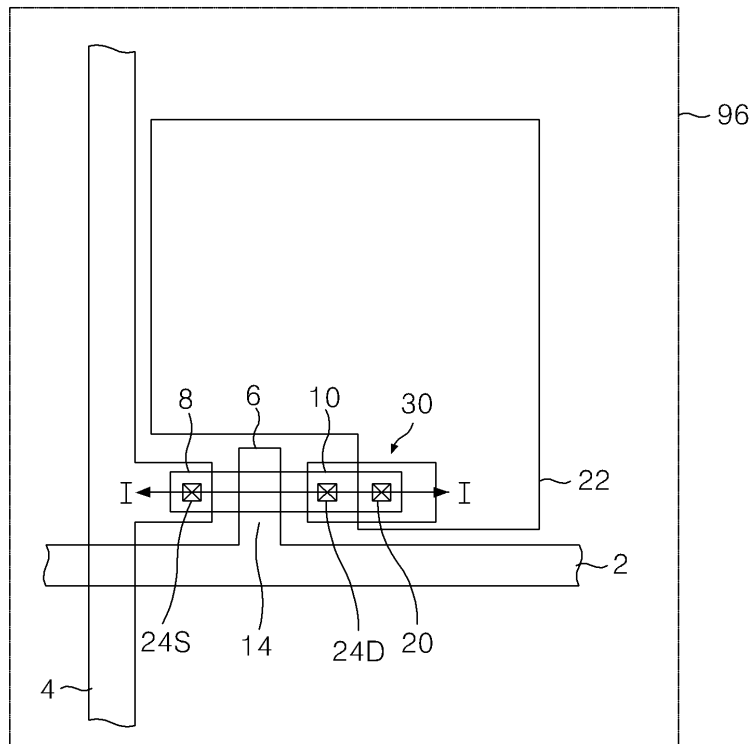
청구항 15.

제 8 항에 있어서,

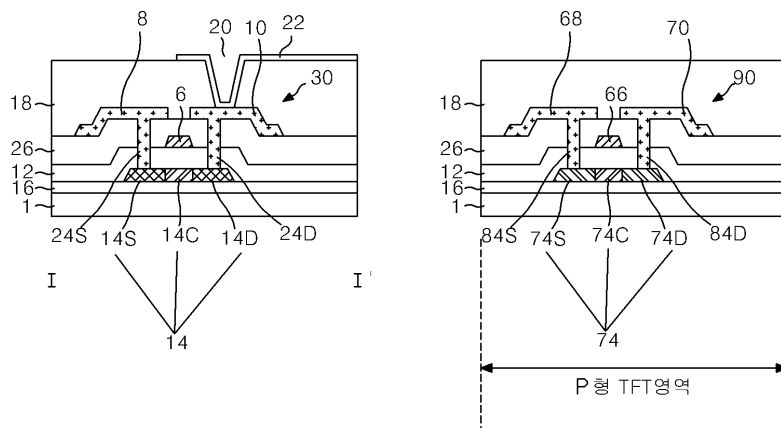
상기 제1 및 제2 박막 트랜지스터는 상기 액정셀을 구동하기 위한 구동회로부에 포함되는 것을 특징으로 하는 액정표시 패널의 제조방법.

도면

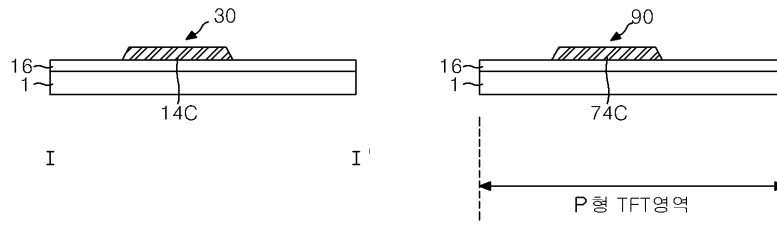
도면1



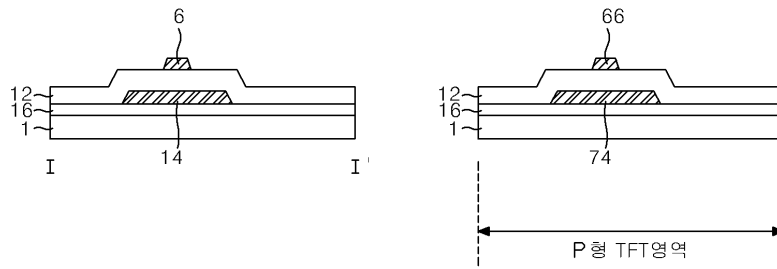
도면2



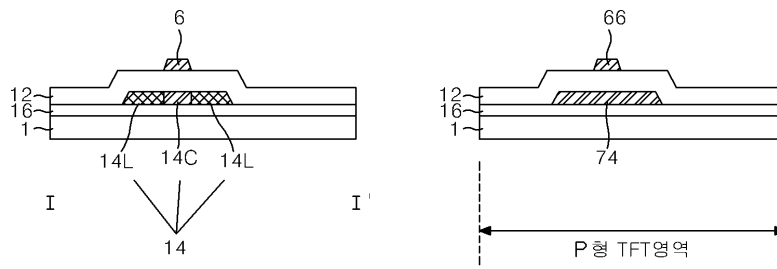
도면3a



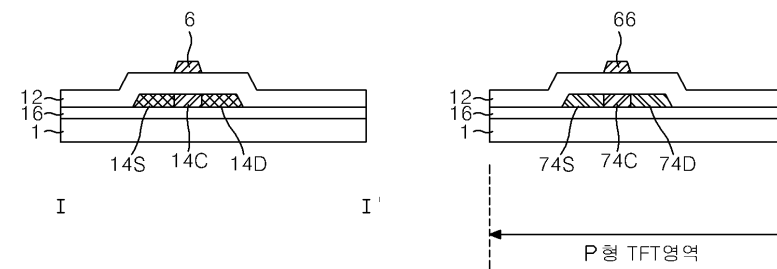
도면3b



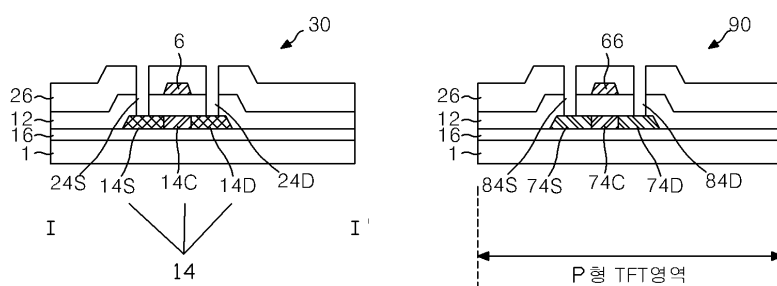
도면3c



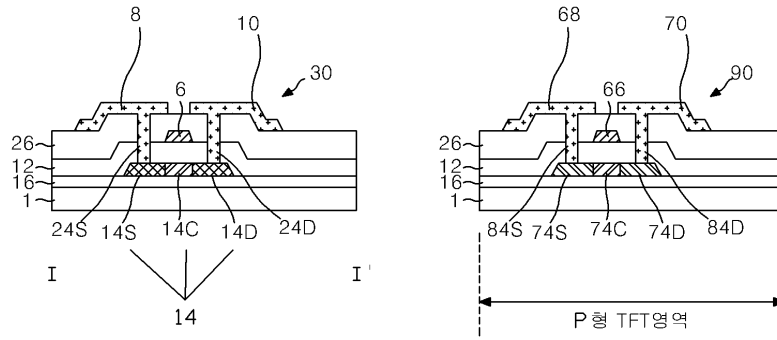
도면3d



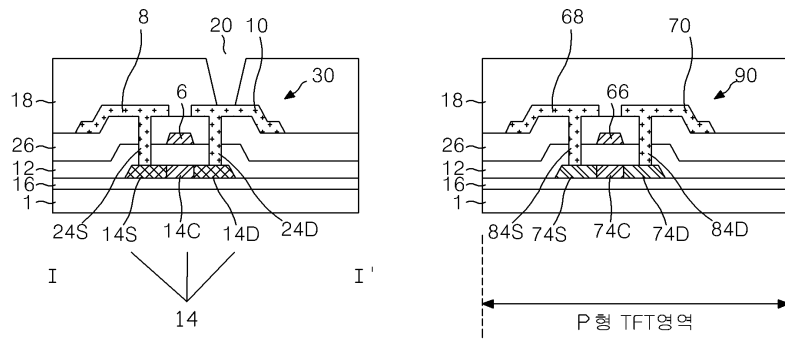
도면3e



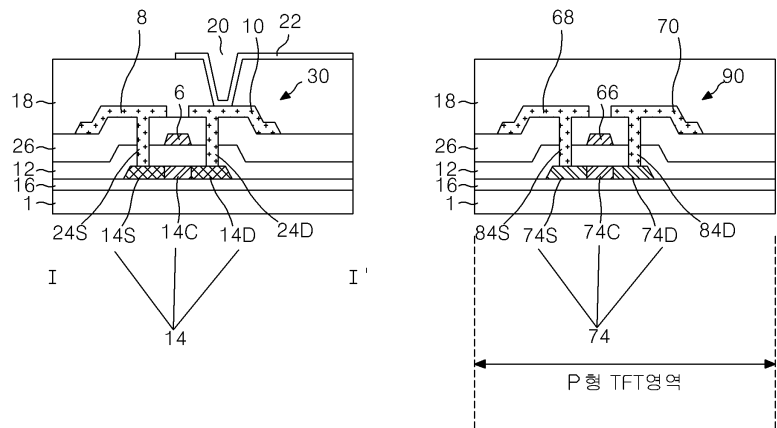
도면3f



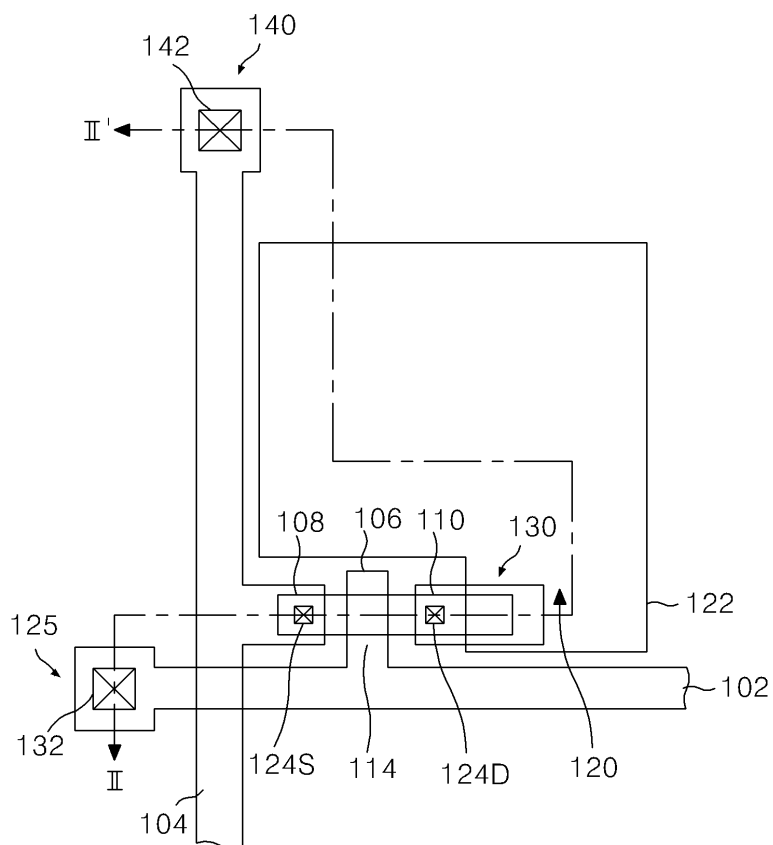
도면3g



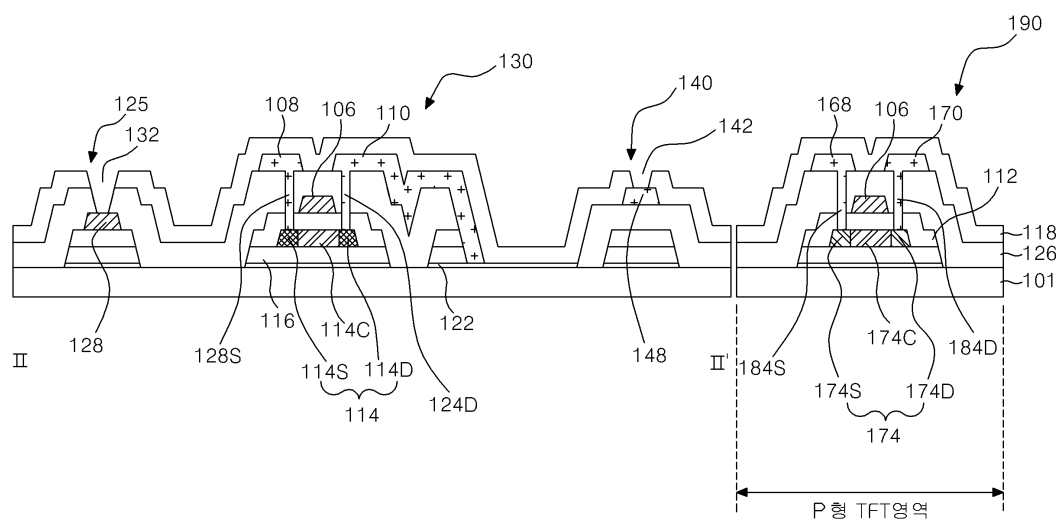
도면3h



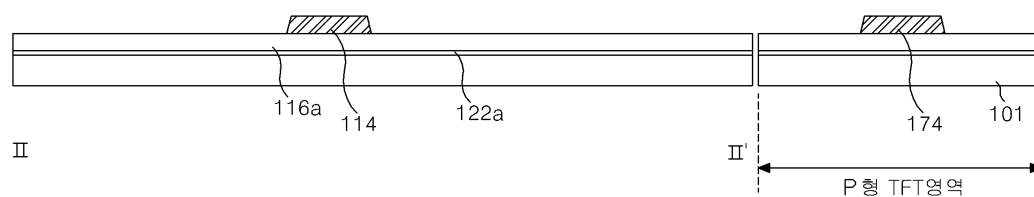
도면4



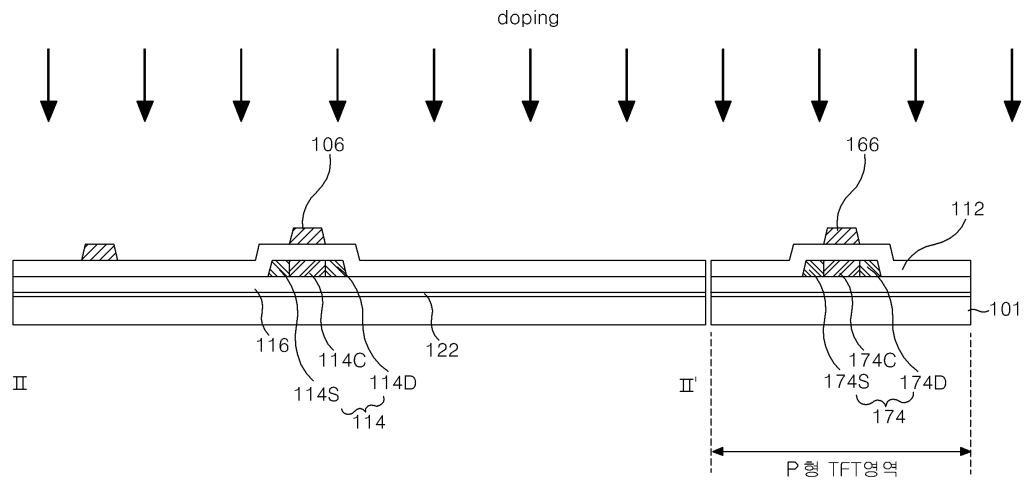
도면5



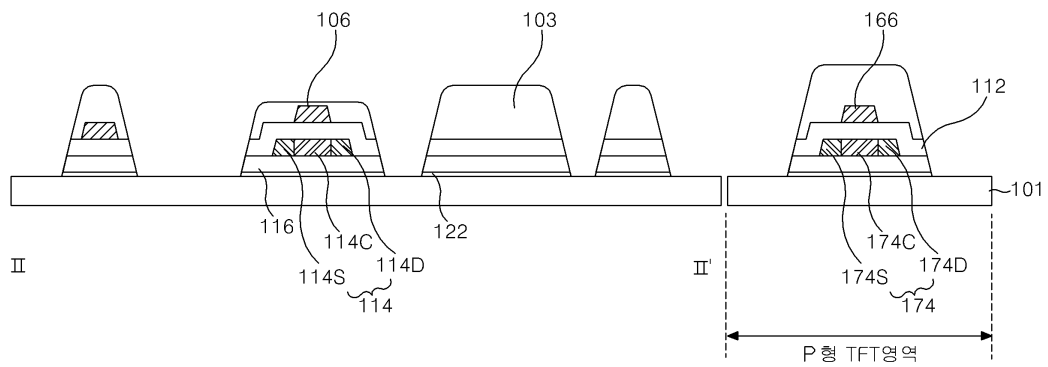
도면6a



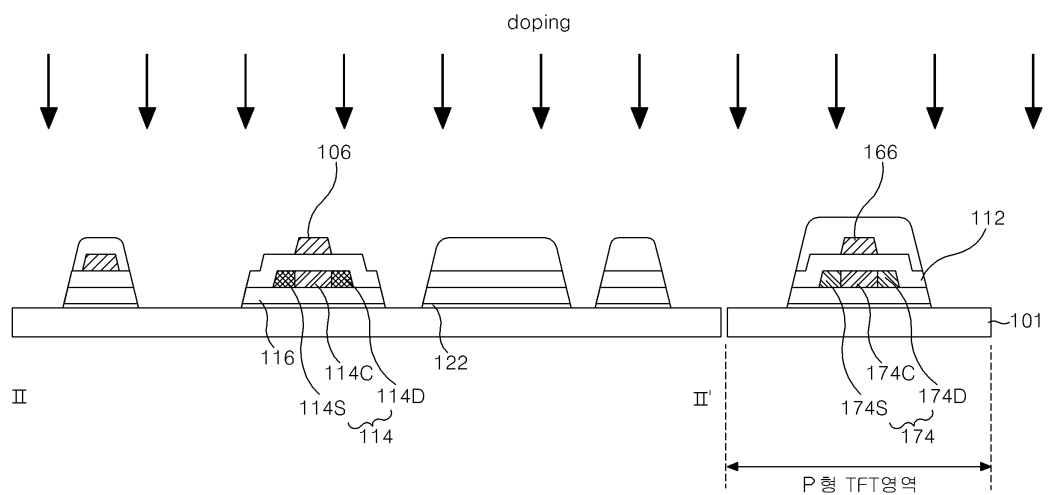
도면6b



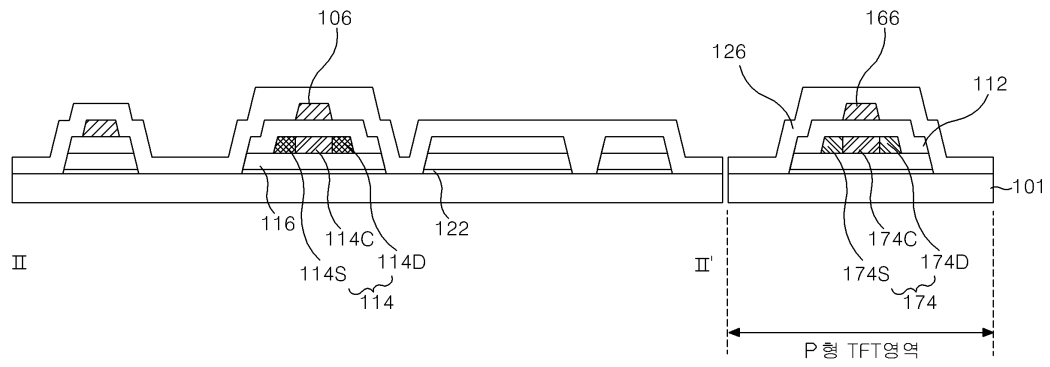
도면6c



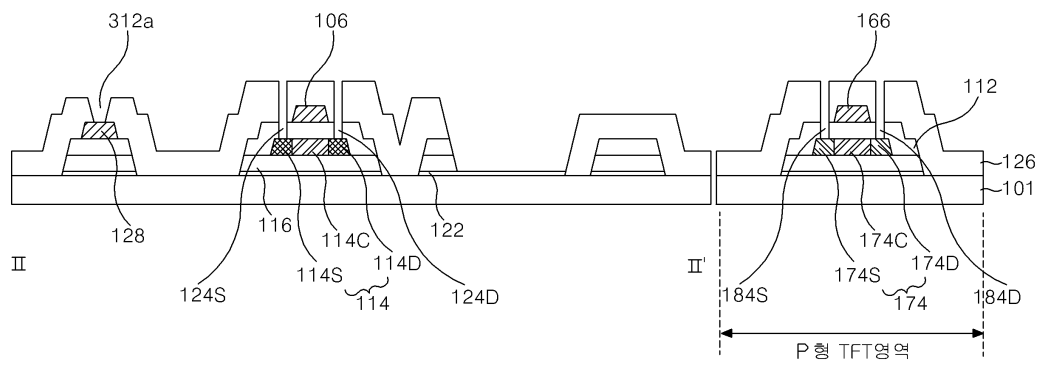
도면6d



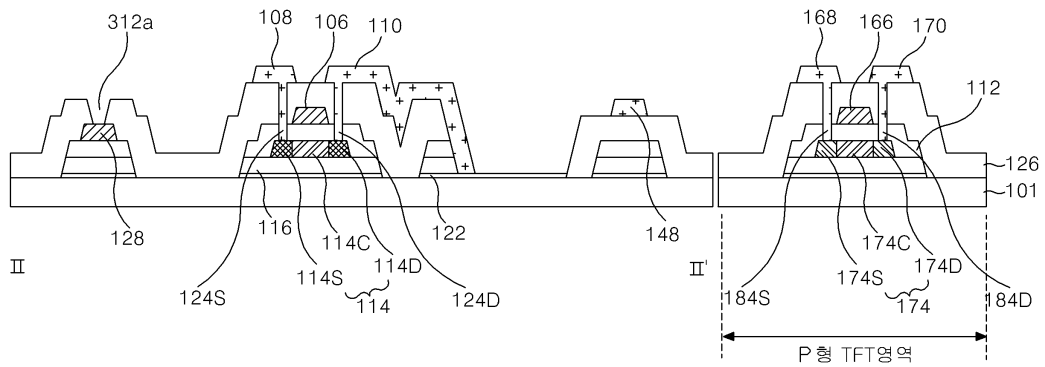
도면6e



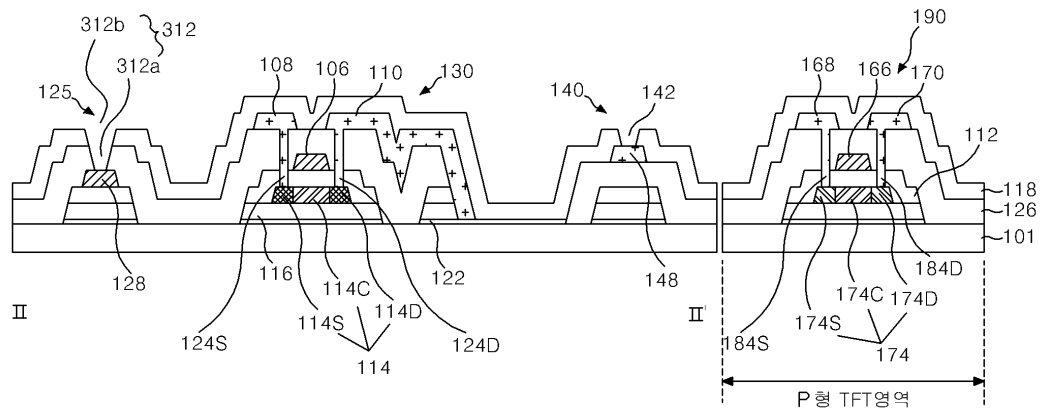
도면6f



도면6g



도면6h



专利名称(译)	液晶显示面板及其制造方法		
公开(公告)号	KR1020050046171A	公开(公告)日	2005-05-18
申请号	KR1020030080188	申请日	2003-11-13
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE KYOUNGMOOK 이경묵 NAM SEUNGHEE 남승희 OH JAEYOUNG 오재영		
发明人	이경묵 남승희 오재영		
IPC分类号	G02F1/136		
CPC分类号	G02F1/134309 G02F1/13458 G02F1/1368 G02F2001/136231		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种液晶显示面板及其制造方法，以简化工艺并降低制造成本。本发明包括透明电极图案，其形成为将缓冲图案放置在间隔中并且重叠，并且第一和第二薄膜晶体管具有栅电极，其形成为与其所放置的多晶半导体图案的沟道区域重叠。多晶半导体图案和栅极绝缘图案在通过区域 - 源极连接的源极电极和形成源极接触孔的源极接触孔的区间与栅极电极重叠，源极接触孔放置层间绝缘在半导体图案的间隔中的膜，以及通过多晶半导体图案的漏电极和漏极接触孔连接的漏电极，同时形成在层间绝缘膜和形成在基板上的像素电极上使用与透明电极图案相同的材料，同时与fi中的任何一个连接第一和第二薄膜晶体管。

