

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G02F 1/1343

(11) 공개번호 10-2004-0105934
(43) 공개일자 2004년12월17일

(21) 출원번호 10-2003-0037090
(22) 출원일자 2003년06월10일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 김희섭
경기도화성군태안읍반월리865-1번지신영통현대아파트110동304호

오준학
서울특별시관악구신림9동현대아파트105동205호

유두환
경기도수원시팔달구영통동1036-11번지104호

양영철
경기도군포시금정동주공아파트2단지220동1201호

(74) 대리인 유미특허법인

심사청구 : 없음

(54) 다중 도메인 액정 표시 장치 및 그에 사용되는 표시판

요약

절연 기판 위에 형성되어 있는 게이트선, 게이트선과 절연되어 교차하고 있는 데이터선, 게이트선과 데이터선이 교차하여 정의하는 각 화소 영역마다 형성되어 있는 제1 화소 전극, 게이트선, 데이터선 및 제1 화소 전극에 3단자가 각각 연결되어 있는 제1 박막 트랜지스터, 화소 영역마다 형성되어 있으며 제1 화소 전극에 연결되어 있는 결합 전극과 중첩되어 제1 화소 전극에 용량성으로 결합되어 있는 제2 화소 전극을 포함하는 액정 표시 장치를 마련한다. 제2 화소 전극은 유지 전극선에 제2 박막 트랜지스터를 통하여 전기적으로 연결되어, 공통 전극에 대하여 제1 화소 전극의 전압보다 높은 전압이 형성된다. 이때, 제1 화소 전극은 제2 화소 전극에 대하여 넓은 면적을 가지며, 낮은 전압은 높은 전압에 대하여 0.50-0.95의 비율을 가진다.

이렇게 하면, 측면 시인성을 향상된 광시야각 액정 표시 장치를 얻을 수 있는 동시에 양호한 개구율과 투과율을 확보할 수 있다.

대표도

도 1

색인어

액정표시장치, 수직배향, 절개부, 결합전극

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,
 도 2는 본 발명의 제1 실시예에 따른 액정 표시 장치용 공통 전극 표시판의 배치도이고,
 도 3은 본 발명의 제1 실시예에 따른 액정 표시 장치의 배치도이고,
 도 4는 도 3의 IV-IV'선에 대한 단면도이고,
 도 5는 본 발명의 제1 실시예에 따른 액정 표시 장치의 회로도이고,
 도 6은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,
 도 7은 도 6의 박막 트랜지스터 표시판을 VII-VII'선을 따라 잘라 도시한 단면도이고,
 도 8은 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이고,
 도 9는 본 발명의 제3 실시예에 따른 박막 트랜지스터 표시판을 포함하는 액정 표시 장치의 회로도이고,
 도 10은 본 발명의 제4 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이고,
 도 11은 본 발명의 제4 실시예에 따른 박막 트랜지스터 표시판을 포함하는 액정 표시 장치의 회로도이고,
 도 12 및 도 13은 본 발명의 제5 및 제6 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이다.

121 게이트선, 123 게이트 전극,
 133a, 133b, 133c 유지 전극, 176 결합 전극,
 171 데이터선, 173 소스 전극,
 175 드레인 전극, 190 화소 전극,
 191, 192, 193 절개부, 151, 154 비정질 규소층,
 270 기준 전극, 271, 272, 273 절개부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치 및 그에 사용되는 표시판에 관한 것이다.

액정 표시 장치는 일반적으로 공통 전극과 색필터(color filter) 등이 형성되어 있는 상부 표시판과 박막 트랜지스터와 화소 전극 등이 형성되어 있는 하부 표시판 사이에 액정 물질을 주입해 놓고 화소 전극과 공통 전극에 서로 다른 전압을 인가함으로써 전계를 형성하여 액정 분자들의 배열을 변경시키고, 이를 통해 빛의 투과율을 조절함으로써 화상을 표현하는 장치이다.

그런데 액정 표시 장치는 시야각이 좁은 것이 중요한 단점이다. 이러한 단점을 극복하고자 시야각을 넓히기 위한 다양한 방안이 개발되고 있는데, 그 중에서도 액정 분자를 상하 표시판에 대하여 수직으로 배향하고 화소 전극과 그 대

향 전극인 공통 전극에 일정한 절개 패턴을 형성하거나 돌기를 형성하는 방법이 유력시되고 있다.

절개 패턴을 형성하는 방법으로는 화소 전극과 공통 전극에 각각 절개 패턴을 형성하여 이들 절개 패턴으로 인하여 형성되는 프린지 필드(fringe field)를 이용하여 액정 분자들이 눕는 방향을 조절함으로써 시야각을 넓히는 방법이 있다.

돌기를 형성하는 방법은 상부 표시판에 형성되어 있는 화소 전극과 공통 전극 위에 각각 돌기를 형성해 둠으로써 돌기에 의하여 왜곡되는 전기장을 이용하여 액정 분자의 눕는 방향을 조절하는 방식이다.

또 다른 방법으로는, 하부 표시판 위에 형성되어 있는 화소 전극에는 절개 패턴을 형성하고 상부 표시판에 형성되어 있는 공통 전극 위에는 돌기를 형성하여 절개 패턴과 돌기에 의하여 형성되는 프린지 필드를 이용하여 액정의 눕는 방향을 조절함으로써 도메인을 형성하는 방식이 있다.

이러한 다중 도메인 액정 표시 장치는 1:10의 대비비를 기준으로 하는 대비비 기준 시야각이나 게조간의 휘도 반전의 한계 각도로 정의되는 게조 반전 기준 시야각은 전 방향 80° 이상으로 매우 우수하다. 그러나 정면의 감마(gamma) 곡선과 측면의 감마 곡선이 일치하지 않는 측면 감마 곡선 왜곡 현상이 발생하여 TN(twisted nematic) 모드 액정 표시 장치에 비하여도 좌우측면에서 열등한 시인성을 나타낸다. 예를 들어, 도메인 분할 수단으로 절개부를 형성하는 PVA(patterned vertically aligned) 모드의 경우에는 측면으로 갈수록 전체적으로 화면이 밝게 보이고 색은 흰색 쪽으로 이동하는 경향이 있으며, 심한 경우에는 밝은 게조 사이의 간격 차이가 없어져서 그림이 뭉그러져 보이는 경우도 발생한다. 그런데 최근 액정 표시 장치가 멀티 미디어용으로 사용되면서 그림을 보거나 동영상을 보는 일이 증가하면서 시인성이 점점 더 중요시되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 시인성이 우수한 다중 도메인 액정 표시 장치를 구현하는 것이다.

발명의 구성 및 작용

이러한 과제를 해결하기 위하여 본 발명에서는 화소 전극을 적어도 둘로 나누고 나누어진 서브 화소 전극에 서로 다른 전위가 인가되도록 한다. 이때, 서브 화소 전극들은 결합 전극을 통하여 용량성으로 결합되어 있는데, 공통 전극에 대하여 전압이 낮은 서브 화소 전극은 전압이 높은 서브 화소 전극보다 넓거나, 낮은 전압과 높은 전압 사이의 전압차 비율은 0.50-0.95 범위이다.

본 발명의 실시예에 따른 박막 트랜지스터 표시판에는, 절연 기판 위에 제1 신호선이 형성되어 있고, 제1 신호선과 절연되어 교차하여 화소 영역을 정의하는 제2 신호선이 형성되어 있고, 제1 신호선과 제2 신호선이 교차하여 정의하는 각 화소 영역마다에는 적어도 둘 이상으로 분할되어 있는 화소 전극이 형성되어 있다. 또한, 각각의 화소 영역에는 제1 신호선, 제2 신호선 및 화소 전극에 3단자가 각각 전기적으로 연결되어 있는 박막 트랜지스터가 형성되어 있으며, 적어도 하나의 분할된 화소 전극과 전기적으로 연결되어 있는 단자와 연결되어 있으며, 적어도 하나의 분할된 다른 화소 전극과 중첩하고 있는 결합 전극이 형성되어 있다. 이때, 화소 전극은 액정 분자를 분할 배향하는 도메인 분할 수단을 가지며, 화소 전극은 서로 다른 면적으로 분할되어 있다.

여기서, 도메인 분할 수단은 절개부일 수 있으며, 결합 전극은 박막 트랜지스터의 3단자 중 드레인 전극으로부터 연장되며, 화소 전극은 절개부를 통하여 분할되어 있으며, 절개부는 제1 신호선과 $\pm 45^\circ$ 를 이루는 것이 바람직하다.

이러한 박막 트랜지스터 표시판에는 제2 신호선과 절연되어 교차하고 있으며 기준 전위가 인가되는 제3 신호선을 더 포함하며, 결합 전극에 의해 용량성으로 결합되어 있는 제1 및 제2 화소 전극을 포함한다. 여기서, 박막 트랜지스터는 제1 신호선, 제1 화소 전극 및 제2 신호선에 3단자가 각각 연결되어 있는 제1 박막 트랜지스터와 제1 신호선, 제2 화소 전극 및 제3 신호선에 3단자가 전기적으로 연결되어 있는 제2 박막 트랜지스터를 포함한다.

이때, 제1 및 제2 화소 전극과 제1 및 제2 박막 트랜지스터 사이에 형성되어 있는 절연막을 더 포함하며, 제2 화소 전극과 제2 박막 트랜지스터의 드레인 전극은 보호막의 제1 접촉구를 직접 연결되어 있는 것이 바람직하다. 제1 화소 전극은 보호막의 제2 접촉구를 통하여 제1 박막 트랜지스터의 드레인 전극과 직접 연결되어 있거나, 보호막을 사이에 두고 제1 박막 트랜지스터의 드레인 전극과 중첩되어 있을 수 있다.

제1 화소 전극은 제2 화소 전극보다 큰 면적, 더욱 바람직하게, 제1 화소 전극은 제2 화소 전극의 면적에 대하여 1-6배 범위의 면적을 가진다.

여기서, 화소 전극은 제1 화소 전극과 결합 전극을 통하여 용량성 결합의 전기적으로 연결되어 있는 제3 화소 전극을 더 포함할 수 있다.

본 발명의 실시예에 따른 액정 표시 장치는 이러한 박막 트랜지스터 표시판과 화소 전극과 마주하여 액정 분자를 구동하기 위한 전압을 공통 전극을 가지는 공통 전극 표시판, 박막 트랜지스터 표시판 및 공통 전극 표시판 중 적어도 하나에 형성되어 있는 제1 도메인 분할 수단, 박막 트랜지스터 표시판 및 공통 전극 표시판 중 적어도 하나에 형성되어 있으며 제1 도메인 분할 수단과 함께 화소 영역을 다수의 소도메인으로 분할하는 제2 도메인 분할 수단을 가진다.

이때, 제1 도메인 분할 수단은 화소 전극이 가지는 절개부일 수 있으며, 제2 도메인 분할 수단은 공통 전극이 가지는 절개부일 수 있다.

본 발명의 다른 실시예에 따른 액정 표시 장치는 제1 절연 기판, 제1 절연 기판에 형성되어 있는 제1 신호선, 제1 절연 기판에 형성되어 있으며 제1 신호선과 절연되어 교차하여 화소 영역을 정의하는 제2 신호선, 제1 신호선과 제2 신호선이 교차하여 정의하는 각 화소 영역마다 형성되어 있으며 적어도 둘 이상으로 분할되어 있는 화소 전극, 제1 신호선, 제2 신호선 및 화소 전극에 3단자가 각각 전기적으로 연결되어 있는 박막 트랜지스터, 적어도 하나의 분할된 화소 전극과 전기적으로 연결되어 있는 단자와 연결되어 있으며, 적어도 하나의 분할된 다른 화소 전극과 중첩하고 있는 결합 전극, 제1 절연 기판과 대향하고 있는 제2 절연 기판, 제2 절연 기판 위에 형성되어 있는 공통 전극, 제1 기판 및 제2 기판 중의 적어도 하나에 형성되어 있는 제1 도메인 분할 수단, 제1 기판 및 제2 기판 중의 적어도 하나에 형성되어 있으며 제1 도메인 분할 수단과 함께 화소 영역을 다수의 소도메인으로 분할하는 제2 도메인 분할 수단을 포함한다. 이때, 공통 전극과 분할된 다수의 화소 전극 사이의 전압에 대한 전압차의 비율은 0.5-0.95 범위이다.

제1 또는 제2 도메인 분할 수단은 절개부일 수 있다.

결합 전극은 박막 트랜지스터의 3단자 중 드레인 전극으로부터 연장되어 있는 것이 바람직하며, 제1 및 제2 도메인 분할 수단은 제1 신호선과 $\pm 45^\circ$ 를 이루는 것이 바람직하다.

이러한 액정 표시 장치는 제2 신호선과 절연되어 교차하고 있으며 기준 전위가 인가되는 제3 신호선을 더 포함하고, 결합 전극에 의해 용량성으로 결합되어 있는 제1 및 제2 화소 전극을 포함한다. 이때, 박막 트랜지스터는 제1 신호선, 제1 화소 전극 및 제2 신호선에 3단자가 각각 연결되어 있는 제1 박막 트랜지스터와 제1 신호선, 제2 화소 전극 및 제3 신호선에 3단자가 전기적으로 연결되어 있는 제2 박막 트랜지스터를 포함한다.

제1 및 제2 화소 전극과 제1 및 제2 박막 트랜지스터 사이에 형성되어 있는 절연막을 더 포함하며, 제2 화소 전극과 제2 박막 트랜지스터의 드레인 전극은 보호막의 제1 접촉구를 직접 연결되어 있는 것이 바람직하며, 제1 화소 전극은 보호막의 제2 접촉구를 통하여 제1 박막 트랜지스터의 드레인 전극과 직접 연결되어 있거나, 보호막을 사이에 두고 제1 박막 트랜지스터의 드레인 전극과 중첩될 수 있다.

제1 화소 전극은 제2 화소 전극보다 큰 면적을 가지는 것이 바람직하며, 화소 전극은 제1 화소 전극과 결합 전극을 통하여 용량성 결합의 전기적으로 연결되어 있는 제3 화소 전극을 더 포함할 수 있다.

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 '위에' 있다고 할 때, 이는 다른 부분 '바로 위에' 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 '바로 위에' 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

그러면 도면을 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조에 대하여 설명한다.

도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 2는 본 발명의 제1 실시예에 따른 액정 표시 장치용 색필터 기판의 배치도이고, 도 3은 본 발명의 제1 실시예에 따른 액정 표시 장치의 배치도이고, 도 4는 도 3의 IV-IV'선에 대한 단면도이고, 도 5는 본 발명의 제1 실시예에 따른 액정 표시 장치를 회로도로써 표현한 것이다.

본 발명의 실시예에 따른 액정 표시 장치는 하부 표시판(100)과 이와 마주보고 있는 상부 표시판(200) 및 하부 표시판(100)과 상부 표시판(200) 사이에 주입되어 표시판에 수직으로 배향되어 있는 액정 분자(310)를 포함하는 액정층(

310)으로 이루어진다.

먼저, 하부 표시판(100)인 박막 트랜지스터 표시판은 다음과 같은 구성을 가진다.

유리 등의 투명한 절연 물질로 이루어진 절연 기판(110) 위에 ITO(indium tin oxide)나 IZO(indium zinc oxide) 등의 투명한 도전 물질로 이루어져 있는 제1 및 제2 화소 전극(190a, 190b)이 형성되어 있다. 이중 제1 화소 전극(190a)은 박막 트랜지스터에 연결되어 화상 신호 전압을 인가 받고, 제2 화소 전극(190b)은 제1 화소 전극(190a)과 연결되어 있는 결합 전극(176b)과 중첩함으로써 제1 화소 전극(190a)과 전자기적으로 결합(용량성 결합)되어 있다. 이 때, 박막 트랜지스터는 주사 신호를 전달하는 게이트선(121)과 화상 신호를 전달하는 데이터선(171)에 각각 연결되어 주사 신호에 따라 제1 화소 전극(190a)에 인가되는 화상 신호를 온(on)오프(off)한다. 이때, 제1 및 제2 화소 전극(190a, 190b)은 절개부(191, 192, 193, 194, 195)를 가지며, 결합 전극(176b)은 제2 화소 전극(190b)과 중첩되어 있으며, 여러 형태의 분지를 포함한다. 또, 절연 기판(110)의 아래 면에는 하부 편광판(12)이 부착되어 있다. 여기서, 제1 및 제2 화소 전극(190a, 190b)은 반 사형 액정 표시 장치인 경우 투명한 물질로 이루어지지 않을 수도 있고, 이 경우에는 하부 편광판(12)도 불필요하게 된다.

다음, 상부 표시판(200)의 구성은 다음과 같다.

역시 유리 등의 투명한 절연 물질로 이루어진 절연 기판(210)의 아래 면에 빛샘을 방지하기 위한 블랙 매트릭스(220)와 적, 녹, 청의 색필터(230) 및 ITO 또는 IZO 등의 투명한 도전 물질로 이루어져 있는 공통 전극(270)이 형성되어 있다. 여기서, 공통 전극(270)에는 절개부(271, 272, 273, 274, 275, 276)가 형성되어 있다. 블랙 매트릭스(220)는 화소 영역의 둘레 부분뿐만 아니라 공통 전극(270)의 절개부(271, 272, 273, 274, 275, 276)와 중첩하는 부분에도 형성할 수 있다. 이는 절개부(271, 272, 273, 274, 275, 276)로 인해 발생하는 빛샘을 방지하기 위함이다.

다음은 본 발명의 제1 실시예에 따른 액정 표시 장치용 하부 표시판 즉 박막 트랜지스터 표시판(100)에 대하여 좀 더 상세히 한다.

하부의 절연 기판(110) 위에 주로 가로 방향으로 뻗어 있는 복수의 게이트선(121)과 유지 전극선(131)이 형성되어 있다.

게이트선(121)은 복수의 부분이 아래 위로 확장되어 제1 박막 트랜지스터(TFT1)의 게이트 전극(123a)을 이루고, 일부는 제2 박막 트랜지스터(TFT2)의 게이트 전극(123b)을 이룬다. 게이트선(121)의 한쪽 끝부분(125)은 외부 회로와의 연결을 위하여 넓게 확장되어 있다.

각 유지 전극선(131)에는 그로부터 뻗어 나와 화소의 가장자리에 배치되어 있는 여러 벌의 유지 전극(storage electrode)(133a, 133b, 133c, 133d)이 연결되어 있다. 한 벌의 유지 전극(133a, 133b, 133c, 133d) 중 두 개의 유지 전극(133a, 133b)은 세로 방향으로 뻗어 있으며, 가로 방향으로 뻗은 다른 하나의 유지 전극(133c)은 유지 전극선(131)과 함께 세로로 뻗어 있으며, 나머지 다른 유지 전극(133d)은 서로 이웃하는 화소의 두 유지 전극(133a, 133b)을 연결한다. 이 때, 각 유지 전극선(131)은 화소의 상부 및 하부에 배치하여 2개 이상의 가로선으로 이루어질 수도 있다.

게이트선(121) 및 유지 전극 배선(131, 133a, 133b, 133c, 133d)은 Al, Al 합금, Ag, Ag 합금, Cr, Ti, Ta, Mo 등의 금속 따위로 만들어진다. 도 4에 나타난 바와 같이, 본 실시예의 게이트선(121) 및 유지 전극 배선(131, 133a, 133b, 133c, 133d)은 단일층으로 이루어지지만, 물리 화학적 특성이 우수한 Cr, Mo, Ti, Ta 등의 금속층과 비저항이 작은 Al 계열 또는 Ag 계열의 금속층을 포함하는 이중층으로 이루어질 수도 있다. 이외에도 여러 다양한 금속 또는 도전체로 게이트선(121)과 유지 전극 배선(131, 133a, 133b, 133c, 133d)을 만들 수 있다.

게이트선(121)과 유지 전극 배선(131, 133a, 133b, 133c, 133d)이 측면은 경사져 있으며 수평면에 대한 경사각은 30-80°인 것이 바람직하다.

게이트선(121)과 유지 전극 배선(131, 133a, 133b, 133c, 133d)의 위에는 질화 규소(SiNx) 등으로 이루어진 게이트 절연막(140)이 형성되어 있다.

게이트 절연막(140) 위에는 복수의 데이터선(171)을 비롯하여 복수의 제1 박막 트랜지스터(TFT1)의 드레인 전극(drain electrode)(175a) 및 복수의 결합 전극(176b)이 형성되어 있다. 각 데이터선(171)은 주로 세로 방향으로 뻗어 있으며, 각 드레인 전극(175a)을 향하여 복수의 분지를 내어 제1 박막 트랜지스터(TFT1)의 소스 전극(source electrode)(173a)을 이룬다. 또한, 데이터선(171)과 동일한 층에는 제2 박막 트랜지스터(TFT2)의 소스 전극(173b)이 게이트 전극(123b)과 중첩되어 배치되어 있고, 게이트 전극(123b)을 중심으로 소스 전극(173b)의 맞은편에는 제2 박막 트랜지스터(TFT2)의 드레인 전극(175b)이 형성되어 있다. 결합 전극(176b)은 제1 박막 트랜지스터(TFT1)의 드레인 전극(175a)과 연결되어 있고, 절개부(191, 192) 사이로 뻗은 부분과 화소의 가장자리에 배치되어 유지 전극(133a

)과 중첩하는 부분, 화소의 상부 및 하부에 위치하며 화소의 안쪽으로 굽은 부분을 포함한다.

데이터선(171), 드레인 전극(175a, 175b), 소스 전극(173b) 및 결합 전극(176b)도 게이트선(121)과 마찬가지로 크롬과 알루미늄 등의 물질로 만들어지며, 단일층 또는 다중층으로 이루어질 수 있다.

데이터선(171) 및 드레인 전극(175a)의 아래에는 데이터선(171)을 따라 주로 세로로 길게 뻗은 복수의 선형 반도체(151)가 형성되어 있다. 비정질 규소 따위로 이루어진 각 선형 반도체(151)는 각 게이트 전극(123a), 소스 전극(173a) 및 드레인 전극(175a)을 향하여 가지를 내어 박막 트랜지스터의 채널부(154a)를 이룬다. 또한, 제2 박막 트랜지스터(TFT2)의 상부에는 복수의 섬형 반도체(154b)가 형성되어 있다.

반도체(151)와 데이터선(171) 및 드레인 전극(175a) 사이에는 둘 사이의 접촉 저항을 감소시키기 위한 복수의 선형 저항성 접촉 부재(ohmic contact)(161) 및 섬형 드레인부 저항성 접촉 부재(165a)가 형성되어 있다. 저항성 접촉 부재(161)는 소스 전극(173a) 하부에 위치하는 소스부 저항성 접촉 부재(163a)를 포함하며, 이들(161, 165a)은 실리콘이나 n형 불순물이 고농도로 도핑된 비정질 규소 따위로 만들어진다. 물론, 단면도로 나타나지 않았지만 제2 박막 트랜지스터(TFT2)의 반도체(154b)와 소스 및 드레인 전극(173b, 175b) 사이에도 저항성 접촉 부재가 형성되어 있다.

데이터선(171), 드레인 전극(175a, 175b), 소스 전극(173b) 및 반도체(154) 상부에는 질화 규소 등의 무기 절연 물질이나 수지 등의 유기 절연물로 이루어진 보호막(180)이 형성되어 있다.

보호막(180)에는 드레인 전극(175a, 175b) 및 제2 박막 트랜지스터(TFT2)의 소스 전극(173b)의 적어도 일부와 데이터선(171)의 끝부분(179)을 각각 노출시키는 복수의 접촉 구멍(181a, 181b, 183, 186)이 구비되어 있으며, 게이트선(121)의 끝부분(125)과 유지 전극선(131)의 일부를 각각 드러내는 복수의 접촉 구멍(182, 184, 185)이 게이트 절연막(140)과 보호막(180)을 관통하고 있다.

보호막(180) 위에는 복수의 화소 전극(190a, 190b)을 비롯하여 복수의 접촉 보조 부재(contact assistant)(95, 97) 및 복수의 유지 전극선 연결 다리(storage bridge)(91)가 형성되어 있다. 화소 전극(190a, 190b), 접촉 보조 부재(95, 97) 및 연결 다리(91)는 ITO(indium tin oxide)나 IZO(indium zinc oxide) 등과 같은 투명 도전체나 알루미늄(Al)과 같은 광 반사 특성이 우수한 불투명 도전체 따위로 만들어진다.

화소 전극(190)은 제1 화소 전극(190a)과 제2 화소 전극(190b)으로 분류되며, 제1 화소 전극(190a)은 접촉 구멍(181a)을 통하여 드레인 전극(175a)과 연결되어 있고, 제2 화소 전극(190b)은 접촉 구멍(181b)을 통하여 드레인 전극(175b)과 연결되어 있는 동시에 드레인 전극(175a)과 연결되어 있는 결합 전극(176b)과 중첩하고 있다. 따라서, 제2 화소 전극(190b)은 제1 화소 전극(190a)에 전자기적으로 결합(용량성 결합)되어 있다. 이때, 제2 박막 트랜지스터(TFT2)의 소스 전극(173b)은 접촉 구멍(186)을 통하여 유지 전극선 연결 다리(91)와 연결되어 있다.

제1 화소 전극(190a)과 제2 화소 전극(190b)을 나누는 절개부(191, 195)는 게이트선(121)에 대하여 45°를 이루는 부분과 수직을 이루는 부분으로 구분되고, 수직을 이루는 부분은 유지 전극(133a)과 중첩되어 있으며, 45°를 이루는 두 부분은 수직을 이루는 부분으로 연결되어 있으며, 서로 수직을 이루고 있다.

제1 화소 전극(190a)은 각각 절개부(192, 193, 194)를 가지는데, 게이트선(121)에 대하여 45°를 이루고 있으며, 각각은 제1 화소 전극(190a, 190b)의 내부에 형성되어 있다. 또한, 제1 화소 전극(190a)은 절개부(194)는 제1 화소 전극(190a)의 오른쪽 변에서 왼쪽 변을 향하여 파고 들어간 형태이고, 입구는 넓게 확장된 형태이다. 제1 화소 전극(190a)의 절개부(193)는 게이트선(121)에 대하여 45°를 이루는 부분과 오른쪽 변에서 왼쪽 변을 향하여 파고 들어간 부분을 포함한다.

제1 화소 전극(190a)과 제2 화소 전극(190b) 및 이들(190a, 190b)의 모양을 정의하는 절개부(191, 192, 193, 194, 195)들은 각각 게이트선(121)과 데이터선(171)이 교차하여 정의하는 화소 영역을 상하로 이등분하는 선(게이트선과 나란한 선)에 대하여 실질적으로 거울상 대칭을 이루고 있다.

또, 보호막(180)의 위에는 게이트선(121)을 건너 그 양쪽에 위치하는 두 유지 전극선(131)을 연결하는 유지 배선 연결 다리(91)가 형성되어 있는데, 유지 배선 연결 다리(91)는 보호막(180)과 게이트 절연막(140)을 관통하는 접촉구(184, 185)를 통하여 유지 전극(133c) 및 유지 전극선(131)에 접촉하고 있다. 유지 배선 연결 다리(91)는 하부 기판(110) 위의 유지 전극선(131) 전체를 전기적으로 연결하는 역할을 하고 있다. 이러한 유지 전극선(131)은 필요할 경우 게이트선(121)이나 데이터선(171)의 결합을 수리하는데 이용할 수 있고, 이러한 수리를 위하여 레이저를 조사할 때, 제2 박막 트랜지스터(TFT2) 대신 게이트선(121)과 유지 배선 연결 다리(91)의 전기적 연결을 보조하기 위하여 이들 사이에는 데이터선(171)과 동일한 층으로 다리부 금속편만이 배치될 수 있다.

접촉 보조 부재(95, 97)는 각각 접촉 구멍(182, 183)을 통하여 게이트선의 끝부분(125)과 데이터선의 끝부분(179)에 연결되어 있다.

한편, 박막 트랜지스터 표시판과 마주하는 상부 표시판(200)은 다음과 같은 구성을 가진다.

하부 절연 기판(110)과 마주하는 상부 절연 기판(210)에는 빛이 새는 것을 방지하기 위한 블랙 매트릭스(220)가 형성되어 있다. 블랙 매트릭스(220) 위에는 화소 영역에 순차적으로 배치되어 있는 적, 녹, 청색 색필터(230)가 형성되어 있다. 색필터(230)의 위에는 복수 벌의 절개부(271, 272, 273, 274, 275, 276)를 가지는 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 ITO 또는 IZO(indium zinc oxide) 등의 투명한 도전체로 형성한다.

공통 전극(270)의 한 벌의 절개부(271, 272, 273, 274, 275, 276)는 두 화소 전극(190a, 190b)의 절개부(191, 192, 193, 194, 195) 중 게이트선(121)에 대하여 45°를 이루는 부분을 가운데에 끼고 배치되어 있으며 이들과 나란한 사선부와 화소 전극(190a, 190b)의 변과 중첩되어 있는 단부를 포함하고 있다. 이 때, 단부는 세로 방향 단부와 가로 방향 단부로 분류된다.

이상과 같은 구조의 박막 트랜지스터 표시판과 색필터 표시판을 정렬하여 결합하고 그 사이에 액정 물질을 주입하여 수직 배향하면 본 발명에 한 실시예에 따른 액정 표시 장치의 기본 구조가 마련된다.

박막 트랜지스터 표시판과 색필터 표시판을 정렬했을 때 공통 전극(270)의 한 벌의 절개부(271, 272, 273, 274, 275, 276)는 두 화소 전극(190a, 190b)을 각각 복수의 부영역(subarea)으로 구분하는데, 본 실시예에서는 도 3에 도시한 바와 같이 두 화소 전극(190a, 190b)을 각각 8개의 부영역으로 나눈다. 도 3에서 알 수 있는 바와 같이, 각 부영역은 길쭉하게 형성되어 있어서 폭 방향과 길이 방향이 구별된다.

화소 전극(190a, 190b)의 각 부영역과 이에 대응하는 기준 전극(270)의 각 부영역 사이에 있는 액정층(300) 부분을 앞으로는 소영역(subregion)이라고 하며, 이들 소영역은 전계 인가시 그 내부에 위치하는 액정 분자의 평균 장축 방향에 따라 8개의 종류로 분류되며 앞으로는 이를 도메인(domain)이라고 한다.

이러한 액정 표시 장치에서, 제2 화소 전극(190b)은 제1 화소 전극(190a)과 연결되어 있는 결합 전극(176b)과 중첩함으로써 제1 화소 전극(190a)과 전자기적으로 결합(용량성 결합)되어 있고, 제2 박막 트랜지스터(TFT2)의 드레인 전극(175b)에 연결되어 기준 전위를 인가받는다.

제1 박막 트랜지스터(TFT1)의 게이트 전극(123a)과 소스 전극(173a)은 주사 신호를 전달하는 본단 게이트선(121)과 화상 신호를 전달하는 데이터선(171)에 각각 연결되어 주사 신호에 따라 제2 화소 전극(190b)에 인가되는 화상 신호를 온(on)오프(off)한다.

제2 박막 트랜지스터(TFT2)의 게이트 전극(123b)과 소스 전극(173b)은 전단 게이트선(121)과 유지 전극 연결 다리(91)에 각각 연결되어 전단 게이트선(121)에 인가되는 주사 신호에 따라 제2 화소 전극(190b)을 기준 전위로 리프레시한다.

이때, 제1 화소 전극(190a)은 박막 트랜지스터를 통하여 화상 신호 전압을 인가받음에 반하여 제2 화소 전극(190b)은 결합 전극(176)과의 용량성 결합에 의하여 전압이 변동하게 되므로 제2 화소 전극(190b)의 전압은 제1 화소 전극(190a)의 전압에 비하여 절대값이 항상 높게 된다. 이와 같이, 하나의 화소 영역 내에서 전압이 다른 두 화소 전극을 배치하면 두 화소 전극이 서로 보상하여 감마 곡선의 왜곡을 줄일 수 있다.

그러면 제1 화소 전극(190a)의 전압이 제2 화소 전극(190b)의 전압보다 낮게 유지되는 이유를 도 5를 참고로 하여 설명한다.

도 5에서 C_{lca} 는 제1 화소 전극(190a)과 대향 기판의 공통 전극(270) 사이에서 형성되는 액정 용량을 나타내고, C_{sta} 는 제1 화소 전극(190a)과 유지 전극 배선(131, 133a, 133b, 133c) 사이에서 형성되는 유지 용량을 나타낸다. C_{lcb} 는 제2 화소 전극(190b)과 대향 기판의 공통 전극(270) 사이에서 형성되는 액정 용량을 나타내고, C_{stb} 는 제2 화소 전극(190b)과 유지 전극선(131) 사이에서 형성되는 유지 용량을 나타내고, C_{cpb} 는 결합 전극(176b)과 제2 화소 전극(190b) 사이에서 형성되는 결합 용량을 나타낸다.

대향 기판의 공통 전극(270)에 인가된 공통 전압 또는 기준 전압에 대한 제1 화소 전극(190a)의 전압을 $V_a(V_{d1})$ 이라 하고, 제2 화소 전극(190b)의 전압을 V_b 라 하면, 전압 분배 법칙에 의하여,

$$V_b = \frac{1}{C_1 + 2C_2} \times [(2 - C_3 / C_2) \times (C_1 + C_2) \times V_{d1}]$$

인데, V_b 는 앞에서 언급한 각각의 용량을 조절하여 V_b 는 V_a 에 근접하지만 V_a 에 비하여 항상 크도록 조절할 수 있다. 여기서, $C_1 = C_{lca} + C_{sta}$, $C_2 = C_{cpb}$, $C_3 = C_{lcb} + C_{stb}$ 이고, 게이트 전극과 소스 전극 사이에서 발생하는 기생 용량은 크기가 매우 작아 고려하지 않았다.

이때, 제1 또는 제2 박막 트랜지스터(TFT1, TFT2)의 배치 또는 제1 및 제2 화소 전극(190a, 190b)의 연결은 다양하게 변형될 수 있다. 이에 대하여 다음의 실례로서 설명한다.

C_{cpb} 를 조절함으로써 V_a 에 대한 V_b 의 비율을 조정할 수 있다. C_{cpb} 의 조절은 결합 전극(176b)과 제2 화소 전극(190b)의 중첩 면적과 거리를 조정함으로써 가능하다. 중첩 면적은 결합 전극(176b)의 폭을 변화시킴으로써 용이하게 조정할 수 있고, 거리는 결합 전극(176b)의 형성 위치를 변화시킴으로써 조정할 수 있다. 즉, 본 발명의 실시예에서는 결합 전극(176b)을 데이터선(171)과 같은 층에 형성하였으나, 게이트선(121)과 같은 층에 형성함으로써 결합 전극(176b)과 제2 화소 전극(190b) 사이의 거리를 증가시킬 수 있다.

이때, 낮은 전압이 전달되는 제1 화소 전극(190a)의 면적은 높은 전압이 인가되는 제2 화소 전극(190a)의 면적보다 넓어야 하는데, 6배를 넘지 않는 것이 바람직하며, 높은 전압에 대한 낮은 전압의 전압차에 대한 비율은 0.50-0.95의 범위인 것이 바람직하다. 본 발명의 실험예에서 낮은 전압이 전달되는 제1 화소 전극(190a)의 면적은 높은 전압이 인가되는 제2 화소 전극(190a)의 면적보다 넓게 형성한 후 다양한 표시 특성을 측정한 결과, 측면 시인성은 0.22 내지 0.35의 범위에서 매우 양호하게 측정되었으며, 거의 동일하게 제1 화소 전극과 제2 화소 전극으로 분할하지 않은 경우보다 거의 개구율이 감소되지 않았으며, 높은 개구율을 확보할 수 있었다. 여기서, 측면 시인성은 정면에서의 감마 곡선 기울기에 대한 측면에서의 감마 곡선 기울기의 1에서 뺀 값으로 1에 근접하면 측면 시인성이 나쁘고, 0에 근접하면 측면 시인성이 양호한 것을 의미한다.

본 발명의 제1 실시예에서 제1 화소 전극(190a)은 제2 화소 전극(190a)의 면적에 대하여 5배 정도의 면적으로 설계하였다.

결합 전극(176b)의 배치 및 구조는 화소 불활 수단인 절개부의 모양을 따라 또는 드레인 전극(175)과 제1 또는 제2 화소 전극(190a, 190b) 중 어디에 연결되는지에 따라 다양하게 변형될 수 있다. 이에 대한 하나의 예는 이후의 실시예로서 설명한다.

도 6은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 7은 도 6의 박막 트랜지스터 표시판을 적용한 액정 표시 장치를 회로도로서 표현한 것이다.

제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판에서는 게이트선(121)을 중심으로 제1 박막 트랜지스터(TFT1)와 제3 박막 트랜지스터(TFT3)가 마주하고 있어, 데이터선(171)은 게이트 전극(123a)과 중첩하는 이들(TFT1, TFT3)의 소스 전극(173a, 173c)을 가진다. 또한, 제1 및 제3 박막 트랜지스터(TFT1, TFT3)의 드레인 전극(175b, 175c)은 게이트선(121)을 중심으로 마주하여 배치되어 있으며, 유지 전극(133b)과 중첩되어 있는 분지와 두 절개부(193, 194) 사이에 이들과 평행하게 연장되어 있는 분지를 통하여 서로 연결되어 있다.

제1 및 제2 화소 전극(190a, 190b)은 제1 실시예와 달리 절개부(192)를 통하여 분리되어 있으며, 제2 화소 전극(190b)은 제1 및 제3 박막 트랜지스터(TFT1, TFT3)의 드레인 전극(175b, 175c)에 연결되어 있는 결합 전극(176b, 176c)과 중첩되어 제1 화소 전극(190a)과 전기적으로 연결되어 있다. 이때, 결합 전극(176b, 176c)은 각각 절개부(191)의 양쪽과 절개부(195, 192) 사이에 각각 배치되어 있다.

이러한 본 발명의 제2 실시예에 따른 액정 표시 장치에서 결합 전극(176b, 176c)과 드레인 전극(175b, 175c)의 분지는 공통 전극 표시판과 정렬되었을 때, 공통 전극(270)의 절개부(271, 272, 273, 274, 275, 276)와 중첩하여 누설되는 빛을 차단하는 기능을 가질 수 있다.

한편, 본 발명의 제2 실시예에서는 화소 전극을 두 부분으로 분할하였지만, 그 이상으로 분할할 수도 있으며, 화소 전극이 세 부분으로 분할된 구조에 대하여 도면을 참조하여 설명하기로 한다.

도 8은 본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 9는 도 8의 박막 트랜지스터 표시판을 적용한 액정 표시 장치를 회로도로서 표현한 것이다.

본 발명의 제3 실시예에 따른 액정 표시 장치용 박막 트랜지스터에서는, 화소 전극(190)이 절개부(191, 195, 192)를 통하여 제1 내지 제3 화소 전극(190a, 190b, 190c)으로 분리되어 있다. 제2 박막 트랜지스터(TFT2)의 드레인 전극(175b)은 연장되어 접촉 구멍(180b)을 통하여 제1 및 제3 화소 전극(190a, 190c) 사이에 위치하는 제2 화소 전극(190b)과 연결되어 있다.

제1 및 제3 박막 트랜지스터(TFT1, TFT3)의 드레인 전극(175a, 175c)은 제2 실시예와 동일한 구조를 취하고 있으나, 드레인 전극(175a)으로부터 연장된 결합 전극(176b)은 유지 전극(133a)과 중첩하면서 화소 하부에서 상부까지 연장되면서 화소의 상부 및 하부 위치하는 두 부분의 제3 화소 전극(190c)과 중첩되어 있다.

이러한 구조의 제3 실시예에 따른 액정 표시 장치에서 제1 화소 전극(190a)은 박막 트랜지스터를 통하여 화상 신호 전압을 인가받음에 반하여 제2 및 제3 화소 전극(190b, 190c)은 결합 전극(176b)과의 용량성 결합에 의하여 전압이 변동하게 되는데, 제2 화소 전극(190b)의 전압은 제1 실시예에서와 같이 제2 박막 트랜지스터를 통하여 유지 전극선(131)에 연결되어 제1 화소 전극(190a)에 전달되는 전압에 비하여 절대값이 항상 높게 되며, 제3 화소 전극(190c)은 제1 화소 전극(190a)과 용량성으로만 전기적으로 결합되어 있어, 제3 화소 전극(190c)의 전압은 제1 화소 전극(190a)에 전달되는 전압에 비하여 절대값이 항상 낮게 된다.

그러면 제1 화소 전극(190a)의 전압이 제3 화소 전극(190c)의 전압보다 낮게 유지되는 이유를 도 9를 참고로 하여 설명한다.

도 9에서 Clcc는 제3 화소 전극(190c)과 공통 전극(270, 도 2 및 도 3 참조) 사이에서 형성되는 액정 용량을 나타내고, Cstc는 제3 화소 전극(190c)과 유지 전극선(131) 사이에서 형성되는 유지 용량을 나타낸다. Ccpc는 제1 화소 전극(190a)과 제3 화소 전극(190c) 사이에서 형성되는 결합 용량을 나타낸다.

공통 전극(270) 전압에 대한 제1 화소 전극(190a)의 전압을 V_a 라 하고, 제3 화소 전극(190c)의 전압을 V_c 라 하면, 전압 분배 법칙에 의하여,

$$V_c = V_a \times [C_{cpc} / (C_{cpc} + C_{lcc})]$$

이고, $C_{cpc} / (C_{cpc} + C_{lcc})$ 는 항상 1보다 작으므로 V_c 는 V_a 에 비하여 항상 작다.

여기서도, C_{cpc} 를 조절함으로써 V_a 에 대한 V_c 의 비율을 조정할 수 있다. C_{cpc} 의 조절은 결합 전극(176b)과 제3 화소 전극(190c)의 중첩 면적과 거리를 조정 함으로써 가능하다.

본 발명의 제3 실시예에 따른 액정 표시 장치에서, 제1 내지 제3 화소 전극(190a, 190b, 190c)은 1:1.37:0.44의 면적 비로 분할한 구조이다.

도 10은 본 발명의 제4 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이고, 도 11은 본 발명의 제4 실시예에 따른 박막 트랜지스터 표시판을 포함하는 액정 표시 장치의 회로도이다.

대부분의 구조는 도 1 및 도 3과 동일하다.

하지만, 제1 화소 전극(190a)은 제1 박막 트랜지스터의 드레인 전극(175a)과 용량성으로 결합되어 있으며, 보호막(180, 도 4 참조)은 드레인 전극(175b)을 드러내는 접촉구를 가지고 있지 않는다.

이때, 제1 화소 전극(190a)과 드레인 전극(175a) 사이에는 결합 용량(C_{cpa})이 형성되며, 제1 화소 전극(190a)의 전압은 드레인 전극(175b)과 용량성 결합으로 인하여 데이터선을 통하여 전달되는 화소 전압(V_d)보다 절대값이 항상 작으며, 제2 화소 전극(190b)은 제1 실시예와 동일하게 제2 박막 트랜지스터(TFT2)를 통하여 유지 전극선(131)에 연결되어 화소 전압보다 절대값이 항상 크다.

도 12 및 도 13은 본 발명의 제5 및 제6 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이다.

도 12 및 도 13은 본 발명의 제2 실시예에서와 같이 제1 내지 제3 박막 트랜지스터(TFT1, TFT2, TFT3)를 적용한 구조이며, 화소 전극(190)은 5:1로 제1 및 제2 화소 전극(190a, 190b)을 분할한 구조이다.

이때, 도 12에서 보는 바와 같이, 본 발명의 제5 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판에서는 제1 화소 전극(190a)이 접촉구(181a)를 통하여 제1 박막 트랜지스터(TFT1)의 드레인 전극(175a)에 연결되어 있다.

이와 달리, 도 13에서 보는 바와 같이, 본 발명의 제6 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판에서는 제1 화소 전극(190a)이 제1 박막 트랜지스터(TFT1)의 드레인 전극(175a)과 용량성으로 결합되어 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발

명의 권리범위에 속하는 것이다. 특히, 화소 전극과 공통 전극에 형성하는 절개부의 배치는 여러 다양한 변형이 있을 수 있으며, 절개부 대신 돌출부를 액정 분자를 분할 배향하는 화소 분할 수단으로 이용할 수 있다.

발명의 효과

이상과 같이 낮은 전압이 전달되는 부 화소 전극의 면적은 높은 전압이 인가되는 부 화소 전극의 면적보다 넓게 화소 전극을 설계하고, 높은 전압에 대한 낮은 전압에 대한 비율을 조절함으로써 액정 표시 장치의 측면 시인성, 개구율, 투과율 등의 특성을 양호하게 확보할 수 있다.

(57) 청구의 범위

청구항 1.

절연 기판,

상기 절연 기판 위에 형성되어 있는 제1 신호선,

상기 제1 신호선과 절연되어 교차하여 화소를 정의하는 제2 신호선,

상기 제1 신호선과 상기 제2 신호선이 교차하여 정의하는 각 화소 영역마다 형성되어 있으며, 적어도 둘 이상으로 분할되어 있는 화소 전극,

상기 제1 신호선, 상기 제2 신호선 및 화소 전극에 3단자가 각각 전기적으로 연결되어 있는 박막 트랜지스터,

적어도 하나의 분할된 상기 화소 전극과 전기적으로 연결되어 있는 단자와 연결되어 있으며, 적어도 하나의 분할된 다른 상기 화소 전극과 중첩하고 있는 결합 전극

을 포함하며,

상기 화소 전극은 액정 분자를 분할 배향하는 도메인 분할 수단을 가지며, 상기 화소 전극은 서로 다른 면적으로 분할되어 있는 박막 트랜지스터 표시판.

청구항 2.

제1항에서,

상기 도메인 분할 수단은 절개부인 박막 트랜지스터 표시판.

청구항 3.

제1항에서,

상기 결합 전극은 상기 박막 트랜지스터의 3단자 중 드레인 전극으로부터 연장되어 있는 박막 트랜지스터 표시판.

청구항 4.

제1항에서,

상기 화소 전극은 절개부를 통하여 분할되어 있으며, 절개부는 상기 제1 신호선과 $\pm 45^\circ$ 를 이루는 박막 트랜지스터 표시판.

청구항 5.

제1항에서,

상기 제2 신호선과 절연되어 교차하고 있으며 기준 전위가 인가되는 제3 신호선을 더 포함하고,

상기 화소 전극은 상기 결합 전극에 의해 용량성으로 결합되어 있는 제1 및 제2 화소 전극을 포함하며,

상기 박막 트랜지스터는 상기 제1 신호선, 상기 제1 화소 전극 및 상기 제2 신호선에 3단자가 각각 연결되어 있는 제1 박막 트랜지스터와 상기 제1 신호선, 상기 제2 화소 전극 및 상기 제3 신호선에 3단자가 전기적으로 연결되어 있는 제2 박막 트랜지스터를 포함하는 박막 트랜지스터 표시판.

청구항 6.

제5항에서,

상기 제1 및 제2 화소 전극과 상기 제1 및 제2 박막 트랜지스터 사이에 형성되어 있는 절연막을 더 포함하며,

상기 제2 화소 전극과 상기 제2 박막 트랜지스터의 드레인 전극은 상기 보호막의 제1 접촉구를 직접 연결되어 있는 박막 트랜지스터 표시판.

청구항 7.

제6항에서,

상기 제1 화소 전극은 상기 보호막의 제2 접촉구를 통하여 상기 제1 박막 트랜지스터의 드레인 전극과 직접 연결되어 있거나, 상기 보호막을 사이에 두고 상기 제1 박막 트랜지스터의 드레인 전극과 중첩되어 있는 박막 트랜지스터 표시판.

청구항 8.

제7항에서,

상기 제1 화소 전극은 상기 제2 화소 전극보다 큰 면적을 가지는 박막 트랜지스터 표시판.

청구항 9.

제8항에서,

상기 제1 화소 전극은 상기 제2 화소 전극의 면적에 대하여 1-6배 범위의 면적을 가지는 박막 트랜지스터 표시판.

청구항 10.

제5항에서,

상기 화소 전극은 상기 제1 화소 전극과 상기 결합 전극을 통하여 용량성 결합의 전기적으로 연결되어 있는 제3 화소 전극을 더 포함하는 박막 트랜지스터 표시판.

청구항 11.

상기 제1항의 박막 트랜지스터 표시판,

상기 박막 트랜지스터 표시판과 마주하며, 상기 화소 전극과 마주하여 액정 분자를 구동하기 위한 전위를 형성하는 공통 전극을 가지는 공통 전극 표시판,

상기 박막 트랜지스터 표시판 및 상기 공통 전극 표시판 중 적어도 하나에 형성되어 있는 제1 도메인 분할 수단,

상기 박막 트랜지스터 표시판 및 상기 공통 전극 표시판 중 적어도 하나에 형성되어 있으며 상기 제1 도메인 분할 수단과 함께 화소 영역을 다수의 소도메인으로 분할하는 제2 도메인 분할 수단

을 포함하는 액정 표시 장치.

청구항 12.

제11항에서,

상기 제1 도메인 분할 수단은 상기 화소 전극이 가지는 절개부이고,

상기 제2 도메인 분할 수단은 상기 공통 전극이 가지는 절개부인 액정 표시 장치.

청구항 13.

제1 절연 기판,

상기 제1 절연 기판에 형성되어 있는 제1 신호선,

상기 제1 절연 기판에 형성되어 있으며, 상기 제1 신호선과 절연되어 교차하여 화소를 정의하는 제2 신호선,

상기 제1 신호선과 상기 제2 신호선이 교차하여 정의하는 각 화소 영역마다 형성되어 있으며, 적어도 둘 이상으로 분할되어 있는 화소 전극,

상기 제1 신호선, 상기 제2 신호선 및 화소 전극에 3단자가 각각 전기적으로 연결되어 있는 박막 트랜지스터,

적어도 하나의 분할된 상기 화소 전극과 전기적으로 연결되어 있는 단자와 연결되어 있으며, 적어도 하나의 분할된 다른 상기 화소 전극과 중첩하고 있는 결합 전극

상기 제1 절연 기판과 대향하고 있는 제2 절연 기판,

상기 제2 절연 기판 위에 형성되어 있는 공통 전극,

상기 제1 기판 및 상기 제2 기판 중의 적어도 하나에 형성되어 있는 제1 도메인 분할 수단,

상기 제1 기판 및 상기 제2 기판 중의 적어도 하나에 형성되어 있으며 상기 제1 도메인 분할 수단과 함께 화소 영역을 다수의 소도메인으로 분할하는 제2 도메인 분할 수단을 포함하는 액정 표시 장치에 있어서,

상기 공통 전극과 분할된 다수의 상기 화소 전극 사이의 전압에 대한 전압차의 비율은 0.5-0.95 범위인 액정 표시 장치.

청구항 14.

제13항에서,

상기 제1 또는 제2 도메인 분할 수단은 절개부인 액정 표시 장치.

청구항 15.

제13항에서,

상기 결합 전극은 상기 박막 트랜지스터의 3단자 중 드레인 전극으로부터 연장되어 있는 액정 표시 장치.

청구항 16.

제13항에서,

상기 제1 및 제2 도메인 분할 수단은 상기 제1 신호선과 $\pm 45^\circ$ 를 이루는 액정 표시 장치.

청구항 17.

제13항에서,

상기 제2 신호선과 절연되어 교차하고 있으며 기준 전위가 인가되는 제3 신호선을 더 포함하고,

상기 화소 전극은 상기 결합 전극에 의해 용량성으로 결합되어 있는 제1 및 제2 화소 전극을 포함하며,

상기 박막 트랜지스터는 상기 제1 신호선, 상기 제1 화소 전극 및 상기 제2 신호선에 3단자가 각각 연결되어 있는 제1 박막 트랜지스터와 상기 제1 신호선, 상기 제2 화소 전극 및 상기 제3 신호선에 3단자가 전기적으로 연결되어 있는 제2 박막 트랜지스터를 포함하는 액정 표시 장치.

청구항 18.

제17항에서,

상기 제1 및 제2 화소 전극과 상기 제1 및 제2 박막 트랜지스터 사이에 형성 되어 있는 절연막을 더 포함하며,

상기 제2 화소 전극과 상기 제2 박막 트랜지스터의 드레인 전극은 상기 보호막의 제1 접촉구를 직접 연결되어 있는 액정 표시 장치.

청구항 19.

제18항에서,

상기 제1 화소 전극은 상기 보호막의 제2 접촉구를 통하여 상기 제1 박막 트랜지스터의 드레인 전극과 직접 연결되어 있거나, 상기 보호막을 사이에 두고 상기 제1 박막 트랜지스터의 드레인 전극과 중첩되어 있는 액정 표시 장치.

청구항 20.

제19항에서,

상기 제1 화소 전극은 상기 제2 화소 전극보다 큰 면적을 가지는 액정 표시 장치.

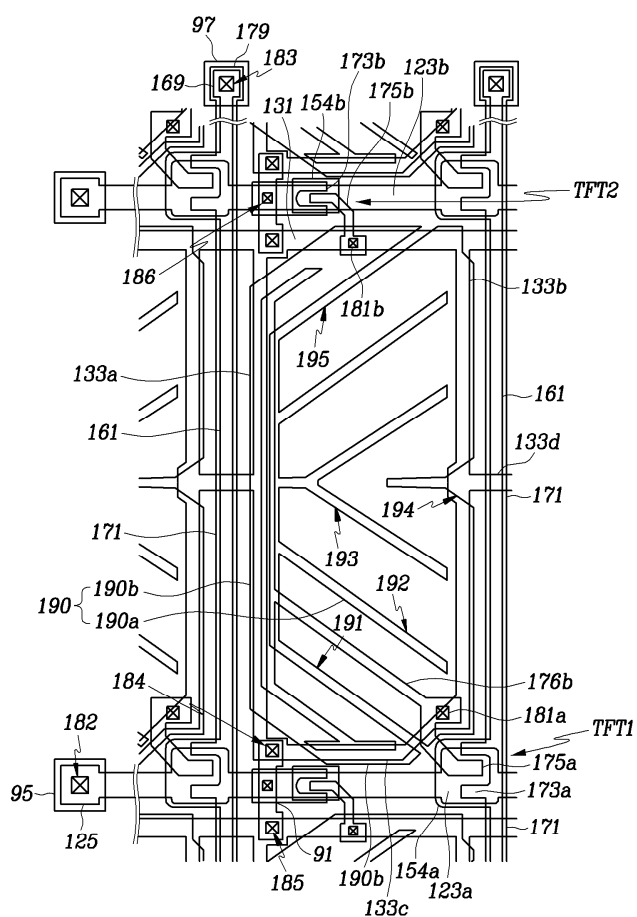
청구항 21.

제17항에서,

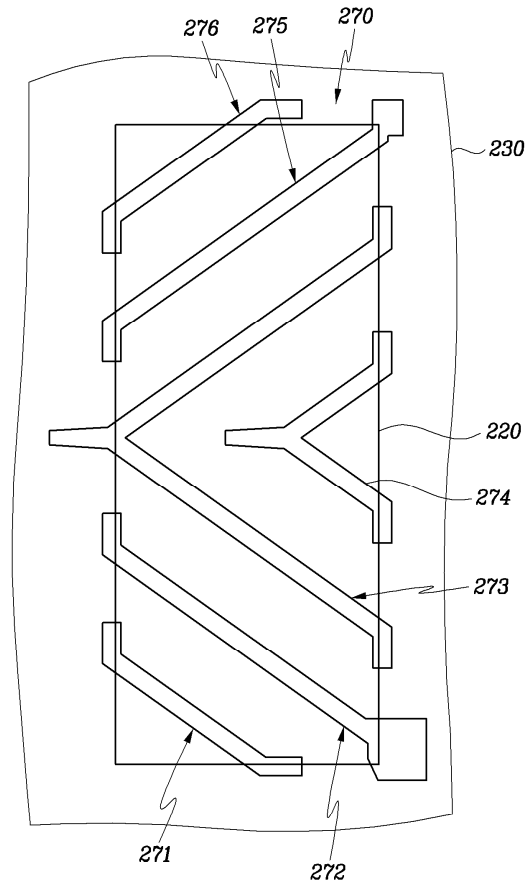
상기 화소 전극은 상기 제1 화소 전극과 상기 결합 전극을 통하여 용량성 결합의 전기적으로 연결되어 있는 제3 화소 전극을 더 포함하는 액정 표시 장치.

도면

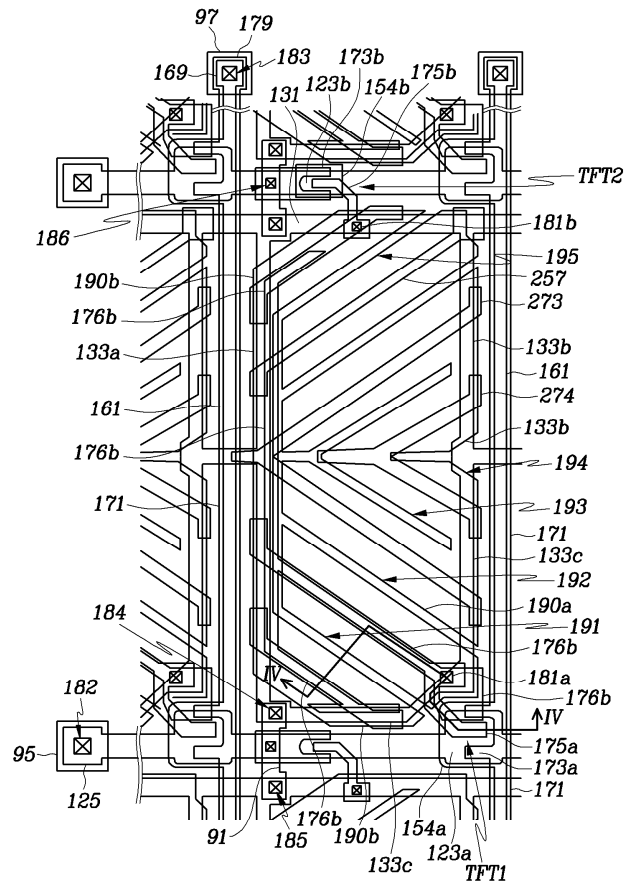
도면1



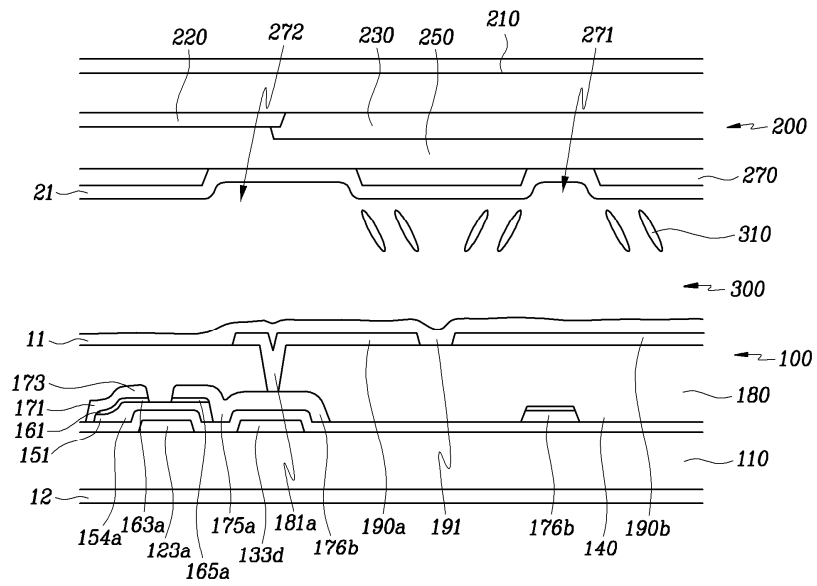
도면2



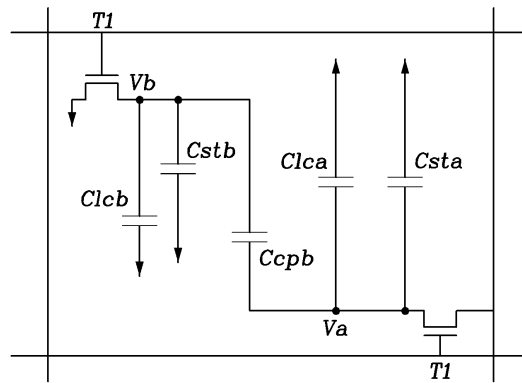
도면3



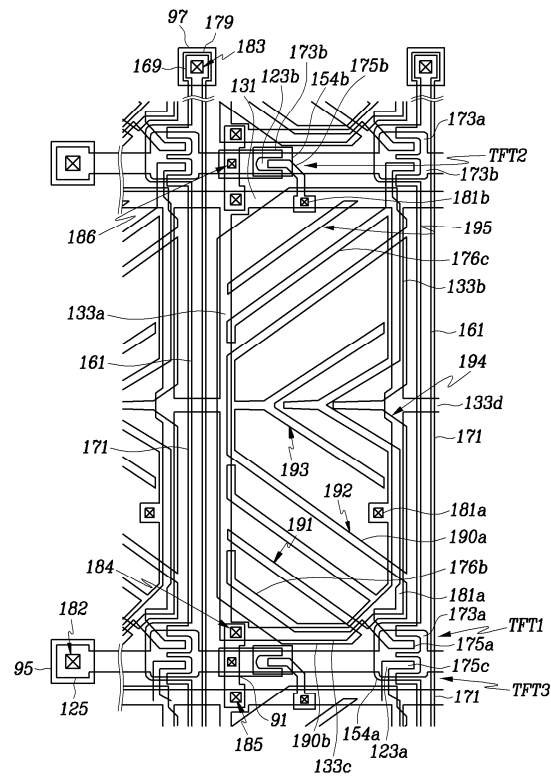
도면4



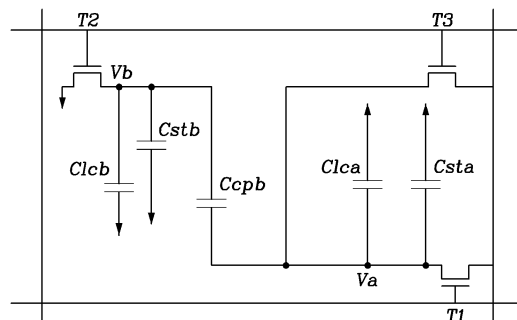
도면5



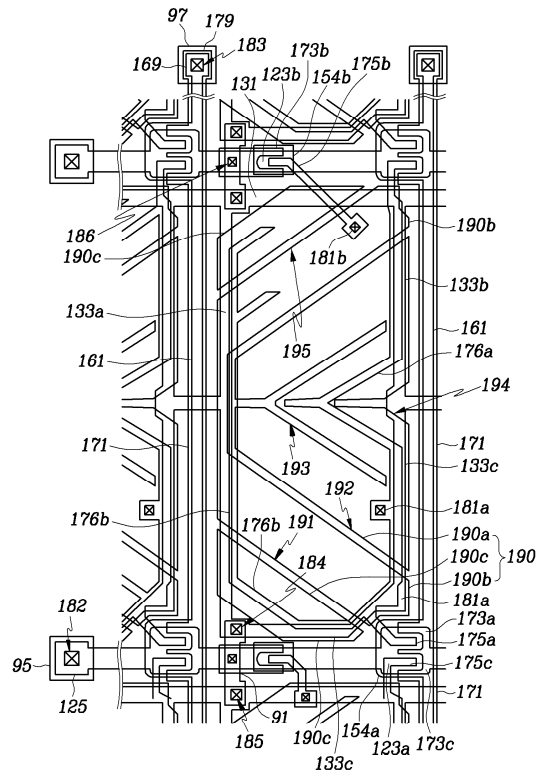
도면6



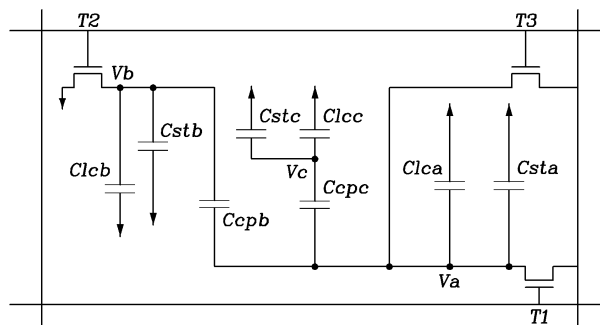
도면7



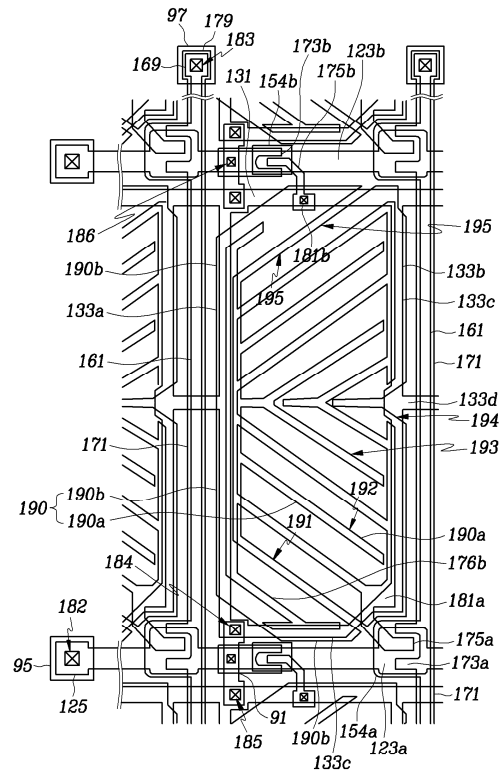
도면8



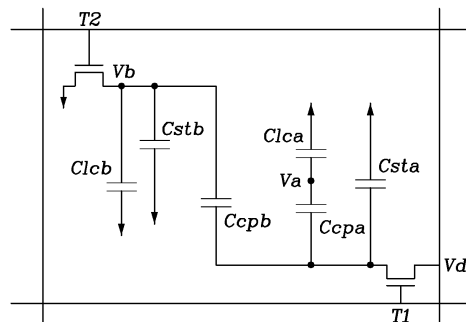
도면9



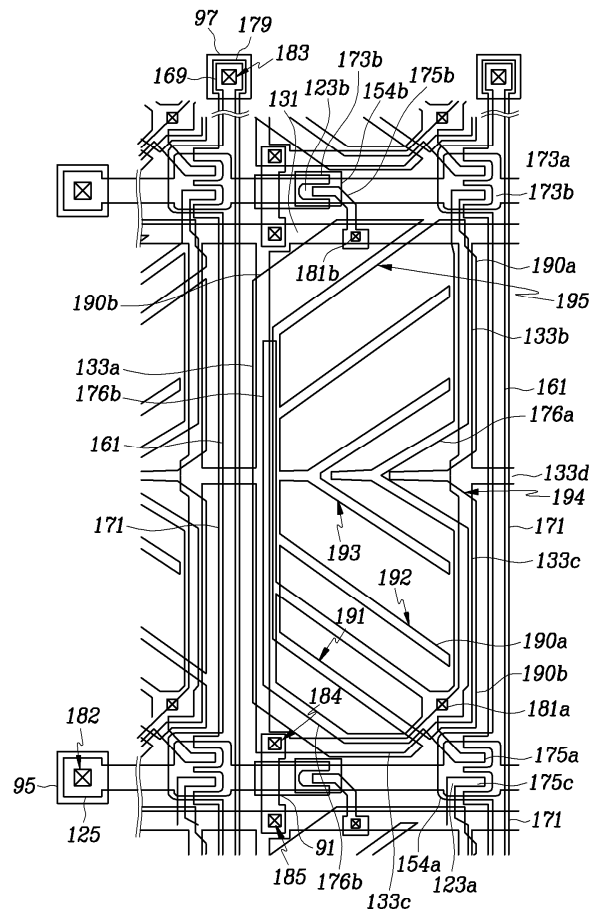
도면10



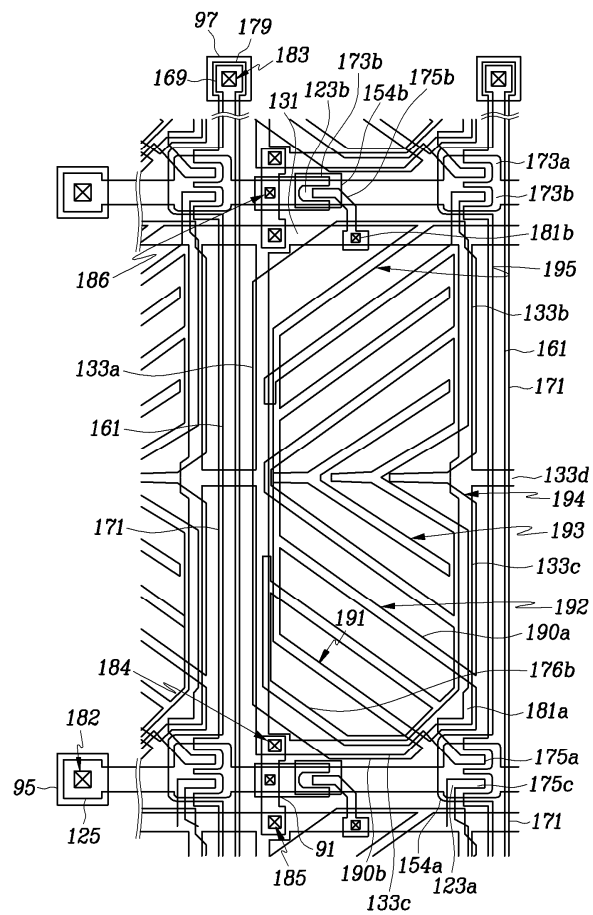
도면11



도면12



도면13



专利名称(译)	多畴液晶显示装置及其中使用的显示面板		
公开(公告)号	KR1020040105934A	公开(公告)日	2004-12-17
申请号	KR1020030037090	申请日	2003-06-10
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM HEESEOB 김희섭 OH JOONHAK 오준학 YOU DOOHWAN 유두환 YANG YOUNGCHOL 양영철		
发明人	김희섭 오준학 유두환 양영철		
IPC分类号	G02F1/139 G02F1/1368 G02F1/1343 G02F1/1337 G02F1/1333		
CPC分类号	G02F1/133707 G02F1/1393 G02F1/134336		
外部链接	Espacenet		

摘要(译)

用于包括形成在绝缘基板上的栅极线的液晶显示器，数据线，每个像素区域的第一像素电极，栅极线，数据线中的3端子和第一像素电极是相应的连接的薄膜晶体管，以及准备第二像素电极。数据线栅极线绝缘并相交。关于每个像素区域，栅极线和数据线交叉和限定的第一像素电极形成。第二像素电极与连接电极重叠，连接电极连接到第一像素电极，同时形成在像素区域，并且在第一像素电极中组合成电容。在第二像素电极处形成高于第一像素电极的电压的电压，该电压围绕公共电极通过第二薄膜晶体管在维持电极线中电连接。此时，第一像素电极包括围绕第二像素电极的宽侧，并且低功率是关于高电压的0.50-0.95的速率。这样，可以获得具有宽视角的改进的宽视角液晶显示器%液晶显示装置的下侧和侧面，并且可以同时确保开口率和良好的透射率。液晶显示器，垂直排列，切口部分，连接电极。

