

특허청구의 범위

청구항 1

표시영역 및 상기 표시영역 외측으로 제 1 내지 제 4 비표시영역이 정의된 제 1 기관과;
상기 제 1 기관상의 상기 표시영역에 일방향으로 연장하는 게이트 배선과;
상기 제 1 기관상의 상기 제 2 및 제 4 비표시영역에 형성된 공통배선과;
상기 게이트 및 공통배선 상부로 전면에 형성된 게이트 절연막과;
상기 게이트 절연막 상부로 상기 표시영역에 상기 게이트 배선과 교차하며 형성된 데이터 배선과;
상기 데이터 배선 위로 형성된 보호층과;
상기 보호층 상부로 상기 표시영역에 대응하여 화소전극과, 상기 제 1 비표시영역에 대응하여 상기 보호층 위로 형성된 다수의 제 1 화소패턴과;
상기 제 2 내지 제 4 비표시영역에 대응하여 상기 보호층 위로 상기 제 1 화소패턴과 다른 두께를 가지며 형성된 다수의 제 2 화소패턴과;
상기 제 1 기관과 마주하는 제 2 기관과;
상기 제 2 기관 내측면에 형성된 컬러필터층과;
상기 컬러필터층과 접촉하며 전면에 형성된 공통전극과;
상기 제 1, 2 화소패턴에 접촉하며 동일한 두께를 가지며 형성된 상기 셀패턴과;
상기 셀패턴 내측으로 상기 제 1, 2 기관 사이에 형성된 액정층
을 포함하는 액정표시장치.

청구항 2

제 1 항에 있어서,
상기 데이터 배선 하부에는 상기 배선 배선과 동일한 형태를 가지며 일정한 두께를 갖는 반도체패턴을 더욱 포함하는 액정표시장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,
상기 공통배선은 상기 게이트 배선과 동일한 두께를 갖는 것이 특징인 액정표시장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,
상기 다수의 제 1 화소패턴은 상기 화소전극과 동일한 두께를 갖는 것이 특징인 액정표시장치.

청구항 5

제 1 항 또는 제 2 항에 있어서,
상기 제 1 내지 제 4 비표시영역에서 서로 다른 구성요소로 적층된 각 물질층의 총 두께가 동일한 것이 특징인 액정표시장치.

청구항 6

제 5 항에 있어서,
상기 제 2 화소패턴은, 상기 데이터 배선과 게이트 배선 두께의 차이만큼을 상기 제 1 화소패턴의 두께에 대해 더하거나 뺀 정도의 두께를 갖는 것이 특징인 액정표시장치.

청구항 7

제 5 항에 있어서,

상기 제 2 화소패턴의 두께는, 상기 제 1 화소패턴과 데이터 배선과 반도체패턴의 총 두께에서 상기 게이트 배선 두께를 뺀 값인 것이 특징인 액정표시장치.

청구항 8

제 1 항 또는 제 2 항에 있어서,

상기 제 2 기관 내측면에 상기 제 1 내지 제 4 비표시영역에 대응하여 형성된 제 1 블랙매트릭스와, 상기 제 1 블랙매트릭스 내측으로 상기 게이트 및 데이터 배선에 대응하여 형성된 제 2 블랙매트릭스와;

상기 공통전극 하부로 상기 제 2 블랙매트릭스와 중첩하는 다수의 패턴드 스페이스

를 더욱 포함하는 액정표시장치.

청구항 9

제 1 항 또는 제 2 항에 있어서,

상기 제 1, 2 기관에는 상기 액정층과 각각 접촉하는 제 1, 2 배향막을 더욱 포함하는 액정표시장치.

청구항 10

제 9 항에 있어서,

상기 제 1 기관에 형성된 제 1 배향막은 상기 표시영역에 대응하여 형성된 것이 특징인 액정표시장치.

청구항 11

제 1 항 또는 제 2 항에 있어서,

상기 제 1 기관은 상기 셀패턴 외측으로, 상기 제 1 비표시영역에 상기 데이터 배선과 연결된 데이터 패드를 갖는 데이터 패드부와, 상기 제 2 비표시영역에 상기 게이트 배선과 연결된 게이트 패드를 갖는 게이트 패드부를 더욱 포함하는 액정표시장치.

청구항 12

제 1 항 또는 제 2 항에 있어서,

상기 제 1 기관은 표시영역에 상기 게이트 배선과 데이터 배선 및 상기 화소전극과 연결되는 박막트랜지스터를 더욱 포함하는 액정표시장치.

청구항 13

표시영역 및 상기 표시영역 외측으로 제 1 내지 제 4 비표시영역이 정의된 제 1 기관상의 상기 표시영역에 일방향으로 연장하는 게이트 배선과, 상기 제 3 및 제 4 비표시영역에 공통배선을 형성하는 단계와;

상기 게이트 및 공통배선 상부로 전면에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 상부로 상기 표시영역에 상기 게이트 배선과 교차하며 형성된 데이터 배선을 형성하는 단계와;

상기 데이터 배선 위로 전면에 보호층을 형성하는 단계와;

상기 보호층 상부로 상기 표시영역에 대응하여 화소전극과, 상기 제 1 비표시영역에 대응하여 다수의 제 1 화소패턴을 형성하는 단계와;

상기 보호층 위로 제 2 내지 제 4 비표시영역에 대응하여 상기 제 1 화소패턴과 다른 두께를 갖는 다수의 제 2 화소패턴을 형성하는 단계와;

상기 제 1 기관과 마주하는 제 2 기관의 내측면에 컬러필터층을 형성하는 단계와;

상기 컬러필터층 하부로 전면에 공통전극을 형성하는 단계와;

상기 제 1, 2 화소패턴에 대응하여 상기 제 1, 2 기관과 동시에 접촉하며 동일한 두께를 갖는 셀패턴을 형성하는 단계와;

상기 셀패턴 내측으로 상기 제 1, 2 기관 사이에 액정층을 형성하는 단계를 포함하는 액정표시장치 제조 방법.

청구항 14

제 13 항에 있어서,

상기 공통전극은 상기 게이트 배선과 동일한 두께를 갖도록 형성하는 것이 특징인 액정표시장치 제조 방법.

청구항 15

제 13 항에 있어서,

상기 다수의 제 1 화소패턴은 상기 화소전극과 동일한 두께를 갖도록 형성하는 것이 특징인 액정표시장치 제조 방법.

청구항 16

제 13 항에 있어서,

제 1 내지 제 4 비표시영역에서 서로 다른 구성요소로 적층된 각 물질층의 총 두께가 동일하도록 형성하는 것을 특징으로 하는 액정표시장치 제조 방법.

청구항 17

제 13 항에 있어서,

상기 제 2 화소패턴은, 상기 데이터 배선과 게이트 배선 두께의 차이만큼을 상기 제 1 화소패턴의 두께에 대해 더하거나 뺀 정도의 두께를 갖도록 형성하는 것이 특징인 액정표시장치.

청구항 18

제 13 항에 있어서,

상기 데이터 배선을 형성하는 단계는,

상기 데이터 배선 하부로 상기 데이터 배선과 동일한 형태의 반도체 패턴을 형성하는 단계를 더욱 포함하는 액정표시장치 제조 방법.

청구항 19

제 18 항에 있어서,

상기 제 2 화소패턴의 두께는, 상기 제 1 화소패턴과 데이터 배선과 반도체패턴의 총 두께에서 상기 게이트 배선 두께를 뺀 값을 갖도록 형성하는 것이 특징인 액정표시장치.

청구항 20

제 13 항 또는 제 18항에 있어서,

상기 제 2 기관 내측면에 상기 제 1 내지 제 4 비표시영역에 대응하여 형성된 제 1 블랙매트릭스와, 상기 제 1 블랙매트릭스 내측으로 상기 게이트 및 데이터 배선에 대응하여 제 2 블랙매트릭스를 형성하는 단계와;

상기 공통전극 하부로 상기 제 2 블랙매트릭스와 중첩하는 다수의 패턴드 스페이서를 형성하는 단계와;

상기 화소전극 위로 상기 표시영역에 대응하여 제 1 배향막을 형성하는 단계와;

상기 패턴드 스페이서 및 공통전극 하부로 제 2 배향막을 형성하는 단계

를 더욱 포함하는 액정표시장치 제조 방법.

청구항 21

제 13 항 또는 제 18 항에 있어서,

상기 제 1 기판에 있어, 상기 셀패턴 외측으로, 상기 제 1 비표시영역에 상기 데이터 배선과 연결된 데이터 패드전극과, 상기 제 2 비표시영역에 상기 게이트 배선과 연결된 게이트 패드전극을 형성하는 단계를 더욱 포함하는 액정표시장치의 제조 방법.

청구항 22

제 12 항 또는 제 14 항에 있어서,

상기 제 1 기판상의 표시영역에는 상기 게이트 배선과 데이터 배선 및 상기 화소전극과 연결되는 박막 트랜지스터를 형성하는 단계를 더욱 포함하는 액정표시장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명은 액정표시장치에 관한 것으로 더욱 상세히는 저 셀갭 구조에 있어 단차보상을 통한 균일한 셀갭을 갖는 액정표시장치 및 그 제조 방법에 관한 것이다.
- <14> 최근 정보화 사회로 시대가 급 발전함에 따라 박형화, 경량화, 저 소비전력화 등의 우수한 특성을 가지는 평판 표시 장치(flat panel display)의 필요성이 대두되었다.
- <15> 이러한 평판 표시 장치는 스스로 빛을 발하느냐 그렇지 못하느냐에 따라 나눌 수 있는데, 스스로 빛을 발하여 화상을 표시하는 것을 발광형 표시장치라 하고, 그렇지 못하고 외부의 광원을 이용하여 화상을 표시하는 것을 수광형 표시장치라고 한다. 발광형 표시장치로는 플라즈마 표시장치(plasma display panel)와 전계 방출 표시장치(field emission display), 전계 발광 표시 장치(electro luminescence display) 등이 있으며, 수광형 표시 장치로는 액정표시장치(liquid crystal display)가 있다.
- <16> 이중 액정표시장치가 해상도, 컬러표시, 화질 등이 우수하여 노트북이나 데스크탑 모니터에 활발하게 적용되고 있다.
- <17> 액정표시장치는 전극이 각각 형성되어 있는 두 기판을 두 전극이 형성되어 있는 면이 서로 대향하도록 배치하고, 두 기판 사이에 액정을 주입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 액정 분자를 움직여 빛의 투과율을 조절하여 화상을 표현하는 장치이다.
- <18> 이러한 액정표시장치용 액정패널은 화소전극과 스위칭 소자인 박막 트랜지스터가 각 화소별로 형성되는 어레이 기판을 제조하는 공정과 상기 어레이 기판과 대향되어 공통전극 및 적, 녹, 청색의 컬러가 각 화소에 대응하여 형성되는 되어 있는 컬러필터 기판을 제조하는 공정과 상기 두 공정을 통해 제작된 어레이 기판과 컬러필터 기판 사이에 액정을 주입한 후, 합착하는 일련의 공정을 진행하여 완성된다.
- <19> 도 1은 일반적인 액정표시장치의 개략적인 평면도이며, 도 2a 내지 2e는 각각은 도 1에 있어 A, B, C, D, E라 표시된 영역에 대한 단면도이다. 이때, A영역은 표시영역 내의 게이트 배선과 그 상부의 패턴드 스페이서가 형성된 부분을, B영역은 데이터 패드부와 인접한 셀패턴이 형성된 부분 중 데이터 배선이 형성된 부분을 을 나타내며, C영역은 게이트 패드부와 인접한 셀패턴이 형성된 부분 중 게이트 배선이 형성된 부분을 나타내며, D와 E영역은 각각 상기 게이트 및 데이터 패드부 형성된 측면에 대칭되는 영역의 셀패턴이 형성된 부분 중 공통 배선이 형성된 부분을 나타낸다.
- <20> 도시한 바와 같이, 액정표시장치(1)에 있어, 우선 하부기판인 어레이 기판(11)에 있어서 그 가장자리에 형성된 비표시영역(NA)에는 외부 구동회로와 연결되는 다수 개의 게이트 패드(47) 및 데이터 패드(48)가 형성된 게이트 및 데이터 패드부(GPA, DPA)가 형성되어 있다.

- <21> 또한, 표시영역(AA)에는 상기 게이트 패드(47) 및 데이터 패드(48)와 각각 연결되어 서로 교차하여 다수의 화소 영역(P)을 정의하는 게이트 배선(13) 및 데이터 배선(27)이 형성되어 있으며, 각 화소영역(P)에는 상기 게이트 배선(13)과 및 데이터 배선(27)과 연결되어 스위칭 소자로서의 역할을 하는 박막트랜지스터(Tr)가 형성되어 있으며, 상기 각 박막트랜지스터(Tr)와 연결되며 각 화소영역(P)에는 화소전극(37)이 형성되어 있다.
- <22> 또한, 상기 다수의 화소영역(P)으로 구성되는 표시영역(AA) 외측으로 즉 데이터 패드부(DPA)가 형성된 상측과 상기 게이트 패드부(GPA)가 형성된 좌측을 제외하고는 상기 게이트 배선(13)과 동일한 층에 상부에 위치하는 컬러필터 기관(61)상의 공통전극(73)에 공통전압을 인가하기 위한 공통배선(미도시)이 형성되어 있다.
- <23> 한편, 전술한 구조를 갖는 어레이 기관(11)에 대응하여 더욱 정확히는 상기 어레이 기관(11)의 게이트 및 데이터 패드부(GPA, DPA)를 제외한 영역에 대응하여서는 컬러필터 기관(61)이 구성되고 있으며, 상기 컬러필터 기관(61)에는 상기 표시영역(AA)의 테두리를 따라서는 제 1 블랙매트릭스(63)가 형성되어 있으며, 상기 제 1 블랙매트릭스(63)에 대해 그 양끝단이 접촉하며 상기 어레이 기관(11) 상에 형성된 게이트 및 데이터 배선(13, 27)과 중첩하며 격자형태로 제 2 블랙매트릭스(65)가 형성되어 있으며, 각 화소영역(P)에 대응하여 상기 제 2 블랙매트릭스(65)와 중첩하며 적, 녹, 청의 컬러필터층(70)이 형성되어 있으며, 상기 컬러필터층(70) 하부로는 전면 공통전극(73)이 형성되어 있으며, 상기 제 2 블랙매트릭스(65)에 대응하여 소정 간격으로 가지며 기둥형상의 패턴드 스페이서(95)가 형성되어 있다. 이때 상기 패턴드 스페이서(95)는 컬러필터 기관(61)과 어레이 기관(11)간의 일정한 간격(셀갭)을 유지시키기 위함이다.
- <24> 또한 이들 두 기관(11, 61) 사이에는 액정층(미도시)이 구성되고 있으며, 상기 액정층(미도시)이 새는 것을 방지하고, 액정표시장치의 예지부에서의 셀갭 유지를 위해 상기 표시영역(AA)의 외측으로 상기 표시영역(AA)을 둘러싸며 셀패턴(81)이 형성되어 있다.
- <25> 또한, 상기 액정층(미도시) 내의 액정분자들이 일관된 초기배열을 유도하기 위해 각 기관(11, 61)의 최상부에는 제 1, 2 배향막(50, 77)이 형성되어 있다.
- <26> 이러한 구성을 갖는 액정표시장치(1)에 있어서, 도 1에 A,B,C,D,E 라고 표시된 부분의 단면구조를 살펴보면, 각각 적층되는 물질층이 달라짐으로써 두께 차이가 발생함으로써 이러한 단차가 발생한 부분에 셀패턴(81)을 형성하고 이들 두 기관(11, 61)을 합착하였을 경우, 셀갭 불량이 야기되고 있다.
- <27> 조금 더 상세히 표시영역의 중앙부의 게이트 배선 상부로 패턴드 스페이서가 형성된 A부분의 단면도인 도 2a를 참조하여 그 단면구조를 살펴보면, 우선 어레이 기관(11) 상에는 순차적으로 게이트 배선(13)과 게이트 절연막(18)과 보호층(37)과 화소전극(42)(스토리지 커패시터를 형성하기 위해 상기 게이트 배선(13)과 중첩 형성됨)과 제 1 배향막(50)이 형성되고 있으며, 이에 대응하는 컬러필터 기관(61)에 있어서는 순차적으로 제 2 블랙매트릭스(65)와 컬러필터층(70)과 공통전극(73)과 패턴드 스페이서(95)와 제 2 배향막(77)이 형성되고 있다. 이때, 이들 두 기관(11, 61) 사이에 형성되는 각 물질층을 각각 게이트 배선(13) 및 공통배선(14) 2550Å, 게이트 절연막(18) 4000Å, 보호층(37) 1500Å, 화소전극(42) 및 화소패턴(44)(셀패턴(81)의 합착력을 높이기 위해 게이트 및 데이터 패드부(GPA, DPA)와 인접하여 셀패턴(81)이 형성되는 부분에 대응하여 요철 표면을 갖도록 보호층(37) 상부로 다수의 형성함) 400Å, 제 1, 2 배향막(50, 77) 800Å, 반도체패턴(24) 1700Å, 소스 및 드레인 전극(미도시)과 데이터 배선(27)은 2000Å, 공통전극(73) 1500Å, 컬러필터층(70) 12000Å, 제 1, 2 블랙매트릭스(63, 65) 13000Å이라 가정하면, 상기 A부분에 있어서는 패턴드 스페이서(95)의 높이를 제외하면, 그 적층된 물질층의 총 두께는 3.655 μ m가 됨을 알 수 있다.
- <28> 한편, 데이터 패드부에 인접하여 셀패턴이 형성된 B부분의 데이터 배선에 대응하는 부분의 단면도인 도 2b를 참조하면, 이 부분에 있어서는 하부로부터 상부로 게이트 절연막(18)/반도체 패턴(24)/데이터 배선(27)/보호층(37)/화소패턴(44)/셀패턴(81)/제 2 배향막(77)/공통전극(70)/제 1 블랙매트릭스(63)가 적층되어 있으며, 상기 셀패턴(81a)을 제외하면 그 적층된 물질층의 총 두께는 2.490 μ m가 되고 있으며, 만약 상기 셀패턴(81a)의 두께가 상기 패턴드 스페이서(95)의 높이가 같다고 가정하면, 상기 A, B 두 부분에서는 1.16 μ m의 단차가 발생하고 있음을 알 수 있다. 따라서 실질적으로는 이 부분(B)에 있어서는 A영역의 패턴드 스페이서의 높이 대비 1.165 μ m 정도 더 두껍게 상기 셀패턴(81a)이 형성되어야 일정한 셀갭이 유지됨을 알 수 있다.
- <29> 또한, 상기 게이트 패드부에 인접하여 셀패턴이 형성된 C부분의 게이트 배선 에 대응하는 부분의 단면도인 도 2c를 참조하면, 그 하부로부터 상부로 게이트 배선(13)/게이트 절연막(18)/보호층(37)/화소패턴(44)/셀패턴(81b)/제 2 배향막(77)/공통전극(73)/제 1 블랙매트릭스(63)의 적층구조를 가지고 있음을 알 수 있으며, 이때 상기 셀패턴(81)을 제외한 모든 적층된 물질층의 총 두께는 2.375 μ m가 됨을 알 수 있다. 따라서 A영역을 기준으로

로 상기 C영역에서에서는 1.280 μ m정도의 단차가 발생하고 있음을 알 수 있으며, 따라서 실질적으로는 이 부분 (C)에 있어서는 A영역의 패턴드 스페이서(95)의 높이 대비 1.280 μ m정도 더 두껍게 상기 쉘패턴(81b)을 형성하여야 셀갭이 일정하게 유지됨을 알 수 있다.

<30> 또한, 각각 상기 B영역과 C영역에 대칭되는 부분인 D 및 E영역에서의 공통배선이 형성된 부분을 각각 절단한 단면도인 도 2d 및 도 2e를 참조하면, 동일하게 그 하부로부터 상부로 공통배선(14)/게이트 절연막(18)/보호층(37)/셀패턴(81)/제 2 배향막(77)/공통전극(73)/제 1 블랙매트릭스(63)의 적층구조를 가지고 있으며, 이때 상기 쉘패턴(81)을 제외한 모든 적층된 물질층의 총 두께는 2.335 μ m가 됨을 알 수 있다. 따라서 A영역을 기준으로 상기 D 및 E영역에서에서는 1.320 μ m정도의 단차가 발생하고 있음을 알 수 있으며, 따라서 실질적으로는 이 부분(D, E)에 있어서는 A영역의 패턴드 스페이서(95)의 높이대비 1.320 μ m정도 더 두껍게 상기 쉘패턴(81)이 형성되어야 함을 알 수 있다.

<31> 이러한 서로 다른 단차를 가지며 물질층이 적층된 액정표시장치의 에지부에 있어서 어레이 및 컬러필터 기관(11, 61)간의 이격간격을 유지시키는 것은 상기 쉘패턴(81)이며, 더욱 정확히는 상기 쉘패턴(81) 내에 함유되어 있는 글라스 화이버가 되고 있다.

<32> 그러나 상기 쉘패턴(81)은 통상적으로 각 에지부에 대해 동일한 크기의 글라스 화이버를 포함하는 실란트를 디스펜싱 함으로써 형성되어지는 바, 이러한 에지부에서의 단차의 차이는 무시되며 동일한 두께를 갖는 쉘패턴(81)이 형성됨으로써 셀갭 불량이 발생하고 있는 실정이다.

<33> 더욱이 최근에는 빠른 응답속도 구현을 위해 통상적으로 4 μ m-6 μ m정도의 두께를 갖는 액정층을 더욱 얇게 2 μ m 내지 4 μ m 정도의 액정층 두께를 갖도록 액정표시장치를 제조하는 추세이며, 이 경우, 표시영역(AA)과 그 외측의 에지부 간의 단차를 무시하고 전 에지부에 대해 동일한 두께로서 형성되는 쉘패턴(81)에 의해 액정층의 두께 대비 상기 단차가 차지하는 비중이 높아지게 됨으로써 점점 더 큰 악영향을 주고 있는 실정이다.

발명이 이루고자 하는 기술적 과제

<34> 본 발명은 전술한 바와 같은 문제를 해결하기 위한 것으로, 표시영역 외측의 에지부에 대해 동일한 단차를 갖는 액정표시장치를 제공함으로써 에지부 단차에 의한 셀갭 불량을 방지하는 것을 그 목적으로 하고 있습니다.

<35>

발명의 구성 및 작용

<36> 전술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치는, 표시영역 및 상기 표시영역 외측으로 제 1 내지 제 4 비표시영역이 정의된 제 1 기관과; 상기 제 1 기관상의 상기 표시영역에 일방향으로 연장하는 게이트 배선과; 상기 제 1 기관상의 상기 제 2 및 제 4 비표시영역에 형성된 공통배선과; 상기 게이트 및 공통배선 상부로 전면에서 형성된 게이트 절연막과; 상기 게이트 절연막 상부로 상기 표시영역에 상기 게이트 배선과 교차하며 형성된 데이터 배선과; 상기 데이터 배선 위로 형성된 보호층과; 상기 보호층 상부로 상기 표시영역에 대응하여 화소전극과, 상기 제 1 비표시영역에 대응하여 상기 보호층 위로 형성된 다수의 제 1 화소패턴과; 상기 제 2 내지 제 4 비표시영역에 대응하여 상기 보호층 위로 상기 제 1 화소패턴과 다른 두께를 가지며 형성된 다수의 제 2 화소패턴과; 상기 제 1 기관과 마주하는 제 2 기관과; 상기 제 2 기관 내측면에 형성된 컬러필터층과; 상기 컬러필터층과 접촉하며 전면에서 형성된 공통전극과; 상기 제 1, 2 화소패턴에 접촉하며 동일한 두께를 가지며 형성된 상기 쉘패턴과; 상기 쉘패턴 내측으로 상기 제 1, 2 기관 사이에 형성된 액정층을 포함한다.

<37> 이때, 상기 데이터 배선 하부에는 상기 배선 배선과 동일한 형태를 가지며 일정한 두께를 갖는 반도체패턴을 더욱 포함한다.

<38> 또한, 상기 공통배선은 상기 게이트 배선과 동일한 두께를 갖는 것이 특징이며, 상기 다수의 제 1 화소패턴은 상기 화소전극과 동일한 두께를 갖는 것이 특징이다.

<39> 또한, 상기 제 1 내지 제 4 비표시영역에서 서로 다른 구성요소로 적층된 각 물질층의 총 두께가 동일한 것이 특징이며, 상기 제 2 화소패턴은, 상기 데이터 배선과 게이트 배선 두께의 차이만큼을 상기 제 1 화소패턴의 두께에 대해 더하거나 뺀 정도의 두께를 갖는 것이 특징이며, 또한, 상기 제 2 화소패턴의 두께는, 상기 제 1 화소패턴과 데이터 배선과 반도체패턴의 총 두께에서 상기 게이트 배선 두께를 뺀 값인 것이 특징이다.

<40> 또한, 상기 제 2 기관 내측면에 상기 제 1 내지 제 4 비표시영역에 대응하여 형성된 제 1 블랙매트릭스와, 상기 제 1 블랙매트릭스 내측으로 상기 게이트 및 데이터 배선에 대응하여 형성된 제 2 블랙매트릭스와; 상

기 공통전극 하부로 상기 제 2 블랙매트릭스와 중첩하는 다수의 패턴드 스페이서를 더욱 포함한다.

- <41> 또한, 상기 제 1, 2 기관에는 상기 액정층과 각각 접촉하는 제 1, 2 배향막을 더욱 포함하며, 상기 제 1 기관에 형성된 제 1 배향막은 상기 표시영역에 대응하여 형성된 것이 특징이다.
- <42> 또한, 상기 제 1 기관은 상기 셀패턴 외측으로, 상기 제 1 비표시영역에 상기 데이터 배선과 연결된 데이터 패드를 갖는 데이터 패드부와, 상기 제 2 비표시영역에 상기 게이트 배선과 연결된 게이트 패드를 갖는 게이트 패드부를 더욱 포함한다.
- <43> 또한, 상기 제 1 기관은 표시영역에 상기 게이트 배선과 데이터 배선 및 상기 화소전극과 연결되는 박막트랜지스터를 더욱 포함한다.
- <44> 본 발명에 따른 액정표시장치 제조 방법은, 표시영역 및 상기 표시영역 외측으로 제 1 내지 제 4 비표시영역이 정의된 제 1 기관상의 상기 표시영역에 일방향으로 연장하는 게이트 배선과, 상기 제 3 및 제 4 비표시영역에 공통배선을 형성하는 단계와; 상기 게이트 및 공통배선 상부로 전면에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 상부로 상기 표시영역에 상기 게이트 배선과 교차하며 형성된 데이터 배선을 형성하는 단계와; 상기 데이터 배선 위로 전면에 보호층을 형성하는 단계와; 상기 보호층 상부로 상기 표시영역에 대응하여 화소전극과, 상기 제 1 비표시영역에 대응하여 다수의 제 1 화소패턴을 형성하는 단계와; 상기 보호층 위로 제 2 내지 제 4 비표시영역에 대응하여 상기 제 1 화소패턴과 다른 두께를 갖는 다수의 제 2 화소패턴을 형성하는 단계와; 상기 제 1 기관과 마주하는 제 2 기관의 내측면에 컬러필터층을 형성하는 단계와; 상기 컬러필터층 하부로 전면에 공통전극을 형성하는 단계와; 상기 제 1, 2 화소패턴에 대응하여 상기 제 1, 2 기관과 동시에 접촉하며 동일한 두께를 갖는 셀패턴을 형성하는 단계와; 상기 셀패턴 내측으로 상기 제 1, 2 기관 사이에 액정층을 형성하는 단계를 포함한다.
- <45> 이때, 상기 공통전극은 상기 게이트 배선과 동일한 두께를 갖도록 형성하는 것이 특징이며, 상기 다수의 제 1 화소패턴은 상기 화소전극과 동일한 두께를 갖도록 형성하는 것이 특징이다.
- <46> 또한, 제 1 내지 제 4 비표시영역에서 서로 다른 구성요소로 적층된 각 물질층의 총 두께가 동일하도록 형성하는 것을 특징으로 하며, 상기 제 2 화소패턴은, 상기 데이터 배선과 게이트 배선 두께의 차이만큼을 상기 제 1 화소패턴의 두께에 대해 더하거나 뺀 정도의 두께를 갖도록 형성하는 것이 특징이다.
- <47> 또한, 상기 데이터 배선을 형성하는 단계는, 상기 데이터 배선 하부로 상기 데이터 배선과 동일한 형태의 반도체 패턴을 형성하는 단계를 더욱 포함하며, 이때, 상기 제 2 화소패턴의 두께는, 상기 제 1 화소패턴과 데이터 배선과 반도체패턴의 총 두께에서 상기 게이트 배선 두께를 뺀 값을 갖도록 형성하는 것이 특징이다.
- <48> 또한, 상기 제 2 기관 내측면에 상기 제 1 내지 제 4 비표시영역에 대응하여 형성된 제 1 블랙매트릭스와, 상기 제 1 블랙매트릭스 내측으로 상기 게이트 및 데이터 배선에 대응하여 제 2 블랙매트릭스를 형성하는 단계와; 상기 공통전극 하부로 상기 제 2 블랙매트릭스와 중첩하는 다수의 패턴드 스페이서를 형성하는 단계와; 상기 화소전극 위로 상기 표시영역에 대응하여 제 1 배향막을 형성하는 단계와; 상기 패턴드 스페이서 및 공통전극 하부로 제 2 배향막을 형성하는 단계를 더욱 포함한다.
- <49> 또한, 상기 제 1 기관에 있어, 상기 셀패턴 외측으로, 상기 제 1 비표시영역에 상기 데이터 배선과 연결된 데이터 패드전극과, 상기 제 2 비표시영역에 상기 게이트 배선과 연결된 게이트 패드전극을 형성하는 단계를 더욱 포함한다.
- <50> 또한, 상기 제 1 기관상의 표시영역에는 상기 게이트 배선과 데이터 배선 및 상기 화소전극과 연결되는 박막트랜지스터를 형성하는 단계를 더욱 포함한다.
- <51> 이하, 첨부한 도면을 참조하여, 본 발명에 따른 바람직한 실시예를 설명한다.
- <52> 우선 본 발명에 따른 액정표시장치의 가장 특징적인 부분은 표시영역 외측의 셀패턴이 형성되는 4측면의 에지부에 있어서 모두 동일한 두께로 적층된 물질층을 구비함으로써 패턴드 스페이서가 형성되는 표시영역 중앙부의 게이트 배선에 대응하는 영역 대비 모두 동일한 단차를 갖도록 함으로써 전 에지부에 대해 종래와 같이 동일한 크기의 글라스 화이버를 포함하는 셀패턴을 동일한 두께로 형성한다 하더라도 셀갭 불량이 발생하지 않도록 한 것이다.
- <53> 이를 위해 본 발명에 따른 액정표시장치는 어레이 기관상의 보호층 상부로 화소전극과 동일한 두께를 갖는 제 1 화소패턴과, 상기 화소전극의 두께보다 더욱 두꺼운 두께를 갖는 제 2 화소패턴을 상기 셀패턴이 형성되는 부분

에 형성한 것을 특징으로 하고 있다.

- <54> 이때 상기 제 2 화소패턴의 두께는 그 하부에 위치하는 패턴이나 물질층의 두께에 따라 달라지며, 이러한 상기 제 2 화소패턴의 두께를 구하는 방법에 대해서는 추후 설명한다.
- <55> 이후 이러한 구조적 특징을 갖는 액정표시장치 및 그 제조 방법에 대해 설명한다.
- <56> 도 3a 내지 도 3e는 본 발명에 따른 액정표시장치의 단면도로서, 도 1에 도시한 A,B,C,D,E 영역에 각각 대응되는 부분에 대한 단면도이다. 본 발명에 따른 액정표시장치의 평면구조는 종래의 액정표시장치와 동일하므로 차별점이 있는 단면 구조에 대해서만 도면으로 제시하였다. 이때 동일한 구성요소에 대해서는 종래의 구성요소에 100을 더하여 도면부호를 부여하였다. 또한 셀패턴에 있어서, B영역을 지나는 셀패턴을 제 1 셀패턴(181a), C영역을 지나는 셀패턴을 제 2 셀패턴(181b), D 및 E영역을 지나는 셀패턴을 각각 제 3 및 제 4 셀패턴(181c, 181d)이라 정의하며, 이러한 제 1 내지 제 4 셀패턴(181a, 181b, 181c, 181d) 전체를 통칭할 경우 셀패턴(181)이라 칭한다.
- <57> 또한, 설명의 편의를 위해 본 발명에 따른 액정표시장치 내에 구성되는 각 물질층을 일례로써 다음과 같은 두께를 가지며 형성된다고 가정한다.
- <58> 게이트 배선(113) 및 이와 동일층에 동일공정에서 형성되는 공통배선(114)은 2550Å, 게이트 절연막(118)은 4000Å, 보호층(137)은 1500Å, 화소전극(142) 및 제 1 화소패턴(144)(데이터 패드부와 가장 인접하여 형성되는 셀패턴(181)의 합착력을 높이기 위해 셀패턴(181)이 형성되는 부분에 대응하여 요철구조의 표면을 갖도록 보호층(137) 상부로 다수의 형성한 패턴) 400Å, 제 1, 2 배향막(150, 177)(제 1 배향막(150)은 어레이 기관(111) 상에 형성된 것이며, 제 2 배향막(177)은 컬러필터 기관(161)에 형성된 것임)은 각각 800Å, 반도체패턴(124)(소스 및 드레인 전극(미도시)과 반도체층(미도시)을 동시에 형성하는 제조 공정에 의해 데이터 배선(127) 하부에 형성된 순수 비정질 및 불순물 비정질 실리콘으로 이루어진 패턴)은 1700Å, 소스 및 드레인 전극(미도시)과 데이터 배선(127)은 2000Å, 공통전극(173)은 1500Å, 컬러필터층(170)은 12000Å 그리고 제 1, 2 블랙매트릭스(163, 165)는 13000Å의 두께를 갖는다 가정하며, 제 2 화소패턴(146)(데이터 패드부와 인접하여 형성된 제 1 셀패턴(181a) 이외의 다른 측면의 위치하는 제 2 내지 제 4셀패턴(181b, 181c, 181d)이 형성되는 부분에 대응하여 요철구조의 표면을 갖도록 보호층 상부로 특정 두께를 갖도록 형성한 패턴)은 전술한 바와 같은 두께를 갖는 물질층이 형성될 경우 1550Å(모델별로 적층된 물질층의 두께에 따라 변함)이 되며, 이를 구하는 방법에 대해서는 추후 설명한다.
- <59> 우선, 도 3a를 참조하여 표시영역(AA) 내의 게이트 배선(113)에 대응하는 A영역에 단면구조를 살펴보면, 어레이 기관으로부터 이와 대응하는 컬러필터 기관 사이에는 순차적으로 게이트 배선(113)/게이트 절연막(118)/보호층(137)/화소전극(142)(스토리지 전극)/제 1 배향막(150)/제 2 배향막(177)/패턴드 스페이서(195)/공통전극(173)/컬러필터층(170)/제 2 블랙매트릭스(165)가 형성되고 있다.
- <60> 따라서, 이 A 부분에서 패턴드 스페이서(195)의 높이를 제외한 각 적층된 물질층의 전체 두께는 3.655 μ m가 되고 있다.
- <61> 한편, 도 3b를 참조하여, 상기 표시영역 외측의 데이터 패드부와 가장 인접하여 형성된 제 1 셀패턴(181a)과 중첩하는 부분의 데이터 배선에 대응하는 B영역에서의 단면구조를 살펴보면, 어레이 기관(111)으로부터 컬러필터 기관(161)까지 게이트 절연막(118)/반도체 패턴(124)/데이터 배선(127)/보호층(137)/제 1 화소패턴(144)/제 1 셀패턴(181a)/제 2 배향막(177)/공통전극(173)/제 1 블랙매트릭스(163)가 적층되어 있다. 따라서, B부분에서는 상기 제 1 셀패턴(181a)을 제외하면 적층된 물질층 전체 두께는 2.490 μ m가 되고 있으며, 이때 상기 제 1 셀패턴(181a)의 두께와 상기 패턴드 스페이서(도 3a의 195)의 높이가 같다고 가정하면, 상기 A, B 두 영역에서는 1.165 μ m의 단차가 발생하고 있음을 알 수 있다.
- <62> 따라서, 실질적으로는 이 B영역에 있어서는 상기 A영역의 패턴드 스페이서(도 3a의 195)의 높이 대비 상기 셀패턴(181a)의 두께를 1.165 μ m정도 더 두껍게 형성되어야 한다.
- <63> 또한, 상기 게이트 패드부에 인접하여 제 2 셀패턴(181b)이 형성된 C영역의 게이트 배선이 형성된 부분의 단면도인 도 3c를 참조하면, 어레이 기관(111)으로부터 컬러필터 기관(161)까지 게이트 배선(113)/게이트 절연막(118)/보호층(137)/제 2 화소패턴(146)/제 2 셀패턴(181b)/제 2 배향막(177)/공통전극(173)/제 1 블랙매트릭스(163)의 적층구조를 가지고 있음을 알 수 있으며, 이때 상기 C영역에서 상기 제 2 셀패턴(181b)을 제외한 모든 적층된 물질층의 두께는 2.490 μ m가 됨을 알 수 있다.

- <64> 따라서 A영역을 기준으로 상기 C영역에서에서는 1.165 μ m정도의 단차가 발생하고 있음을 알 수 있으며, 따라서 실질적으로는 이 C영역에 있어서는 A영역의 패턴드 스페이서(도 3a의 195)의 높이 대비 1.165 μ m정도 더 두껍게 상기 제 2 셀패턴(181b)을 형성하여야 됨을 알 수 있다.
- <65> 또한, 상기 게이트 패드부에 인접한 C영역과 데이터 패드부에 인접한 B영역을 각각 지나는 제 2, 1 셀패턴(181b, 181a)과 각각 마주하는 제 3, 4 셀패턴(181c, 181d)이 지나는 영역인 D 및 E 영역에서의 공통배선(114) 상부의 단면도인 도 3d와 도 3e를 참조하면, 어레이 기관(111)으로부터 컬러필터 기관(161)까지, 공통배선(114)/게이트 절연막(118)/보호층(137)/제 2 화소패턴(146)/제 3 또는 제 4 셀패턴(181c 또는 181d)/제 2 배향막(177)/공통전극(173)/제 1 블랙매트릭스(163)의 적층구조를 가지고 있음을 알 수 있으며, 이때 상기 D 및 E영역에서 상기 제 3 또는 제 4 셀패턴(181c 또는 181d)을 제외한 모든 적층된 물질층의 두께는 2.490 μ m가 됨을 알 수 있다.
- <66> 따라서 A영역을 기준으로 상기 D 및 E영역에서에서도 전술한 B 및 C 영역과 마찬가지로 1.165 μ m정도의 단차가 발생하고 있음을 알 수 있으며, 따라서 실질적으로는 이들 각 부분에 있어서는 A영역의 패턴드 스페이서(도 3a의 195)의 높이대비 1.165 μ m정도 더 두껍게 상기 제 3 또는 제 4 셀패턴(181c 또는 181d)이 형성하여야 됨을 알 수 있다.
- <67> 따라서, 살펴본 바와같이, 데이터 패드부에 인접한 부근의 제 1 셀패턴(181a) 형성 영역인 B영역을 포함하여 이 영역을 관통하는 상기 제 1 셀패턴(181a) 하부에는 상기 화소전극(미도시)과 동일한 물질로 동일한 두께(t1)를 갖는 제 1 화소패턴(144)을 형성하며, 그 외의 C, D, E영역을 포함하여 이들 영역을 지나며 형성되는 제 2 내지 제 4 셀패턴(181b, 181c, 181d)에 대해서는 그 하부로 상기 제 1 화소패턴(144)보다 더 두꺼운 두께(t2)를 갖는 제 2 화소패턴(146)을 형성함으로써 이들 표시영역의 테두리의 모든 에지부에서 모두 적층된 물질층의 두께가 동일하게 된다.
- <68> 따라서, 이들 표시영역 외측의 각 에지부에 동일한 크기의 글라스 화이버를 포함하는 실란트를 이용하여 동일한 두께를 갖는 셀패턴(181)을 형성하더라도 에지부에서의 셀갭분량은 발생하지 않게 된다.
- <69> 이때, B,C,D,E영역에서 모두 공통적으로 형성되는 구성요소 즉 게이트 절연막(118), 보호층(137), 제 2 배향막(177), 공통전극(173)을 제외하면, 두께 차이를 갖는 구성요소는 게이트 배선(도 3c의 113)(또는 공통배선), 데이터 배선(도 3b의 127) 및 제 1 화소패턴(도 3b의 144)이 됨을 알 수 있다. 이때 설명의 편의를 위해 상기 데이터 배선과 반도체 패턴과 게이트 배선(공통배선 포함)의 두께를 각각 t3, t4, t5라 정의한다.
- <70> 이 경우, 제 1, 2 화소패턴(도 3b의 144, 도 3c 내지 3d의 146)을 제외하면, B영역에 있어서는 차별적인 구성요소는 데이터 배선(도 3b의 127)과 반도체 패턴(도 3b의 124)이 되며 이들 두께의 합(t3 + t4)은 3700Å이 된다.
- <71> 또한 C,D,E영역에서의 상기 B영역과의 차이를 갖는 구성요소는 공통배선(도 3d, 3e의 114) 또는 게이트 배선(도 3c의 113)이 되며, 이때 상기 공통배선(도 3d, 3e의 114) 또는 게이트 배선(도 3c의 113)의 두께(t5)는 2550Å이 됨을 알 수 있으며, 이러한 계산을 반영하면, 제 1, 2 화소패턴(도 3b의 144, 도 3c 내지 3d의 146)을 제외한 B영역과 C,D,E영역에서의 적층된 물질층의 차이는 1150Å(3700Å-2550Å)이 되어 제 1, 2 화소패턴(도 3b의 144, 도 3c 내지 3d의 146)의 두께(t1, t2)를 제외하면 B영역이 C,D,E영역대비 1150Å정도 두껍게 형성됨을 알 수 있다.
- <72> 따라서, 셀패턴(181)과 보호층(137)간의 접합력을 높이기 위해 상기 셀패턴(181)에 대응되는 부분에 대해서는 그 표면이 요철구조를 갖도록 구성되도록 한다면, B영역을 관통하는 제 1 셀패턴(181a)의 하부에는 화소전극(미도시)을 형성하는 단계에서 이와 동일한 물질 및 동일한 두께(t1)를 갖는 제 1 화소패턴(도 3b의 144)을 형성하고, 상기 C,D,E영역을 관통하는 제 2 내지 제 4 셀패턴(181b, 181c, 181d) 하부에 대해서는 상기 제 1 화소패턴(도 3b의 144)보다 1150Å 더 두꺼운 두께(t2)를 갖는 제 2 화소패턴(도 3c 내지 3d의 146)을 형성함으로써 B,C,D,E영역에서 모두 동일한 적층 두께를 갖게 됨을 알 수 있다.
- <73> 정리하면, 데이터 패드부에 인접하는 제 1 셀패턴(181a) 하부에 대해서는 표시영역 내에 형성하는 화소전극(미도시)과 동일한 두께(t1)로서 제 1 화소패턴(도 3b의 144)을 형성하고, 그 외의 제 2 내지 제 4 셀패턴(181b, 181c, 181d) 하부에는 상기 제 1 화소패턴(도 3b의 144)의 두께(t1) 대비 데이터 배선(도 3b의 127)과 그 하부의 반도체 패턴(도 3b의 124)의 두께(t3 + t4)에서 상기 게이트 배선(도 3c의 113)(또는 공통배선(도 3d, 3e의 114))의 두께(t5)를 뺀 값(t3 + t4 - t5)만큼 더 두꺼운 두께(t2 = t1 + t3 + t4 - t5)를 갖는 제 2 화소패턴(146)을 형성함으로써 각 에지부에서 동일한 단차를 갖도록 형성할 수 있다.

- <74> 이때, 셀패턴(181(181a, 181b, 181c, 181d))과 그 하부의 제 1, 2 화소패턴(144, 146)만을 간략히 도시한 본 발명에 따른 액정표시장치의 일부를 각각 도시한 평면도인 도 4a 및 도 4b를 참고하면, 상기 제 1, 2 화소패턴(144, 146)은, 상기 셀패턴(181)의 길이방향에 대해 소정 간격 이격하는 다수의 빗살무늬 형태 또는 다수의 서로 이격하는 사각패턴 형태 등 다양하게 형성될 수 있다.
- <75> 한편 변형예로서 전술한 실시예는 데이터 배선(또는 소스 및 드레인 전극)과 반도체층(박막트랜지스터를 이루는 구성요소)을 동시에 패터닝하는 것을 특징으로 함으로써 상기 데이터 배선 하부에 반도체패턴을 갖는 구조가 되고 있지만, 상기 반도체층과 데이터 배선(소스 및 드레인 전극 포함)을 서로 다른 마스크를 이용하여 패터닝하는 액정표시장치의 경우 상기 데이터 배선 하부에는 반도체패턴이 형성되지 않는다.
- <76> 이러한 경우는 B영역과 C,D,E영역에서 제 1, 2 화소패턴을 제외하면, 공통배선과 데이터 배선의 두께차 만이 존재하며 공통배선이 일반적으로 더욱 두껍게 형성되는 바, 상기 C,D,E영역이 B영역 대비 변형예의 경우 더 두꺼운 두께를 갖게 되며, 따라서 이 경우는, C,D,E 영역에 대해 이들 영역을 지나는 제 2 내지 제 4 셀패턴의 하부에 화소전극과 동일한 두께의 제 1 화소패턴을 형성하고, 데이터 패드부에 인접한 B영역을 지나는 제 1 셀패턴 하부에는 상기 제 1 화소패턴의 두께 대비 상기 공통배선과 데이터 배선의 두께 차이만큼이 얇은 제 2 화소패턴(146)을 형성하면 각 예지부에 대해 동일한 단차를 갖도록 형성할 수 있다.
- <77> 다음, 전술한 구조를 갖는 액정표시장치의 제조 방법에 대해 도 3a 내지 3e 및 도 4a 도 4b와, 본 발명에 따른 액정표시장치에 있어 표시영역 내의 박막트랜지스터를 포함하는 화소영역 일부에 대한 단면도인 도 5를 참조하여 설명한다.
- <78> 우선, 어레이 기관(111)의 제조에 있어서는, 투명한 절연 기관(110) 상에 제 1 금속물질을 증착하여 제 1 금속층(미도시)을 형성한 후, 그 위로 감광 특성을 갖는 포토레지스트를 전면 도포하고, 상기 포토레지스트를 마스크를 이용하여 노광을 실시하고, 이를 현상한 후, 상기 현상된 포토레지스트 외부로 노출된 제 1 금속층(미도시)을 식각하고, 상기 포토레지스트를 스트립(strip)하는 일련의 단계를 포함하는 마스크 공정을 진행하여 상기 제 1 금속층(미도시)을 패터닝함으로써 일방향으로 연장하는 다수의 게이트 배선(113)을 형성하고, 동시에 각 화소영역(P) 내의 스위칭 영역(TrA)에는 상기 게이트 배선(113)에서 분기한 게이트 전극(115)을 형성하고, 표시영역(AA) 외측 더욱 정확히는 게이트 패드부(GPA)와 데이터 패드부(DPA)와 인접한 부분을 제외한 비표시영역(NA) 즉, D와 E 영역을 포함하는 비표시영역(NA)에 있어서는 상기 게이트 배선(113)과 동일한 두께를 갖는 공통배선(114)을 형성한다.
- <79> 또한, 상기 표시영역(AA)의 최외측으로 더욱 정확히는 셀패턴(181)이 형성된 외측의 게이트 패드부(GPA)에는 상기 다수의 게이트 배선(113)과 각각 연결되는 다수의 게이트 패드전극(116)을 형성한다.
- <80> 다음, 상기 게이트 배선(113) 및 공통배선(114)과 게이트 전극(115) 위로 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)을 전면 증착하여 게이트 절연막(118)을 형성하고, 연속하여 상기 게이트 절연막(118) 위로 순수 비정질 실리콘과 불순물 비정질 실리콘 및 제 2 금속물질을 연속 증착하여 순수 비정질 실리콘층(미도시)과, 불순물 비정질 실리콘층(미도시)과 제 2 금속층(미도시)을 형성한 후, 상기 제 2 금속층(미도시) 위로 포토레지스트를 도포하여 포토레지스트층(미도시)을 형성하고, 이를 회절노광 또는 하프톤 노광을 실시하여 제 1, 2 포토레지스트 패턴(미도시)을 형성한다.
- <81> 이후, 상기 제 1 및 제 2 포토레지스트 패턴 외부로 노출된 제 2 금속층(미도시)과 그 하부의 불순물 비정질 실리콘층(미도시) 및 순수 비정질 실리콘층(미도시)을 순차적으로 식각함으로써 상기 게이트 절연막(118) 위로 상기 게이트 배선(113)과 교차하여 각 화소영역(P)을 정의하며, 동일한 모양으로 패터닝 된 순수 및 비정질 실리콘의 반도체패턴(124)과 그 상부로 데이터 배선(127)을 형성하고, 동시에 화소영역(P) 내의 스위칭 영역(TrA)에 있어서는, 상기 데이터 배선(127)과 연결된 상태로 3중층 구조의 소스 드레인 패턴(미도시)과 그 하부로 불순물 및 순수 비정질 실리콘의 반도체층(123)을 형성한다.
- <82> 또한, 상기 표시영역(AA)의 최상층으로 더욱 정확히는 제 1 셀패턴(181a)이 형성될 외측의 데이터 패드부(DPA)에는 상기 다수의 데이터 배선(127)과 각각 연결되는 다수의 데이터 패드전극(128)을 형성한다.
- <83> 다음, 애싱(ashing)을 진행하여 상기 제 2 포토레지스트 패턴(미도시)을 제거하여 그 하부의 소스 드레인 패턴(미도시) 일부를 노출시킨다.
- <84> 다음, 상기 노출된 소스 드레인 패턴(미도시)과 그 하부의 불순물 비정질 실리콘으로 이루어진 반도체층(123) 부분을 순차적으로 식각하여 제거함으로써 스위칭 영역(TrA)에 있어서는 서로 이격된 소스 및 드레인 전극(130,

133)과 그 하부로 불순물 비정질 실리콘의 오믹콘택층(123b)과 순수 비정질 실리콘의 액티브층(123a)을 이루는 반도체층(123)을 형성한다.

- <85> 다음, 상기 데이터 배선(127)과 소스 및 드레인 전극(130, 133) 위로 전면에 보호층(137)을 형성하고, 이후, 상기 보호층(137)에 대해 마스크 공정을 진행하여 패터닝함으로써 각 스위칭 영역(TrA)에 있어서는 하부의 상기 드레인 전극(133)을 노출시키는 드레인 콘택홀(140)을 형성한다.
- <86> 이때 게이트 패드부(GPA) 및 데이터 패드부(DPA)에 있어서도 각각 게이트 패드전극(147)과 데이터 패드전극(148)을 노출시키는 게이트 및 데이터 패드 콘택홀(미도시)을 형성한다.
- <87> 다음, 상기 드레인 콘택홀(140)과 게이트 및 데이터 패드 콘택홀(미도시)을 갖는 보호층(137) 위로 투명 도전성 물질 예를들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)를 전면에 증착하고 이를 마스크 공정을 진행하여 패터닝함으로써 각 화소영역(P)마다 상기 드레인 콘택홀(140)을 통해 상기 드레인 전극(133)과 접촉하는 화소전극(142)을 형성하는 동시에, 상기 B영역이 형성된 데이터 패드부에 인접한 부근의 제 1 셀패턴(181a)이 형성될 부분에 대응하여 상기 보호층(137) 위로 서로 이격하는 다수의 빗살무늬 또는 사각형 형태의 제 1 화소패턴(144)을 형성한다.
- <88> 이때, 게이트 패드부(GPA) 및 데이터 패드부(DPA)에 있어서는 각각 상기 게이트 및 데이터 콘택홀(미도시)을 통해 게이트 패드전극(116)과 데이터 패드전극(128)과 접촉하는 게이트 및 데이터 보조 패드전극(147, 148)을 형성한다.
- <89> 다음, 상기 화소전극(142)과 제 1 화소패턴(144) 위로 상기 제 1 화소패턴(144)의 두께(t1) 대비 데이터 배선(127)과 그 하부의 반도체 패턴(124)을 합한 두께(t3 + t4)에서 상기 게이트 배선(113)(또는 공통배선(114))의 두께(t5)를 뺀 값만큼 더 두꺼운 두께(t2 = t1 + t3 + t4 - t5)를 갖는 금속 물질층을 형성한 후, 이를 패터닝함으로써 상기 데이터 패드부(DPA)에 인접한 부근의 제 1 셀패턴(181a)이 형성될 부분(B영역이 포함된 부분)을 제외한 그 외의 제 2 내지 제 4 셀패턴(181b, 181c, 181d)이 형성된 부분(C, D, E영역이 포함된 부분)의 보호층(137) 상에 서로 이격하는 다수의 빗살무늬 또는 사각형 형태의 제 2 화소패턴(146)을 형성함으로써 본 발명의 실시예에 따른 어레이 기관(111)을 완성한다.
- <90> 한편, 이와 마주하는 컬러필터 기관(161)의 제조는, 투명한 기관(161)상에 블랙레진을 도포하고 이를 패터닝함으로써 상기 기관(161)의 테두리를 따라 제 1 블랙매트릭스(163)를 형성하고 동시에, 상기 제 1 블랙매트릭스(163) 내측으로 격자형태의 제 2 블랙매트릭스(165)를 형성한다.
- <91> 다음, 상기 제 2 블랙매트릭스(165) 상부 및 이들 제 2 블랙매트릭스(165)로 둘러싸인 개구부에 순차 반복하는 적, 녹, 청색 컬러필터 패턴을 포함하는 컬러필터층(170)을 형성한다.
- <92> 다음, 상기 컬러필터층(170) 및 제 1 블랙매트릭스(163)에 대응하여 전면에 투명도전성물질을 증착함으로써 공통전극(173)을 형성하고, 상기 공통전극(173) 상부로 상기 제 2 블랙매트릭스(165)와 중첩하며 상기 어레이 기관(111)상의 게이트 배선(113)에 대응하는 부분에 기둥형태의 패턴드 스페이서(195)를 형성함으로써 컬러필터 기관(161)을 완성한다. 이때 상기 패턴드 스페이서(195)의 높이가 표시영역(AA)에서의 액정층의 두께가 되며, 2 μm 내지 6 μm 정도가 된다.
- <93> 이렇게 완성한 어레이 기관(111)과 컬러필터 기관(161)에 있어, 이들 두 기관(111, 161)이 마주하는 면에 즉 어레이 기관(111)에 있어서는 상기 표시영역(AA)에 대응하는 부분에 대해서 제 1 배향막(150)을 형성하고, 상기 컬러필터 기관(161)에 대응해서는 전면에 제 2 배향막(177)을 형성한 후, 이들 두 기관(111, 161)의 제 1, 2 배향막(150, 177) 사이로 액정층(미도시)을 형성한 후, 상기 제 1, 2 화소패턴(144, 146)에 대응하는 부분에 상기 패턴드 스페이서(195)의 높이보다 더 두꺼운 셀패턴(181)을 형성하고 이들 두 기관(111, 161)을 합착함으로써 본 발명의 실시예에 따른 액정표시장치(101)를 완성한다.
- <94> 이때, 상기 셀패턴(181)의 두께는 상기 표시영역(AA) 내에 패턴드 스페이서(195)의 높이에서 상기 표시영역(AA)의 중앙부와 상기 에지부에서의 단차 차이(A영역과 B,C,D,E 영역에서의 단차 차이로 본 발명의 실시예에서는 1.165 μm)만큼 더 큰 값이 된다.
- <95> 정리하면, 본 발명에 있어서는 셀패턴이 형성되는 어레이 기관의 제 1 내지 제 4 비표시영역에 있어서 그 적층된 물질층의 총 두께가 동일한 값을 갖도록 함으로써 동일한 두께의 셀패턴을 형성하여도 이로인한 셀갭 불량을 방지하는 것을 특징으로 한다.

발명의 효과

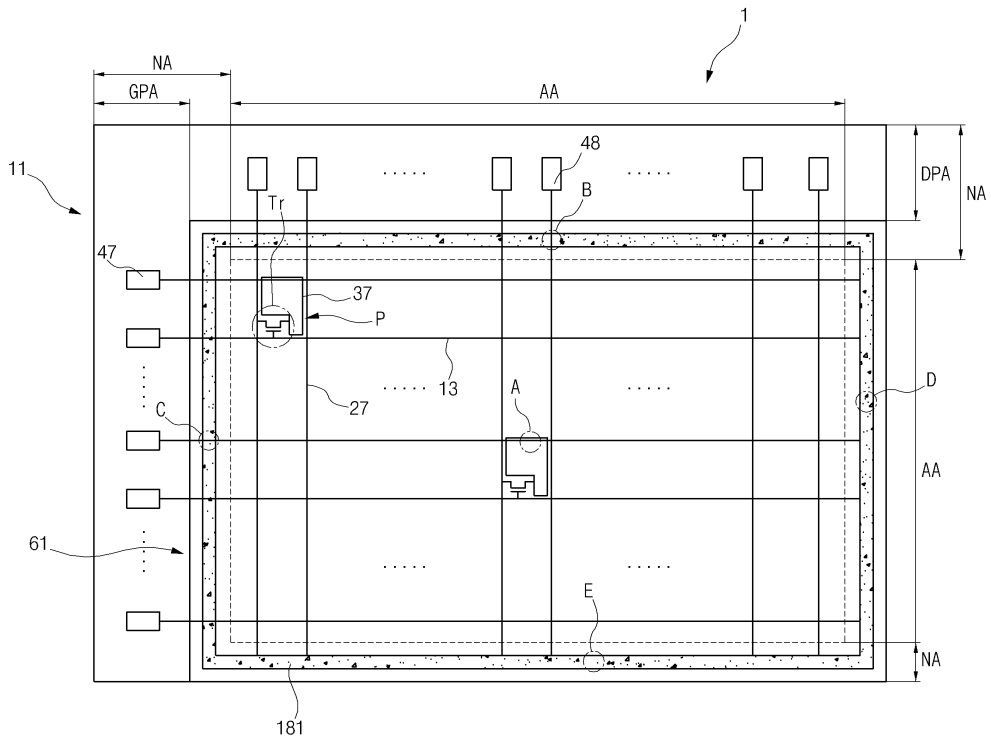
<96> 전술한 바와 같이 제작된 본 발명에 따른 액정표시장치는 표시영역 외측의 모든 에지부에 대해 적층된 물질층의 두께가 동일한 구조가 되는 바, 에지부 단차 차이로 인한 셀갭 불량을 방지하는 효과가 있으며, 나아가 동일한 두께의 셀패턴을 형성하더라도 이로 인한 셀갭 불량은 발생하지 않음으로써 수율을 향상시켜 최종적으로는 생산성을 향상시키는 효과가 있다.

도면의 간단한 설명

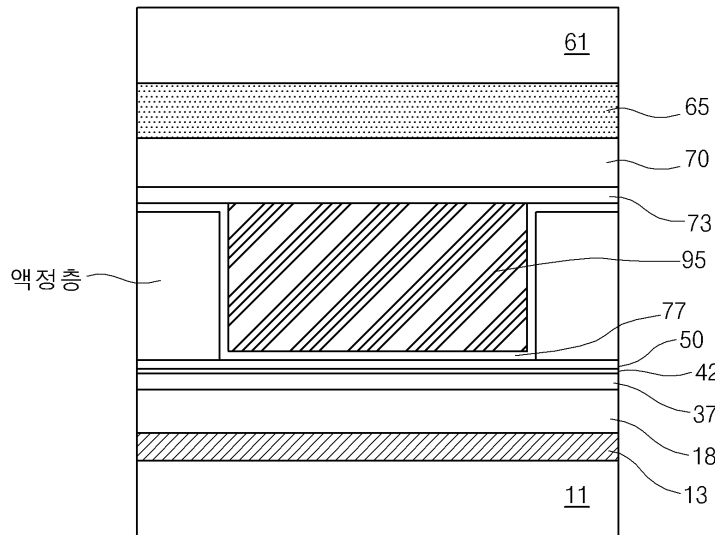
- <1> 도 1은 일반적인 액정표시장치의 개략적인 평면도.
- <2> 도 2a 내지 2e는 각각은 도 1에 있어 A, B, C, D, E라 표시된 영역에 대한 단면도.
- <3> 도 3a 내지 도 3e는 본 발명에 따른 액정표시장치의 단면도로서, 도 1에 도시한 A,B,C,D,E 영역에 각각 대응되는 부분에 대한 단면도.
- <4> 도 4a 및 도 4b는 본 발명에 따른 액정표시장치에 있어 셀패턴과 그 하부의 제 1, 2 화소패턴이 형성된 부분만을 간략히 도시한 평면도.
- <5> 도 5는 본 발명에 따른 액정표시장치에 있어 표시영역 내의 박막트랜지스터를 포함하는 화소영역 일부에 대한 단면도.
- <6> <도면의 주요부분에 대한 간단한 설명>
- <7> 111 : 어레이 기판 113 : 게이트 배선
- <8> 114 : 공통배선 127 : 데이터 배선
- <9> 142 : 화소전극 146 : 제 2 화소패턴
- <10> 161 : 컬러필터 기판 181c, 181d : 제 3, 4 셀패턴
- <11> AA : 표시영역 P : 화소영역
- <12> NA : 비표시영역 Tr : 박막트랜지스터

도면

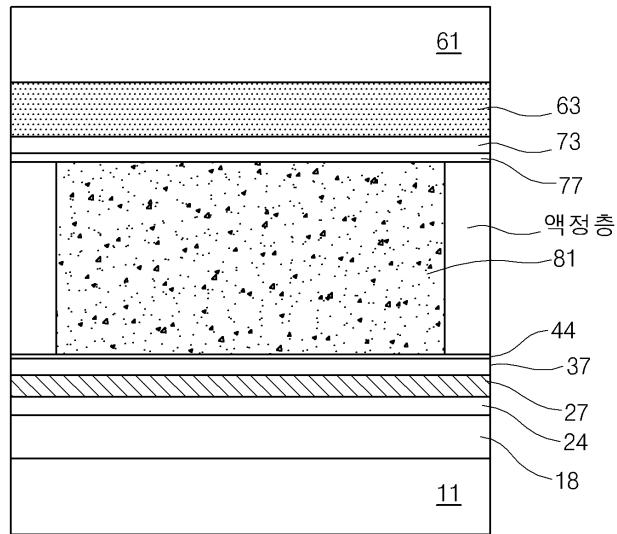
도면1



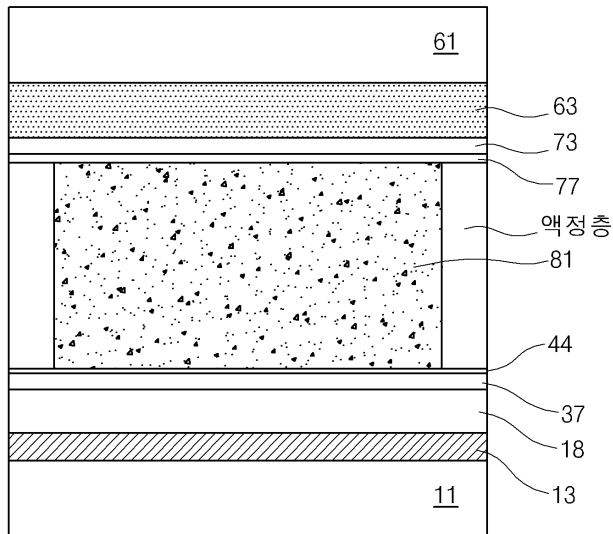
도면2a



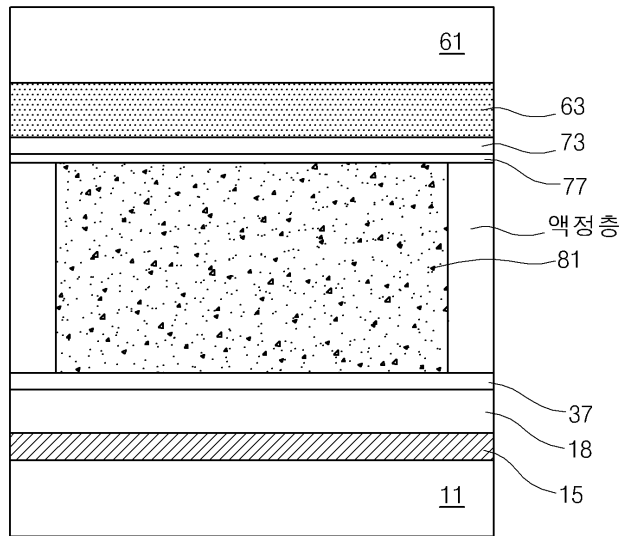
도면2b



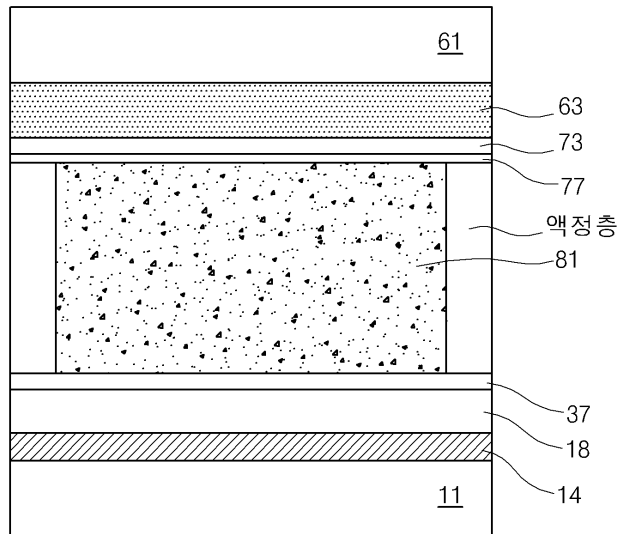
도면2c



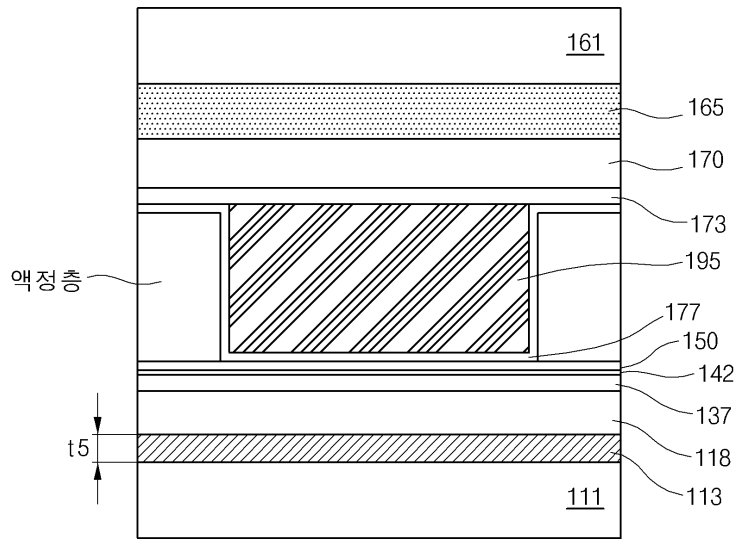
도면2d



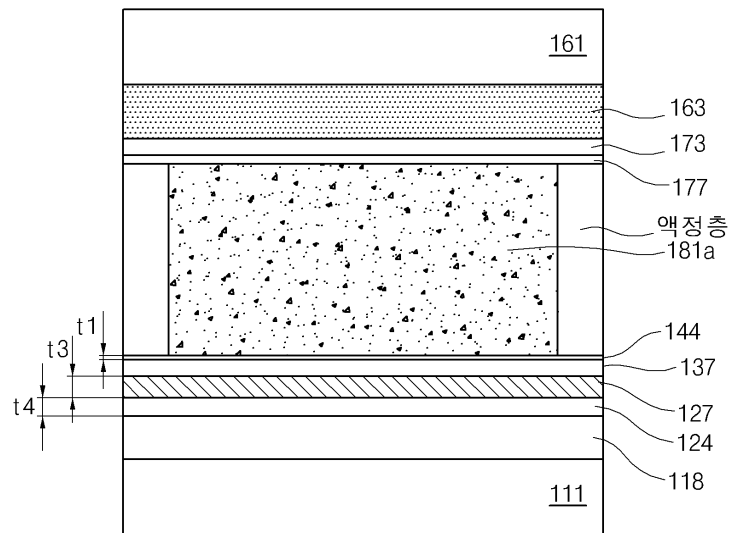
도면2e



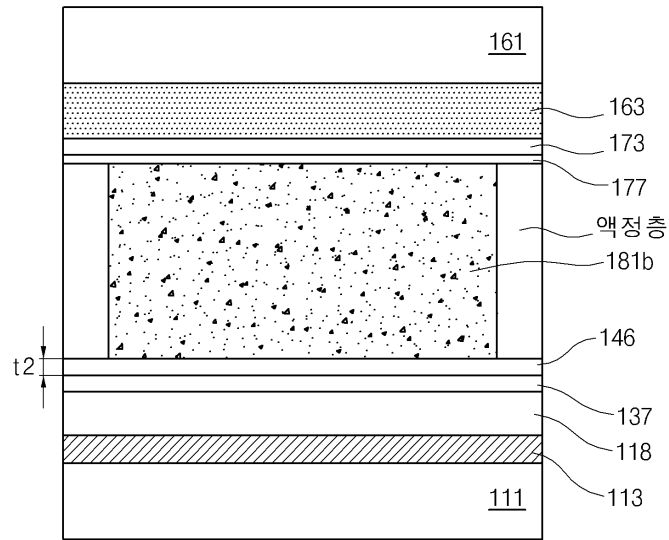
도면3a



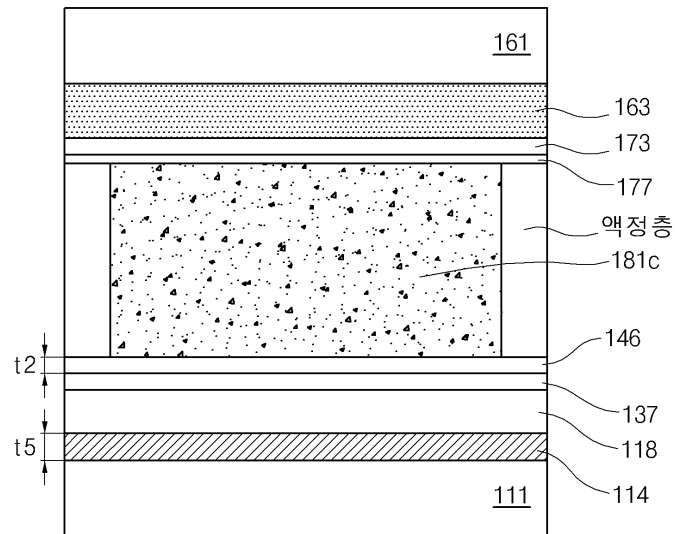
도면3b



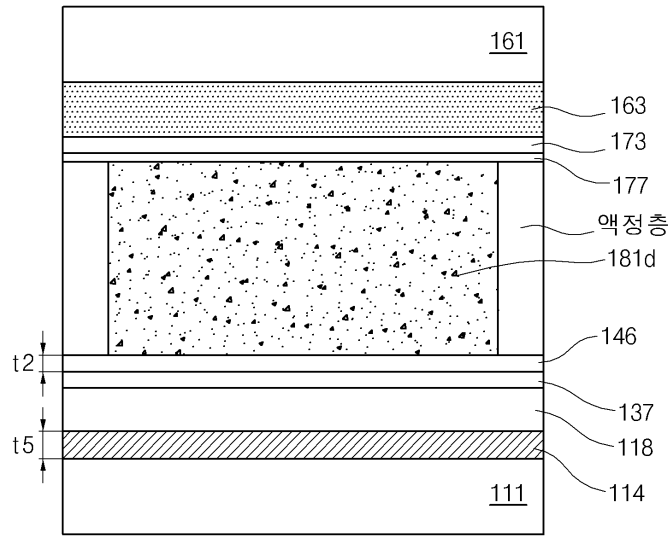
도면3c



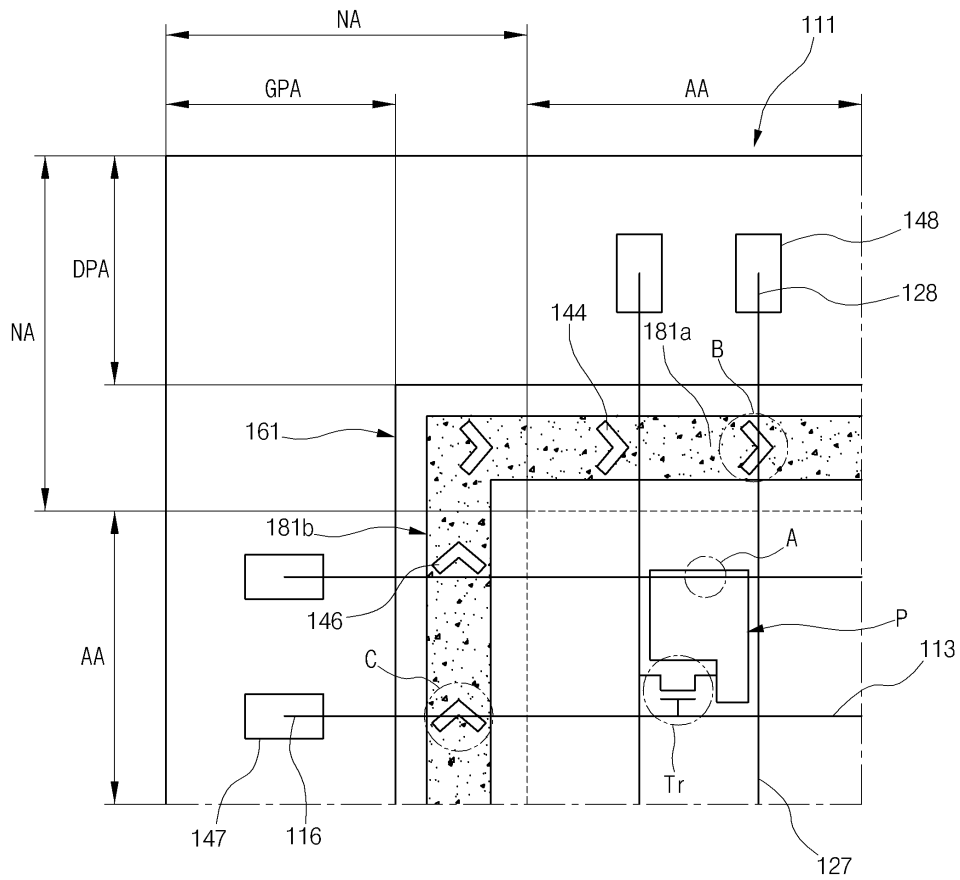
도면3d



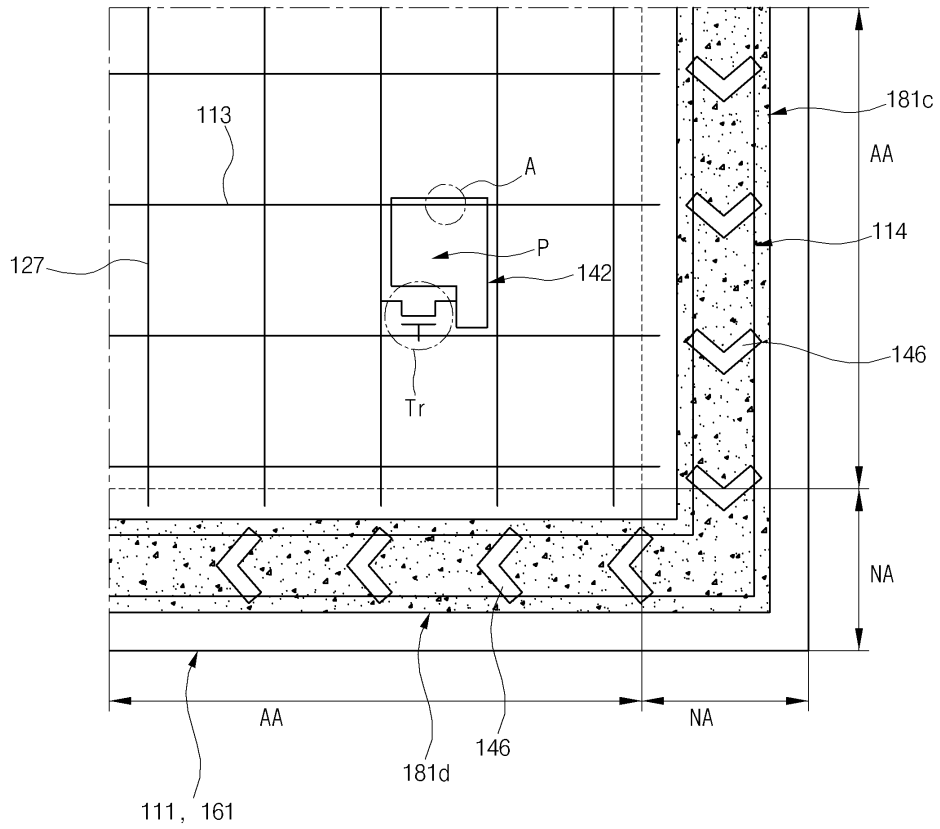
도면3e



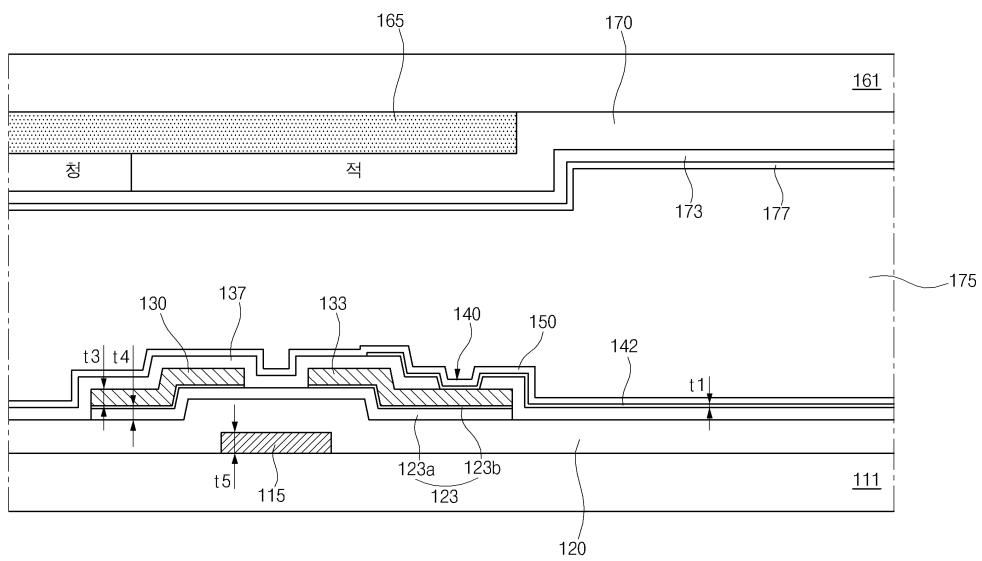
도면4a



도면4b



도면5



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020080059798A	公开(公告)日	2008-07-01
申请号	KR1020060133522	申请日	2006-12-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM MIN JUNG 김민정 KANG SUNG SOO 강성수		
发明人	김민정 강성수		
IPC分类号	G02F1/1335 G02F1/1345		
CPC分类号	G02F1/1337 G02F1/1339 G02F1/1345 G02F1/136286 G02F2001/136222 G02F2001/136295 G02F2201/121 G02F2201/123		
其他公开文献	KR101333609B1		
外部链接	Espacenet		

摘要(译)

在本发明中，在形成显示区域外部的密封图案的部分中的保护层上形成具有不同厚度的第一和第二像素图案，并且使堆叠在每个部分上的材料层的总厚度相同，本发明还提供了一种液晶显示装置和制造该液晶显示装置的方法，其能够防止在形成密封图案时发生的单元间隙缺陷。

