



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0008784
(43) 공개일자 2008년01월24일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0068497

(22) 출원일자 2006년07월21일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이봉준

서울 종로구 소격동 37번지 지층

이종환

경기 안양시 동안구 달안동 샛별한양아파트
602-1705

(뒷면에 계속)

(74) 대리인

윤창일, 허성원, 서동현, 장기석

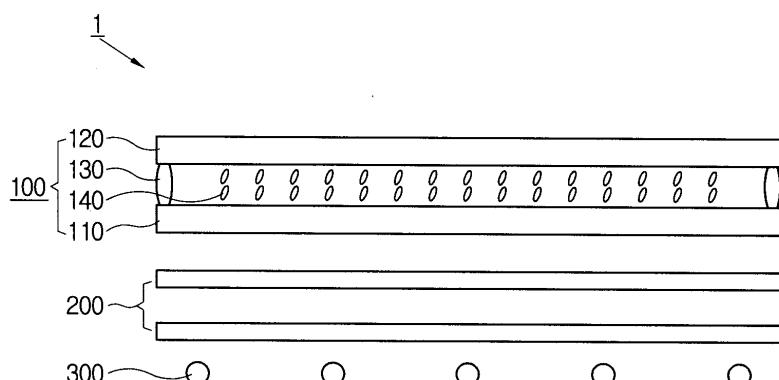
전체 청구항 수 : 총 9 항

(54) 액정표시장치와 그 리페어 방법

(57) 요약

본 발명은 액정표시장치와 그 리페어 방법에 관한 것이다. 본 발명에 따른 액정표시장치는 전단 게이트선에 연결되어 있는 용량부를 이용하여 유지용량을 형성하며, 서로 절연교차하는 게이트선 및 데이터선과; 상기 게이트선과 상기 데이터선에 전기적으로 연결되어 있는 박막트랜지스터와; 상기 박막트랜지스터에 연결되어 있는 화소전극과; 상기 용량부와 마주하는 셀트영역을 가지는 제1영역, 상기 제1영역과 마주하는 드레인 형성 영역을 가지며 상기 화소전극에 연결되어 있는 제2영역 및 상기 드레인 형성 영역과 상기 제1영역 사이에 형성되어 있으며 상기 용량부 상부에 위치하는 절개부를 포함하는 리페어 금속층과; 상기 절개부와 상기 용량부 사이에 형성되어 있는 반도체층을 포함하는 것을 특징으로 한다. 이에 의하여 불량이 발생된 화소를 블랙상태가 되도록 리페어할 수 있는 액정표시장치가 제공된다.

대표도 - 도1



(72) 발명자
김범준
서울 서초구 양재동 82-13(16/2)

이종혁
서울 영등포구 당산동2가 현대아파트 102-1802

특허청구의 범위

청구항 1

전단 게이트선에 연결되어 있는 용량부를 이용하여 유지용량을 형성하는 액정표시장치에 있어서,

서로 절연교차하는 게이트선 및 데이터선과;

상기 게이트선과 상기 데이터선에 전기적으로 연결되어 있는 박막트랜지스터와;

상기 박막트랜지스터에 연결되어 있는 화소전극과;

상기 용량부와 마주하는 쇼트영역을 가지는 제1영역, 상기 제1영역과 마주하는 드레인 형성 영역을 가지며 상기 화소전극에 연결되어 있는 제2영역 및 상기 드레인 형성 영역과 상기 제1영역 사이에 형성되어 있으며 상기 용량부 상부에 위치하는 절개부를 포함하는 리페어 금속층과;

상기 절개부와 상기 용량부 사이에 형성되어 있는 반도체층을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 화소전극은 상기 쇼트영역과 마주하지 않는 것을 특징으로 하는 액정표시장치.

청구항 3

제1항 또는 제2항에 있어서,

상기 리페어 금속층은 상기 데이터선과 같은 층으로 이루어진 것을 특징으로 하는 액정표시장치.

청구항 4

전단 게이트선에 연결되어 용량부를 이용하여 유지용량을 형성하며, 박막트랜지스터와 상기 박막트랜지스터에 연결되어 있는 화소전극을 포함하는 액정표시장치의 리페어 방법에 있어서,

상기 화소전극과 상기 박막트랜지스터의 연결을 커팅하는 단계와;

상기 용량부의 일부로서 게이트 신호가 인가되는 게이트 전극, 상기 용량부와 연결되어 상기 게이트 신호가 인가되는 소스 전극 및 상기 화소전극과 연결되어 있는 드레인 전극을 포함하는 리페어 박막트랜지스터를 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 리페어 방법.

청구항 5

제4항에 있어서,

상기 리페어 박막트랜지스터에 연결된 상기 화소전극에는 데이터 전압으로 게이트 온 전압이 인가되며,

상기 리페어 금속층과 상기 화소전극이 형성하는 용량은 상기 화소전극에 인가되는 화소 전압이 블랙 전압의 80% 내지 120%가 되도록 형성되는 것을 특징으로 하는 액정표시장치의 리페어 방법.

청구항 6

제4항에 있어서,

상기 리페어 박막트랜지스터의 형성은,

상기 게이트 전극과 상기 용량부를 쇼팅시키는 단계와;

상기 게이트 전극과 상기 드레인 전극을 커팅하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 리페어 방법.

청구항 7

제6항에 있어서,

상기 쇼팅 및 커팅은 레이저를 이용하여 수행되는 것을 특징으로 하는 액정표시장치의 리페어방법.

청구항 8

전단 게이트선에 연결되어 용량부를 이용하여 유지용량을 형성하는 액정표시장치의 리페어 방법에 있어서, 복수의 화소를 마련하는 단계와;

상기 복수의 화소의 불량여부를 검사하는 단계와;

불량으로 판단된 상기 화소를 리페어하는 단계를 포함하며,

상기 화소는,

서로 절연교차하는 게이트선 및 데이터선과;

상기 게이트선과 상기 데이터선에 전기적으로 연결되어 있는 박막트랜지스터와;

상기 박막트랜지스터에 연결되어 있는 화소전극과;

상기 용량부와 마주하는 쇼트영역을 가지는 제1영역, 상기 제1영역과 마주하는 드레인 형성 영역을 가지며 상기 화소전극에 연결되어 있는 제2영역 및 상기 드레인 형성 영역과 상기 제1영역 사이에 형성되어 있으며 상기 용량부 상부에 위치하는 절개부를 포함하는 리페어 금속층과;

상기 절개부와 상기 용량부 사이에 형성되어 있는 반도체층을 포함하며,

상기 리페어단계는,

상기 박막트랜지스터와 상기 화소전극의 연결을 커팅하는 단계와;

상기 제1영역 및 상기 제2영역을 분리하는 단계와;

상기 용량부와 상기 쇼트영역을 쇼트시키는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 리페어방법.

청구항 9

제8항에 있어서,

상기 리페어 후, 상기 화소전극에는 데이터 전압으로 게이트 온 전압이 인가되며,

상기 리페어 금속층과 상기 화소전극이 형성하는 용량은 상기 화소전극에 인가되는 화소전압이 블랙전압의 80% 내지 120%가 되도록 형성되는 것을 특징으로 하는 액정표시장치의 리페어방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<15>

본 발명은 액정표시장치와 그 리페어방법에 관한 것이다.

<16>

액정표시장치는 크게 액정패널, 백라이트 유닛, 구동부, 샤프 등으로 이루어진다. 이 중 액정패널은 박막트랜지스터가 형성된 박막트랜지스터 기판, 컬러 필터가 형성된 컬러 필터 기판 그리고 양 기판 사이에 위치하는 액정층을 포함한다.

<17>

액정표시장치, 특히 액정패널의 제조 시에는 불량 검출을 위한 여러 단계의 검사가 수행된다. 검사에 의해 불량이 검출된 화소는 레이저 등을 이용하여 리페어 하게 된다. 리페어를 통해 화소전극에는 게이트 온 전압이 인가된다. 노말리 화이트(normaly white) 모드에서 게이트 온 전압은 블랙 전압보다 높은 값을 가진다.

<18>

그런데 게이트 온 전압이 인가된 화소전극이 완전한 블랙 상태를 가지지 못하는 문제가 있다. 이 경우 리페어된 화소는 주위보다 흐도가 낮은 로우 픽셀(low pixel)이 되어 표시품질이 저하된다.

발명이 이루고자 하는 기술적 과제

- <19> 따라서 본 발명의 목적은 불량이 발생된 화소를 블랙상태가 되도록 리페어할 수 있는 액정표시장치를 제공하는 것이다.
- <20> 본 발명의 다른 목적은 불량이 발생된 화소를 블랙상태가 되도록 리페어하는 방법을 제공하는 것이다.

발명의 구성 및 작용

- <21> 상기의 목적은 전단 게이트선에 연결되어 있는 용량부를 이용하여 유지용량을 형성하는 액정표시장치에 있어서, 서로 절연교차하는 게이트선 및 데이터선과; 상기 게이트선과 상기 데이터선에 전기적으로 연결되어 있는 박막트랜지스터와; 상기 박막트랜지스터에 연결되어 있는 화소전극과; 상기 용량부와 마주하는 쇼트영역을 가지는 제1영역, 상기 제1영역과 마주하는 드레인 형성 영역을 가지며 상기 화소전극에 연결되어 있는 제2영역 및 상기 드레인 형성 영역과 상기 제1영역 사이에 형성되어 있으며 상기 용량부 상부에 위치하는 절개부를 포함하는 리페어 금속층과; 상기 절개부와 상기 용량부 사이에 형성되어 있는 반도체층을 포함하는 것에 의해 달성된다.
- <22> 상기 화소전극은 상기 쇼트영역과 마주하지 않는 것이 바람직하다.
- <23> 상기 리페어 금속층은 상기 데이터선과 같은 층으로 이루어진 것이 바람직하다.
- <24> 상기 본 발명의 다른 목적은 전단 게이트선에 연결되어 용량부를 이용하여 유지용량을 형성하며, 박막트랜지스터와 상기 박막트랜지스터에 연결되어 있는 화소전극을 포함하는 액정표시장치의 리페어 방법에 있어서, 상기 화소전극과 상기 박막트랜지스터의 연결을 커팅하는 단계와; 상기 용량부의 일부로서 게이트 신호가 인가되는 게이트 전극, 상기 용량부와 연결되어 상기 게이트 신호가 인가되는 소스 전극 및 상기 화소전극과 연결되어 있는 드레인 전극을 포함하는 리페어 박막트랜지스터를 형성하는 단계를 포함하는 것에 의해 달성된다.
- <25> 상기 리페어 박막트랜지스터에 연결된 상기 화소전극에는 데이터 전압으로 게이트 온 전압이 인가되며, 상기 리페어 금속층과 상기 화소전극이 형성하는 용량은 상기 화소전극에 인가되는 화소 전압이 블랙 전압의 80% 내지 120%가 되도록 형성되는 것이 바람직하다.
- <26> 상기 리페어 박막트랜지스터의 형성은, 상기 게이트 전극과 상기 용량부를 쇼팅시키는 단계와; 상기 게이트 전극과 상기 드레인 전극을 커팅하는 단계를 포함하는 것이 바람직하다.
- <27> 상기 쇼팅 및 커팅은 레이저를 이용하여 수행되는 것이 바람직하다.
- <28> 상기 본 발명의 다른 목적은 전단 게이트선에 연결되어 용량부를 이용하여 유지용량을 형성하는 액정표시장치의 리페어 방법에 있어서, 복수의 화소를 마련하는 단계와; 상기 복수의 화소의 불량여부를 검사하는 단계와; 불량으로 판단된 상기 화소를 리페어하는 단계를 포함하며, 상기 화소는, 서로 절연교차하는 게이트선 및 데이터선과; 상기 게이트선과 상기 데이터선에 전기적으로 연결되어 있는 박막트랜지스터와; 상기 박막트랜지스터에 연결되어 있는 화소전극과; 상기 용량부와 마주하는 쇼트영역을 가지는 제1영역, 상기 제1영역과 마주하는 드레인 형성 영역을 가지며 상기 화소전극에 연결되어 있는 제2영역 및 상기 드레인 형성 영역과 상기 제1영역 사이에 형성되어 있으며 상기 용량부 상부에 위치하는 절개부를 포함하는 리페어 금속층과; 상기 절개부와 상기 용량부 사이에 형성되어 있는 반도체층을 포함하며, 상기 리페어단계는, 상기 박막트랜지스터와 상기 화소전극의 연결을 커팅하는 단계와; 상기 제1영역 및 상기 제2영역을 분리하는 단계와; 상기 용량부와 상기 쇼트영역을 쇼트시키는 단계를 포함하는 것에 의해서도 달성된다.
- <29> 상기 리페어 후, 상기 화소전극에는 데이터 전압으로 게이트 온 전압이 인가되며, 상기 리페어 금속층과 상기 화소전극이 형성하는 용량은 상기 화소전극에 인가되는 화소전압이 블랙전압의 80% 내지 120%가 되도록 형성되는 것이 바람직하다.
- <30> 이하의 설명에서 ‘상에’ 또는 ‘위에’ 두 층(막) 간에 다른 층(막)이 개재되거나 개재되지 않는 것을 의미하며, ‘바로 위에’ 두 층(막)이 서로 접촉하고 있음을 나타낸다.
- <31> 도 1는 본 발명의 제1 실시예에 따른 액정표시장치의 개략단면도이다.
- <32> 액정표시장치(1)는 액정패널(100), 액정패널(100)의 배면에 위치한 광학필름(200) 및 광학필름(200)의 배면에 위치한 광원(300)을 포함한다.
- <33> 액정패널(100)은 서로 마주하고 있는 박막트랜지스터 기판(110) 및 대향 기판(120), 양 기판(110, 120)을 부착

하고 있는 실런트(130) 및 양 기판(110, 120)과 실런트(130)가 형성하는 공간에 위치하는 액정층(140)을 포함한다. 대향기판(120)에는 통상 컬러필터가 형성될 수 있다.

- <34> 광원(300)은 비발광소자인 액정패널(100)에 빛을 공급하며, 광학필름(200)은 광원(300)으로부터의 빛의 특성을 변화시켜 액정패널(100)에 공급한다.
- <35> 이하 도 2 내지 도 4를 참조하여 본 발명의 제1실시예에 따른 박막트랜지스터 기판(110)을 설명한다.
- <36> 도 2는 본 발명의 제1실시예에 따른 박막트랜지스터 기판의 배치도이고, 도 3은 본 발명의 제1실시예에 따른 박막트랜지스터 기판에서 리페어 금속층의 배치도이고, 도 4는 도 2의 IV-IV를 따른 단면도이다.
- <37> 도 2 내지 도 4는 불량이 발생하지 않아 리페어가 이루어지지 않은 화소에 대한 것이다.
- <38> 절연기판(10) 위에 게이트 배선(21, 22, 23)이 형성되어 있다. 게이트 배선(21, 22, 23)은 가로 방향으로 뻗어 있는 게이트선(21), 게이트선(21)에 연결되어 있는 박막 트랜지스터(T1)의 게이트 전극(22) 및 전단 게이트선(21)에서 후단 화소방향으로 연장되어 있는 용량부(23)를 포함한다.
- <39> 제1실시예에 따른 액정표시장치(1)는 유지 용량을 용량부(23)를 이용하여 형성하는 전단 게이트 방식이다. 자세한 용량형성 방법에 대하여는 후술한다.
- <40> 절연기판(10) 위에는 질화 규소(SiNx) 따위로 이루어진 게이트 절연막(31)이 게이트 배선(21, 22, 23)을 덮고 있다.
- <41> 게이트 절연막(31) 상부에는 반도체층(32)이 형성되어 있다. 반도체층(32)은 게이트 전극(22) 상부에 형성되어 있는 제1반도체층(32a)과 용량부(23)의 상부에 형성되어 있는 제2반도체층(32b)을 포함한다. 제1반도체층(32a)과 제2반도체층(32b)은 섬과 같은 형태로 형성되어 있다.
- <42> 반도체층(32)은 비정질 규소 등의 반도체로 이루어져 있다. 반도체층(32)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 저항성 접촉층(33)이 각각 형성되어 있다.
- <43> 저항성 접촉층(33) 및 게이트 절연막(31) 위에는 데이터 배선(41, 42, 43, 44)이 형성되어 있다. 데이터 배선(41, 42, 43, 44)은 세로 방향으로 형성되어 게이트선(21)과 교차하여 화소를 정의하는 데이터선(41), 데이터선(41)의 분지이며 저항성 접촉층(33)의 상부까지 연장되어 있는 소스 전극(42), 소스 전극(42)과 분리되어 있으며 게이트 전극(22)을 중심으로 하여 소스 전극(42)의 반대쪽 저항성 접촉층(33) 상부에 형성되어 있는 드레인 전극(43) 및 용량부(42)와 부분적으로 겹쳐있는 리페어 금속층(44)을 포함한다.
- <44> 도 3을 참조하여 리페어 금속층(44)을 더욱 상세히 설명한다.
- <45> 리페어 금속층(44)은 데이터선(41)과 연결되지 않고 독립적으로 형성되어 있다. 리페어 금속층(44)은 비교적 넓은 제1부분(44a)과 비교적 좁은 제2부분(44b)를 포함한다. 리페어되지 않은 상태에서 제1부분(44a)과 제2부분(44b)는 일체로 형성되어 있다. 제1부분(44a)은 대부분 용량부(23)과 마주하며, 제2부분(44b) 중 일부는 용량부(23)와 마주하지 않는다.
- <46> 제1부분(44a)에는 용량부(23)와 마주하는 쇼트영역(A)이 형성되어 있다. 쇼트영역(A)의 상부에는 화소전극(61)이 형성되어 있지 않다. 따라서 쇼트영역(A)에 레이저를 가하면 화소전극(61)에 영향을 주지 않고 제1부분(44a)과 용량부(23)를 쇼트시킬 수 있다.
- <47> 제2부분(44b) 중 용량부(23)와 마주하지 않는 부분은 접촉구(53)를 통해 화소전극(61)과 연결되어 있다. 따라서 리페어 되지 않은 상태에서 리페어 금속층(44)에는 화소전압이 인가된다. 제2부분(44b) 중 용량부(23)와 겹치는 부분에는 드레인 형성영역(B)이 마련되어 있다. 드레인 형성영역(B)은 절개부(44c)를 사이에 두고 제1부분(44a)과 마주하고 있다.
- <48> 절개부(44c)는 리페어 후에 형성되는 리페어 박막트랜지스터(T3, 도 7참조)의 채널영역이 될 부분이다. 절개부(44c)의 하부에는 제2반도체층(32b)과 용량부(23)가 위치하고 있다.
- <49> 데이터 배선(41, 42, 43, 44) 및 이들이 가리지 않는 반도체층(31) 상부에는 질화규소(SiNx), PECVD(plasma enhanced chemical vapor deposition) 방법에 의하여 증착된 a-Si:C:O 막 또는 a-Si:O:F 막(저유전율 CVD막) 등으로 이루어진 보호막(51)이 형성되어 있다.
- <50> 보호막(51)에는 드레인 전극(43)과 리페어 금속층(44)의 제2부분(44b)를 각각 드러내는 접촉구(52, 53)가 형성

되어 있다.

- <51> 보호막(51) 위에는 접촉구(52)를 통하여 드레인 전극(43)과 전기적으로 연결되어 있으며 화소 영역에 위치하는 화소 전극(61)이 형성되어 있다. 화소전극(61)은 용량부(23) 상부까지 연장되어 있으며, 접촉구(53)를 통하여 리페어 금속층(44)의 제2부분(44b)과 전기적으로 연결되어 있다. 화소 전극(61)은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)등의 투명전도 물질로 이루어져 있다.
- <52> 도 4를 보면 박막트랜지스터 기판(110)의 한 화소에는 2개의 박막트랜지스터(T1, T2)가 형성되어 있다.
- <53> 박막트랜지스터(T1, T2)는 게이트 전극(22)을 제어단으로 하는 구동 박막트랜지스터(T1)와 용량부(23)를 제어단으로 하는 더미 박막트랜지스터(T2)를 포함한다.
- <54> 구동 박막트랜지스터(T1)는 접촉구(52)를 통해 화소전극(61)과 연결되어 화소전극(61)에 화소 전압을 인가한다.
- <55> 반면 더미 박막트랜지스터(T2)는 용량부(23) 상에서 양 쪽으로 나누어진 제1부분(44a)과 제2부분(44b)이 일체로 형성되어 있으며, 제1부분(44a)에 별도의 신호가 인가되지 않아 박막트랜지스터로서의 기능을 수행하지 못한다.
- <56> 한편 게이트 배선(21, 22, 23)과 화소 전압이 인가되는 리페어 금속층(44) 중 서로 겹치는 부분에서는 제1유지 용량(Cst1)이 형성된다. 제1유지용량(Cst1)의 대부분은 용량부(23)와 제1부분(44a) 사이에 위치한 게이트 절연 막(31)에 형성된다.
- <57> 이상 설명한 박막트랜지스터 기판(110)은 불량화소를 검출하기 위한 검사를 거친다. 검사 결과 불량으로 판정되어 리페어된 화소를 도 5 내지 도 7을 참조하여 설명한다. 리페어는 레이저를 이용하여 수행될 수 있다. 레이저의 강도를 조절하면 이격되어 있는 두 층을 서로 쇼트시키거나, 연결된 부분을 커팅시킬 수 있다.
- <58> 도 5는 본 발명의 제1실시예에 따른 리페어된 박막트랜지스터 기판의 배치도이고, 도 6은 본 발명의 제1실시예에 따른 박막트랜지스터 기판에서 리페어된 리페어 금속층의 배치도이고, 도 7은 도 5의 VII-VII을 따른 단면도이다.
- <59> 리페어를 통해 변화된 부분은 다음과 같다.
- <60> 첫째, 도 5 및 도 7과 같이 화소전극(61)과 구동박막트랜지스터(T1)의 연결이 커팅된다. 구체적으로는 레이저에 의해 드레인 전극(43)이 커팅되어, 드레인 전극(43)의 전압이 화소전극(61)에 인가되지 않는다.
- <61> 둘째, 도 6과 같이 리페어 금속층(44)의 제1부분(44a)과 제2부분(44b)이 절개부(44f)를 따라 서로 분리되어 각각 리페어 소스 전극(44d)과 리페어 드레인 전극(44e)을 형성한다. 이는 레이저를 제1부분(44a)과 제2부분(44b)의 경계를 따라 조사하여 수행된다.
- <62> 셋째, 도 7과 같이 리페어 금속층(44)의 제1부분(44a)과 용량부(23)가 쇼팅된다. 구체적으로는 제1부분(44a)의 쇼트영역에 레이저를 가하여 용량부(23)와의 쇼팅을 수행한다.
- <63> 이상의 리페어의 순서는 자유롭게 변형될 수 있다.
- <64> 이와 같은 리페어에 의해 도 4의 더미 박막트랜지스터(T2)는 도 7과 같이 리페어 박막트랜지스터(T3)로 변경된다.
- <65> 리페어 박막트랜지스터(T3)는 제어단으로서 용량부(23)를 가지며, 입력단으로서 용량부(23)와 연결되어 있는 리페어 소스전극(44d)을 가지고, 출력단으로서 화소전극(61)에 연결되어 있는 리페어 드레인 전극(44e)을 가진다.
- <66> 리페어에 의해 리페어 금속층(44)에는 추가의 절개부(44f)가 형성되며, 절개부(44c, 44f) 중 하부에 제2반도체 층(32b) 및 용량부(23)가 위치하는 부분은 리페어 박막트랜지스터(T3)의 채널영역이 된다.
- <67> 한편, 후단의 화소전극(61)은 전단의 게이트선(21)에 연결되어 있는 리페어 박막트랜지스터(T3)의 제어를 받는다.
- <68> 이상의 리페어 박막트랜지스터(T3)의 구동을 살펴보면 다음과 같다.
- <69> 제어단으로 작용하는 용량부(23) 및 리페어 소스 전극(44d)에는 모두 게이트 신호가 인가된다. 즉 용량부(23) 및 리페어 소스 전극(44d)에는 게이트 온 전압 또는 게이트 오프 전압이 인가되는 것이다.
- <70> 따라서 리페어 드레인 전극(44e)에 연결되어 있는 후단의 화소전극(61)에는 게이트 온 전압이 데이터 전압(Vd)으로 인가된다. 그런데 화소전극(61)에 인가되는 데이터 전압(Vd)은 소스 전극과 게이트 전극 사이에 형성되는

기생용량(Cgs)에 의한 킥백 전압(Vkb)에 의해 절대값이 감소된다. 즉 실제 화소전극(61)에 인가되는 화소 전압(Vp)은 데이터 전압(Vd)에서 킥백 전압(Vkb)을 뺀 값이 된다. 킥백전압(Vkb)은 기생용량(Cgs)의 크기에 비례하고, 액정용량(Cl_c)의 크기에 반비례한다.

- <71> 리페어된 화소에서 기생전압(Cgs)은 화소전극(61)과 제1부분(44a)이 겹치는 영역에 의해 결정된다. 제1실시예에서 기생전압(Cgs)은 리페어 후 형성되는 도 7의 제2유지용량(Cst2)에 대응한다. 제2유지용량(Cst2)은 화소전극(61)과 제1부분(44a) 사이의 보호막(51)에 형성된다. 리페어 박막트랜지스터(T3)의 기생용량(Cgs)이 형성되는 영역은 구동 박막트랜지스터(T1)의 기생용량(Cgs)보다 넓기 때문에 킥백전압(Vkb)의 절대값이 크다.
- <72> 리페어된 화소에 인가되는 화소전압(Vp)의 변화를 도 8을 참조하여 구체적으로 설명한다. 도 8은 본 발명의 제1 실시예에 따른 박막트랜지스터 기판에서 리페어된 화소전극에 인가되는 전압을 나타낸 도면이다.
- <73> 액정표시장치(1)를 가동한 후 첫 번째 프레임에서 전단 게이트가 온 되면 용량부(23)에 게이트 온 전압이 인가되어 리페어 박막트랜지스터(T3)가 온 된다. 이와 함께 용량부(23)에 연결되어 있는 리페어 소스전극(44d)에도 게이트 온 전압이 인가되고, 이에 의해 리페어 드레인 전극(44e)에 연결되어 있는 후단 화소전극(61)에 게이트 온 전압이 인가된다.
- <74> 전단 게이트가 오프 되는 순간 화소전극(61)에 인가된 게이트 온 전압은 킥백전압(Vkb)에 의해 하강하여 픽셀전압이 인가된다. 이 때 픽셀전압이 블랙전압의 80% 내지 120%가 되도록 제2유지용량(Cst2)이 조절되어 있다. 따라서 리페어된 후단 화소전극(61)에는 블랙전압이 인가되어 표시품질이 안정된다. 더 바람직하게는 제2유지용량(Cst2)은 픽셀전압이 블랙전압의 80% 내지 120%가 되도록 조절되는 것이 좋다.
- <75> 다만 첫 번째 프레임에서 리페어된 후단 화소전극(61)의 블랙상태가 불량할 수 있으나, 두 번째 프레임부터 블랙상태는 급격히 안정화된다.
- <76> 리페어된 화소전극(61)에 인가되는 화소전압은 제2유지용량(Cst2)에 의해 조절되며, 제2유지용량(Cst2)은 용량이 형성되는 부분의 면적이나 유전층의 종류 및 두께를 조정하여 조절할 수 있다.
- <77> 이상의 리페어된 화소전극(61)의 구동을 구체적 수치를 예시하여 설명한다.
- <78> 게이트 온 전압은 통상 20V(20V 내지 22V) 수준이며, 공통전압은 통상 3.5V수준이다. 노말리 화이트 모드에서 데이터 전압(포지티브 극성만 고려)은 4V(화이트 전압) 내지 7.5V(블랙전압)이며, 이 때 실제 액정에 인가되는 전압 (데이터 전압-공통전압)의 절대값은 0.5V(화이트 전압) 내지 4V(블랙 전압)이 된다. 한편 도 4의 구동트랜지스터(T1)를 이용하여 화소전극(61)을 구동할 경우에는 기생전압(Cgs)이 크지 않아, 데이터 전압(Vd)과 화소전압(Vp)의 차이가 크지 않다.
- <79> 도 8과 같이 구동하기 위해서는 킥백전압(Vkb)은 화소전압(Vp)이 블랙전압인 7.5V수준이 되도록 (게이트 온 전압(20V)-블랙전압(7.5V))정도가 되어야 한다. 킥백전압(Vkb)은 화소전압(Vp)이 블랙전압의 80% 내지 120%가 되도록 조절될 수 있다.
- <80> 이상 설명한 제1실시예에 따른 리페어 방법은 액정층(140)의 유전율이 8이상으로 비교적 높으며, 광학필름(200)이 액정층을 포함하는 광시야각 필름(보상필름)일 경우 특히 유용하다. 이런 경우 화소전극(161)에 게이트 온 전압을 인가하면 로우 픽셀이 되는 문제가 많이 발생하기 때문이다.
- <81> 도 9a 및 도 9b는 본 발명의 제2실시예에 따른 박막트랜지스터 기판에서 리페어 금속층의 배치도이다. 도 9a는 리페어 전의 형태이고 도 9b는 리페어 후의 형태이다.
- <82> 제2실시예에 따른 리페어 금속층(40)은 리페어 한 후의 채널영역은 주로 리페어에 의해 형성된 절개부(44f)가 된다. 즉 새롭게 형성된 리페어 박막트랜지스터(T3)의 채널영역은 일자형이 된다.
- <83> 비록 본발명의 몇몇 실시예들이 도시되고 설명되었지만, 본발명이 속하는 기술분야의 통상의 지식을 가진 당업자라면 본발명의 원칙이나 정신에서 벗어나지 않으면서 본 실시예를 변형할 수 있음을 알 수 있을 것이다. 본발명의 범위는 첨부된 청구항과 그 균등물에 의해 정해질 것이다.

발명의 효과

- <84> 이상 설명한 바와 같이, 본 발명에 따르면, 불량이 발생된 화소를 블랙상태가 되도록 리페어할 수 있는 액정표시장치가 제공된다.

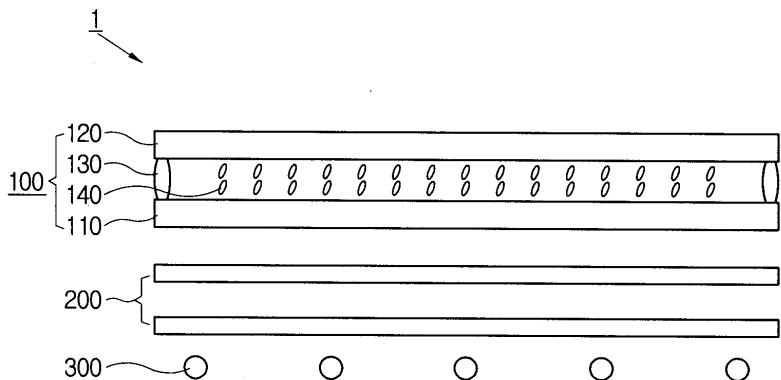
<85> 또한 불량이 발생된 화소를 블랙상태가 되도록 리페어하는 방법이 제공된다.

도면의 간단한 설명

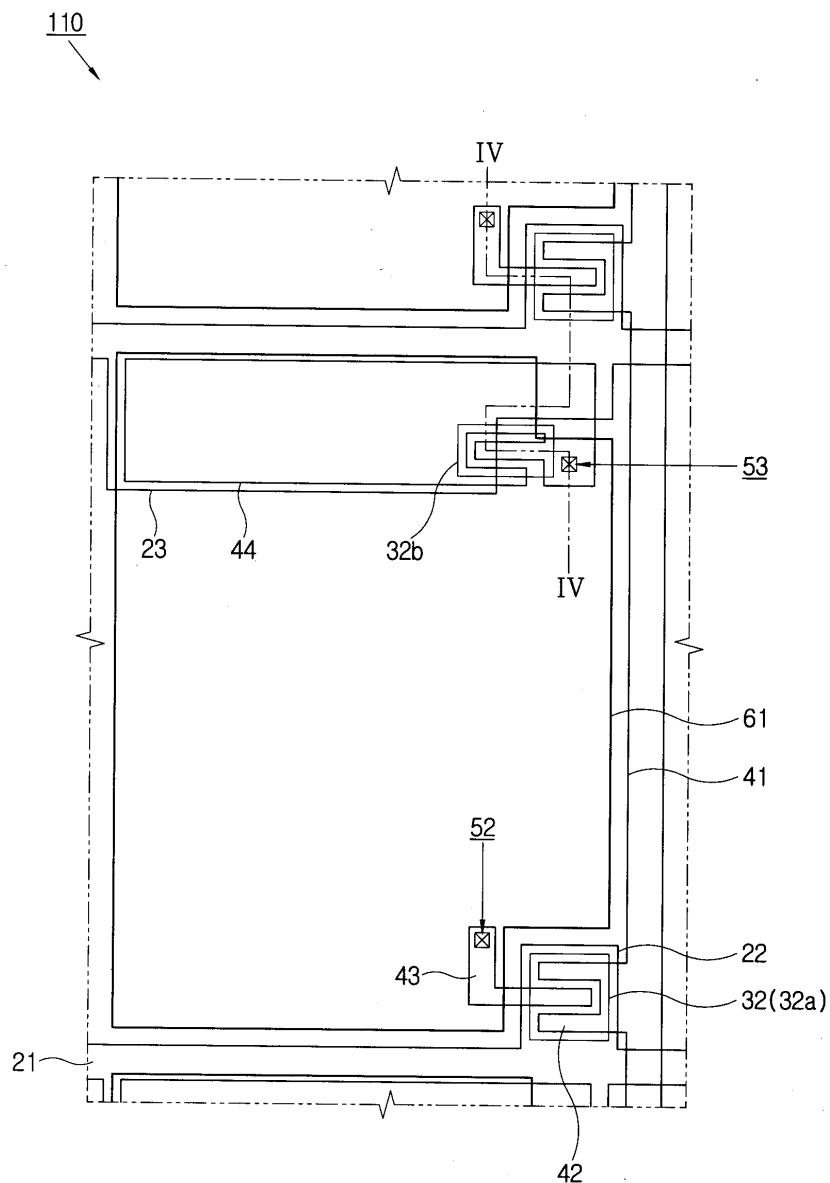
- <1> 도 1은 본 발명의 제1실시예에 따른 액정표시장치의 개략 단면도이고,
- <2> 도 2는 본 발명의 제1실시예에 따른 박막트랜지스터 기판의 배치도이고,
- <3> 도 3은 본 발명의 제1실시예에 따른 박막트랜지스터 기판에서 리페어 금속층의 배치도이고,
- <4> 도 4는 도 2의 IV-IV를 따른 단면도이고,
- <5> 도 5는 본 발명의 제1실시예에 따른 리페어된 박막트랜지스터 기판의 배치도이고,
- <6> 도 6은 본 발명의 제1실시예에 따른 박막트랜지스터 기판에서 리페어된 리페어 금속층의 배치도이고,
- <7> 도 7은 도 5의 VII-VII를 따른 단면도이고,
- <8> 도 8은 본 발명의 제1실시예에 따른 박막트랜지스터 기판에서 리페어된 화소전극에 인가되는 전압을 나타낸 도면이고,
- <9> 도 9a 및 도 9b는 본 발명의 제2실시예에 따른 박막트랜지스터 기판에서 리페어 금속층의 배치도이다.
- <10> *도면의 주요부분에 대한 부호의 설명*
- <11> 21 : 게이트선 22 : 게이트 전극
- <12> 23 : 용량부 41 : 데이터선
- <13> 42 : 소스 전극 43 : 드레인 전극
- <14> 44 : 리페어 금속층

도면

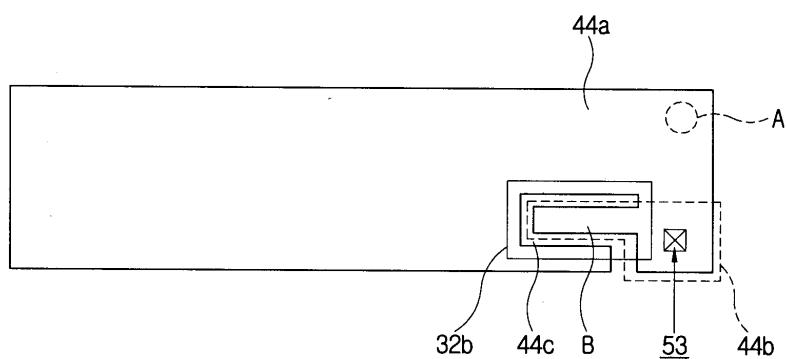
도면1



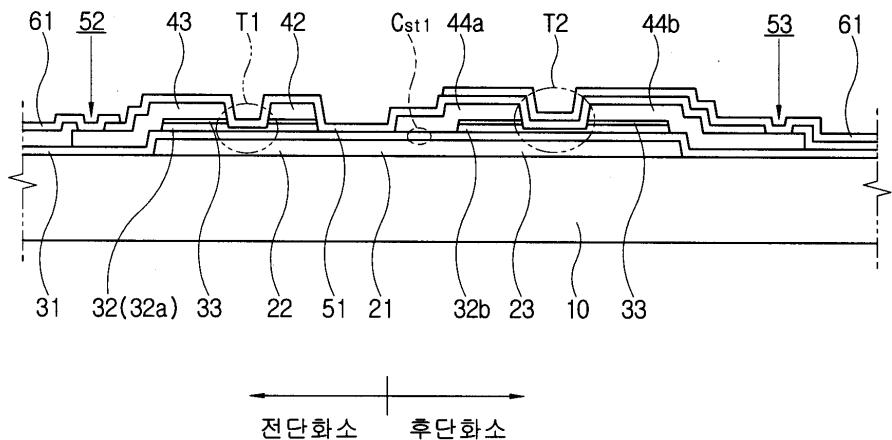
도면2



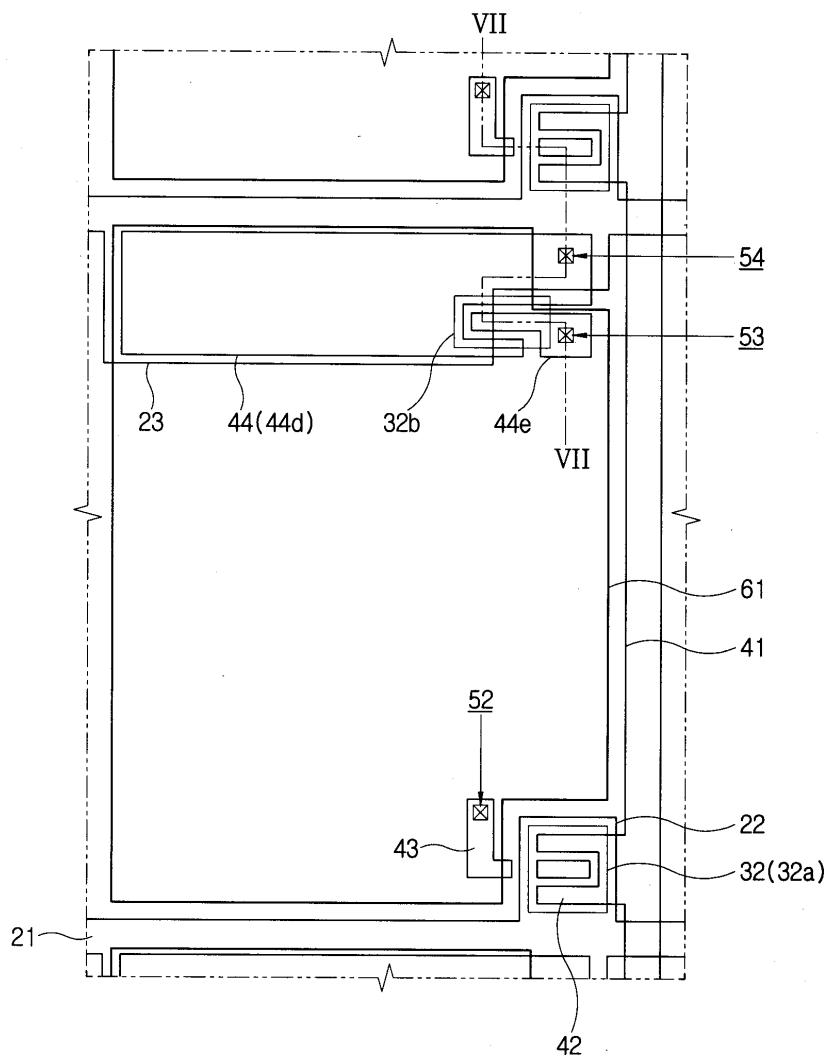
도면3



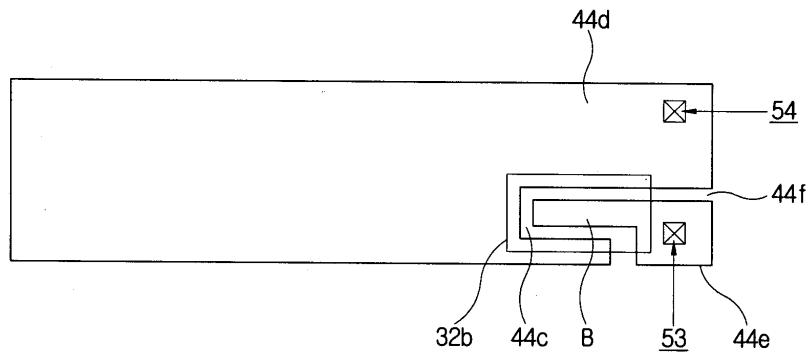
도면4



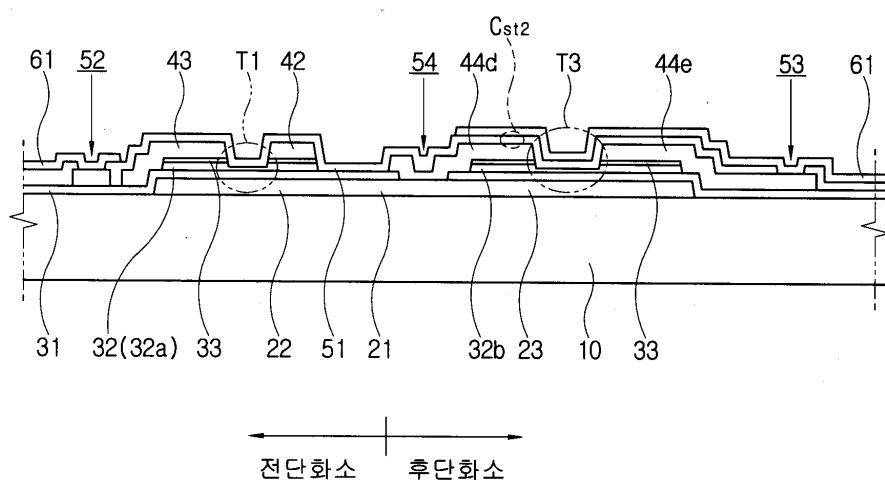
도면5



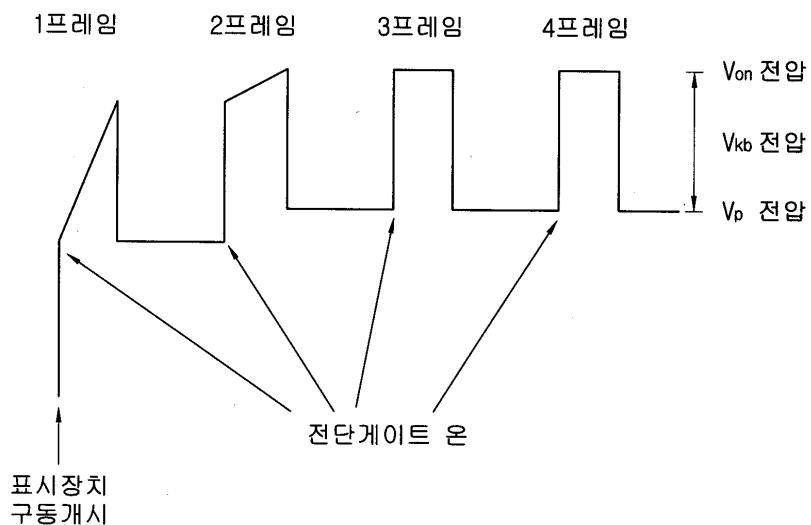
도면6



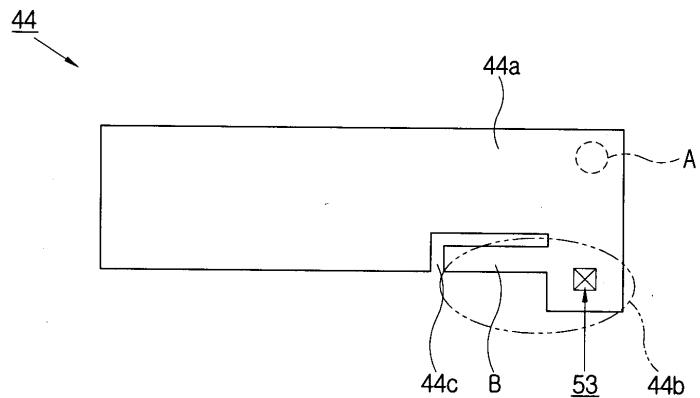
도면7



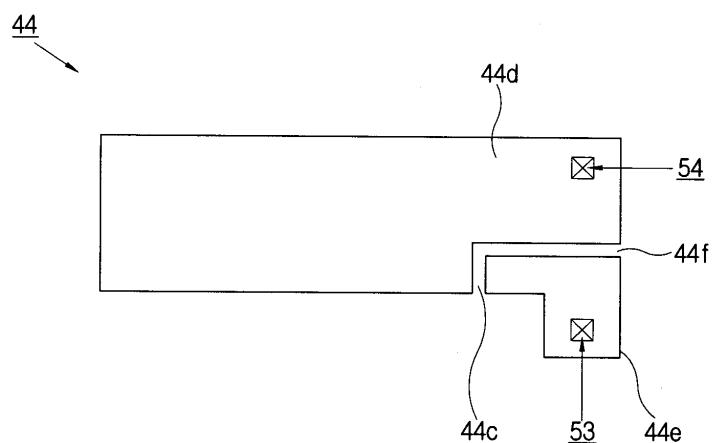
도면8



도면9a



도면9b



专利名称(译)	液晶显示器及其修复方法		
公开(公告)号	KR1020080008784A	公开(公告)日	2008-01-24
申请号	KR1020060068497	申请日	2006-07-21
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE BONG JUN 이봉준 LEE JONG HWAN 이종환 KIM BEOM JUN 김범준 LEE JONG HYUK 이종혁		
发明人	이봉준 이종환 김범준 이종혁		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136259 G02F1/136213 G02F1/13624		
代理人(译)	PARK , YOUNG WOO		
外部链接	Espacenet		

摘要(译)

液晶显示器及其修复方法本发明涉及液晶显示器及其修复方法。根据本发明的液晶显示装置包括：栅极线和数据线，其使用连接到前一栅极线并且彼此绝缘的电容器形成存储电容器;薄膜晶体管，电连接到栅极线和数据线;像素电极连接到薄膜晶体管;具有面向电容器部分的短区域的第一区域，具有面向第一区域并连接到像素电极的漏极形成区域的第二区域，以及形成在漏极形成区域和第一区域之间的第二区域修复金属层，包括位于电容部分上方的切口部分;并且在切口部分和电容器部分之间形成半导体层。由此，提供了一种能够修复黑色状态的缺陷像素的液晶显示装置。

