



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0001990
(43) 공개일자 2008년01월04일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0060508

(22) 출원일자 2006년06월30일

심사청구일자 없음

(71) 출원인

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

오금미

서울 서대문구 홍제3동 270-69

(74) 대리인

특허법인로얄

전체 청구항 수 : 총 17 항

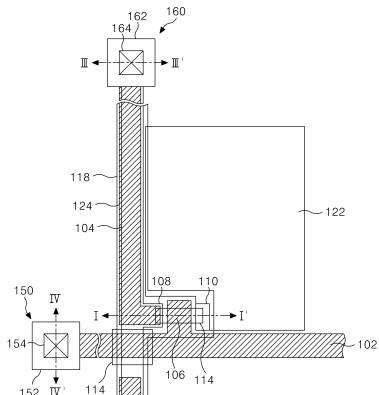
(54) 액정표시패널 및 그 제조 방법

(57) 요 약

본 발명은 마스크 공정 수를 절감할 수 있는 액정표시패널 및 그 제조 방법에 관한 것이다.

본 발명에 따른 액정표시패널은 기판 상에 형성되는 블랙매트릭스와; 상기 블랙매트릭스를 덮도록 상기 기판 상에 형성되는 절연막과; 상기 절연막 상에 형성되며, 투명도전패턴이 하부에 형성된 데이터 라인과; 상기 데이터 라인과 게이트 절연막을 사이에 두고 교차하여 화소 영역을 결정하는 게이트 라인과; 상기 게이트 라인과 접속된 게이트 전극, 상기 데이터 라인과 접속되며 상기 투명도전막이 하부에 형성된 소스 전극, 상기 소스 전극과 마주 하며 상기 투명도전패턴이 하부에 형성된 드레인 전극, 상기 소스 및 드레인 전극 사이의 채널을 형성하는 반도체층을 포함하는 박막 트랜지스터와; 상기 드레인 전극의 투명도전패턴에서 연장되어 상기 드레인 전극과 접속되고 화소 영역 상에 형성되는 화소 전극과; 상기 게이트 라인과 접속되며 상기 투명도전패턴으로 이루어진 게이트 패드 전극을 포함하는 게이트 패드와; 상기 데이터 라인과 접속되며 상기 투명도전패턴으로 이루어진 데이터 패드 전극을 포함하는 데이터 패드를 구비한다.

대표도 - 도4



특허청구의 범위

청구항 1

기판 상에 형성되는 블랙매트릭스와;

상기 블랙매트릭스를 덮도록 상기 기판 상에 형성되는 절연막과;

상기 절연막 상에 형성되며, 투명도전패턴이 하부에 형성된 데이터 라인과;

상기 데이터 라인과 게이트 절연막을 사이에 두고 교차하여 화소 영역을 결정하는 게이트 라인과;

상기 게이트 라인과 접속된 게이트 전극, 상기 데이터 라인과 접속되며 상기 투명도전막이 하부에 형성된 소스 전극, 상기 소스 전극과 마주하며 상기 투명도전패턴이 하부에 형성된 드레인 전극, 상기 소스 및 드레인 전극 사이의 채널을 형성하는 반도체층을 포함하는 박막 트랜지스터와;

상기 드레인 전극의 투명도전패턴에서 연장되어 상기 드레인 전극과 접속되고 화소 영역 상에 형성되는 화소 전극과;

상기 게이트 라인과 접속되며 상기 투명도전패턴으로 이루어진 게이트 패드 전극을 포함하는 게이트 패드와;

상기 데이터 라인과 접속되며 상기 투명도전패턴으로 이루어진 데이터 패드 전극을 포함하는 데이터 패드를 구비하는 것을 특징으로 하는 액정표시패널.

청구항 2

제 1 항에 있어서,

상기 데이터 라인 및 소스 전극과 중첩되는 게이트 금속 패턴을 추가로 구비하는 것을 특징으로 하는 액정표시패널.

청구항 3

제 1 항에 있어서,

상기 반도체층은

상기 게이트 전극과 상기 게이트 절연막을 사이에 두고 중첩되면서 상기 소스 전극과 드레인 전극 사이에 채널을 형성하는 액티브층과,

상기 소스 전극 및 드레인 전극과 오믹 접촉을 위한 오믹 접촉층으로 구성되는 것을 특징으로 하는 액정표시패널.

청구항 4

제 3 항에 있어서,

상기 액티브층은 상기 게이트 라인과 데이터 라인의 교차부에 형성되는 것을 특징으로 하는 액정표시패널.

청구항 5

제 1 항에 있어서,

상기 소스 및 드레인 전극은 상기 게이트 전극과 소정 간격을 가지게 형성되는 것을 특징으로 하는 액정표시패널.

청구항 6

제 1 항에 있어서,

상기 블랙 매트릭스는 상기 게이트 라인, 데이터 라인 및 박막 트랜지스터 중 적어도 어느 하나의 영역에 중첩되어 형성되는 것을 특징으로 하는 액정표시패널.

청구항 7

제 2 항에 있어서,

상기 게이트 금속 패턴은 상기 게이트 라인과 동시에 형성되어 상기 데이터 라인의 일측과 접속되며, 상기 게이트 라인과 소정 간격을 가지도록 패터닝되는 것을 특징으로 하는 액정표시패널.

청구항 8

기판 상에 형성되는 블랙 매트릭스, 상기 블랙 매트릭스를 덮도록 형성된 절연막, 상기 절연막 상에 형성되는 데이터 라인, 상기 데이터 라인과 접속되는 소스 전극, 상기 소스 전극과 마주하는 드레인 전극, 상기 드레인 전극과 접속되는 화소 전극, 상기 소스 및 드레인 전극 상에 형성되는 오믹 접촉층, 상기 화소 전극과 동시에 형성되는 게이트 패드 전극 및 데이터 패드 전극을 포함하는 제1 패턴군을 형성하는 제1 마스크 공정과;

상기 제1 패턴군이 형성되는 상기 기판의 소스 및 드레인 전극 사이에 형성되는 액티브층을 포함하는 제2 패턴군을 형성하는 제2 마스크 공정과;

상기 액티브층 상에 형성된 게이트 절연막, 상기 게이트 절연막을 사이에 두고 상기 데이터 라인과 교차하는 게이트 라인, 상기 게이트 라인에서 돌출되어 상기 소스 및 드레인 전극 사이에 형성되는 게이트 전극 포함하는 제3 패턴군을 형성하는 제3 마스크 공정을 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 9

제 8 항에 있어서,

상기 제1 마스크 공정은

상기 절연막 상에 투명 도전막, 데이터 금속층 및 n+ 비정질 실리콘층을 순차적으로 형성하는 단계와,

상기 n+ 비정질 실리콘층 상에 상기 화소 전극, 게이트 패드 전극 및 데이터 패드 전극이 형성될 부분의 제2 포토레지스트 패턴이 상기 데이터 라인과 소스 및 드레인 전극이 형성될 부분의 제1 포토레지스트 패턴보다 낮은 높이를 갖도록 포토 레지스트 패턴을 형성하는 단계와,

상기 포토레지스트 패턴을 이용한 식각 공정으로 n+ 비정질 실리콘층을 패터닝하는 단계와,

상기 데이터 금속층을 습식 식각 공정으로 패터닝하는 단계와,

액성 공정으로 제2 포토레지스트 패턴을 제거하고 제1 포토레지스트 패턴의 높이를 낮게 하는 단계와,

상기 제1 포토레지스트 패턴을 이용한 식각 공정으로 n+ 비정질 실리콘층 및 데이터 금속층을 식각하여 상기 투명 도전막이 노출되는 단계와,

스트립 공정으로 상기 제1 포토레지스트 패턴을 제거하는 단계를 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 10

제 9 항에 있어서,

상기 투명 도전막으로는 인듐 주석 산화물(Indium Tin Oxide : ITO)이나 주석 산화물(Tin Oxide : TO) 또는 인듐 아연 산화물(Indium Zinc Oxide : IZO) 등이 이용되는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 11

제 8 항에 있어서,

상기 데이터 금속으로는 Mo, Cu 계열, Al 계열, Cr 계열 중 어느 하나인 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 12

제 8 항에 있어서,

상기 제3 마스크 공정은

상기 제1 및 제2 패턴군이 형성된 기판 전면에 게이트 절연막을 형성하는 단계와,

상기 게이트 절연막 상에 채널부 상에 형성되는 제2 포토레지스트 패턴이 상기 게이트 라인 및 게이트 전극과 대응되는 이외의 영역에 형성되는 제1 포토레지스트 패턴보다 낮은 높이를 갖도록 포토 레지스트 패턴을 형성하는 단계와,

상기 포토레지스트 패턴을 이용한 식각 공정으로 상기 데이터 라인의 일측을 노출시키며 상기 게이트 및 데이터 패드 전극을 노출시키는 제1 및 제2 콘택홀이 형성되도록 상기 게이트 절연막을 패터닝하는 단계와,

액성 공정으로 제2 포토레지스트 패턴을 제거하고 상기 제1 포토레지스트 패턴의 높이를 낮게 하는 단계와,

상기 제1 포토레지스트 패턴 상에 게이트 금속막을 형성하는 단계와,

상기 제1 포토레지스트 패턴을 리프트 오프 공정으로 제거하여 상기 게이트 금속막을 패터닝하는 단계를 포함하는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 13

제 8 항에 있어서,

상기 제3 마스크 공정에서 상기 데이터 라인 및 소스 전극과 중첩되는 게이트 금속 패턴이 형성되는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 14

제 8 항에 있어서,

상기 액티브층은 상기 게이트 라인과 데이터 라인의 교차부에 형성되는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 15

제 8 항에 있어서,

상기 소스 및 드레인 전극은 상기 게이트 전극과 소정 간격을 가지게 형성되는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 16

제 8 항에 있어서,

상기 블랙 매트릭스는 상기 게이트 라인, 데이터 라인 및 박막 트랜지스터 중 적어도 어느 하나의 영역에 중첩되어 형성되는 것을 특징으로 하는 액정표시패널의 제조방법.

청구항 17

제 13 항에 있어서,

상기 게이트 금속 패턴은 상기 게이트 라인과 동시에 형성되어 상기 데이터 라인의 일측과 접속되며, 상기 게이트 라인과 소정 간격을 가지도록 패터닝되는 것을 특징으로 하는 액정표시패널의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<19> 본 발명은 액정표시패널에 관한 것으로, 특히 마스크 공정 수를 절감할 수 있는 액정표시패널 및 그 제조 방법에 관한 것이다.

<20> 액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정 표시

장치는 상/하부 기판에 대향하게 배치된 공통 전극과 화소 전극 사이에 형성되는 전계에 의해 액정을 구동하게 된다.

- <21> 액정 표시 장치는 서로 대향하여 합착된 박막 트랜지스터 어레이 기판 및 컬러필터 어레이 기판과, 두 어레이 기판 사이에서 셀캡을 일정하게 유지시키기 위한 스페이서와, 그 셀 캡에 채워진 액정을 구비한다.
- <22> 박막트랜지스터 어레이 기판은 다수의 신호 라인들 및 박막트랜지스터와, 그들 위에 액정 배향을 위해 도포된 배향막으로 구성된다. 컬러필터 어레이 기판은 컬러 구현을 위한 칼라 필터 및 빛샘 방지를 위한 블랙 매트릭스와, 그들 위에 액정 배향을 위해 도포된 배향막으로 구성된다.
- <23> 이러한 액정 표시 장치에서 박막 트랜지스터 어레이 기판은 반도체 공정을 포함함과 아울러 다수의 마스크 공정을 필요로 함에 따라 제조 공정이 복잡하여 액정 패널 제조 단가 상승의 중요 원인이 되고 있다. 이를 해결하기 위하여, 박막 트랜지스터 어레이 기판은 마스크 공정 수를 줄이는 방향으로 발전하고 있다. 이는 하나의 마스크 공정이 박막 증착 공정, 세정 공정, 포토리소그래피 공정, 식각 공정, 포토레지스트 박리 공정, 검사 공정 등과 같은 많은 공정을 포함하고 있기 때문이다. 이에 따라, 최근에는 박막트랜지스터 어레이 기판의 표준 마스크 공정이던 5 마스크 공정에서 하나의 마스크 공정을 줄인 4 마스크 공정이 대두되고 있다.
- <24> 도 1은 종래의 4마스크 공정을 이용한 박막트랜지스터 어레이 기판을 나타내는 평면도이고, 도 2는 도 1에서 선 "II-II'"를 따라 절취한 박막트랜지스터 어레이 기판을 나타내는 단면도이다.
- <25> 도 1 및 도 2를 참조하면, 종래 박막트랜지스터 어레이 기판은 하부 기판(1) 위에 게이트절연막(12)을 사이에 두고 교차하게 형성된 게이트 라인(2) 및 데이터 라인(4)과, 그 교차부마다 형성된 박막트랜지스터(30)와, 그 교차 구조로 마련된 화소 영역에 형성된 화소 전극(22)과, 게이트라인(2)과 스토리지전극(28)의 중첩부에 형성된 스토리지캐패시터(40)와, 게이트 라인(2)과 접속된 게이트 패드(50)와, 데이터 라인(4)과 접속된 데이터 패드(60)를 구비한다.
- <26> 게이트 신호를 공급하는 게이트 라인(2)과 데이터 신호를 공급하는 데이터 라인(4)은 교차 구조로 형성되어 화소 영역(5)을 정의한다.
- <27> 박막트랜지스터(30)는 게이트 라인(2)의 게이트 신호에 응답하여 데이터 라인(4)의 화소 신호가 화소 전극(22)에 충전되어 유지되게 한다. 이를 위하여, 박막트랜지스터(30)는 게이트 라인(2)에 접속된 게이트 전극(6)과, 데이터 라인(4)에 접속된 소스 전극(8)과, 화소 전극(22)에 접속된 드레인전극(10)을 구비한다. 또한, 박막트랜지스터(30)는 게이트 전극(6)과 게이트 절연막(12)을 사이에 두고 중첩되면서 소스 전극(8)과 드레인 전극(10) 사이에 채널을 형성하는 활성층(14)을 더 구비한다.
- <28> 그리고, 활성층(14)은 데이터 라인(4), 데이터 패드 하부 전극(62) 및 스토리지 전극(28)과도 중첩되게 형성된다. 이러한 활성층(14) 위에는 데이터 라인(4), 소스 전극(8), 드레인 전극(10), 데이터 패드 하부 전극(62) 및 스토리지 전극(28)과 오믹 접촉을 위한 오믹 접촉층(16)이 더 형성된다.
- <29> 화소 전극(22)은 보호막(18)을 관통하는 제1 콘택홀(20)을 통해 박막 트랜지스터(30)의 드레인 전극(10)과 접속되어 화소 영역(5)에 형성된다.
- <30> 이에 따라, 박막 트랜지스터(30)를 통해 화소 신호가 공급된 화소 전극(22)과 기준 전압이 공급된 공통 전극(도시하지 않음) 사이에는 전계가 형성된다. 이러한 전계에 의해 하부 어레이 기판과 상부 어레이 기판 사이의 액정 분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정 분자들의 회전 정도에 따라 화소 영역(5)을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.
- <31> 스토리지 캐패시터(40)는 게이트 라인(2)과, 그 게이트 라인(2)과 게이트 절연막(12), 활성층(14) 및 오믹 접촉층(16)을 사이에 두고 중첩되는 스토리지 전극(28)으로 구성된다. 여기서, 스토리지전극(28)은 보호막(18)에 형성된 제2 콘택홀(42)을 통해 화소전극(22)과 접속된다. 이러한 스토리지 캐패시터(40)는 화소 전극(22)에 충전된 화소 신호가 다음 화소 신호가 충전될 때까지 안정적으로 유지되게 한다.
- <32> 게이트패드(50)는 게이트드라이버(도시하지 않음)와 접속되어 게이트라인(2)에 게이트신호를 공급한다. 이러한 게이트 패드(50)는 게이트 라인(2)으로부터 연장되는 게이트 패드 하부 전극(52)과, 게이트 절연막(12) 및 보호막(18)을 관통하는 제3 콘택홀(56)을 통해 게이트 패드 하부 전극(52)과 접속된 게이트 패드 상부 전극(54)으로 구성된다.
- <33> 데이터패드(60)는 데이터 드라이버(도시하지 않음)와 접속되어 데이터라인(4)에 데이터신호를 공급한다. 이러한

한 데이터 패드(60)는 데이터 라인(4)으로부터 연장되는 데이터 패드 하부 전극(62)과, 보호막(18)을 관통하는 제4 콘택홀(66)을 통해 데이터 패드 하부 전극(62)과 접속된 데이터 패드 상부 전극(64)으로 구성된다.

<34> 이러한 구성을 가지는 액정표시패널의 박막트랜지스터 어레이 기판의 제조 방법을 4마스크 공정을 이용하여 상세히 하면 도 3a 내지 도 3d에 도시된 바와 같다.

<35> 도 3a를 참조하면, 제1 마스크 공정을 이용하여 하부 기판(1) 상에 게이트 라인(2), 게이트 전극(6) 및 게이트 패드 하부 전극(52)을 포함하는 제1 도전패턴군이 형성된다.

<36> 이를 상세히 설명하면, 하부 기판(1) 상에 스퍼터링 방법 등의 증착 방법을 통해 게이트금속층이 형성된다. 이어서, 제1 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 게이트 금속층이 패터닝됨으로써 게이트 라인(2), 게이트 전극(6) 및 게이트 패드 하부 전극(52)을 포함하는 제1 도전 패턴군이 형성된다. 여기서, 게이트 금속층으로는 알루미늄계 금속 등이 이용된다.

<37> 도 3b를 참조하면, 제1 도전 패턴군이 형성된 하부 기판(1) 상에 게이트 절연막(12)이 도포된다. 그리고 제2 마스크 공정을 이용하여 게이트 절연막(12) 위에 활성층(14) 및 오믹 접촉층(16)을 포함하는 반도체 패턴과; 데이터 라인(4), 소스 전극(8), 드레인 전극(10), 데이터 패드 하부 전극(62), 스토리지 전극(28)을 포함하는 제2 도전 패턴군이 형성된다.

<38> 이를 상세히 설명하면, 제1 도전 패턴군이 형성된 하부 기판(1) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 게이트 절연막(12), 비정질 실리콘층, n+ 비정질 실리콘층, 그리고 데이터금속층이 순차적으로 형성된다. 여기서, 게이트 절연막(12)의 재료로는 산화 실리콘(SiO_x) 또는 질화 실리콘(SiNx) 등의 무기 절연물질이 이용된다. 데이터 금속으로는 몰리브덴(Mo), 티타늄, 탄탈륨, 몰리브덴 합금(Mo alloy) 등이 이용된다.

<39> 이어서, 데이터 금속층 위에 제2 마스크를 이용한 포토리소그래피 공정으로 포토레지스트 패턴을 형성하게 된다. 이 경우 제2 마스크로는 박막 트랜지스터의 채널부에 회절 노광부를 갖는 회절 노광 마스크를 이용함으로써 채널부의 포토레지스트 패턴이 다른 소스/드레인 패턴부 보다 낮은 높이를 갖게 한다.

<40> 이어서, 포토레지스트 패턴을 이용한 습식 식각 공정으로 데이터금속층이 패터닝됨으로써 데이터 라인(4), 소스 전극(8), 그 소스 전극(8)과 일체화된 드레인 전극(10), 스토리지 전극(28)을 포함하는 제2 도전 패턴군이 형성된다.

<41> 그 다음, 동일한 포토레지스트 패턴을 이용한 건식 식각공정으로 n+ 비정질 실리콘층과 비정질 실리콘층이 동시에 패터닝됨으로써 오믹 접촉층(14)과 활성층(16)이 형성된다.

<42> 그리고, 에싱(Ashing) 공정으로 채널부에서 상대적으로 낮은 높이를 갖는 포토레지스트 패턴이 제거된 후 건식 식각 공정으로 채널부의 데이터금속층 및 오믹 접촉층(16)이 식각된다. 이에 따라, 채널부의 활성층(14)이 노출되어 소스 전극(8)과 드레인 전극(10)이 분리된다.

<43> 이어서, 스트립 공정으로 제2 도전 패턴군 위에 남아 있던 포토레지스트 패턴이 제거된다.

<44> 도 3c를 참조하면, 제2 도전 패턴군이 형성된 게이트 절연막(12) 상에 제3 마스크 공정을 이용하여 제1 내지 제4 콘택홀들(20, 42, 56, 66)을 포함하는 보호막(18)이 형성된다.

<45> 상세히 하면, 데이터패턴이 형성된 게이트 절연막(12) 상에 PECVD 등의 증착 방법으로 보호막(18)이 전면 형성된다. 이어서, 보호막(18)이 제3 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 패터닝됨으로써 제1 내지 제4 콘택홀들(20, 42, 56, 66)이 형성된다. 제1 콘택홀(20)은 보호막(18)을 관통하여 드레인 전극(10)을 노출시키고, 제2 콘택홀(42)은 보호막(18)을 관통하여 스토리지 전극(28)을 노출시킨다. 제3 콘택홀(56)은 보호막(18) 및 게이트 절연막(12)을 관통하여 게이트 패드 하부 전극(52)을 노출시키고, 제4 콘택홀(66)은 보호막(18)을 관통하여 데이터 패드 하부 전극(62)을 노출시킨다. 여기서, 데이터 금속으로 몰리브덴(Mo)과 같이 건식 식각비가 큰 금속이 이용되는 경우 제1, 제2, 제4 콘택홀(20, 42, 66) 각각은 드레인 전극(10), 스토리지 전극(28), 데이터 패드 하부 전극(62)까지 관통하여 그들의 측면을 노출시키게 된다.

<46> 보호막(18)의 재료로는 게이트 절연막(12)과 같은 무기 절연 물질이나 유전상수가 작은 아크릴(acryl)계 유기화합물, BCB 또는 PFCB 등과 같은 유기 절연 물질이 이용된다.

<47> 도 3d를 참조하면, 제4 마스크 공정을 이용하여 보호막(18) 상에 화소 전극(22), 게이트 패드 상부 전극(54), 데이터 패드 상부 전극(64)을 포함하는 제3 도전 패턴군이 형성된다.

<48> 상세히 하면, 보호막(18) 상에 스퍼터링 등의 증착 방법으로 투명 도전막이 도포된다. 이어서 제4 마스크를 이용한 포토리소그래피 공정과 식각 공정을 통해 투명 도전막이 패터닝됨으로써 화소 전극(22), 게이트 패드 상부 전극(54), 데이터 패드 상부 전극(64)을 포함하는 제3 도전 패턴군이 형성된다. 화소 전극(22)은 제1 콘택홀(20)을 통해 드레인 전극(10)과 전기적으로 접속되고, 제2 콘택홀(42)을 통해 스토리지 전극(28)과 전기적으로 접속된다. 게이트 패드 상부 전극(54)은 제3 콘택홀(56)을 통해 게이트 패드 하부 전극(52)과 전기적으로 접속된다. 데이터 패드 상부 전극(64)은 제4 콘택홀(66)을 통해 데이터 패드 하부 전극(62)과 전기적으로 접속된다.

<49> 여기서, 투명 도전막의 재료로는 인듐 틴 옥사이드(Indium Tin Oxide : ITO), 틴 옥사이드(Tin Oxide : TO), 인듐 틴 징크 옥사이드(Indium Tin Zinc Oxide : ITZO) 및 인듐 징크 옥사이드(Indium Zinc Oxide : IZO) 중 어느 하나가 이용된다.

<50> 이와 같이, 종래 박막 트랜지스터 어레이 기판 및 그 제조 방법은 4마스크 공정을 채용함으로써 5마스크 공정을 이용한 경우보다 제조 공정수를 줄임과 아울러 그에 비례하는 제조 단가를 절감할 수 있게 된다. 그러나, 4 마스크 공정 역시 여전히 제조 공정이 복잡하여 원가 절감에 한계가 있으므로 제조 공정을 더욱 단순화하여 제조 단가를 더욱 줄일 수 있는 방안이 요구된다. 또한, 4 마스크 공정에서 이용되는 회절 노광 마스크는 차단부와 투과부를 갖는 포토 마스크보다 가격이 비싸고 공정이 복잡한 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<51> 따라서, 본 발명의 목적은 마스크 공정 수를 절감할 수 있는 액정표시패널 및 그 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

<52> 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시패널은 기판 상에 형성되는 블랙매트릭스와; 상기 블랙매트릭스를 덮도록 상기 기판 상에 형성되는 절연막과; 상기 절연막 상에 형성되며, 투명도전패턴이 하부에 형성된 데이터 라인과; 상기 데이터 라인과 게이트 절연막을 사이에 두고 교차하여 화소 영역을 결정하는 게이트 라인과; 상기 게이트 라인과 접속된 게이트 전극, 상기 데이터 라인과 접속되며 상기 투명도전막이 하부에 형성된 소스 전극, 상기 소스 전극과 마주하며 상기 투명도전패턴이 하부에 형성된 드레인 전극, 상기 소스 및 드레인 전극 사이의 채널을 형성하는 반도체층을 포함하는 박막 트랜지스터와; 상기 드레인 전극의 투명도전패턴에서 연장되어 상기 드레인 전극과 접속되고 화소 영역 상에 형성되는 화소 전극과; 상기 게이트 라인과 접속되며 상기 투명도전패턴으로 이루어진 게이트 패드 전극을 포함하는 게이트 패드와; 상기 데이터 라인과 접속되며 상기 투명도전패턴으로 이루어진 데이터 패드 전극을 포함하는 데이터 패드를 구비한다.

<53> 본 발명에 따른 액정표시패널의 제조방법은 기판 상에 형성되는 블랙 매트릭스, 상기 블랙 매트릭스를 덮도록 형성된 절연막, 상기 절연막 상에 형성되는 데이터 라인, 상기 데이터 라인과 접속되는 소스 전극, 상기 소스 전극과 마주하는 드레인 전극, 상기 드레인 전극과 접속되는 화소 전극, 상기 소스 및 드레인 전극 상에 형성되는 오믹 접촉층, 상기 화소 전극과 동시에 형성되는 게이트 패드 전극 및 데이터 패드 전극을 포함하는 제1 패턴군을 형성하는 제1 마스크 공정과; 상기 제1 패턴군이 형성되는 상기 기판의 소스 및 드레인 전극 사이에 형성되는 액티브층을 포함하는 제2 패턴군을 형성하는 제2 마스크 공정과; 상기 액티브층 상에 형성된 게이트 절연막, 상기 게이트 절연막을 사이에 두고 상기 데이터 라인과 교차하는 게이트 라인, 상기 게이트 라인에서 돌출되어 상기 소스 및 드레인 전극 사이에 형성되는 게이트 전극 포함하는 제3 패턴군을 형성하는 제3 마스크 공정을 포함한다.

<54> 상기 제1 마스크 공정은 상기 절연막 상에 투명 도전막, 데이터 금속층 및 n+ 비정질 실리콘층을 순차적으로 형성하는 단계와, 상기 n+ 비정질 실리콘층 상에 상기 화소 전극, 게이트 패드 전극 및 데이터 패드 전극이 형성될 부분의 제2 포토레지스트 패턴이 상기 데이터 라인과 소스 및 드레인 전극이 형성될 부분의 제1 포토레지스트 패턴보다 낮은 높이를 갖도록 포토 레지스트 패턴을 형성하는 단계와, 상기 포토레지스트 패턴을 이용한 식각 공정으로 n+ 비정질 실리콘층을 패터닝하는 단계와, 상기 데이터 금속층을 습식 식각 공정으로 패터닝하는 단계와, 애성 공정으로 제2 포토레지스트 패턴을 제거하고 제1 포토레지스트 패턴의 높이를 낮게 하는 단계와, 상기 제1 포토레지스트 패턴을 이용한 식각 공정으로 n+ 비정질 실리콘층 및 데이터 금속층을 식각하여 상기 투명 도전막이 노출되는 단계와, 스트립 공정으로 상기 제1 포토레지스트 패턴을 제거하는 단계를 포함한다.

<55> 상기 제3 마스크 공정은 상기 제1 및 제2 패턴군이 형성된 기판 전면에 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막 상에 채널부 상에 형성되는 제2 포토레지스트 패턴이 상기 게이트 라인 및 게이트 전극과 대응되

는 이외의 영역에 형성되는 제1 포토레지스트 패턴보다 낮은 높이를 갖도록 포토 레지스트 패턴을 형성하는 단계와, 상기 포토레지스트 패턴을 이용한 식각 공정으로 상기 데이터 라인의 일측을 노출시키며 상기 게이트 및 데이터 패드 전극을 노출시키는 제1 및 제2 콘택홀이 형성되도록 상기 게이트 절연막을 패터닝하는 단계와, 애성 공정으로 제2 포토레지스트 패턴을 제거하고 상기 제1 포토레지스트 패턴의 높이를 낮게 하는 단계와, 상기 제1 포토레지스트 패턴 상에 게이트 금속막을 형성하는 단계와, 상기 제1 포토레지스트 패턴을 리프트 오프 공정으로 제거하여 상기 게이트 금속막을 패터닝하는 단계를 포함한다.

- <56> 상기 제3 마스크 공정에서 상기 데이터 라인 및 소스 전극과 중첩되는 게이트 금속 패턴이 형성된다.
- <57> 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- <58> 이하, 본 발명의 바람직한 실시 예들을 도 4 내지 도 10c를 참조하여 상세하게 설명하기로 한다.
- <59> 도 4는 본 발명의 제1 실시 예에 따른 액정표시패널의 박막트랜지스터 어레이 기판을 나타내는 평면도이고, 도 5는 도 4에서 선 "I - I", "III-III", "IV-IV"를 따라 절취한 박막 트랜지스터 어레이 기판을 나타내는 단면도이다.
- <60> 도 4 및 도 5를 참조하면, 본 발명에 따른 박막 트랜지스터 어레이 기판은 하부 기판(101) 위에 액티브층(114) 및 게이트 절연막(112)을 사이에 두고 교차하게 형성된 게이트 라인(102) 및 데이터 라인(104)과, 그 교차부마다 형성된 박막 트랜지스터와, 그 교차 구조로 마련된 화소 영역에 형성된 화소 전극(122)과, 하부 기판(101)과 데이터 라인(104) 사이에 형성된 블랙 매트릭스(118)와, 데이터 라인(104) 및 소스 전극(108)과 중첩되는 영역에 형성된 게이트 금속 패턴(124)과, 게이트 라인(102)에서 연장된 게이트 패드(150)와, 데이터 라인(104)에서 연장된 데이터 패드(160)를 구비한다.
- <61> 게이트 라인(102)은 박막 트랜지스터의 게이트 전극(106)에 게이트 신호를 공급한다. 또한, 게이트 라인(102)은 데이터 라인(104)과 교차하게 형성되어 화소 영역을 정의한다.
- <62> 데이터 라인(104)은 박막 트랜지스터를 통해 화소 전극(122)에 데이터신호를 공급한다. 이러한 데이터 라인(104) 하부에는 데이터 라인(104)을 따라 화소 전극(122)과 동일한 물질의 투명도전패턴(120)이 형성된다. 이러한 투명도전패턴(120)은 데이터 라인(104) 뿐만 아니라 소스전극(108) 및 드레인 전극(110) 하부에도 형성된다.
- <63> 박막 트랜지스터는 게이트 라인(102)의 게이트 신호에 응답하여 데이터 라인(104)의 화소 신호가 화소 전극(122)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(130)는 게이트 라인(102)에 접속된 게이트 전극(106)과, 데이터 라인(104)에 접속된 소스 전극(108)과, 화소 전극(122)에 접속된 드레인 전극(110)을 구비한다. 여기서, 소스 및 드레인 전극(108, 110)은 게이트 전극(106)과 중첩되지 않고 소정 간격을 가지도록 형성된다.
- <64> 또한, 박막 트랜지스터는 게이트 전극(106)과 게이트 절연막(112)을 사이에 두고 중첩되면서 소스 전극(108)과 드레인 전극(110) 사이에 채널을 형성하는 액티브층(114)과, 소스 전극(108) 및 드레인 전극(110)과 오직 접촉을 위한 오직 접촉층(116)이 더 형성된다. 여기서, 액티브층(114)은 게이트 라인(102)과 데이터 라인(104)의 교차부에도 형성되어 게이트 라인(102)과 데이터 라인(104) 사이의 캐패시턴스 값을 작게 한다.
- <65> 화소 전극(122)은 드레인 전극(110)의 하부에 형성된 투명 도전 패턴(120)에서 연장되어 화소 영역에 형성된다.
- <66> 이에 따라, 박막 트랜지스터를 통해 화소 신호가 공급된 화소 전극(122)과 기준 전압이 공급된 공통 전극(도시하지 않음) 사이에는 수직 전계가 형성된다. 이러한 전계에 의해 컬러필터 어레이 기판과 박막 트랜지스터 어레이 기판 사이의 액정 분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.
- <67> 블랙 매트릭스(118)는 하부 기판(101) 상의 데이터 라인(104)과 박막 트랜지스터와 중첩되는 영역에 형성되거나 도시되지는 않았지만 게이트 라인(102)과 중첩되는 영역에 형성될 수도 있다. 블랙 매트릭스(118)는 도시되지 않은 백라이트 유닛으로부터의 광을 차단하는 역할을 한다. 본 발명의 박막 트랜지스터의 구조에서는 액티브층(114)이 게이트 전극(106) 하부에 위치하게 되는데, 게이트 전극(106) 하부에 액티브층(114)이 형성되면 백라이트 유닛의 광에 의해 누설 전류(leakage current)가 발생한다. 이를 방지하기 위하여, 액티브층(114) 하부에 블랙 매트릭스(118)를 형성하여 액티브층(114)의 누설 전류를 방지한다.

- <68> 게이트 금속 패턴(124)은 게이트 라인(102)과 동시에 형성되며, 게이트 라인(102)과 전기적인 접속을 이루지 않도록 게이트 라인(102)과 소정 간격을 가지도록 패터닝된다. 이 게이트 금속 패턴(124)은 데이터 라인(104)의 일측과 접속되어 데이터 라인(104)의 저항을 감소시킨다.
- <69> 게이트 패드(150)는 게이트 드라이버(도시하지 않음)와 접속되어 게이트 드라이버에서 생성된 게이트 신호를 게이트 라인(102)에 공급한다. 이러한 게이트 패드(150)는 게이트 절연막(112)에 형성된 제1 콘택홀(154)을 통해 게이트 라인(102)과 접속되는 게이트 패드 전극(152)을 구비한다. 이 게이트 패드 전극(152)은 화소 전극(122) 형성시 동시에 형성된다.
- <70> 데이터 패드(160)는 데이터 드라이버(도시하지 않음)와 접속되어 데이터 드라이버에서 생성된 데이터신호를 데이터 라인(104)에 공급한다. 이러한 데이터 패드(160)는 게이트 절연막(112)에 형성된 제2 콘택홀(164)을 통해 데이터 라인(104)의 하부에 형성된 투명 도전 패턴(120)에서 연장되어 형성되는 데이터 패드 전극(162)을 구비한다.
- <71> 도 6a 및 도 6b는 본 발명의 박막 트랜지스터 어레이 기판의 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도이다.
- <72> 도 6a 및 도 6b를 참조하면, 제1 마스크 공정으로 하부 기판(101) 상에 데이터 라인(104), 소스 및 드레인 전극(108, 110), 화소 전극(122), 오믹 접촉층(116), 게이트 패드 전극(152) 및 데이터 패드 전극(162)을 포함하는 제1 패턴군이 형성된다. 여기서, 하부 기판(101) 상에 형성되는 블랙 매트릭스(118)는 박막 트랜지스터 기판의 마스크 공정에 포함되지 않는 것으로 한다. 이는 블랙 매트릭스(118)는 종래의 컬러 필터 기판의 제조 공정에 포함되므로 액정표시장치의 전체 셀 공정으로 볼 때 마스크의 수는 동일하기 때문이다.
- <73> 이를 상세히 하면, 도 7a에 도시된 바와 같이 하부 기판(101) 상에 블랙 매트릭스(118) 및 절연막(103)이 형성된다. 여기서, 블랙 매트릭스(118)는 데이터 라인(104)과 박막 트랜지스터와 중첩되는 영역에 형성되며, 절연막(103)은 블랙 매트릭스(118)를 덮도록 하부 기판(101) 전면에 형성된다.
- <74> 이후, 절연막(103) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 투명 도전막(120a), 데이터 금속층(104a) 및 n+ 비정질 실리콘층(116a)이 순차적으로 형성된다. 여기서, 투명 도전막(120a)으로는 인듐 주석 산화물(Indium Tin Oxide : ITO)이나 주석 산화물(Tin Oxide : TO) 또는 인듐 아연 산화물(Indium Zinc Oxide : IZO) 등이 이용된다. 그리고, 데이터 금속(104a)으로는 Mo, Cu 계열, Al 계열, Cr 계열 등이 이용되며, n+ 비정질 실리콘층(116a)으로는 불순물이 도핑되지 않은 비정질 실리콘이 이용된다.
- <75> 이어서, 도 7b에 도시된 바와 같이 n+ 비정질 실리콘층(116a) 위에 포토 레지스트를 전면 도포한 다음 부분 노광 마스크인 제1 마스크를 이용한 포토리쏘그래피 공정으로 단차를 갖는 포토레지스트 패턴(170)을 형성한다. 이 경우, 제1 마스크로는 화소 전극(122), 게이트 패드 전극(152) 및 데이터 패드 전극(162)이 형성될 부분에서 회절 노광부(또는 반투과부)를 갖는 부분 노광 마스크를 이용한다. 이에 따라, 제1 마스크의 회절 노광부(또는 반투과부)와 대응하는 제2 포토레지스트 패턴(170B)은 제1 마스크의 투과부(또는 차단부)와 대응하는 제1 포토레지스트 패턴(170A)보다 낮은 높이를 갖게 된다. 다시 말하여, 화소 전극(122), 게이트 패드 전극(152) 및 데이터 패드 전극(162)이 형성될 부분의 제2 포토레지스트 패턴(170B)은 데이터 라인(104)과 소스 및 드레인 전극(108, 110)이 형성될 부분의 제1 포토레지스트 패턴(170A)보다 낮은 높이를 갖게 된다.
- <76> 이러한 포토레지스트 패턴(170)을 이용한 건식 식각 공정으로 n+ 비정질 실리콘층(116a)을 패터닝한다. 이후, 습식 식각 공정으로 데이터 금속층(104a)을 패터닝한다. 이어서, 산소(O₂) 플라즈마를 이용한 애성 공정으로 상대적으로 낮은 높이를 갖는 제2 포토레지스트 패턴(170B)은 제거되고, 제1 포토레지스트 패턴(170A)은 높이가 낮아지게 된다. 이렇게 남아 있는 제1 포토레지스트 패턴(170A)을 이용한 식각 공정으로 n+ 비정질 실리콘층(116a) 및 데이터 금속층(104a)이 식각됨으로써 투명 도전막(120a)이 노출되어 도 7c에 도시된 바와 같이 화소 전극(122), 게이트 패드 전극(152) 및 데이터 패드 전극(162)이 형성된다. 이후, 스트립 공정으로 남아 있던 제1 포토레지스트 패턴(170A)이 모두 제거되어 데이터 라인(104), 그 데이터 라인(104)과 접속된 소스 및 드레인 전극(108, 110), 오믹 접촉층(116)이 형성된다.
- <77> 도 8a 및 도 8b는 본 발명의 박막 트랜지스터 어레이 기판의 제조 방법 중 제2 마스크 공정을 설명하기 위한 평면도 및 단면도이다.
- <78> 도 8a 및 도 8b를 참조하면, 제2 마스크 공정으로 제1 패턴군이 형성된 하부 기판(101) 상에 활성층(114)을 포함하는 제2 패턴군이 형성된다.

- <79> 이를 상세히 하면, 제1 패턴군이 형성된 하부 기판(101) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 비정질 실리콘층을 형성한다. 여기서, 비정질 실리콘층으로는 N형 또는 P형의 불순물이 도핑된 비정질실리콘이 이용된다.
- <80> 이후, 제2 마스크를 이용한 포토리쏘그래피 공정으로 비정질 실리콘층을 식각함으로써 액티브층(114)이 형성된다. 여기서, 액티브층(114)은 소스 및 드레인 전극(108, 110) 사이의 채널부에 형성됨과 아울러, 게이트 라인(102)과 데이터 라인(104)의 교차부에도 형성된다.
- <81> 도 9a 및 도 9b는 본 발명의 박막 트랜지스터 어레이 기판의 제조 방법 중 제3 마스크 공정을 설명하기 위한 평면도 및 단면도이다.
- <82> 도 9a 및 도 9b를 참조하면, 제3 마스크 공정으로 제1 및 제2 패턴군이 형성된 하부 기판(101) 상에 게이트 절연막(112), 게이트 라인(102), 게이트 전극(106), 게이트 금속 패턴(124)을 포함하는 제3 패턴군이 형성된다.
- <83> 이를 상세히 하면, 제1 및 제2 패턴군이 형성된 하부 기판(101) 상에 포토리쏘그래피 방법으로 게이트 절연막(112)이 형성된다. 여기서, 게이트 절연막(112)의 재료로는 산화 실리콘(SiO_x) 또는 질화 실리콘(SiN_x) 등의 무기 절연 물질이 이용된다.
- <84> 이어서, 게이트 절연막(112) 상에 포토 레지스트를 전면 도포한 다음 부분 노광 마스크인 제3 마스크를 이용한 포토리쏘그래피 공정으로 단차를 갖는 포토레지스트 패턴(180)을 형성한다. 이 경우, 제3 마스크로는 박막 트랜지스터의 채널부에서 회절 노광부(또는 반투과부)를 갖는 부분 노광 마스크를 이용한다. 이에 따라, 제3 마스크의 회절 노광부(또는 반투과부)와 대응하는 제2 포토레지스트 패턴(180B)은 제3 마스크의 투과부(또는 차단부)와 대응하는 제1 포토레지스트 패턴(180A)보다 낮은 높이를 갖게 된다. 다시 말하여, 채널부의 제2 포토레지스트 패턴(180B)은 제1 포토레지스트 패턴(180A)보다 낮은 높이를 갖게 된다.
- <85> 이러한 포토레지스트 패턴(180)을 이용한 건식 식각 공정으로 도 10a에 도시된 바와 같이 데이터 라인(104)의 일측을 노출시키도록 게이트 절연막(112)을 패터닝한다. 이때, 게이트 절연막(112)에는 게이트 및 데이터 패드 전극(152, 162)을 노출시키는 제1 및 제2 콘택홀(154, 164)이 형성된다.
- <86> 이 후, 산소(O₂) 플라즈마를 이용한 애싱(Ashing) 공정으로 상대적으로 낮은 높이를 갖는 제2 포토레지스트 패턴(180B)은 제거되고, 제1 포토레지스트 패턴(180A)은 높이가 낮아지게 된다. 이렇게 남아 있는 제1 포토레지스트 패턴(180A) 상에 도 10b에 도시된 바와 같이 게이트 금속막(106a)을 형성한다. 이 제1 포토레지스트 패턴(180A)을 이용한 리프트 오프 공정으로 제1 포토레지스트 패턴(180A)이 제거된다. 이와 동시에 제1 포토레지스트 패턴(180A) 상의 게이트 금속막(106a)도 제거되어 게이트 라인(102) 및 게이트 전극(106)이 형성된다. 이와 더불어, 데이터 라인(104) 및 소스 전극(108)과 중첩되는 영역에 게이트 금속 패턴(124)이 형성된다. 여기서, 게이트 금속 패턴(124)은 데이터 라인(104)의 저항을 감소시키며, 데이터 라인(104)과 전기적으로 접속된다. 한편, 게이트 금속 패턴(124)은 도면에 도시되지는 않았으나 게이트 패드(150), 데이터 패드(160) 및 회로부에서 저항 감소를 위하여 형성될 수도 있다.

발명의 효과

- <87> 상술한 바와 같이, 본 발명에 따른 액정표시패널 및 그 제조방법은 3 마스크공정으로 박막 트랜지스터 어레이 기판을 형성할 수 있다. 이에 따라, 본 발명에 따른 액정표시패널 및 그 제조방법은 박막 트랜지스터 어레이 기판의 구조 및 제조공정이 단순화되고 제조단가를 절감할 수 있음과 아울러 제조 수율이 향상된다. 또한, 본 발명에 따른 액정표시패널 및 그 제조방법은 활성층, 즉 채널이 형성되는 영역에 회절 노광 공정의 플라즈마에 노출되지 않으므로 채널 변색 같은 활성층과 관련된 불량이 제거될 수 있다.
- <88> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

- <1> 도 1은 종래 액정표시패널의 박막 트랜지스터 어레이 기판을 나타내는 평면도이다.
- <2> 도 2는 도 1에 도시된 박막 트랜지스터 어레이 기판을 센Ⅱ-Ⅱ''를 따라 절단하여 도시한 단면도이다.
- <3> 도 3a 내지 도 3d는 도 2에 도시된 박막 트랜지스터 어레이 기판의 제조 방법을 단계적으로 도시한 단면도들이

다.

<4> 도 4는 본 발명의 실시 예에 따른 액정표시패널의 박막 트랜지스터 어레이 기판을 도시한 평면도이다.

<5> 도 5는 도 4에 도시된 박막 트랜지스터 어레이 기판을 선 "I-I", "III-III'", "IV-IV'"을 따라 절단하여 도시한 단면도이다.

<6> 도 6a 및 도 6b는 본 발명에 따른 박막 트랜지스터 어레이 기판의 제1 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

<7> 도 7a 내지 도 7c는 도 6a 및 도 6b에 도시된 제1 마스크 공정을 상세히 설명하기 위한 단면도들이다.

<8> 도 8a 및 도 8b는 본 발명에 따른 박막 트랜지스터 어레이 기판의 제2 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

<9> 도 9a 및 도 9b는 본 발명에 따른 박막 트랜지스터 어레이 기판의 제3 마스크 공정을 설명하기 위한 평면도 및 단면도이다.

<10> 도 10a 내지 도 10c는 도 9a 및 도 9b에 도시된 제3 마스크 공정을 상세히 설명하기 위한 단면도들이다.

< 도면의 주요 부분에 대한 부호의 설명 >

<12> 102 : 게이트 라인 104 : 데이터 라인

<13> 106 : 게이트 전극 108 : 소스 전극

<14> 110 : 드레인 전극 112 : 게이트 절연막

<15> 114 : 활성층 116 : 오믹 접촉층

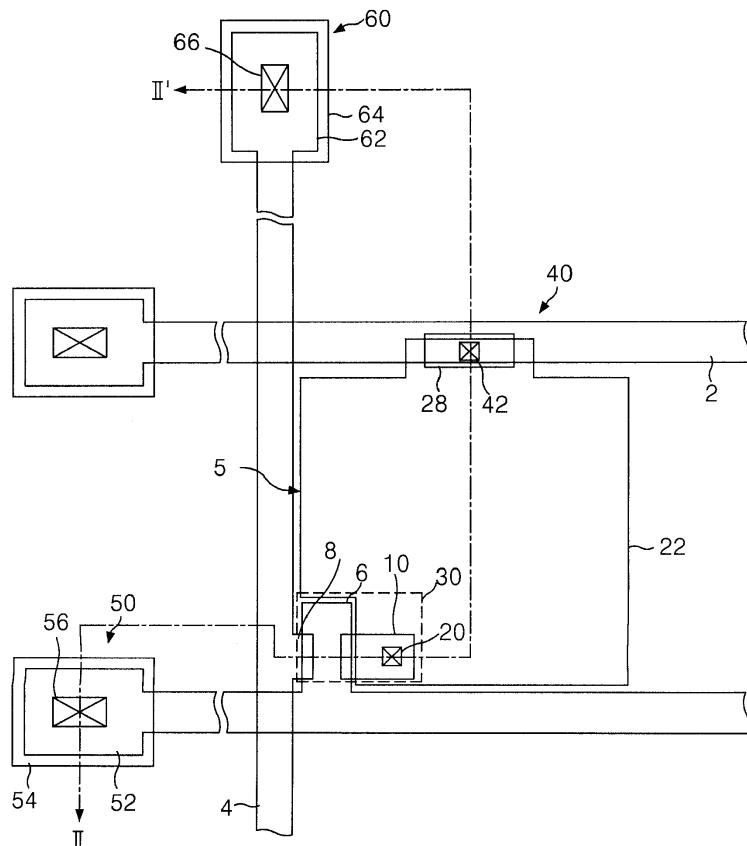
<16> 118 : 블랙 매트릭스 120 : 투명 도전 패턴

<17> 122 : 화소 전극 150 : 게이트 패드

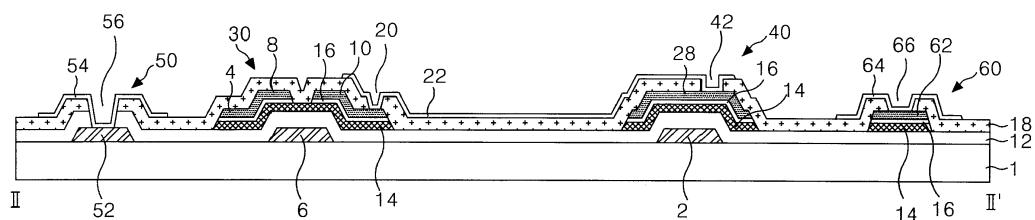
<18> 160 : 데이터 패드

도면

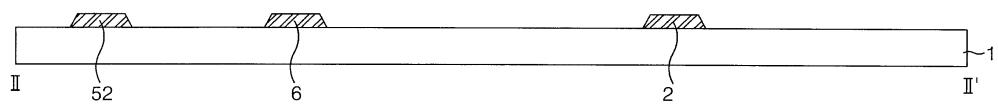
도면1



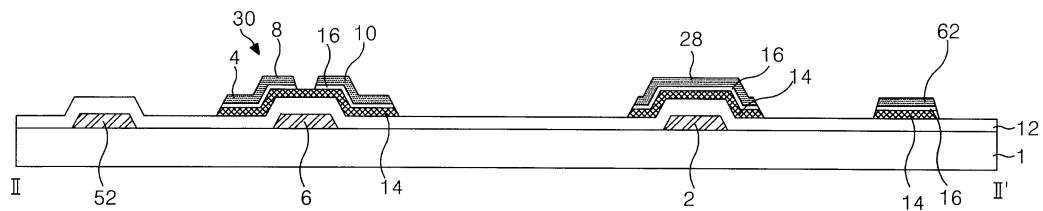
도면2



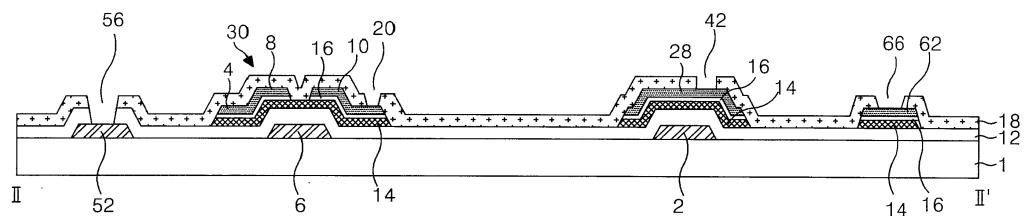
도면3a



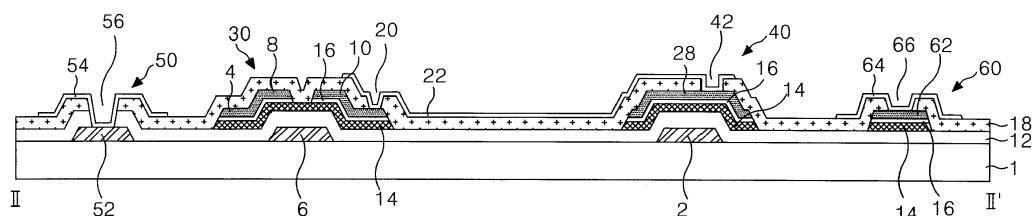
도면3b



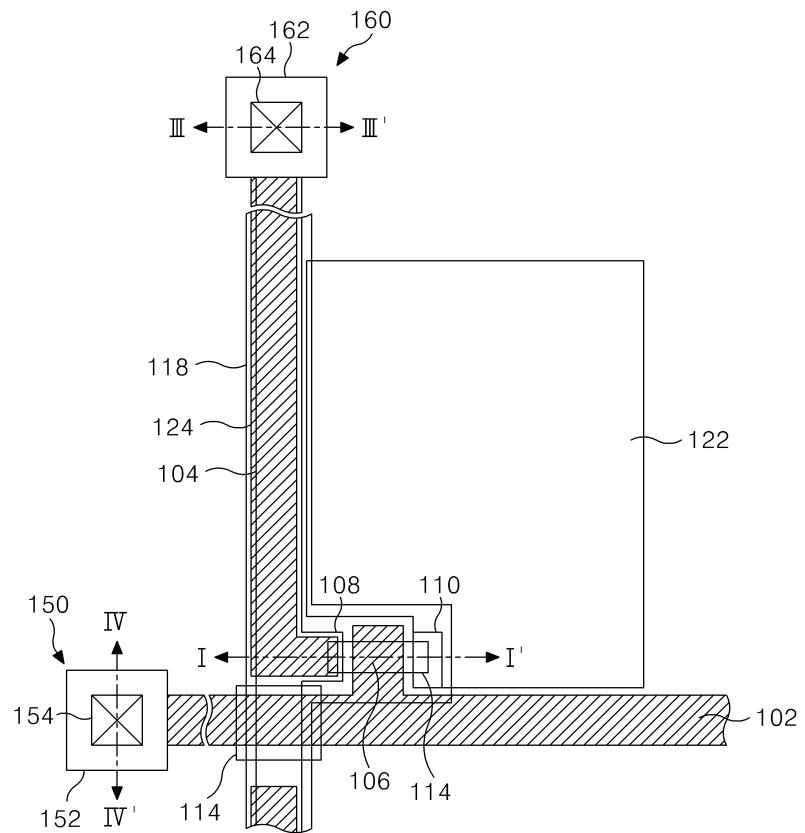
도면3c



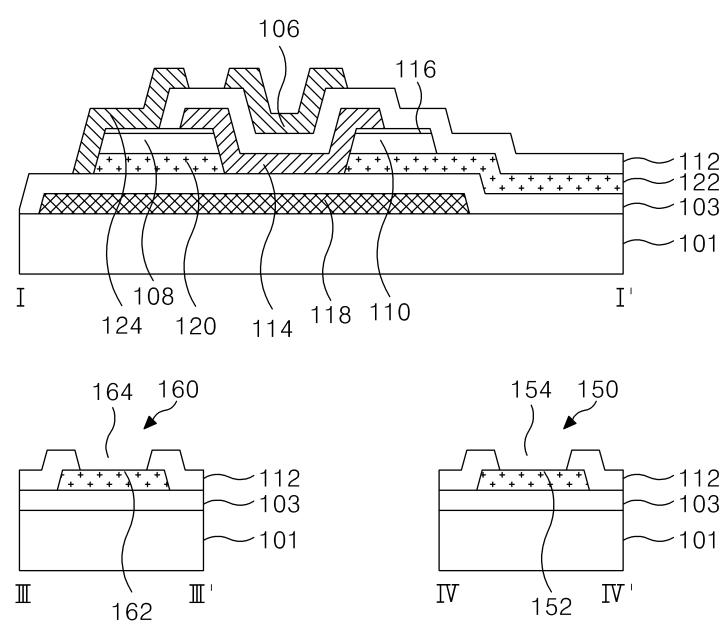
도면3d



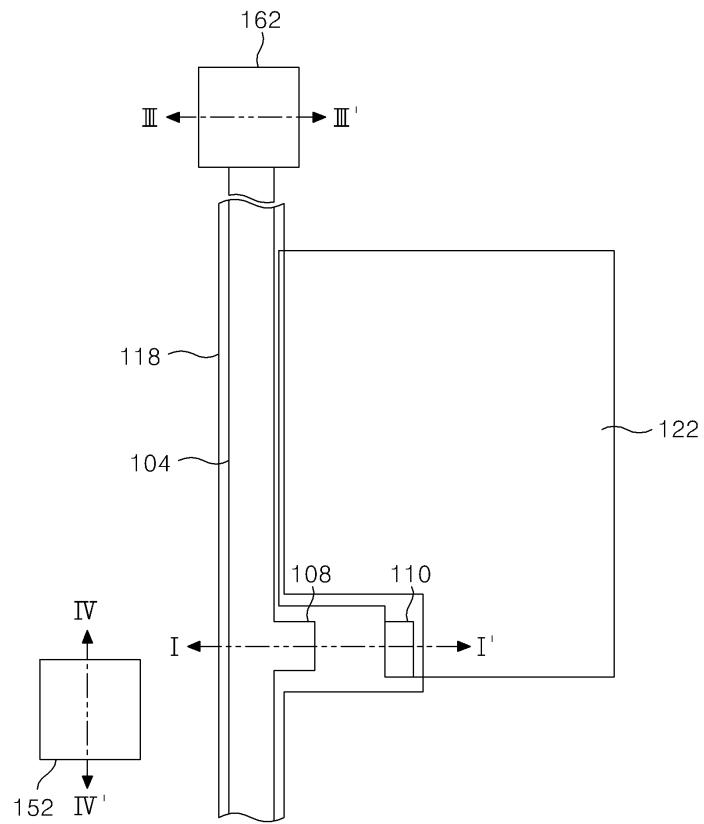
도면4



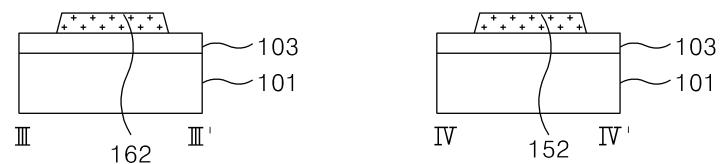
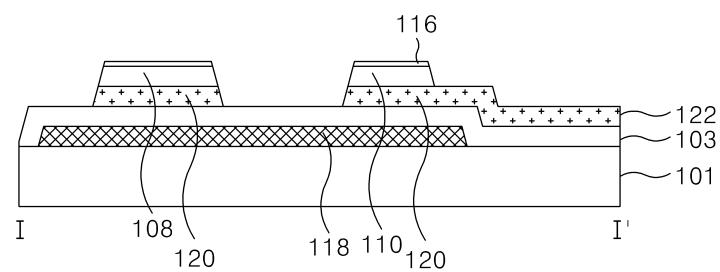
도면5



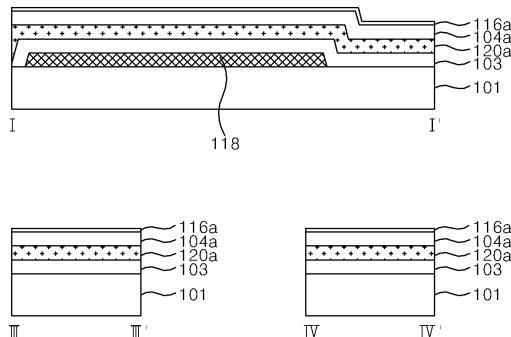
도면6a



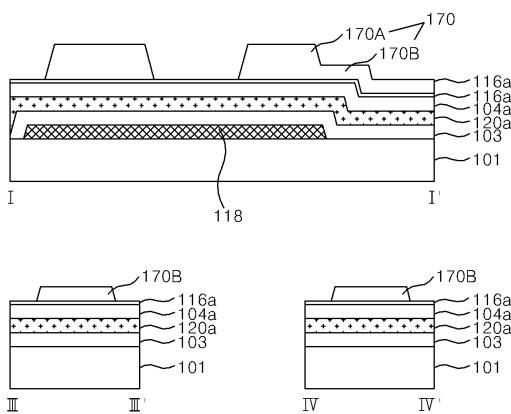
도면6b



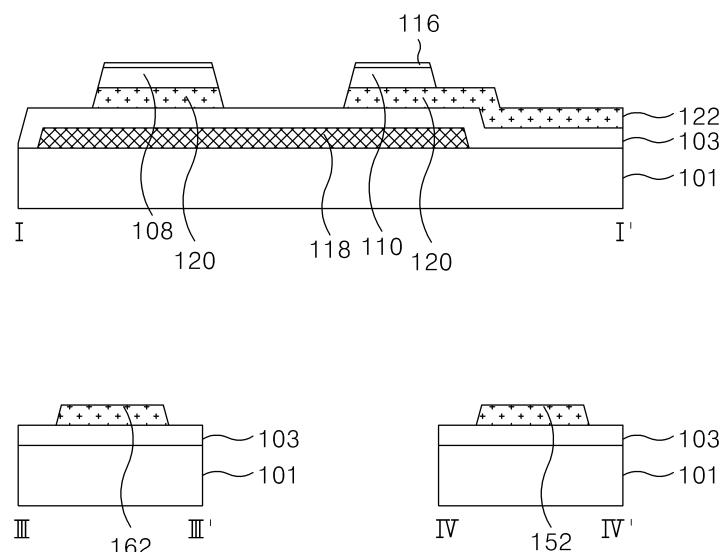
도면7a



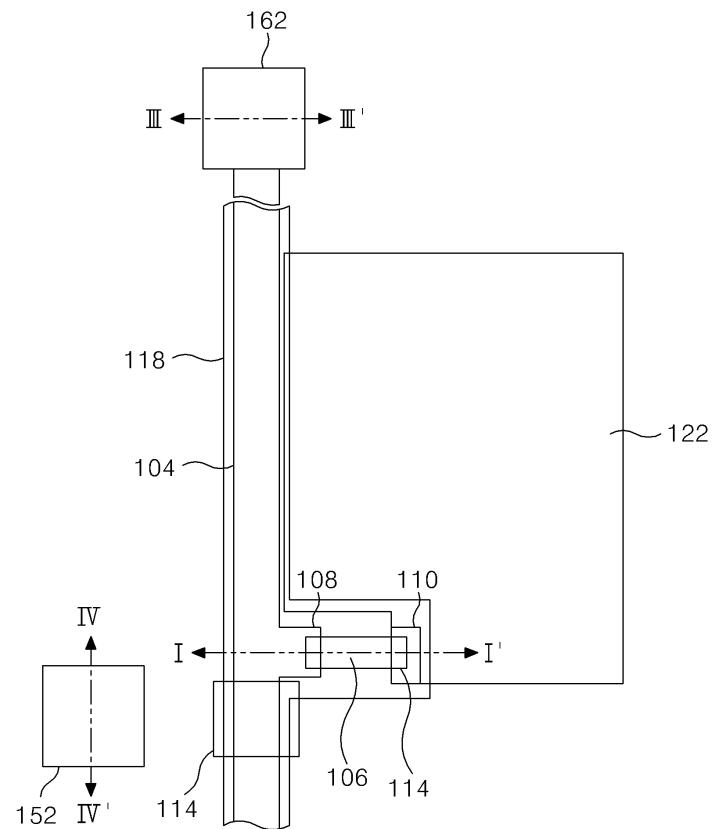
도면7b



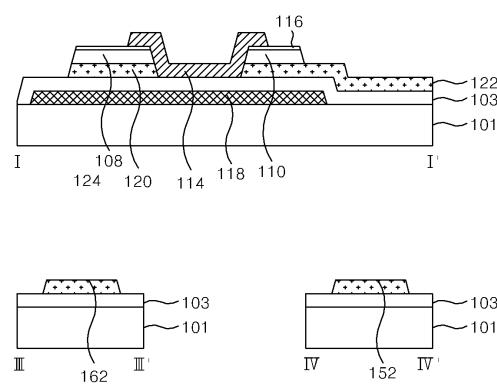
도면7c



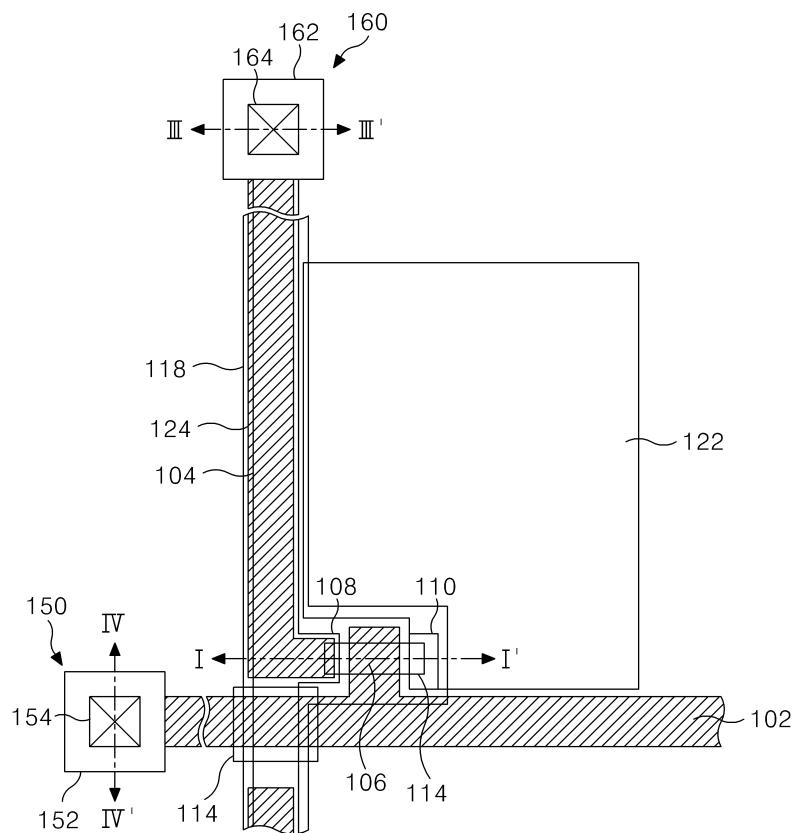
도면8a



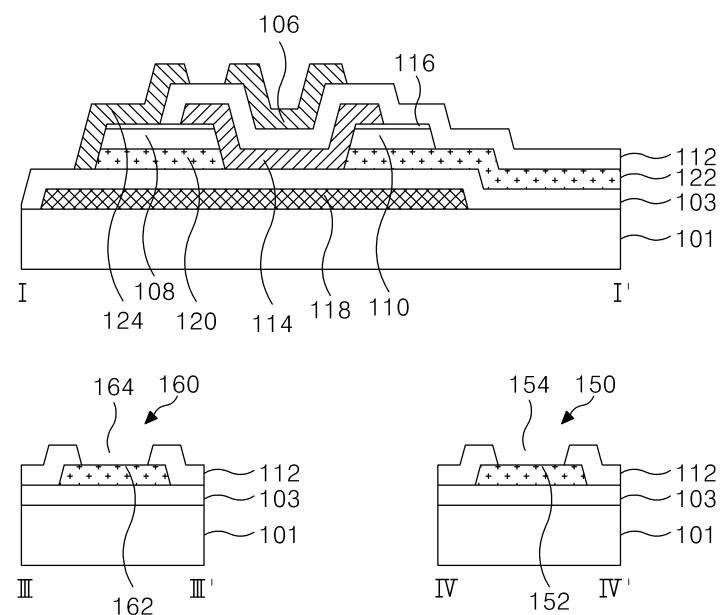
도면8b



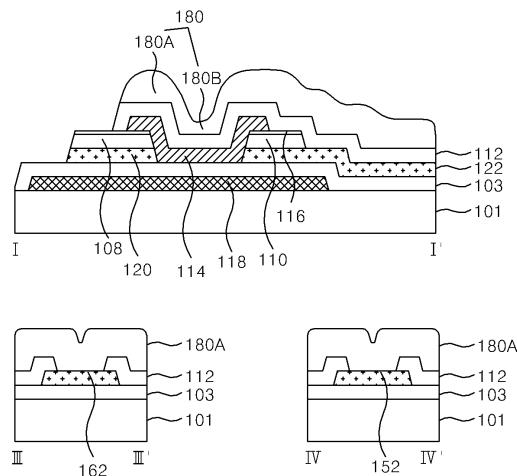
도면9a



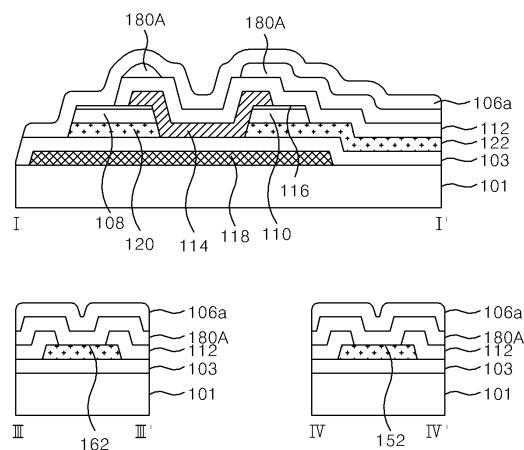
도면9b



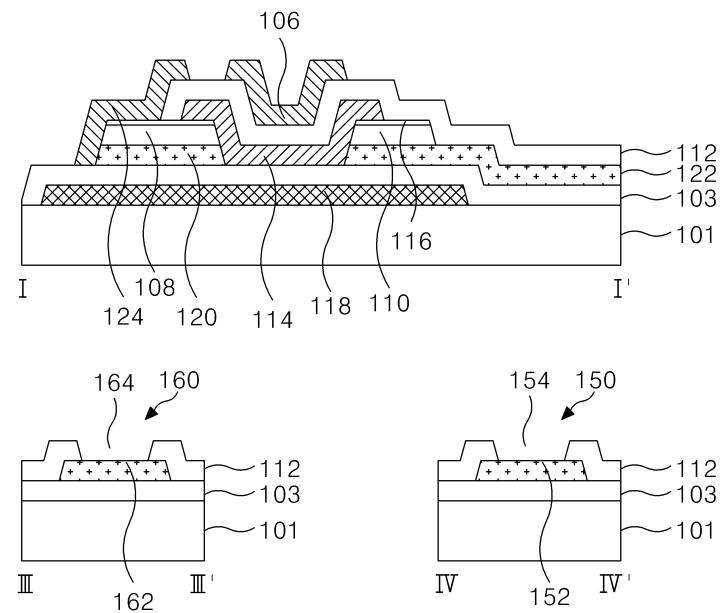
도면10a



도면10b



도면10c



专利名称(译)	液晶显示面板及其制造方法		
公开(公告)号	KR1020080001990A	公开(公告)日	2008-01-04
申请号	KR1020060060508	申请日	2006-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	OH KUM MI		
发明人	OH,KUM MI		
IPC分类号	G02F1/136		
CPC分类号	H01L29/786 G02F1/1345 G02F1/1362 G02F2001/136222 G02F2001/136231 G02F2201/12		
外部链接	Espacenet		

摘要(译)

液晶显示面板及其制造方法技术领域本发明涉及一种能够减少掩模工艺数量的液晶显示面板及其制造方法。根据本发明的液晶显示面板包括：形成在基板上的黑矩阵；在基板上形成绝缘膜以覆盖黑色矩阵；数据线形成在绝缘膜上并且在其下部形成透明导电图案；栅极线与数据线和栅极绝缘膜交叉以确定像素区域；连接到栅极线的栅电极，连接到数据线的源电极，形成在其下部的透明导电膜，形成在透明导电图案的面对源电极的下部的漏电极，一种薄膜晶体管，包括形成半导体层的半导体层；像素电极从漏电极的透明导电图案延伸并连接到漏电极并形成在像素区域上；栅极焊盘，连接到栅极线并包括由透明导电图案制成的栅极焊盘电极；并且数据焊盘包括连接到数据线并由透明导电图案制成的数据焊盘电极。

