



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0117072
(43) 공개일자 2007년12월12일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2006-0050783

(22) 출원일자 2006년06월07일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이백원

충청남도 천안시 불당동 대동다숲 110동 802호

백승수

서울특별시 관악구 남현동 602-55번지 302호

(74) 대리인

팬코리아특허법인

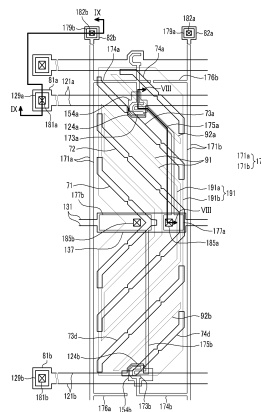
전체 청구항 수 : 총 14 항

(54) 액정 표시 장치

(57) 요약

본 발명은 액정 표시 장치에 관한 것이다. 본 발명의 한 실시예에 따른 액정 표시 장치는 행렬로 배열되어 있으며, 제1 및 제2 화소를 포함하는 복수의 화소, 상기 화소에 게이트 신호를 전달하는 복수 쌍의 제1 및 제2 게이트선, 그리고 상기 제1 및 제2 게이트선과 교차하며 상기 화소에 데이터 전압을 전달하는 복수의 제1 및 제2 데이터선을 포함하고, 상기 제1 및 제2 화소 각각은, 제1 및 제2 부화소 전극을 포함하는 화소 전극, 상기 제1 부화소 전극에 연결되어 있는 제1 박막 트랜지스터, 그리고 상기 제2 부화소 전극에 연결되어 있는 제2 박막 트랜지스터를 포함하고, 상기 제1 화소는, 상기 제1 박막 트랜지스터가 상기 제1 게이트선 및 상기 제1 데이터선에 연결되어 있으며, 상기 제2 박막 트랜지스터가 상기 제2 게이트선 및 상기 제2 데이터선에 연결되어 있으며, 상기 제2 화소는, 상기 제1 박막 트랜지스터가 상기 제1 게이트선 및 상기 제2 데이터선에 연결되어 있으며, 상기 제2 박막 트랜지스터가 상기 제2 게이트선 및 상기 제1 데이터선에 연결되어 있으며, 상기 제1 및 제2 부화소 전극에 인가되는 데이터 전압의 크기는 서로 다르며 하나의 영상 정보로부터 얻어진다.

대표도 - 도7



특허청구의 범위

청구항 1

행렬로 배열되어 있으며, 제1 및 제2 화소를 포함하는 복수의 화소,

상기 화소에 게이트 신호를 전달하는 복수 쌍의 제1 및 제2 게이트선, 그리고

상기 제1 및 제2 게이트선과 교차하며 상기 화소에 데이터 전압을 전달하는 복수의 제1 및 제2 데이터선을 포함하고,

상기 제1 및 제2 화소 각각은,

제1 및 제2 부화소 전극을 포함하는 화소 전극,

상기 제1 부화소 전극에 연결되어 있는 제1 박막 트랜지스터, 그리고

상기 제2 부화소 전극에 연결되어 있는 제2 박막 트랜지스터,

를 포함하고,

상기 제1 화소는, 상기 제1 박막 트랜지스터가 상기 제1 게이트선 및 상기 제1 데이터선에 연결되어 있으며, 상기 제2 박막 트랜지스터가 상기 제2 게이트선 및 상기 제2 데이터선에 연결되어 있으며,

상기 제2 화소는, 상기 제1 박막 트랜지스터가 상기 제1 게이트선 및 상기 제2 데이터선에 연결되어 있으며, 상기 제2 박막 트랜지스터가 상기 제2 게이트선 및 상기 제1 데이터선에 연결되어 있으며,

상기 제1 및 제2 부화소 전극에 인가되는 데이터 전압의 크기는 서로 다르며 하나의 영상 정보로부터 얻어진 액정 표시 장치.

청구항 2

제1항에서,

상기 제1 및 제2 화소는 열 방향으로 번갈아 가며 배치되어 있는 액정 표시 장치.

청구항 3

제1항에서,

동일한 행에 배치되어 있는 화소는 상기 제1 및 제2 화소 중 어느 하나로만 이루어져 있는 액정 표시 장치.

청구항 4

제1항에서,

상기 게이트선의 수는 화소 행 수의 두 배인 액정 표시 장치.

청구항 5

제1항에서,

상기 데이터선의 수는 화소 열의 수 보다 하나 더 많은 액정 표시 장치.

청구항 6

제1항에서,

첫 번째 열의 데이터선과 마지막 번째 열의 데이터선은 서로 연결되어 있는 액정 표시 장치.

청구항 7

제1항에서,

이웃하는 데이터선에 인가되는 데이터 전압의 극성은 서로 반대인 액정 표시 장치.

청구항 8

제1항에서,

상기 제1 부화소 전극의 전압 극성과 상기 제2 부화소 전극의 전압 극성은 서로 반대인 액정 표시 장치.

청구항 9

제1항에서,

상기 제1 부화소 전극의 면적은 상기 제2 부화소 전극의 면적보다 작은 액정 표시 장치.

청구항 10

제1항에서,

상기 제1 부화소 전극의 전압은 상기 제2 부화소 전극의 전압보다 높은 액정 표시 장치.

청구항 11

제1항에서,

상기 제1 및 제2 부화소 전극 중 적어도 하나에는 제1 절개부가 형성되어 있는 액정 표시 장치.

청구항 12

제1항에서,

상기 화소 전극과 마주하는 공통 전극을 더 포함하고,
상기 공통 전극은 제2 절개부가 형성되어 있는 액정 표시 장치.

청구항 13

제1항에서,

상기 제1 및 제2 부화소 전극은 각각 경사 방향이 서로 다른 적어도 두 개의 평행사변형 전극편을 포함하는 액정 표시 장치.

청구항 14

제1항에서,

상기 제1 및 제2 박막 트랜지스터는 각각 제1 및 제2 드레인 전극을 포함하며, 상기 제1 및 제2 드레인 전극의 평면 형태는 실질적으로 동일한 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <14> 본 발명은 액정 표시 장치에 관한 것이다.
- <15> 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.
- <16> 액정 표시 장치는 또한 각 화소 전극에 연결되어 있는 스위칭 소자 및 스위칭 소자를 제어하여 화소 전극에 전압을 인가하기 위한 게이트선과 데이터선 등 다수의 신호선을 포함한다.

<17> 이러한 액정 표시 장치는 동화상 표시 특성을 향상시키기 위하여 여러 방법이 시도되고 있는 데 고속 구동이 개발 중 이다. 고속 구동에서는 프레임 속도가 빠른 만큼 전력이 많이 소비되므로, 반전 구동 방식에서 열 반전(column inversion)을 도입하여 전력 소비를 최소화를 시도하고 있다.

발명이 이루고자 하는 기술적 과제

<18> 그러나 열 반전 구동을 하는 경우 저계조의 바탕 화면에 그 보다 높은 계조의 상자를 화면 가운데 띄우면 상자의 위아래에서 바탕 화면과는 다른 계조를 띠는 수직 크로스토크(vertical crosstalk) 현상이 나타날 수 있다. 또한 동일한 극성의 데이터 전압이 세로 방향으로 인가되고 정극성과 부극성의 데이터 전압이 차이가 날 때 세로줄로 깜박거리는 현상이 나타날 수 있다.

<19> 본 발명이 이루고자 하는 기술적 과제는 열 반전 구동 시 화질의 열화가 없으며, 화소의 광학적 특성이 균일한 액정 표시 장치를 제공하는 것이다.

발명의 구성 및 작용

<20> 이러한 기술적 과제를 이루기 위한 본 발명의 한 실시예에 따른 액정 표시 장치는 행렬로 배열되어 있으며, 제1 및 제2 화소를 포함하는 복수의 화소, 상기 화소에 게이트 신호를 전달하는 복수 쌍의 제1 및 제2 게이트선, 그리고 상기 제1 및 제2 게이트선과 교차하며 상기 화소에 데이터 전압을 전달하는 복수의 제1 및 제2 데이터선을 포함하고, 상기 제1 및 제2 화소 각각은, 제1 및 제2 부화소 전극을 포함하는 화소 전극, 상기 제1 부화소 전극에 연결되어 있는 제1 박막 트랜지스터, 그리고 상기 제2 부화소 전극에 연결되어 있는 제2 박막 트랜지스터를 포함하고, 상기 제1 화소는, 상기 제1 박막 트랜지스터가 상기 제1 게이트선 및 상기 제1 데이터선에 연결되어 있으며, 상기 제2 박막 트랜지스터가 상기 제2 게이트선 및 상기 제2 데이터선에 연결되어 있으며, 상기 제2 화소는, 상기 제1 박막 트랜지스터가 상기 제1 게이트선 및 상기 제2 데이터선에 연결되어 있으며, 상기 제2 박막 트랜지스터가 상기 제2 게이트선 및 상기 제1 데이터선에 연결되어 있으며, 상기 제1 및 제2 부화소 전극에 인가되는 데이터 전압의 크기는 서로 다르며 하나의 영상 정보로부터 얻어진다.

- <21> 상기 제1 및 제2 화소는 열 방향으로 번갈아 가며 배치되어 있을 수 있다.
- <22> 동일한 행에 배치되어 있는 화소는 상기 제1 및 제2 화소 중 어느 하나로만 이루어져 있을 수 있다.
- <23> 상기 게이트선의 수는 화소 행 수의 두 배일 수 있다.
- <24> 상기 데이터선의 수는 화소 열의 수 보다 하나 더 많을 수 있다.
- <25> 첫 번째 열의 데이터선과 마지막 번째 열의 데이터선은 서로 연결되어 있을 수 있다.
- <26> 이웃하는 데이터선에 인가되는 데이터 전압의 극성은 서로 반대일 수 있다.
- <27> 제1 부화소 전극의 전압 극성과 상기 제2 부화소 전극의 전압 극성은 서로 반대일 수 있다.
- <28> 상기 제1 부화소 전극의 면적은 상기 제2 부화소 전극의 면적보다 작을 수 있다.
- <29> 상기 제1 부화소 전극의 전압은 상기 제2 부화소 전극의 전압보다 높을 수 있다.
- <30> 상기 제1 및 제2 부화소 전극 중 적어도 하나에는 제1 절개부가 형성되어 있을 수 있다.
- <31> 상기 화소 전극과 마주하는 공통 전극을 더 포함하고, 상기 공통 전극은 제2 절개부가 형성되어 있을 수 있다.
- <32> 상기 제1 및 제2 부화소 전극은 각각 경사 방향이 서로 다른 적어도 두 개의 평행사변형 전극편을 포함할 수 있다.
- <33> 상기 제1 및 제2 박막 트랜지스터는 각각 제1 및 제2 드레인 전극을 포함하며, 상기 제1 및 제2 드레인 전극의 평평 형태는 실질적으로 동일할 수 있다.
- <34> 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- <35> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할

때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

- <36> 이제 본 발명의 실시예에 따른 액정 표시 장치에 대하여 도면을 참고로 하여 상세하게 설명한다.
- <37> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 두 부화소에 대한 등가 회로도이다.
- <38> 도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300) 및 이에 연결된 게이트 구동부(400)와 데이터 구동부(500), 데이터 구동부(500)에 연결된 계조 전압 생성부(800), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.
- <39> 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선(G_{1a} - G_{nb} , D_1 - D_m)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다. 반면, 도 2에 도시한 구조로 볼 때 액정 표시판 조립체(300)는 서로 마주하는 하부 및 상부 표시판(100, 200)과 그 사이에 들어 있는 액정층(3)을 포함한다.
- <40> 신호선(G_{1a} - G_{nb} , D_1 - D_m)은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(G_{1a} - G_{nb})과 데이터 신호를 전달하는 복수의 데이터선(D_1 - D_m)을 포함한다. 게이트선(G_{1a} - G_{nb})은 대략 행 방향으로 뻗으며 서로가 거의 평행하고, 데이터선(D_1 - D_m)은 대략 열 방향으로 뻗으며 서로가 거의 평행하다.
- <41> 각 화소(PX)는 한 쌍의 부화소(PEa, PEb)를 포함한다. 각 부화소(PEa, PEb)는 신호선(GL, DL)에 연결된 스위칭 소자(도시하지 않음)와 이에 연결된 액정 축전기(liquid crystal capacitor)(Clca, Clcb) 및 유지 축전기(storage capacitor)(Cst)를 포함한다. 유지 축전기(Cst)는 필요에 따라 생략할 수 있다.
- <42> 스위칭 소자는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 게이트선(GL)과 연결되어 있고, 입력 단자는 데이터선(DL)과 연결되어 있으며, 출력 단자는 액정 축전기(Clca, Clcb) 및 유지 축전기(Cst)와 연결되어 있다.
- <43> 액정 축전기(Clca/Clcb)는 하부 표시판(100)의 부화소 전극(PEa/PEb)과 상부 표시판(200)의 공통 전극(CE)을 두 단자로 하며 부화소 전극(PEa/PEb)과 공통 전극(CE) 사이의 액정층(3)은 유전체로서 기능한다. 한 쌍의 부화소 전극(PEa, PEb)은 서로 분리되어 있으며 하나의 화소 전극(PE)을 이룬다. 공통 전극(CE)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가 받는다. 액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판의 표면에 대하여 수직을 이루도록 배향되어 있을 수 있다.
- <44> 액정 축전기(Clca)의 보조적인 역할을 하는 유지 축전기(Cst)는 하부 표시판(100)에 구비된 별개의 신호선(도시하지 않음)과 화소 전극(191)이 절연체를 사이에 두고 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압(Vcom) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기(Cst)는 화소 전극(PE)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.
- <45> 한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(PX)가 상부 표시판(200)의 영역에 기본색 중 하나를 나타내는 색 필터(CF)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(CF)는 하부 표시판(100)의 부화소 전극(PEa, PEb) 위 또는 아래에 형성할 수도 있다.
- <46> 표시판(100, 200)의 바깥 면에는 편광자(polarizer)(도시하지 않음)가 구비되어 있는데, 두 편광자의 편광축은 직교할 수 있다. 반사형 액정 표시 장치의 경우에는 두 개의 편광자(12, 22) 중 하나가 생략될 수 있다. 직교 편광자인 경우 전기장이 없는 액정층(3)에 들어온 입사광을 차단한다.
- <47> 다시 도 1을 참고하면, 계조 전압 생성부(800)는 화소(PX)의 투과율과 관련된 복수의 계조 전압(또는 기준 계조 전압)을 생성한다. 두 별 중 한 별은 공통 전압(Vcom)에 대하여 양의 값을 가지고 다른 한 별은 음의 값을 가진다.
- <48> 게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선과 연결되어 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호(Vg)를 게이트선에 인가한다.

- <49> 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선과 연결되어 있으며, 계조 전압 생성부(800)로부터의 계조 전압을 선택하고 이를 데이터 신호로서 데이터선에 인가한다. 그러나 계조 전압 생성부(800)가 모든 계조에 대한 전압을 모두 제공하는 것이 아니라 정해진 수의 기준 계조 전압만을 제공하는 경우에, 데이터 구동부(500)는 기준 계조 전압을 분압하여 전체 계조에 대한 계조 전압을 생성하고 이 중에서 데이터 신호를 선택한다.
- <50> 신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등을 제어한다.
- <51> 이러한 구동 장치(400, 500, 600, 800) 각각은 적어도 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다. 이와는 달리, 이들 구동 장치(400, 500, 600, 800)가 액정 표시판 조립체(300)에 집적될 수도 있다. 또한, 구동 장치(400, 500, 600, 800)는 단일 칩으로 집적될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루는 적어도 하나의 회로 소자가 단일 칩 바깥에 있을 수 있다.
- <52> 그러면, 이러한 액정 표시판 조립체의 구조에 대하여 도 3 내지 도 10, 그리고 앞에서 설명한 도 1 및 도 2를 참고하여 상세하게 설명한다.
- <53> 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.
- <54> 도 3을 참고하면, 본 실시예에 따른 액정 표시판 조립체는 복수 쌍의 게이트선(GLa, GLb), 복수의 데이터선(DL) 및 복수의 유지 전극선(SL)을 포함하는 신호선과 이에 연결된 복수의 화소(PX)를 포함한다.
- <55> 각 화소(PX)는 한 쌍의 부화소(PXa, PXb)를 포함하며, 각 부화소(PXa/PXb)는 각각 해당 게이트선(GLa/GLb) 및 데이터선(DL)에 연결되어 있는 스위칭 소자(Qa/Qb)와 이에 연결된 액정 축전기(C1ca/C1cb), 그리고 스위칭 소자(Qa/Qb) 및 유지 전극선(SL)에 연결되어 있는 유지 축전기(storage capacitor)(Csta/Cstb)를 포함한다.
- <56> 각 스위칭 소자(Qa/Qb)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 게이트선(GLa/GLb)과 연결되어 있고, 입력 단자는 데이터선(DL)과 연결되어 있으며, 출력 단자는 액정 축전기(C1ca/C1cb) 및 유지 축전기(Csta/Cstb)와 연결되어 있다.
- <57> 액정 축전기(C1ca/C1cb)의 보조적인 역할을 하는 유지 축전기(Csta/Cstb)는 하부 표시판(100)에 구비된 유지 전극선(SL)과 화소 전극(PE)이 절연체를 사이에 두고 중첩되어 이루어지며 유지 전극선(SL)에는 공통 전압(Vcom) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기(Csta, Cstb)는 부화소 전극(PEa, PEb)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.
- <58> 액정 축전기(C1ca, C1cb) 등에 대해서는 앞에서 설명하였으므로 상세한 설명은 생략한다.
- <59> 이와 같은 액정 표시판 조립체를 포함하는 액정 표시 장치에서는, 신호 제어부(600)가 한 화소(PX)에 대한 입력 영상 신호(R, G, B)를 수신하여 두 부화소(PXa, PXb)에 대한 출력 영상 신호(DAT)로 변환하여 데이터 구동부(500)에 전송할 수 있다. 이와는 달리, 계조 전압 생성부(800)에서 두 부화소(PXa, PXb)에 대한 계조 전압 집합을 따로 만들고 이를 번갈아 데이터 구동부(500)에 제공하거나, 데이터 구동부(500)에서 이를 번갈아 선택함으로써, 두 부화소(PXa, PXb)에 서로 다른 전압을 인가할 수 있다. 단, 이 때 두 부화소(PXa, PXb)의 합성 감마 곡선이 정면에서의 기준 감마 곡선에 가깝게 되도록 영상 신호를 보정하거나 계조 전압 집합을 만드는 것이 바람직하다. 예를 들면 정면에서의 합성 감마 곡선은 이 액정 표시판 조립체에 가장 적합하도록 정해진 정면에서의 기준 감마 곡선과 일치하도록 하고 측면에서의 합성 감마 곡선은 정면에서의 기준 감마 곡선과 가장 가깝게 되도록 한다.
- <60> 그러면 도 4를 참고하여 이러한 액정 표시판 조립체의 배치 형태에 대하여 상세하게 설명한다.
- <61> 도 4는 본 발명의 한 실시예에 따른 액정 표시판 조립체의 화소 배치를 도시하는 도면이다.
- <62> 도 4를 참고하면, 한 화소 전극(PE)을 이루는 한 쌍의 부화소 전극(PEa, PEb)을 사이에 두고 배치되어 있는 두 데이터선(예를 들면, D_j 와 D_{j+1})에 흐르는 데이터 전압의 극성은 서로 반대이다. 즉 하나의 화소 전극(PE)을 기준으로 왼쪽에 위치하는 데이터선(D_j)에 흐르는 데이터 전압의 극성은 정극성(+)이며, 오른쪽에 위치하는 데이터선(D_{j+1})에 흐르는 데이터 전압의 극성은 부극성(-)이다.

- <63> 각 제1 부화소 전극(PEa)은 제1 스위칭 소자(Qa)과 연결되어 있으며, 각 제2 부화소 전극(PEb)는 제2 스위칭 소자(Qb)와 연결되어 있다.
- <64> 첫 번째 행에 배치되어 있는 화소 전극(PE)을 살펴보면, 제1 스위칭 소자(Qa)는 각 화소 전극(PE)을 기준으로 왼쪽에 위치하는 데이터선($D_j, D_{j+1}, D_{j+2}, D_{j+3}, D_{m-2}, D_{m-1}$)에 연결되어 있으며, 각 화소 전극(PE)을 기준으로 위쪽에 위치하는 게이트선(G_i, G_{i+2})에 연결되어 있다. 제2 스위칭 소자(Qb)는 각 화소 전극(PE)을 기준으로 오른쪽에 위치하는 데이터선($D_{j+1}, D_{j+2}, D_{j+3}, D_{m-2}, D_{m-1}, D_m$)에 연결되어 있으며, 각 화소 전극(PE)을 기준으로 아래쪽에 위치하는 게이트선(G_{i+1}, G_{i+3})에 연결되어 있다. 이하 이와 같은 연결 관계를 갖는 화소를 제1 화소(PXa)라 한다.
- <65> 이에 반하여 두 번째 행에 배치되어 있는 화소 전극(PE)을 살펴보면, 제1 스위칭 소자(Qa)는 각 화소 전극(PE)을 기준으로 오른쪽에 위치하는 데이터선($D_{j+1}, D_{j+2}, D_{j+3}, D_{m-2}, D_{m-1}, D_m$)에 연결되어 있으며, 각 화소 전극(PE)을 기준으로 위쪽에 위치하는 게이트선(G_i, G_{i+2})에 연결되어 있다. 제2 스위칭 소자(Qb)는 각 화소 전극(PE)을 기준으로 왼쪽에 위치하는 데이터선($D_j, D_{j+1}, D_{j+2}, D_{j+3}, D_{m-2}, D_{m-1}$)에 연결되어 있으며, 각 화소 전극(PE)을 기준으로 아래쪽에 위치하는 게이트선(G_{i+1}, G_{i+3})에 연결되어 있다. 이하 이와 같은 연결 관계를 갖는 화소를 제2 화소(PXb)라 한다.
- <66> 이와 같이 도 4의 액정 표시판 조립체는 제1 화소(PXa)를 포함하는 행과 제2 화소(PXb)를 포함하는 행이 번갈아 배열되어 있다.
- <67> 이에 따라, 행 방향으로 인접하는 제1 및 제2 부화소 전극(PEa, PEb)의 극성은 서로 반대로 나타난다. 열 방향으로 인접하는 제1 부화소 전극(PEa)의 극성도 서로 반대로 나타나며, 열 방향으로 인접하는 제2 부화소 전극(PEb)의 극성도 서로 반대로 나타난다.
- <68> 하나의 화소 행마다 게이트선($G_i, G_{i+1}, G_{i+2}, G_{i+3}$)은 두 개씩 배열되어 있으며 제1 및 제2 부화소 전극(PEa, PEb)에 번갈아가며 연결되어 있다.
- <69> 하나의 데이터선($D_j, D_{j+1}, D_{j+2}, D_{j+3}, D_{m-2}, D_{m-1}, D_m$)을 살펴보면, 제1 및 제2 스위칭 소자(Qa, Qb)가 한 행마다 번갈아 가며 오른쪽 또는 왼쪽에 연결되어 있다. 데이터선($D_j, D_{j+1}, D_{j+2}, D_{j+3}, D_{m-2}, D_{m-1}, D_m$)은 전체 화소 열의 숫자보다 하나 더 많다. 한편, 첫번째 데이터선(D_j)와 마지막 데이터선(D_m)은 서로 연결되어 있다. 따라서 첫 번째 데이터선(D_j)와 마지막 데이터선(D_m)에는 동일한 데이터 전압이 인가된다.
- <70> 이제 도 5 내지 도 10을 참고하여 본 발명의 한 실시예에 따른 액정 표시판 조립체에 대하여 더욱 상세하게 설명한다.
- <71> 도 5는 본 발명의 한 실시예에 따른 액정 표시판 조립체 중에서 제1 화소(PXa)의 박막 트랜지스터 표시판의 배치도이며, 도 6은 본 발명의 한 실시예에 따른 액정 표시판 조립체 중에서 제1 화소(PXa)의 공통 전극 표시판의 배치도이며, 도 7은 도 5의 박막 트랜지스터 표시판과 도 6의 공통 전극 표시판으로 이루어진 액정 표시판 조립체의 배치도이며, 도 8 및 도 9는 도 7에 도시한 제1 화소(PXa)를 VIII-VIII 및 IX-IX 선을 따라 잘라 도시한 단면도이다.
- <72> 본 발명의 한 실시예에 따른 액정 표시 장치는 박막 트랜지스터 표시판(100)과 이와 마주보는 공통 전극 표시판(200), 그리고 두 표시판(100, 200) 사이에 들어 있는 액정층(3)을 포함한다.
- <73> 먼저, 도 5, 도 7, 도 8 및 도 9를 참고로 하여 박막 트랜지스터 표시판(100)에 대하여 상세하게 설명한다.
- <74> 투명한 유리 등으로 이루어진 절연 기판(110) 위에 복수 쌍의 제1 및 제2 게이트선(gate line)(121a, 121b)과 복수의 유지 전극선(storage electrode lines)(131)이 형성되어 있다.
- <75> 제1 및 제2 게이트선(121a, 121b)은 주로 가로 방향으로 뻗어 있고 서로 분리되어 있으며, 게이트 신호를 전달한다. 제1 및 제2 게이트선(121a, 121b) 각각은 복수의 제1 및 제2 게이트 전극(gate electrode)(124a, 124b)을 이루는 복수의 돌출부와 다른 층 또는 외부 구동 회로와의 연결을 위하여 면적이 넓은 끝 부분(129a, 129b)을 포함한다.
- <76> 유지 전극선(131)은 주로 가로 방향으로 뻗어 있으며, 유지 전극(137)을 이루는 복수의 돌출부를 포함한다. 유

지 전극선(131)에는 액정 표시 장치의 공통 전극 표시판(200)의 공통 전극(common electrode)(270)에 인가되는 공통 전압(Vcom) 따위의 소정의 전압이 인가된다.

- <77> 게이트선(121a, 121b)과 유지 전극선(131)은 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 따위로 만들어질 수 있다. 그러나 게이트선(121)과 유지 전극선(131)은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다. 이 중 한 도전막은 게이트선(121a, 121b)과 유지 전극선(131)의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 만들어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄(합금) 상부막 및 알루미늄(합금) 하부막과 몰리브덴(합금) 상부막을 들 수 있다. 그러나 게이트선(121a, 121b)과 유지 전극선(131)은 이외에도 다양한 금속과 도전체로 만들어질 수 있다.
- <78> 또한 게이트선(121a, 121b) 및 유지 전극선(131)의 측면은 기판(110)의 표면에 대하여 경사져 있으며 그 경사각은 약 30-80° 인 것이 바람직하다.
- <79> 게이트선(121a, 121b) 및 유지 전극선(131) 위에는 질화규소(SiNx) 따위로 이루어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.
- <80> 게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소(polysilicon) 등으로 이루어진 복수의 섬형 반도체(154a, 154b)가 형성되어 있다.
- <81> 반도체(154a, 154b) 위에는 실리사이드(silicide) 또는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 복수의 섬형 저항성 접촉 부재(ohmic contact)(163a, 165a)가 형성되어 있다. 섬형 저항성 접촉 부재(163a, 165a)는 각각 쌍을 이루어 반도체(154a, 154b) 위에 각각 위치한다.
- <82> 반도체(154a, 154b)와 저항성 접촉 부재(163a, 165a)의 측면 역시 기판(110)의 표면에 대하여 경사져 있으며 그 경사각은 30-80° 이다.
- <83> 저항성 접촉 부재(163a, 165a) 및 게이트 절연막(140) 위에는 복수의 데이터선(data line)(171), 복수 쌍의 제1 및 제2 드레인 전극(drain electrode)(175a, 175b)이 형성되어 있다.
- <84> 데이터선(171)은 주로 세로 방향으로 뻗어 게이트선(121a, 121b) 및 유지 전극선(131)과 교차하며 데이터 전압(data voltage)을 전달한다. 데이터선(171)은 유지 전극(137)을 사이에 두고 이웃하는 제1 및 제2 데이터선(171a, 171b)을 포함한다. 제1 및 제2 데이터선(171a, 171b)은 각각 게이트 전극(124a, 124b)을 향하여 뻗은 복수의 제1 및 제2 소스 전극(source electrode)(173a, 173b)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 폭이 확장되어 있는 끝 부분(179a, 179b)을 포함한다. 제1 및 제2 소스 전극(173a, 173b)은 각각 제1 및 제2 연결부(174a, 174b)를 통하여 제1 및 제2 데이터선(171a, 171b)과 연결되어 있다.
- <85> 드레인 전극(175a, 175b)은 데이터선(171a, 171b)과 분리되어 있고 각각 게이트 전극(124a, 124b)을 중심으로 소스 전극(173a, 173b)과 마주 본다.
- <86> 제1 및 제2 드레인 전극(175a, 175b) 각각은 넓은 한 쪽 끝 부분(177a, 177b)과 막대형인 다른 쪽 끝 부분을 포함한다. 넓은 끝 부분(177a, 177b)은 유지 전극(137)과 중첩하며, 막대형 끝 부분은 U자형으로 구부러진 소스 전극(173a, 173b)으로 일부 둘러싸여 있다.
- <87> 제1 및 제2 데이터선(171a, 171b)은 각각 제2 연결부(174a)와 제1 연결부(174a)를 향하여 뻗은 제1 및 제2 가지부(176a, 176b)를 포함한다.
- <88> 제1/제2 게이트 전극(124a/124b), 제1/제2 소스 전극(173a/173b) 및 제1/제2 드레인 전극(175a/175b)은 반도체(154a/154b)와 함께 제1/제2 박막 트랜지스터(thin film transistor, TFT)(Qa/Qb)를 이루며, 박막 트랜지스터(Qa/Qb)의 채널(channel)은 제1/제2 소스 전극(173a/173b)과 제1/제2 드레인 전극(175a/175b) 사이의 반도체(154a/154b)에 형성된다.
- <89> 데이터선(171a, 171b) 및 드레인 전극(175a, 175b)는 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막(도시하지 않음)과 저저

항 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 다중막 구조의 예로는 크롬 또는 몰리브덴(합금) 하부막과 알루미늄(합금) 상부막의 이중막, 몰리브덴(합금) 하부막과 알루미늄(합금) 중간막과 몰리브덴(합금) 하부막의 삼중막을 들 수 있다. 그러나 데이터선(171) 및 드레인 전극(1175a, 175b)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

- <90> 데이터선(171a, 171b) 및 드레인 전극(175a, 175b)도 게이트선(121) 및 유지 전극선(131)과 마찬가지로 그 측면이 약 30-80°의 각도로 각각 경사져 있다.
- <91> 저항성 접촉 부재(163a, 165a)는 그 하부의 반도체(154a, 154b)와 그 상부의 데이터선(171) 및 드레인 전극(175a, 175b) 사이에만 존재하며 접촉 저항을 낮추어 주는 역할을 한다.
- <92> 데이터선(171a, 171b) 및 드레인 전극(175a, 175b)와 노출된 반도체(154a, 154b) 부분의 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 질화규소나 산화규소 따위의 무기 절연물, 유기 절연물, 저유전율 절연물 따위로 만들어진다. 유기 절연물과 저유전율 절연물의 유전 상수는 4.0 이하인 것이 바람직하며 저유전율 절연물의 예로는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등을 들 수 있다. 유기 절연물 중 감광성(photosensitivity)을 가지는 것으로 보호막(180)을 만들 수도 있으며, 보호막의 표면은 평탄할 수 있다. 그러나 보호막(180)은 유기막의 우수한 절연 특성을 살리면서도 노출된 반도체(154a, 154b) 부분에 해가 가지 않도록 하부 무기막과 상부 유기막의 이중막 구조를 가질 수 있다.
- <93> 보호막(180)에는 데이터선(171a, 171b)의 끝 부분(179a, 179b)을 각각 드러내는 복수의 접촉 구멍(contact hole)(182a, 182b, 185a, 185b)이 형성되어 있으며, 보호막(180)과 게이트 절연막(140)에는 게이트선(121a, 121b)의 끝 부분(129a, 129b)을 드러내는 복수의 접촉 구멍(181a, 181b)이 형성되어 있다.
- <94> 보호막(180) 위에는 제1 및 제2 부화소 전극(subpixel electrode)(191a, 191b)을 포함하는 복수의 화소 전극(pixel electrode)(191)과 차폐 전극(shielding electrode)(도시하지 않음) 및 복수의 접촉 보조 부재(contact assistant)(81a, 81b, 82a, 82b)가 형성되어 있다. 이들은 ITO 또는 IZO 따위의 투명 도전 물질이나 알루미늄, 은 또는 그 합금 등의 반사성 금속으로 이루어진다.
- <95> 제1/제2 부화소 전극(191a/191b)은 접촉 구멍(185a/185b)을 통하여 제1/제2 드레인 전극(175a/175b)과 물리적, 전기적으로 연결되어 제1/제2 드레인 전극(175a/175b)으로부터 데이터 전압을 인가 받는다. 한 쌍의 부화소 전극(191a, 191b)에는 하나의 입력 영상 신호에 대하여 미리 설정되어 있는 서로 다른 데이터 전압이 인가되는데, 그 크기는 부화소 전극(191a, 191b)의 크기 및 모양에 따라 설정될 수 있다. 부화소 전극(191a, 191b)의 면적은 서로 다를 수 있다. 한 예로 제2 부화소 전극(191b)은 제1 부화소 전극(191a)에 비하여 높은 전압을 인가 받으며, 제1 부화소 전극(191a)보다 면적이 작다.
- <96> 데이터 전압이 인가된 부화소 전극(191a, 191b)은 공통 전극(270)과 함께 전기장을 생성함으로써 두 전극(191a/191b, 270) 사이의 액정층(3)의 액정 분자들의 배열을 결정한다.
- <97> 또한 앞서 설명했듯이, 각 부화소 전극(191a, 191b)과 공통 전극(270)은 액정 축전기(C1ca, C1cb)를 이루어 박막 트랜지스터(Qa, Qb)가 턴 오프된 후에도 인가된 전압을 유지한다. 전압 유지 능력을 강화하기 위하여 액정 축전기(C1ca, C1cb)와 병렬로 연결된 유지 축전기(Csta, Cstb)는 제1 및 제2 부화소 전극(191a, 191b) 및 이에 연결되어 있는 제1 및 제2 전극 부재(177a, 177b)와 유지 전극(137)의 중첩 등으로 만들어진다.
- <98> 각 화소 전극(191)은 게이트선(121a, 121b) 또는 데이터선(171)과 거의 평행한 네 개의 주 변을 가지며 왼쪽 모퉁이가 모따기되어 있는(chamfered) 대략 사각형 모양이다. 화소 전극(191)의 모뎀 빗변은 게이트선(121)에 대하여 약 45°의 각도를 이룬다.
- <99> 하나의 화소 전극(191)을 이루는 한 쌍의 제1 및 제2 부화소 전극(191a, 191b)은 간극(gap)(94)을 사이에 두고 서로 맞물려 있으며, 제1 부화소 전극(191a)은 제2 부화소 전극(191b)의 중앙에 삽입되어 있다.
- <100> 제2 부화소 전극(191b)에는 상부 절개부(92a) 및 하부 절개부(92b)가 형성되어 있으며, 제2 부화소 전극(191b)은 이들 절개부(92a, 92b)에 의하여 복수의 영역(partition)으로 분할된다. 절개부(92a, 92b)는 유지 전극선(131)에 대하여 거의 반전 대칭을 이룬다.
- <101> 하부 및 상부 절개부(92a, 92b)는 대략 화소 전극(191)의 오른쪽 변에서부터 왼쪽 변, 위쪽 변 또는 아래쪽 변으로 비스듬하게 뻗어 있다. 하부 및 상부 절개부(92a, 92b)는 유지 전극선(131)에 대하여 하반부와 상반부에 각각 위치하고 있다. 하부 및 상부 절개부(92a, 92b)는 게이트선(121)에 대하여 약 45°의 각도를 이루며 서로

수직으로 뻗어 있다.

- <102> 따라서, 화소 전극(191)의 하반부는 간극(94) 및 하부 절개부(92b)에 의하여 4 개의 영역(partition)으로 나누어지고, 상반부 또한 간극(94) 및 상부 절개부(92a)에 의하여 4 개의 영역(partition)으로 분할된다. 이 때, 영역의 수효 또는 절개부의 수효는 화소의 크기, 화소 전극의 가로변과 세로 변의 길이 비, 액정층(3)의 종류나 특성 등 설계 요소에 따라서 달라질 수 있다.
- <103> 접촉 보조 부재(81a, 81b, 82a, 82b)는 접촉 구멍(181a, 181b, 182a, 182b)을 통하여 각각 게이트선(121a, 121b)의 끝 부분(129a, 129b) 및 데이터선(171a, 171b)의 끝 부분(179a, 179b)과 연결된다. 접촉 보조 부재(81, 82)는 데이터선(171) 및 게이트선(121)의 끝 부분(179, 129)과 외부 장치와의 접촉성을 보완하고 이들을 보호한다.
- <104> 다음, 도 6, 도 7 및 도 8을 참고로 하여, 공통 전극 표시판(200)에 대하여 설명한다.
- <105> 투명한 유리 또는 플라스틱 등으로 만들어진 절연 기판(210) 위에 차광 부재(light blocking member)(220)가 형성되어 있다. 차광 부재(220)는 블랙 매트릭스(black matrix)라고도 하며 빛샘을 막아준다. 차광 부재(220)는 데이터선(171)에 대응하는 선형 부분(221)과 박막 트랜지스터에 대응하는 면형 부분을 포함하며, 화소 전극(191) 사이의 빛샘을 막고 화소 전극(191)과 마주하는 개구 영역을 정의한다. 그러나 차광 부재(220)는 화소 전극(191)과 마주보며 화소 전극(191)과 거의 동일한 모양을 가지는 복수의 개구부(도시하지 않음)를 가질 수도 있다.
- <106> 기판(210) 위에는 또한 복수의 색필터(230)가 형성되어 있다. 색필터(230)는 차광 부재(230)로 둘러싸인 영역 내에 대부분 존재하며, 화소 전극(191) 열을 따라서 세로 방향으로 길게 뻗을 수 있다. 각 색필터(230)는 적색, 녹색 및 청색의 삼원색 등 기본색(primary color) 중 하나를 표시할 수 있다.
- <107> 색필터(230) 및 차광 부재(220) 위에는 덮개막(overcoat)(250)이 형성되어 있다. 덮개막(250)은 (유기) 절연물로 만들어질 수 있으며, 색필터(230)가 노출되는 것을 방지하고 평탄면을 제공한다. 덮개막(250)은 생략할 수 있다.
- <108> 덮개막(250) 위에는 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 ITO, IZO 등의 투명한 도전체 따위로 만들어진다.
- <109> 공통 전극(270)에는 복수의 절개부(71, 72, 73a, 73b, 74a, 74b) 집합이 형성되어 있다.
- <110> 하나의 절개부(71~74b) 집합은 하나의 화소 전극(191)과 마주 보며 제1 및 제2 중앙 절개부(71, 72), 상부 절개부(73a, 74a) 및 하부 절개부(73b, 74b)를 포함한다. 절개부(71~74b) 각각은 화소 전극(191)의 인접 절개부(91~94b) 사이에 배치되어 있다. 또한, 각 절개부(71~74b)는 화소 전극(191)의 하부 절개부(93a, 94a) 또는 상부 절개부(93b, 94b)와 평행하게 뻗은 적어도 하나의 사선 가지를 포함한다.
- <111> 하부 및 상부 절개부(73a~74b) 각각은 사선 가지, 가로 가지 및 세로 가지를 포함한다. 사선 가지는 대략 화소 전극(191)의 오른쪽 변에서 왼쪽, 위쪽 또는 아래쪽 변으로 화소 전극(191)의 하부 또는 상부 절개부(92a~93b)와 거의 나란하게 뻗는다. 가로 가지 및 세로 가지는 사선 가지의 각 끝에서부터 화소 전극(191)의 변을 따라 중첩하면서 뻗으며 사선 가지와 둔각을 이룬다.
- <112> 제1 및 제2 중앙 절개부(71)는 중앙 가로 가지, 한 쌍의 사선 가지 및 한 쌍의 종단 세로 가지를 포함한다. 중앙 가로 가지는 대략 화소 전극(191)의 오른쪽 변에서부터 화소 전극(191)의 가로 중심선을 따라 왼쪽으로 뻗으며, 한 쌍의 사선 가지는 중앙 가로 가지의 끝에서 화소 전극(191)의 왼쪽 변을 향하여 각각 하부 및 상부 절개부(73a, 73b, 74a, 74b)와 거의 나란하게 뻗는다. 종단 세로 가지는 사선 가지의 각 끝에서부터 화소 전극(191)의 왼쪽 변을 따라 중첩하면서 뻗으며 사선 가지와 둔각을 이룬다.
- <113> 절개부(71~74b)의 사선부에는 삼각형 모양의 노치(notch)가 형성되어 있다. 이러한 노치는 사각형, 사다리꼴 또는 반원형의 모양을 가질 수도 있으며, 불룩하게 또는 오목하게 이루어질 수 있다. 이러한 노치는 절개부(71~74b)에 대응하는 영역 경계에 위치하는 액정 분자(3)의 배열 방향을 결정해준다.
- <114> 절개부(71~74b)의 수효 및 방향 또한 설계 요소에 따라 달라질 수 있다.
- <115> 표시판(100, 200)의 안쪽 면에는 배향막(alignment layer)(11, 21)이 도포되어 있으며 수직 배향막일 수 있다.
- <116> 표시판(100, 200)의 바깥쪽 면에는 편광자(polarizer)(12, 22)가 구비되어 있는데, 두 편광자(12, 22)의 투과

축은 직교하며 이중 한 투과축은 게이트선(121)에 대하여 나란한 것이 바람직하다.

- <117> 액정 표시 장치는 편광자(12, 22), 표시판(100, 200) 및 액정층(3)에 빛을 공급하는 조정부(backlight unit) (도시하지 않음)를 포함할 수 있다.
- <118> 액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판(100, 200)의 표면에 대하여 수직을 이루도록 배향되어 있다. 따라서 입사광은 직교 편광자(12, 22)를 통과하지 못하고 차단된다.
- <119> 공통 전극(270)에 공통 전압을 인가하고 화소 전극(191)에 데이터 전압을 인가하면 표시판(100, 200)의 표면에 거의 수직인 전기장(전계)이 생성된다. 액정 분자들은 전기장에 응답하여 그 장축이 전기장의 방향에 수직을 이루도록 방향을 바꾸고자 한다. 앞으로는 화소 전극(191)과 공통 전극(271)을 통틀어 전기장 생성 전극이라 한다.
- <120> 한편, 전기장 생성 전극(191, 270)의 화소 전극의 절개부(92a, 92b) 및 공통전극의 절개부(71~74b)와 이들과 평행한 화소 전극(191)의 빗변은 전기장을 왜곡하여 액정 분자들의 경사 방향을 결정하는 수평 성분을 만들어낸다. 전기장의 수평 성분은 절개부(92a, 92b, 71~74b)의 빗변과 화소 전극(191)의 빗변에 수직이다.
- <121> 하나의 공통 전극 절개부 집합(71~74b) 및 화소 전극 절개부 집합(92a, 92b)은 화소 전극(191)을 복수의 부영역(sub-area)으로 나누며, 각 부영역은 화소 전극(191)의 주 변과 빗각을 이루는 두 개의 주 변(major edge)을 가진다. 각 부영역 위의 액정 분자들은 대부분 주 변에 수직인 방향으로 기울어지므로, 기울어지는 방향을 추려 보면 대략 네 방향이다. 이와 같이 액정 분자가 기울어지는 방향을 다양하게 하면 액정 표시 장치의 기준 시야각이 커진다.
- <122> 적어도 하나의 절개부(92a, 92b, 71~74b)는 돌기나 함몰부로 대체할 수 있으며, 절개부(92a, 92b, 71~74b)의 모양 및 배치는 변형될 수 있다.
- <123> 이제 도 10을 참고하여 본 발명의 한 실시예에 따른 액정 표시 장치의 제2 화소(PXb)에 대하여 상세하게 설명한다.
- <124> 도 10은 본 발명의 한 실시예에 따른 액정 표시 장치 중에서 제2 화소(PXb)의 배치도이다.
- <125> 도 10을 참고하면, 본 발명의 한 실시예에 따른 액정 표시 장치의 제2 화소(PXb)도 서로 마주하는 박막 트랜지스터 표시판(도시하지 않음)과 공통 전극 표시판(도시하지 않음) 및 이들 두 표시판 사이에 들어 있는 액정층(도시하지 않음)을 포함한다.
- <126> 본 실시예에 따른 액정 표시판 조립체의 층상 구조는 대개 도 5 내지 도 9에 도시한 액정 표시판 조립체의 층상 구조와 동일하다.
- <127> 박막 트랜지스터 표시판에 대하여 설명하자면, 절연 기판(도시하지 않음) 위에 복수 쌍의 게이트선(121a, 121b), 복수의 유지 전극선(131)을 포함하는 복수의 게이트 도전체가 형성되어 있다. 각 게이트선(121a, 121b)은 제1 및 제2 게이트 전극(124a, 124b)과 끝 부분(129a, 129b)을 포함하고 각 유지 전극선(131)은 유지 전극(137)을 포함한다. 게이트 도전체(121a, 121b, 131) 위에는 게이트 절연막(도시하지 않음)이 형성되어 있다. 게이트 절연막 위에는 제1 및 제2 섹형 반도체(154a, 154b)가 형성되어 있고, 그 위에는 복수의 저항성 접촉 부재(도시하지 않음)가 형성되어 있다. 저항성 접촉 부재 및 게이트 절연막 위에는 복수의 제1 및 제2 데이터선(171a, 171b)과 복수의 제1 및 제2 드레인 전극(175a, 175b)를 포함하는 데이터 도전체가 형성되어 있다. 제1 및 제2 데이터선(171a, 171b)은 복수의 제1 및 제2 소스 전극(173a, 173b)과 끝 부분(179a, 179b)을 포함한다. 데이터 도전체(171a, 171b, 175a, 175b) 및 노출된 반도체(154) 부분 위에는 보호막(도시하지 않음)이 형성되어 있고, 보호막 및 게이트 절연막에는 복수의 접촉 구멍(181a, 181b, 182a, 182b, 185a, 185b)이 형성되어 있다. 보호막 위에는 제1 및 제2 부화소 전극(191a, 191b)과 복수의 접촉 보조 부재(81a, 81b, 82a, 82b)가 형성되어 있다. 화소 전극(191), 접촉 보조 부재(81a, 81b, 82a, 82b) 및 보호막 위에는 배향막(도시하지 않음)이 형성되어 있다.
- <128> 공통 전극 표시판에 대하여 설명하자면, 절연 기판(도시하지 않음) 위에 차광 부재(도시하지 않음), 복수의 색 필터(도시하지 않음), 덮개막(도시하지 않음), 공통 전극(도시하지 않음), 그리고 배향막(도시하지 않음)이 형성되어 있다.
- <129> 도 10에 도시한 제2 화소(PXb)는 도 5 내지 도 9에 도시한 제1 화소(PXa)와 달리 제1 박막 트랜지스터(Qa)는 제

1 연결부(172a)를 통하여 제2 데이터선(171b)와 연결되어 있으며 제1 게이트선(121a)과 연결되어 있다. 제2 박막 트랜지스터(Qb)는 제2 연결부(172b)를 통하여 제1 데이터선(171a)와 연결되어 있으며 제2 게이트선(121b)과 연결되어 있다.

- <130> 제1 데이터선(171a)은 제1 연결부(172a)를 향하여 뺀 제1 가지부(178a)를 포함하며, 제2 데이터선(171b)은 제2 연결부(172b)를 향하여 뺀 제2 가지부(178b)를 포함한다.
- <131> 도 7 및 도 10을 비교하면, 제1 및 제2 박막 트랜지스터(Qa, Qb)가 연결된 게이트선(121a, 121b) 및 데이터선(171a, 171b)의 위치는 서로 다르나, 각 제1 및 제2 드레인 전극(175a, 175b)의 형태는 실질적으로 동일하다. 즉 제1 및 제2 화소(PXa, PXb)에서 화소 전극(191)과 제1 및 제2 박막 트랜지스터(Qa, Qb)의 연결 관계는 서로 달라도, 각 화소(PXa, PXb)의 전기 광학적 특성을 동일하게 조절할 수 있다. 따라서 제1 및 제2 화소(PXa, PXb) 각각의 정면 또는 시야각 방향에서 휘도 등의 차이가 없다.
- <132> 그러면 이러한 액정 표시 장치의 표시 동작에 대하여 상세하게 설명한다.
- <133> 다시 도 1을 참조하면 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 신호 제어부(600)의 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 입력 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보낸다.
- <134> 게이트 제어 신호(CONT1)는 게이트 온 전압(Von)의 주사 시작을 지시하는 주사 시작 신호(STV)와 게이트 온 전압(Von)의 출력 시기를 제어하는 게이트 클럭 신호(CPV) 및 게이트 온 전압(Von)의 폭을 한정하는 출력 인에이블 신호(OE) 등을 포함한다.
- <135> 데이터 제어 신호(CONT2)는 한 행의 부화소(PXa, PXb)에 대한 데이터의 전송을 알리는 수평 동기 시작 신호(STH)와 데이터선(D₁-D_{2m})에 해당 데이터 전압을 인가하라는 로드 신호(LOAD) 및 데이터 클럭 신호(HCLK)를 포함한다. 데이터 제어 신호(CONT2)는 또한 공통 전압(Vcom)에 대한 데이터 전압의 극성(이하 "공통 전압에 대한 데이터 전압의 극성"을 줄여 "데이터 전압의 극성"이라 함)을 반전시키는 반전 신호(RVS)를 포함한다.
- <136> 데이터 구동부(500)는 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라 한 행의 부화소(PXa, PXb)에 대한 영상 데이터(DAT)를 차례로 입력받아 시프트시키고, 계조 전압 생성부(800)로부터의 계조 전압 중 각 영상 데이터(DAT)에 대응하는 계조 전압을 선택함으로써 영상 데이터(DAT)를 해당 아날로그 데이터 전압으로 변환한 후, 이를 해당 데이터선(D₁-D_{2m})에 인가한다.
- <137> 게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트 트선(G₁-G_n)에 차례로 인가하여 이 게이트선(G₁-G_n)에 연결된 스위칭 소자(Qa, Qb)를 턴 온시키며, 이에 따라 데이터선(D₁-D_{2m})에 인가된 데이터 전압이 턴 온된 스위칭 소자(Qa, Qb)를 통하여 해당 부화소(PXa, PXb)에 인가된다.
- <138> 부화소(PXa, PXb)에 인가된 데이터 전압과 공통 전압(Vcom)의 차이는 각 액정 축전기(C1ca, C1cb)의 충전 전압, 즉 부화소 전압으로서 나타난다. 액정 분자들은 부화소 전압의 크기에 따라 그 배열을 달리하며 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판(100, 200)에 부착된 편광판(12, 22)에 의하여 빛의 투과율 변화로 나타난다.
- <139> 하나의 입력 영상 데이터는 한 쌍의 출력 영상 데이터로 변환되고 이들은 한 쌍의 부화소(PXa, PXb)에 서로 다른 투과율을 부여한다. 따라서 두 부화소(PXa, PXb)는 서로 다른 감마 곡선을 나타내며 한 화소(PX)의 감마 곡선은 이들을 합성한 곡선이 된다. 정면에서의 합성 감마 곡선은 가장 적합하도록 정해진 정면에서의 기준 감마 곡선과 일치하도록 하고 측면에서의 합성 감마 곡선은 정면에서의 기준 감마 곡선과 가장 가깝게 되도록 한다. 이와 같이 영상 데이터를 변환함으로써 측면 시인성이 향상된다. 또한 앞서 설명한 바와 같이 상대적으로 높은 데이터 전압을 인가 받는 제2 부화소 전극(191b)의 면적을 제1 부화소 전극(191a)의 면적보다 작게 함으로써 측면에서의 합성 감마 곡선의 왜곡을 작게 할 수 있다.
- <140> 1 수평 주기(또는 "1H") [수평 동기 신호(Hsync), 데이터 인에이블 신호(DE)의 한 주기]가 지나면 데이터 구동부(500)와 게이트 구동부(400)는 다음 행의 부화소(PXa, PXb)에 대하여 동일한 동작을 반복한다. 이러한 방식으

로, 한 프레임(frame) 동안 모든 게이트선(G_1 - G_n)에 대하여 차례로 게이트 온 전압(Von)을 인가하여 모든 부화소(PXa, PXb)에 데이터 전압을 인가한다. 한 프레임이 끝나면 다음 프레임이 시작되고 각 부화소(PXa, PXb)에 인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전").

- <141> 한편 프레임 반전 외에도 데이터 구동부(500)는 한 프레임 내에서 이웃하는 데이터선(D_1 - D_{2m})을 타고 내려가는 데이터 전압의 극성을 반전시키며 이에 따라 데이터 전압을 인가 받은 부화소 전압의 극성 역시 변화한다. 그런데 데이터 구동부(500)와 데이터선(D_1 - D_{2m})의 연결 관계에 따라 데이터 구동부(500)에서의 극성 반전 패턴과 액정 표시판 조립체(300)의 화면에 나타나는 부화소 전압의 극성 반전 패턴이 다르게 나타난다. 아래에서는 데이터 구동부(500)에서의 반전을 "구동부 반전(driver inversion)"이라고 하고, 화면에 나타나는 반전을 "겉보기 반전(apparent inversion)"이라 한다. 또한 설명의 편의를 위하여 "부화소(PXa, PXb)에서의 부화소 전압의 극성"을 "부화소(PXa, PXb)의 극성" 또한 화소(PX)에서의 화소 전압의 극성을 "화소(PX)의 극성"이라 줄여서 표현한다.
- <142> 본 발명의 여러 실시예에 따른 액정 표시 장치의 겉보기 반전 형태에 대하여는 도 4에서 제1 및 제2 부화소 전극(PEa, PEb)의 극성으로 설명하였으므로 더 이상의 설명은 생략한다.
- <143> 이제 도 11 내지 도 14를 참고하여 본 발명의 다른 실시예에 따른 액정 표시판 조립체에 대하여 상세하게 설명한다.
- <144> 도 11은 본 발명의 다른 실시예에 따른 액정 표시판 조립체 중 제1 화소(PXa)를 도시하는 배치도이며, 도 12는 도 11의 액정 표시판 조립체의 화소 전극 및 공통 전극의 배치도이고, 도 13a 내지 도 13c는 도 12에 도시한 각 부화소 전극의 기본이 되는 전극편의 평면도이다.
- <145> 도 11을 참고하면, 본 발명의 다른 실시예에 따른 액정 표시판 조립체의 제1 화소(PXa)도 서로 마주하는 박막 트랜지스터 표시판(도시하지 않음)과 공통 전극 표시판(도시하지 않음) 및 이들 두 표시판 사이에 들어 있는 액정층(도시하지 않음)을 포함한다.
- <146> 본 실시예에 따른 액정 표시판 조립체의 층상 구조는 대개 도 5 내지 도 9에 도시한 액정 표시판 조립체의 층상 구조와 동일하다.
- <147> 박막 트랜지스터 표시판에 대하여 설명하자면, 절연 기판(도시하지 않음) 위에 복수 쌍의 게이트선(121a, 121b), 복수의 유지 전극선(131)을 포함하는 복수의 게이트 도전체가 형성되어 있다. 각 게이트선(121a, 121b)은 제1 및 제2 게이트 전극(124a, 124b)과 끝 부분(129a, 129b)을 포함하고 각 유지 전극선(131)은 유지 전극(137)을 포함한다. 게이트 도전체(121a, 121b, 131) 위에는 게이트 절연막(도시하지 않음)이 형성되어 있다. 게이트 절연막 위에는 제1 및 제2 섬형 반도체(154a, 154b)가 형성되어 있고, 그 위에는 복수의 저항성 접촉 부재(도시하지 않음)가 형성되어 있다. 저항성 접촉 부재 및 게이트 절연막 위에는 복수의 제1 및 제2 데이터선(171a, 171b)과 복수의 제1 및 제2 드레인 전극(175a, 175b)를 포함하는 데이터 도전체가 형성되어 있다. 제1 및 제2 데이터선(171a, 171b)은 복수의 제1 및 제2 소스 전극(173a, 173b)과 끝 부분(179a, 179b)을 포함한다. 데이터 도전체(171a, 171b, 175a, 175b) 및 노출된 반도체(154) 부분 위에는 보호막(도시하지 않음)이 형성되어 있고, 보호막 및 게이트 절연막에는 복수의 접촉 구멍(181a, 181b, 182a, 182b, 185a, 185b)이 형성되어 있다. 보호막 위에는 제1 및 제2 부화소 전극(191a, 191b)과 복수의 접촉 보조 부재(81a, 81b, 82a, 82b)가 형성되어 있다. 화소 전극(191), 접촉 보조 부재(81a, 81b, 82a, 82b) 및 보호막 위에는 배향막(도시하지 않음)이 형성되어 있다.
- <148> 공통 전극 표시판에 대하여 설명하자면, 절연 기판(도시하지 않음) 위에 차광 부재(도시하지 않음), 복수의 색 필터(도시하지 않음), 덮개막(도시하지 않음), 공통 전극(도시하지 않음), 그리고 배향막(도시하지 않음)이 형성되어 있다.
- <149> 도 11에 도시한 액정 표시판 조립체는 도 7과 달리 보호막에 유지 전극(137)의 일부를 노출하는 개구부(187)가 형성되어 있다. 화소 전극(191)과 유지 전극(137) 사이에는 게이트 절연막 만이 존재하고, 화소 전극(191)과 유지 전극(137) 사이의 거리가 짧아지므로 전압 유지 능력이 향상된다.
- <150> 또한 도 11의 액정 표시판 조립체의 화소 전극(191) 및 공통 전극은 도 7의 액정 표시판 조립체와 그 형태가 상이하므로 이하 도 12 내지 도 13c를 참고하여 이에 대하여 상세하게 설명한다.

- <151> 도 12는 본 발명의 여러 실시예에 따른 액정 표시판 조립체에서 하나의 화소 전극의 개략적인 배치도이고, 도 13a 내지 도 13c는 도 12에 도시한 각 부화소 전극의 기본이 되는 전극편의 평면도이다.
- <152> 도 12에 도시한 바와 같이, 본 발명의 실시예에 따른 액정 표시판 조립체의 각 화소 전극(pixel electrode)(191)은 서로 분리되어 있는 한 쌍의 제1 및 제2 부화소 전극(191a, 191b)을 포함한다. 제1 부화소 전극(191a)과 제2 부화소 전극(191b)은 행 방향으로 인접하며, 절개부(cutout)(91a, 91b)를 가진다. 공통 전극(270)은 제1 및 제2 부화소 전극(191a, 191b)과 마주하는 절개부(71a, 71b)를 가진다.
- <153> 제1 및 제2 부화소 전극(191a, 191b) 각각은 적어도 도 13a에 도시한 평행사변형의 전극편(196) 하나와 도 8b에 도시한 평행사변형의 전극편(197) 하나를 포함한다. 도 13a 및 도 13b에 도시한 전극편(196, 197)을 상하로 연결하면 도 13c에 도시한 기본 전극(198)이 되는데, 각 부화소 전극(191a, 191b)은 이러한 기본 전극(198)을 근간으로 하는 구조를 가진다.
- <154> 도 13a 및 도 13b에 도시한 바와 같이, 전극편(196, 197) 각각은 한 쌍의 빗변(oblique edge)(196o, 197o) 및 한 쌍의 가로변(transverse edge)(196t, 197t)을 가지며 대략 평행사변형이다. 각 빗변(196o, 197o)은 가로변(196t, 197t)에 대하여 빗각(oblique angle)을 이루며, 빗각의 크기는 대략 45도 내지 135도인 것이 바람직하다. 편의상 앞으로 밑변(196t, 197t)을 중심으로 수직인 상태에서 기울어진 방향("경사 방향")에 따라 구분하며, 도 13a와 같이 오른쪽으로 기울어진 경우를 "우경사"라 하고 도 13b와 같이 왼쪽으로 기울어진 경우를 "좌경사"라 한다.
- <155> 전극편(196, 197)에서 가로변(196t, 197t)의 길이, 즉 너비(W)와 가로변(196t, 197t) 사이의 거리, 즉 높이(H)는 표시판 조립체(300)의 크기에 따라서 자유롭게 결정할 수 있다. 또한 각 전극편(196, 197)에서 가로변(196t, 197t)은 다른 부분과의 관계를 고려하여 꺾이거나 튀어나오는 등 변형될 수 있으며, 앞으로는 이러한 변형도 모두 포함하여 평행사변형이라 일컫는다.
- <156> 공통 전극(270)에는 전극편(196, 197)과 마주하는 절개부(61, 62)가 형성되어 있으며 전극편(196, 197)은 절개부(61, 62)를 중심으로 두 개의 부영역(S1, S2)으로 구획된다. 절개부(61, 62)에는 적어도 하나의 노치(notch)가 있다. 절개부(61, 62)는 전극편(196, 197)의 빗변(196o, 197o)과 나란한 사선부(61o, 62o)와 사선부(61o, 62o)와 둔각을 이루면서 전극편(196, 197)의 가로변(196t, 197t)과 중첩하는 가로부(61t, 62t)를 포함한다.
- <157> 각 부영역(S1, S2)은 절개부(61, 62)의 사선부(61o, 62o) 및 전극편(196, 197)의 빗변(196t, 197t)에 의하여 정의되는 두 개의 주 변(primary edge)을 가진다. 주 변 사이의 거리, 즉 부영역의 너비는 약 25-40 μ m 정도인 것이 바람직하다.
- <158> 도 13c에 도시한 기본 전극(198)은 우경사 전극편(196)과 좌경사 전극편(197)이 결합하여 이루어진다. 우경사 전극편(196)과 좌경사 전극편(197)이 이루는 각도는 대략 직각인 것이 바람직하며, 두 전극편(196, 197)의 연결은 일부에서만 이루어진다. 연결되지 않은 부분은 절개부(90)를 이루며 오목하게 들어간 쪽에 위치한다. 그러나 절개부(90)는 생략될 수도 있다.
- <159> 두 전극편(196, 197)의 바깥 쪽 가로변(196t, 197t)은 기본 전극(198)의 가로변(198t)을 이루며, 두 전극편(196)의 대응하는 빗변(196o, 197o)는 서로 연결되어 기본 전극(198)의 굴곡변(curved edge)(198o1, 198o2)을 이룬다.
- <160> 굴곡변(198o1, 198o2)은 가로변(198t)과 둔각, 예를 들면 약 135°를 이루며 만나는 볼록변(convex edge)(198o1) 및 가로변(198t)과 예각, 예를 들면 약 45°를 이루며 만나는 오목변(concave edge)(198o2)을 포함한다. 굴곡변(198o1, 198o2)은 한 쌍의 빗변(196o, 197o)이 대략 직각으로 만나 이루어지므로 그 꺾인 각도는 대략 직각이다.
- <161> 절개부(60)는 오목변(198o2) 상의 오목 꼭지점(CV)에서 볼록변(198o1) 상의 볼록 꼭지점(VV)을 향하여 대략 기본 전극(198) 중심까지 뻗는다고 할 수 있다.
- <162> 또한, 공통 전극(270)의 절개부(61, 62)는 서로 연결되어 하나의 절개부(60)를 이룬다. 이때, 절개부(61, 62)에서 중복되는 가로부(61t, 62t)는 합쳐져서 하나의 가로부(60t1)를 이룬다. 이 새로운 형태의 절개부(60)는 다음과 같이 다시 설명할 수 있다.
- <163> 절개부(60)는 굴곡점(CP)을 가지는 굴곡부(60o), 굴곡부(60o)의 굴곡점(CP)에 연결되어 있는 중앙 가로부(60t1), 그리고 굴곡부(60o)의 양 끝에 연결되어 있는 한 쌍의 종단 가로부(60t2)를 포함한다. 절개부(60)의

굴곡부(60o)는 직각으로 만나는 한 쌍의 사선부로 이루어지고, 기본 전극(198)의 굴곡면(198o1, 198o2)과 거의 평행하며, 기본 전극(198)을 좌반부와 우반부로 이등분한다. 절개부(60)의 중앙 가로부(60t1)는 굴곡부(60o)와 둔각, 예를 들면 약 135°를 이루며, 대략 기본 전극(198)의 볼록 꼭지점(VV)을 향하여 뻗어 있다. 종단 가로부(60t2)는 기본 전극(198)의 가로면(198t)과 정렬되어 있으며 굴곡부(60o)와 둔각, 예를 들면 약 135°를 이룬다.

- <164> 기본 전극(198)과 절개부(60)는 기본 전극(198)의 볼록 꼭지점(VV)과 오목 꼭지점(CV)를 잇는 가상의 직선(앞으로 "가로 중심선"이라 함)에 대하여 대략 반전 대칭이다.
- <165> 도 12에 도시한 각 화소 전극(191)에서 제1 부화소 전극(191a)의 크기는 제2 부화소 전극(191b)의 크기보다 작다. 특히 제2 부화소 전극(191b)의 높이가 제1 부화소 전극(191a)의 높이보다 높으며, 두 부화소 전극(191b)의 너비는 실질적으로 동일하다. 제2 부화소 전극(191b)의 전극편의 수효는 제1 부화소 전극(191b)의 전극편 수효보다 많다.
- <166> 제1 부화소 전극(191a)은 좌경사 전극편(197)과 우경사 전극편(196)으로 이루어지며, 도 13c에 도시한 기본 전극(198)과 실질적으로 동일한 구조를 가진다.
- <167> 제2 부화소 전극(191b)은 두 개 이상의 좌경사 전극편(197)과 두 개 이상의 우경사 전극편(196)의 조합으로 이루어지며, 도 13c에 도시한 기본 전극(198)과 이에 결합된 좌경사 및 우경사 전극편(196, 197)을 포함한다.
- <168> 도 12에 도시한 제2 부화소 전극(191b)은 모두 6개의 전극편(191b1-191b6)으로 이루어지며, 이 중 두 개의 전극편(191b5, 191b6)은 제1 부화소 전극(191a) 상하에 배치되어 있다. 화소 전극(191b)은 세 번 꺾인 구조를 가지며, 한 번 굴곡된 구조에 비해 세로줄 표현이 우수하다. 또한 제1 부화소 전극(191a)의 전극편(191a1, 191a2)과 제2 부화소 전극(191b)의 전극편(191b5, 191b6)이 인접하는 곳에서 공통 전극(270)의 절개부(61, 62)의 가로부(61t, 62t)가 합쳐져서 하나의 가로부를 이루게 되므로 개구율이 더욱 증가된다.
- <169> 중간 전극편(191a1, 191a2, 191b1, 191b2)과 그 상하에 배치된 전극편(191b3-191b6)의 높이가 서로 다르다. 예를 들면, 상하 전극편(191b3-191b6)의 높이가 중간 전극편(191a1, 191a2, 191b1, 191b2)의 약 1/2이고, 이에 따라 제1 부화소 전극(191a)과 제2 부화소 전극(191b)의 면적비는 대략 1:2가 된다. 이와 같이 상하 전극편(191b3-191b6)의 높이를 조절하면 원하는 면적비를 얻을 수 있다.
- <170> 도 12에서 제1 및 제2 부화소 전극(191a, 191b)의 위치 관계 및 꺾인 방향은 바뀔 수 있으며, 도 12의 화소 전극(191)을 상하 좌우로 반전 대칭 이동하거나 회전 이동함으로써 변형할 수 있다.
- <171> 그러면 도 14를 참고하여 본 발명의 다른 실시예에 따른 액정 표시판 조립체의 제2 화소(PXb)에 대하여 상세하게 설명한다.
- <172> 도 14는 본 발명의 다른 실시예에 따른 액정 표시판 조립체의 제2 화소(PXb)를 도시하는 배치도이다.
- <173> 도 14를 참고하면, 본 발명의 다른 실시예에 따른 액정 표시판 조립체의 제2 화소(PXb)도 서로 마주하는 박막 트랜지스터 표시판(도시하지 않음)과 공통 전극 표시판(도시하지 않음) 및 이들 두 표시판 사이에 들어 있는 액정층(도시하지 않음)을 포함한다.
- <174> 본 실시예에 따른 액정 표시판 조립체의 층상 구조는 대개 도 5 내지 도 9에 도시한 액정 표시판 조립체의 층상 구조와 동일하다.
- <175> 박막 트랜지스터 표시판에 대하여 설명하자면, 절연 기판(도시하지 않음) 위에 복수 쌍의 게이트선(121a, 121b), 복수의 유지 전극선(131)을 포함하는 복수의 게이트 도전체가 형성되어 있다. 각 게이트선(121a, 121b)은 제1 및 제2 게이트 전극(124a, 124b)과 끝 부분(129a, 129b)을 포함하고 각 유지 전극선(131)은 유지 전극(137)을 포함한다. 게이트 도전체(121a, 121b, 131) 위에는 게이트 절연막(도시하지 않음)이 형성되어 있다. 게이트 절연막 위에는 제1 및 제2 섬형 반도체(154a, 154b)가 형성되어 있고, 그 위에는 복수의 저항성 접촉 부재(도시하지 않음)가 형성되어 있다. 저항성 접촉 부재 및 게이트 절연막 위에는 복수의 제1 및 제2 데이터선(171a, 171b)과 복수의 제1 및 제2 드레인 전극(175a, 175b)를 포함하는 데이터 도전체가 형성되어 있다. 제1 및 제2 데이터선(171a, 171b)은 복수의 제1 및 제2 소스 전극(173a, 173b)과 끝 부분(179a, 179b)을 포함한다. 데이터 도전체(171a, 171b, 175a, 175b) 및 노출된 반도체(154) 부분 위에는 보호막(도시하지 않음)이 형성되어 있고, 보호막 및 게이트 절연막에는 복수의 접촉 구멍(181a, 181b, 182a, 182b, 185a, 185b)이 형성되어 있다. 보호막 위에는 제1 및 제2 부화소 전극(191a, 191b)과 복수의 접촉 보조 부재(81a, 81b, 82a, 82b)가 형성되어 있다. 화소 전극(191), 접촉 보조 부재(81a, 81b, 82a, 82b) 및 보호막 위에는 배향막(도시하지 않음)이 형성

되어 있다.

- <176> 공통 전극 표시판에 대하여 설명하자면, 절연 기판(도시하지 않음) 위에 차광 부재(도시하지 않음), 복수의 색 필터(도시하지 않음), 덮개막(도시하지 않음), 공통 전극(도시하지 않음), 그리고 배향막(도시하지 않음)이 형성되어 있다.
- <177> 도 12 및 도 14의 액정 표시판 조립체를 비교하면, 도 7 및 도 10의 액정 표시판 조립체와 같이 제1 및 제2 박막 트랜지스터(Qa, Qb)가 연결된 게이트선(121a, 121b) 및 데이터선(171a, 171b)의 위치는 서로 다르나, 각 제1 및 제2 드레인 전극(175a, 175b)의 형태는 실질적으로 동일하다. 즉 제1 및 제2 화소(PXa, PXb)에서 화소 전극(191)과 제1 및 제2 박막 트랜지스터(Qa, Qb)의 연결 관계는 서로 달라도, 각 화소(PXa, PXb)의 전기 광학적 특성을 동일하게 조절할 수 있다. 따라서 제1 및 제2 화소(PXa, PXb) 각각의 정면 또는 시야각 방향에서 휘도 등의 차이가 없다.

발명의 효과

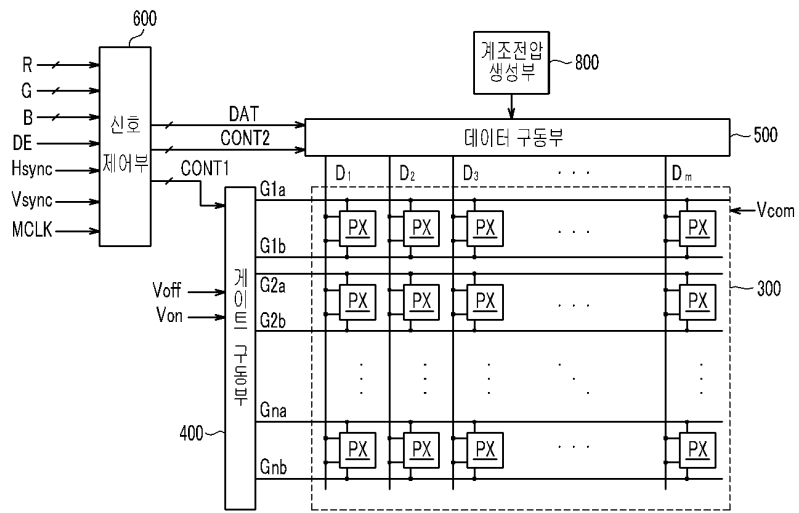
- <178> 본 발명에 따르면, 열 반전 구동 시 화질의 열화가 없으며, 화소의 광학적 특성이 균일한 액정 표시 장치를 제공하는 것이다.
- <179> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면의 간단한 설명

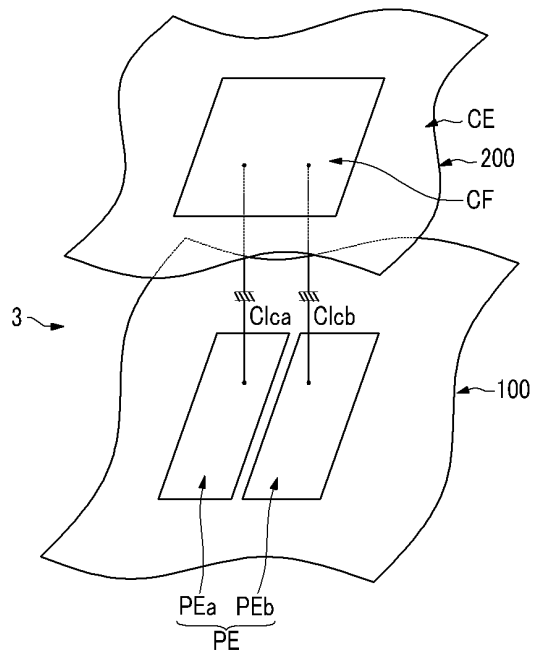
- <1> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도.
- <2> 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 두 부화소에 대한 등가 회로도.
- <3> 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도.
- <4> 도 4는 본 발명의 한 실시예에 따른 액정 표시 장치의 화소 배열 및 화소 극성을 도시하는 개략도.
- <5> 도 5는 본 발명의 한 실시예에 따른 액정 표시판 조립체 중 한 화소의 박막 트랜지스터 표시판의 배치도.
- <6> 도 6은 본 발명의 한 실시예에 따른 액정 표시판 조립체 중 한 화소의 공통 전극 표시판의 배치도.
- <7> 도 7은 도 5의 박막 트랜지스터 표시판과 도 6의 공통 전극 표시판으로 이루어진 액정 표시판 조립체를 도시하는 배치도.
- <8> 도 8 및 도 9는 도 7에 도시한 액정 표시판 조립체를 VIII-VIII 및 IX-IX 선을 따라 잘라 도시한 단면도.
- <9> 도 10은 본 발명의 한 실시예에 따른 액정 표시판 조립체 중 다른 화소를 도시하는 배치도.
- <10> 도 11은 본 발명의 다른 실시예에 따른 액정 표시판 조립체 중 한 화소를 도시하는 배치도.
- <11> 도 12는 도 11의 액정 표시판 조립체의 화소 전극 및 공통 전극의 배치도.
- <12> 도 13a 내지 도 13c는 도 12에 도시한 각 부화소 전극의 기본이 되는 전극면의 평면도.
- <13> 도 14는 본 발명의 다른 실시예에 따른 액정 표시판 조립체 중 다른 화소를 도시하는 배치도.

도면

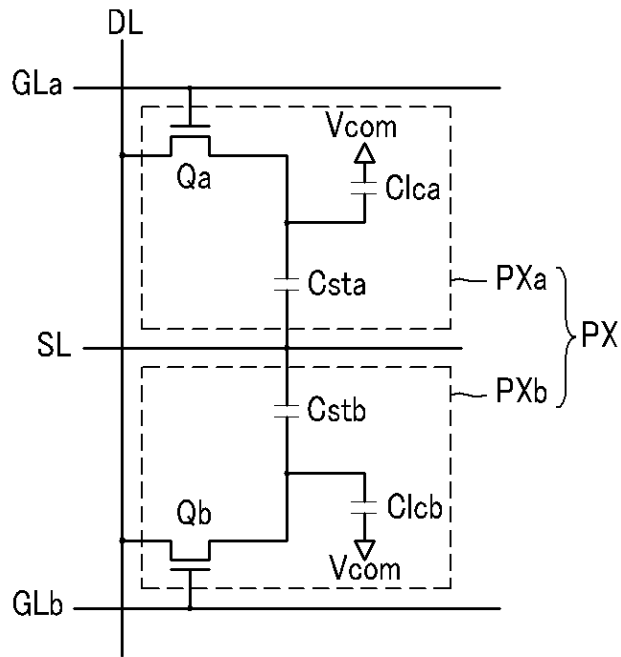
도면1



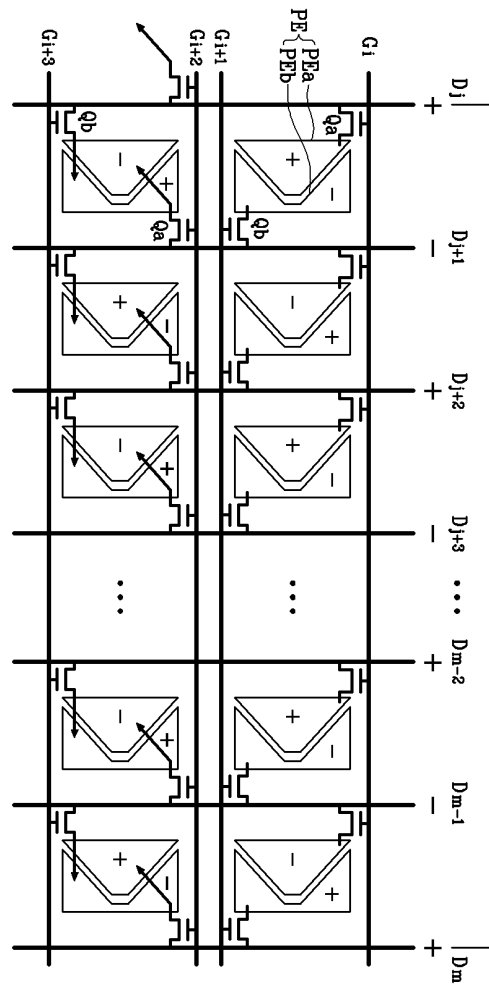
도면2



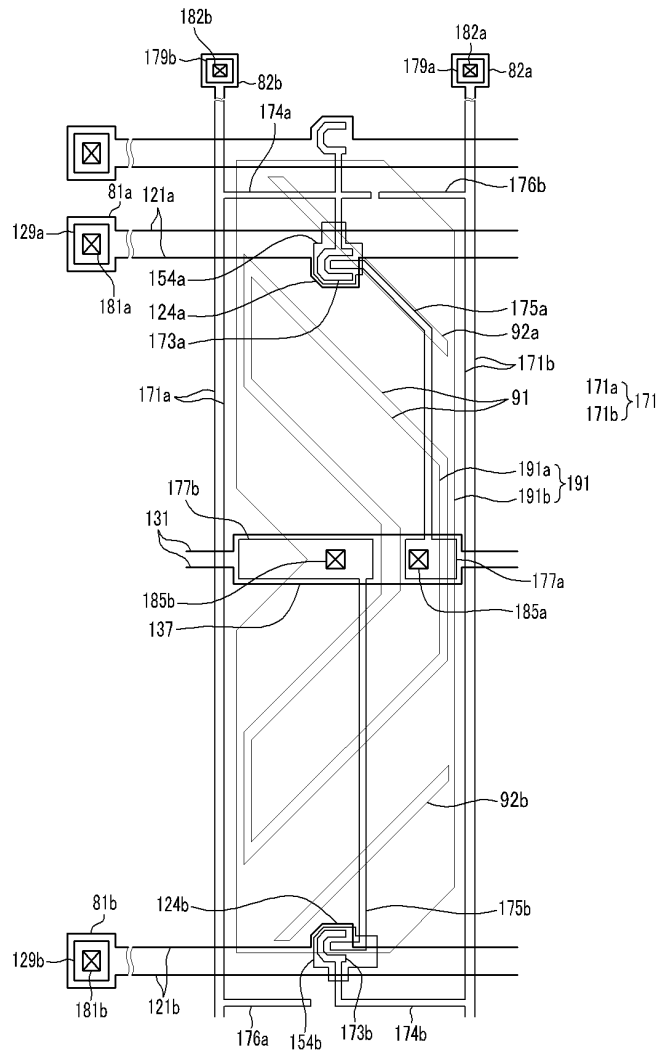
도면3



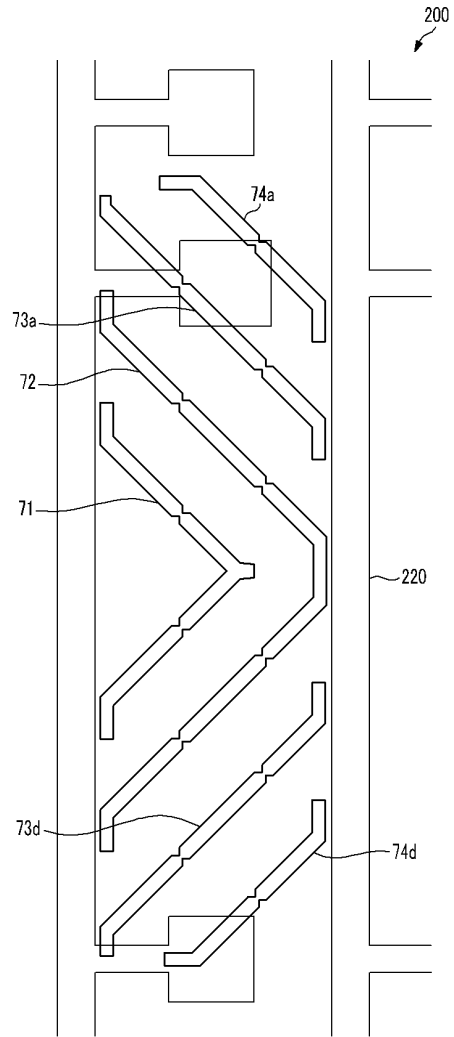
도면4



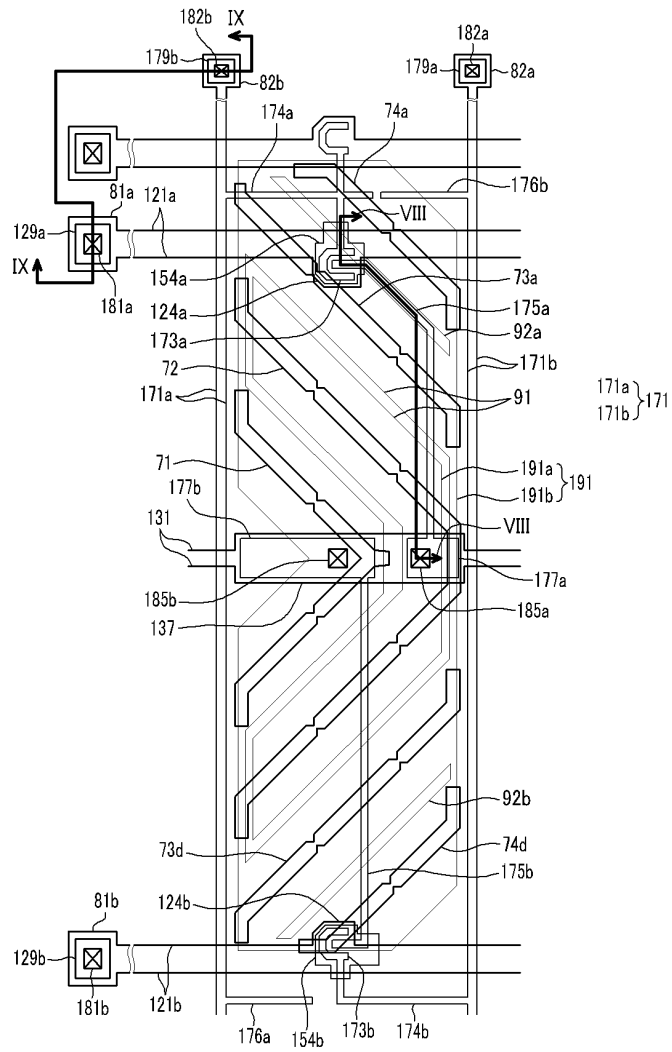
도면5



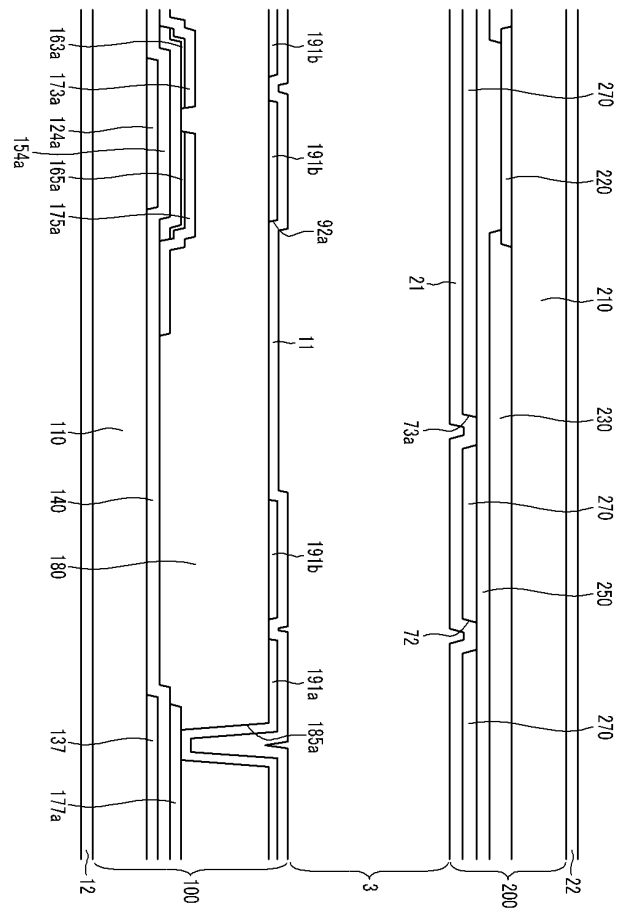
도면6



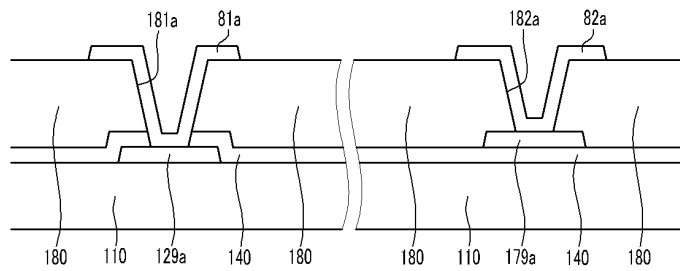
도면7



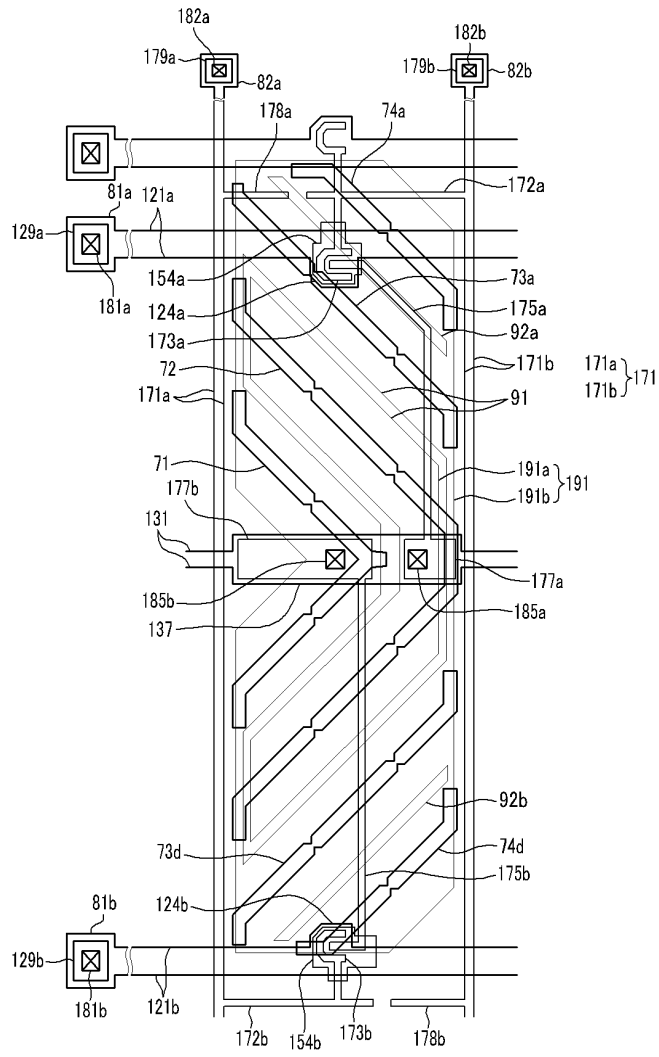
도면8



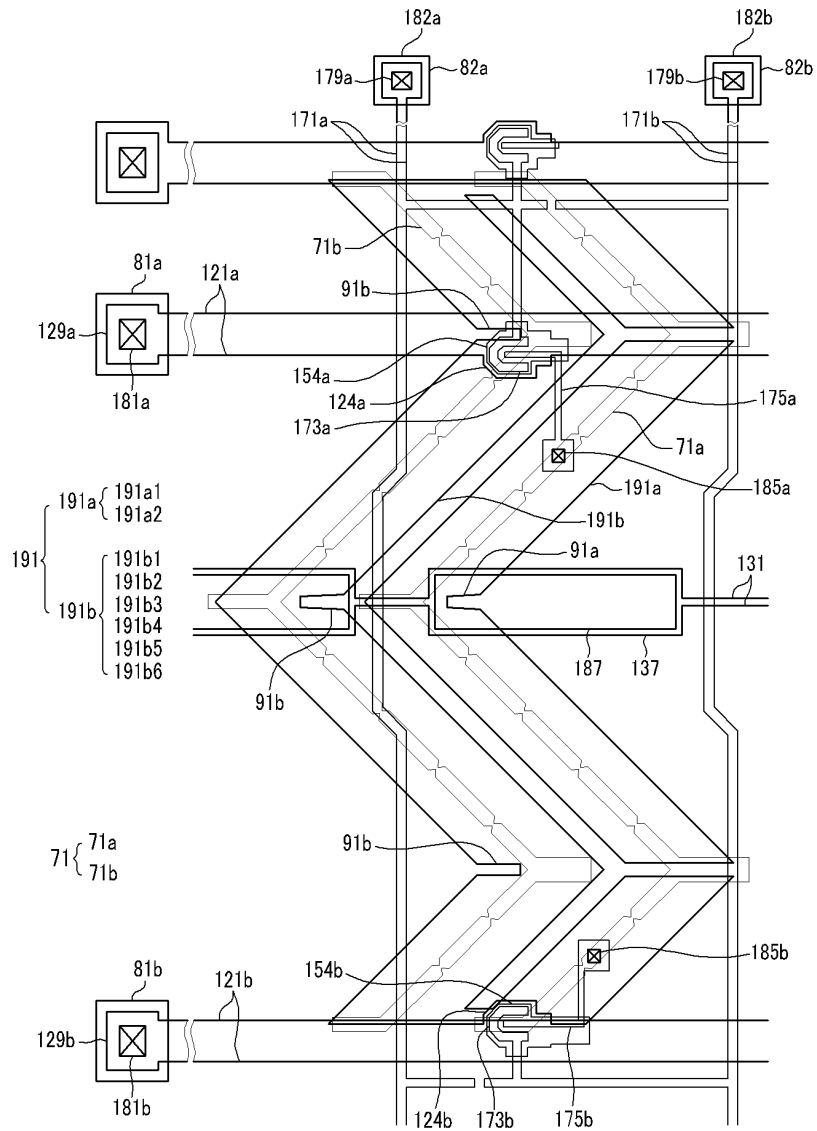
도면9



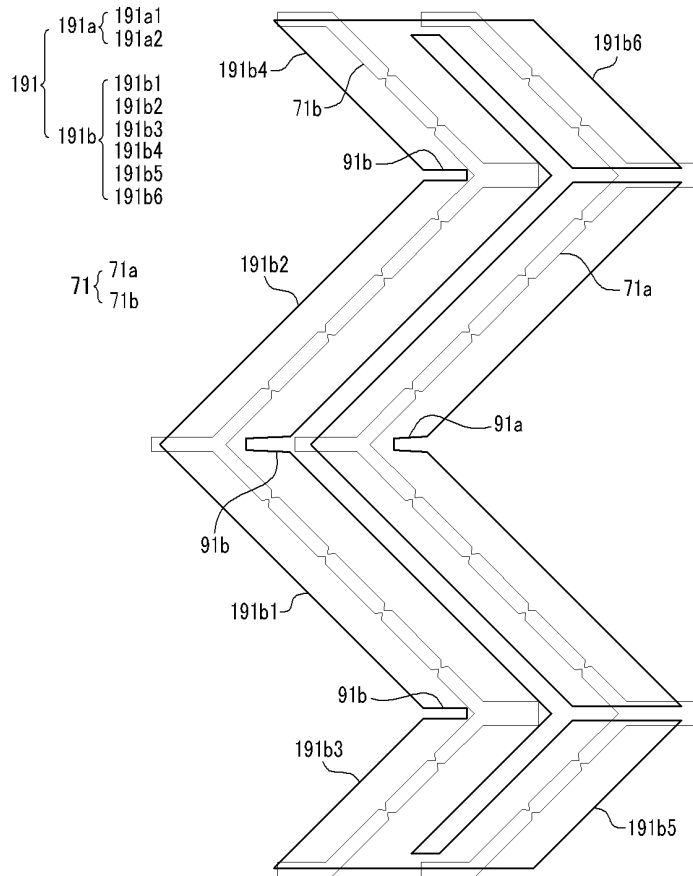
도면10



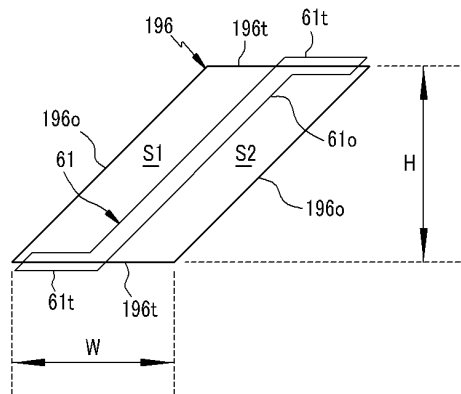
도면11



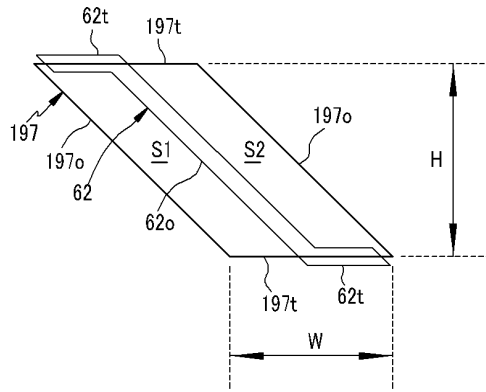
도면12



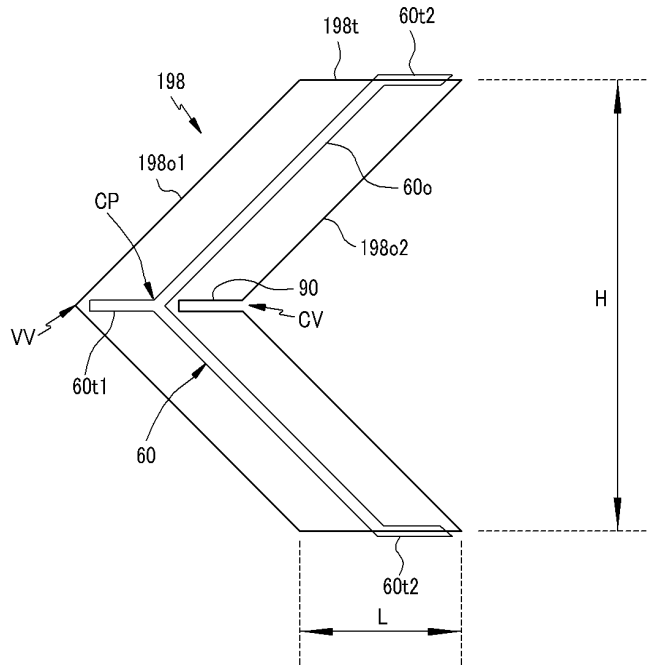
도면13a



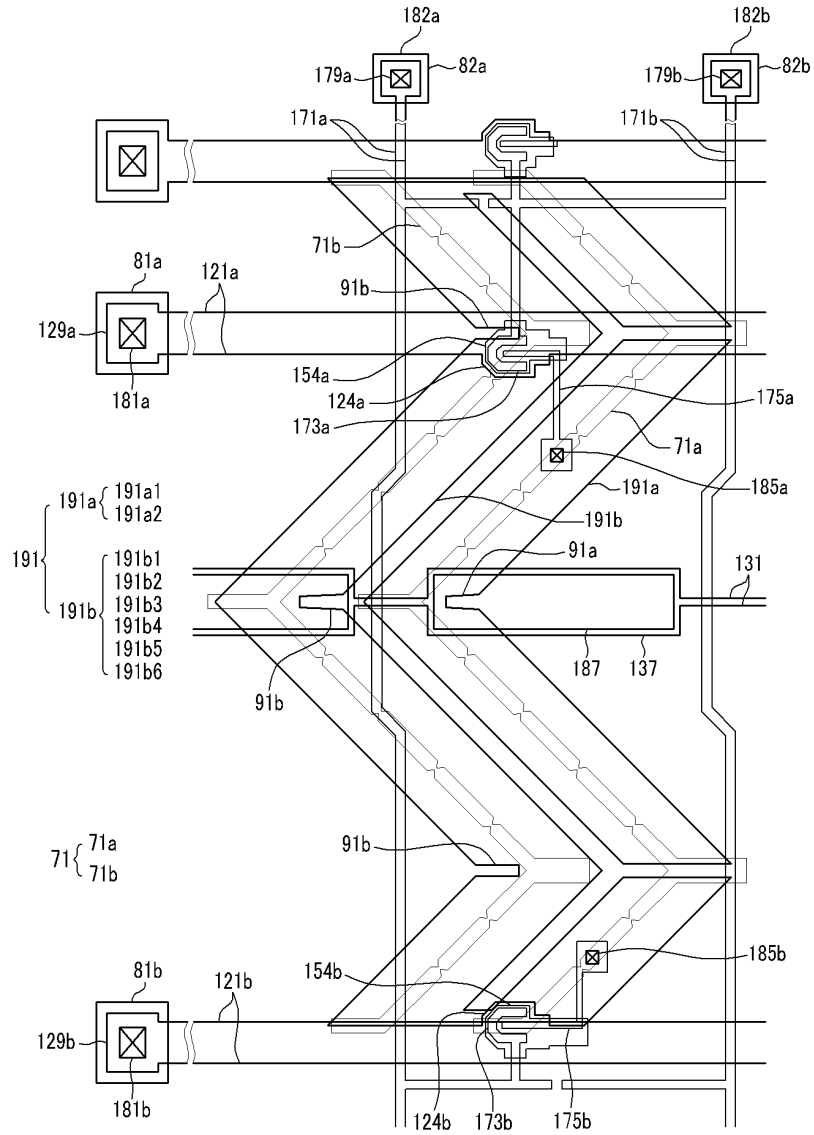
도면13b



도면13c



도면14



专利名称(译)	液晶显示器		
公开(公告)号	KR1020070117072A	公开(公告)日	2007-12-12
申请号	KR1020060050783	申请日	2006-06-07
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE BACK WON 이백원 BAEK SEUNG SOO 백승수		
发明人	이백원 백승수		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/136286 G02F1/1343 G02F2001/134372 H01L29/786		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器。根据本发明的一个实施例的液晶显示器包括多个像素，其被布置到矩阵并包括第一和第二像素，像素电极包括多个第一和第二数据线，其将数据电压传送到第一和第二栅极。线和像素与多对的第一和第二栅极线相交，其将栅极信号传送到像素，第一和第二像素包括第一和第二子像素电极，并且薄膜晶体管连接到第一子像素电极第二薄膜晶体管连接第二子像素电极。并且第一像素连接到薄膜晶体管是第一栅极线和第一数据线。并且第二薄膜晶体管连接到第二栅极线，第二数据线连接到薄膜晶体管，第一像素是第一栅极线和第二数据线。并且第二薄膜晶体管连接到第二栅极线和第一数据线。并且在第一和第二子像素电极处施加的数据电压的大小是不同的，并且它是从一个视频信息获得的。2G1D，列反转驱动，高速驱动，串扰。

