



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0101578
(43) 공개일자 2007년10월17일

(51) Int. C1.

G02F 1/1343(2006.01) G02F 1/136(2006.01)

(21) 출원번호 10-2006-0032749

(22) 출원일자 2006년04월11일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김동규

경기도 용인시 풍덕천2동 삼성5차아파트 523동
1305호

(74) 대리인

팬코리아특허법인

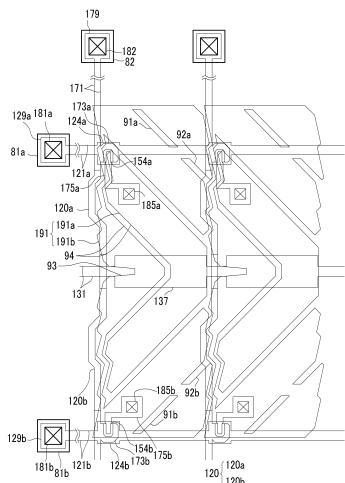
전체 청구항 수 : 총 15 항

(54) 액정 표시 장치

(57) 요 약

본 발명은 액정 표시 장치에 관한 것이다. 본 발명에 따른 액정 표시 장치는 제1 및 제2 부화소 전극을 포함하는 화소 전극, 상기 제1 부화소 전극과 연결되어 있는 제1 박막 트랜지스터, 상기 제2 부화소 전극과 연결되어 있는 제2 박막 트랜지스터, 상기 제1 박막 트랜지스터와 연결되어 있는 제1 게이트선, 상기 제2 박막 트랜지스터와 연결되어 있는 제2 게이트선, 그리고 상기 제1 및 제2 박막 트랜지스터와 연결되어 있으며 상기 제1 및 제2 게이트선과 교차하는 제1 데이터선을 포함하며, 상기 화소 전극은 서로 마주하는 한 쌍의 제1 주변 및 상기 제1 주변과 연결되어 있으며 서로 마주하는 한 쌍의 제2 주변을 가지며, 상기 화소 전극의 제2 주변은 톱니 모양의 돌출부를 포함하고, 상기 제1 데이터선은 상기 제2 부화소 전극과 적어도 일부가 중첩한다.

대표도 - 도4



특허청구의 범위

청구항 1

제1 및 제2 부화소 전극을 포함하는 화소 전극,
 상기 제1 부화소 전극과 연결되어 있는 제1 박막 트랜지스터,
 상기 제2 부화소 전극과 연결되어 있는 제2 박막 트랜지스터,
 상기 제1 박막 트랜지스터와 연결되어 있는 제1 게이트선,
 상기 제2 박막 트랜지스터와 연결되어 있는 제2 게이트선, 그리고
 상기 제1 및 제2 박막 트랜지스터와 연결되어 있으며 상기 제1 및 제2 게이트선과 교차하는 제1 데이터선
 을 포함하며,
 상기 화소 전극은 서로 마주하는 한 쌍의 제1 주변 및 상기 제1 주변과 연결되어 있으며 서로 마주하는 한 쌍
 의 제2 주변을 가지며,
 상기 화소 전극의 제2 주변은 텁니 모양의 돌출부를 포함하고,
 상기 제1 데이터선은 상기 제2 부화소 전극과 적어도 일부가 중첩하는
 액정 표시 장치.

청구항 2

제1항에서,
 상기 제2 부화소 전극의 면적은 상기 제1 부화소 전극의 면적보다 넓은 액정 표시 장치.

청구항 3

제1항에서,
 상기 제1 부화소 전극과 상기 제2 부화소 전극의 전압은 서로 다른 액정 표시 장치.

청구항 4

제3항에서,
 상기 제1 부화소 전극의 면적은 상기 제2 부화소 전극의 전압보다 높은 액정 표시 장치.

청구항 5

제1항에서,
 상기 제1 및 제2 박막 트랜지스터는 각각 상기 제1 및 제2 게이트선으로부터의 신호에 따라 편온되어 상기 제1
 데이터선으로부터의 신호를 전달하는 액정 표시 장치.

청구항 6

제1항에서,
 상기 제1 데이터선은 상기 제1 부화소 전극과 중첩하지 않는 액정 표시 장치.

청구항 7

제1항에서,
 상기 제1 데이터선과 인접하는 제2 데이터선을 더 포함하고,
 상기 제2 부화소 전극은 상기 제1 데이터선 및 상기 제2 데이터선과 동시에 중첩하는 액정 표시 장치.

청구항 8

제7항에서,

상기 제2 부화소 전극과 상기 제1 데이터선이 중첩하는 면적은 상기 제2 부화소 전극과 상기 제2 데이터선이 중첩하는 면적과 실질적으로 동일한 액정 표시 장치.

청구항 9

제7항에서,

상기 제1 및 제2 데이터선은 적어도 한번 겹여 있는 액정 표시 장치.

청구항 10

제7항에서,

상기 제1 데이터선에 인가되는 전압의 극성과 상기 제2 데이터선에 인가되는 전압의 극성은 서로 반대인 액정 표시 장치.

청구항 11

제1항에서,

상기 제1 데이터선의 아래에 상기 제1 데이터선과 중첩하며, 상기 제1 데이터선의 평명 모양과 실질적으로 동일한 제1 반도체, 그리고

상기 제1 반도체와 중첩하는 광차단막

을 포함하는 액정 표시 장치.

청구항 12

제11항에서,

상기 광차단막은 상기 제1 및 제2 게이트선과 동일한 재질로 이루어진 액정 표시 장치.

청구항 13

제11항에서,

상기 제1 반도체의 폭은 상기 제1 데이터선의 폭 보다 큰 액정 표시 장치.

청구항 14

제1항에서,

상기 화소 전극은 상기 제1 주변과 빗각을 이루는 복수의 절개부를 포함하는 액정 표시 장치.

청구항 15

제1항에서,

상기 화소 전극과 마주하는 공통 전극을 더 포함하고,

상기 공통 전극은 상기 제1 주변과 빗각을 이루는 복수의 절개부를 포함하는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<35> 본 발명은 액정 표시 장치에 관한 것이다.

<36> 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

<37> 이러한 액정 표시 장치 중에서도, 전기장이 인가되지 않은 상태에서 액정 분자의 장축을 표시판에 대하여 수직을 이루도록 배열한 수직 배향 방식(vertically aligned mode)의 액정 표시 장치가 대비비가 크고 기준 시야각이 넓어서 각광받고 있다.

<38> 수직 배향 방식의 액정 표시 장치에서 넓은 기준 시야각을 구현하기 위한 구체적인 방법으로는 전기장 생성 전극에 절개부를 형성하는 방법과 전기장 생성 전극 위에 돌기를 형성하는 방법 등이 있다. 절개부 및 돌기는 액정 분자가 기울어지는 방향(tilt direction)을 결정하므로, 이들을 적절하게 배치하여 액정 분자의 경사 방향을 여러 방향으로 분산시킴으로써 기준 시야각을 넓힐 수 있다.

발명이 이루고자 하는 기술적 과제

<39> 그러나 화소 전극이 게이트선 및 데이터선과 평행한 직사각형 형태인 액정 표시 장치에서는 인접한 화소 전극 사이에 생기는 전기장으로 인하여 액정 분자의 배열이 흐트러져 텍스처(texture)가 발생하고 이에 따라 투과율이 줄어들 수 있다.

<40> 본 발명이 이루고자 하는 기술적 과제는 개구율 및 투과율을 높이며, 측면 시인성 또한 향상시키는 것이다.

발명의 구성 및 작용

<41> 이러한 기술적 과제를 해결하기 위한 본 발명의 한 실시예에 따른 액정 표시 장치는 제1 및 제2 부화소 전극을 포함하는 화소 전극, 상기 제1 부화소 전극과 연결되어 있는 제1 박막 트랜지스터, 상기 제2 부화소 전극과 연결되어 있는 제2 박막 트랜지스터, 상기 제1 박막 트랜지스터와 연결되어 있는 제1 게이트선, 상기 제2 박막 트랜지스터와 연결되어 있는 제2 게이트선, 그리고 상기 제1 및 제2 박막 트랜지스터와 연결되어 있으며 상기 제1 및 제2 게이트선과 교차하는 제1 데이터선을 포함하며, 상기 화소 전극은 서로 마주하는 한 쌍의 제1 주변 및 상기 제1 주변과 연결되어 있으며 서로 마주하는 한 쌍의 제2 주변을 가지며, 상기 화소 전극의 제2 주변은 텁니 모양의 돌출부를 포함하고, 상기 제1 데이터선은 상기 제2 부화소 전극과 적어도 일부가 중첩한다.

<42> 상기 제2 부화소 전극의 면적은 상기 제1 부화소 전극의 면적보다 넓을 수 있다.

<43> 상기 제1 부화소 전극과 상기 제2 부화소 전극의 전압은 서로 다를 수 있다.

<44> 상기 제1 부화소 전극의 면적은 상기 제2 부화소 전극의 전압보다 높을 수 있다.

<45> 상기 제1 및 제2 박막 트랜지스터는 각각 상기 제1 및 제2 게이트선으로부터의 신호에 따라 편온되어 상기 제1 데이터선으로부터의 신호를 전달할 수 있다.

<46> 상기 제1 데이터선은 상기 제1 부화소 전극과 중첩하지 않을 수 있다.

<47> 상기 제1 데이터선과 인접하는 제2 데이터선을 더 포함하고, 상기 제2 부화소 전극은 상기 제1 데이터선 및 상기 제2 데이터선과 동시에 중첩할 수 있다.

<48> 상기 제2 부화소 전극과 상기 제1 데이터선이 중첩하는 면적은 상기 제2 부화소 전극과 상기 제2 데이터선이 중첩하는 면적과 실질적으로 동일할 수 있다.

<49> 상기 제1 및 제2 데이터선은 적어도 한번 겹여 있을 수 있다.

<50> 상기 제1 데이터선에 인가되는 전압의 극성과 상기 제2 데이터선에 인가되는 전압의 극성은 서로 반대일 수 있다.

<51> 상기 제1 데이터선의 아래에 상기 제1 데이터선과 중첩하며, 상기 제1 데이터선의 평면 모양과 실질적으로 동일한 제1 반도체, 그리고 상기 제1 반도체와 중첩하는 광차단막을 포함할 수 있다.

<52> 상기 광차단막은 상기 제1 및 제2 게이트선과 동일한 재질로 이루어질 수 있다.

- <53> 상기 제1 반도체의 폭은 상기 제1 데이터선의 폭 보다 클 수 있다.
- <54> 상기 화소 전극은 상기 제1 주 변과 빗각을 이루는 복수의 절개부를 포함할 수 있다.
- <55> 상기 화소 전극과 마주하는 공통 전극을 더 포함하고, 상기 공통 전극은 상기 제1 주 변과 빗각을 이루는 복수의 절개부를 포함할 수 있다.
- <56> 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- <57> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- <58> 이제 본 발명의 액정 표시 장치에 대하여 첨부한 도면을 참고로 하여 상세하게 설명한다.
- <59> 먼저, 도 1 및 도 2를 참고하여 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 상세하게 설명한다.
- <60> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.
- <61> 도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300) 및 이와 연결된 게이트 구동부(400) 및 데이터 구동부(500), 데이터 구동부(500)에 연결된 계조 전압 생성부(800), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.
- <62> 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선(G_1-G_n , D_1-D_m)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다. 반면, 도 2에 도시한 구조로 볼 때 액정 표시판 조립체(300)는 서로 마주하는 하부 및 상부 표시판(100, 200)과 그 사이에 들어 있는 액정층(3)을 포함한다.
- <63> 신호선(G_1-G_n , D_1-D_m)은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(G_1-G_n)과 데이터 신호를 전달하는 복수의 데이터선(D_1-D_m)을 포함한다. 게이트선(G_1-G_n)은 대략 행 방향으로 뻗으며 서로가 거의 평행하고, 데이터선(D_1-D_m)은 대략 열 방향으로 뻗으며 서로가 거의 평행하다.
- <64> 각 화소(PX)는 한 쌍의 부화소를 포함하며, 각 부화소는 액정 축전기(liquid crystal capacitor)(Clca, Clcb)를 포함한다. 두 부화소 중 적어도 하나는 게이트선, 데이터선 및 액정 축전기(Clca, Clcb)와 연결된 스위칭 소자(도시하지 않음)를 포함한다.
- <65> 액정 축전기(Clca/Clcb)는 하부 표시판(100)의 부화소 전극(PEa/PEb)과 상부 표시판(200)의 공통 전극(CE)을 두 단자로 하며 부화소 전극(PEa/PEb)과 공통 전극(CE) 사이의 액정층(3)은 유전체로서 기능한다. 한 쌍의 부화소 전극(PEa, PEb)은 서로 분리되어 있으며 하나의 화소 전극(PE)을 이룬다. 공통 전극(CE)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가 받는다. 액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판의 표면에 대하여 수직을 이루도록 배향되어 있을 수 있다.
- <66> 한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이를 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(PX)가 상부 표시판(200)의 영역에 기본색 중 하나를 나타내는 색 필터(CF)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(CF)는 하부 표시판(100)의 부화소 전극(PEa, PEb) 위 또는 아래에 형성할 수도 있다.
- <67> 표시판(100, 200)의 바깥 면에는 편광자(polarizer)(도시하지 않음)가 구비되어 있는데, 두 편광자의 편광축은 직교할 수 있다. 반사형 액정 표시 장치의 경우에는 두 개의 편광자(12, 22) 중 하나가 생략될 수 있다. 직교 편광자인 경우 전기장이 없는 액정층(3)에 들어온 입사광을 차단한다.
- <68> 다시 도 1을 참고하면, 계조 전압 생성부(800)는 화소(PX)의 투과율과 관련된 복수의 계조 전압(또는 기준 계조

전압)을 생성한다.

<69> 게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선과 연결되어 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호(Vg)를 게이트선에 인가한다.

<70> 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선과 연결되어 있으며, 계조 전압 생성부(800)로부터의 계조 전압을 선택하고 이를 데이터 신호로서 데이터선에 인가한다. 그러나 계조 전압 생성부(800)가 모든 계조에 대한 전압을 모두 제공하는 것이 아니라 정해진 수의 기준 계조 전압만을 제공하는 경우에, 데이터 구동부(500)는 기준 계조 전압을 분압하여 전체 계조에 대한 계조 전압을 생성하고 이 중에서 데이터 신호를 선택한다.

<71> 신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등을 제어한다.

<72> 이러한 구동 장치(400, 500, 600, 800) 각각은 적어도 하나의 접적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다. 이와는 달리, 이들 구동 장치(400, 500, 600, 800)가 액정 표시판 조립체(300)에 접착될 수도 있다. 또한, 구동 장치(400, 500, 600, 800)는 단일 칩으로 접착될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루는 적어도 하나의 회로 소자가 단일 칩 바깥에 있을 수 있다.

<73> 그러면 도 3 내지 도 10, 그리고 앞에서 설명한 도 1 및 도 2를 참고로 하여 본 발명의 한 실시예에 따른 액정 표시판 조립체에 대하여 상세하게 설명한다.

<74> 도 3은 본 발명의 한 실시예에 따른 액정 표시판 조립체의 한 화소에 대한 등가 회로도이다.

<75> 도 3을 참고하면, 본 실시예에 따른 액정 표시판 조립체는 복수 쌍의 게이트선(GLa, GLb), 복수의 데이터선(DL) 및 복수의 유지 전극선(SL)을 포함하는 신호선과 이에 연결된 복수의 화소(PX)를 포함한다.

<76> 각 화소(PX)는 한 쌍의 부화소(PXa, PXb)를 포함하며, 각 부화소(PXa/PXb)는 각각 해당 게이트선(GLa/GLb) 및 데이터선(DL)에 연결되어 있는 스위칭 소자(Qa/Qb)와 이에 연결된 액정 축전기(Clca/Clcb), 그리고 스위칭 소자(Qa/Qb) 및 유지 전극선(SL)에 연결되어 있는 유지 축전기(storage capacitor)(Csta/Cstb)를 포함한다.

<77> 각 스위칭 소자(Qa/Qb)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 게이트선(GLa/GLb)과 연결되어 있고, 입력 단자는 데이터선(DL)과 연결되어 있으며, 출력 단자는 액정 축전기(Clca/Clcb) 및 유지 축전기(Csta/Cstb)와 연결되어 있다.

<78> 액정 축전기(Clca/Clcb)의 보조적인 역할을 하는 유지 축전기(Csta/Cstb)는 하부 표시판(100)에 구비된 유지 전극선(SL)과 화소 전극(PE)이 절연체를 사이에 두고 중첩되어 이루어지며 유지 전극선(SL)에는 공통 전압(Vcom) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기(Csta, Cstb)는 부화소 전극(PEa, PEb)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.

<79> 액정 축전기(Clca, Clcb) 등에 대해서는 앞에서 설명하였으므로 상세한 설명은 생략한다.

<80> 이와 같은 액정 표시판 조립체를 포함하는 액정 표시 장치에서는, 신호 제어부(600)가 한 화소(PX)에 대한 입력 영상 신호(R, G, B)를 수신하여 두 부화소(PXa, PXb)에 대한 출력 영상 신호(DAT)로 변환하여 데이터 구동부(500)에 전송할 수 있다. 이와는 달리, 계조 전압 생성부(800)에서 두 부화소(PXa, PXb)에 대한 계조 전압 집합을 따로 만들고 이를 번갈아 데이터 구동부(500)에 제공하거나, 데이터 구동부(500)에서 이를 번갈아 선택함으로써, 두 부화소(PXa, PXb)에 서로 다른 전압을 인가할 수 있다. 단, 이때 두 부화소(PXa, PXb)의 합성 감마 곡선이 정면에서의 기준 감마 곡선에 가깝게 되도록 영상 신호를 보정하거나 계조 전압 집합을 만드는 것이 바람직하다. 예를 들면 정면에서의 합성 감마 곡선은 이 액정 표시판 조립체에 가장 적합하도록 정해진 정면에서의 기준 감마 곡선과 일치하도록 하고 측면에서의 합성 감마 곡선은 정면에서의 기준 감마 곡선과 가장 가깝게 되도록 한다.

<81> 도 3에 도시한 액정 표시판 조립체의 한 예에 대하여 도 4 내지 도 10, 그리고 앞서 설명한 도 3을 참고하여 상세하게 설명한다.

<82> 도 4는 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이며, 도 5는 본 발명의 한 실시예에 따른 액정 표시 장치용 공통 전극 표시판의 배치도이며, 도 6은 도 4에 도시한 박막 트랜지스터 표

시판과 도 5에 도시한 공통 전극 표시판으로 이루어진 액정 표시판 조립체의 배치도이며, 도 7, 도 8 및 도 9는 각각 도 6에 도시한 액정 표시판 조립체를 VII-VII, VIII-VIII 및 IX-IX 선을 따라 잘라 도시한 단면도이며, 도 10은 도 6의 액정 표시판 조립체의 공통 전극 및 화소 전극의 배치도이다.

- <83> 도 4 내지 도 9를 참고하면, 본 실시예에 따른 액정 표시판 조립체는 서로 마주하는 하부 표시판(100)과 상부 표시판(200) 및 이들 두 표시판(100, 200) 사이에 들어 있는 액정층(3)을 포함한다.
- <84> 먼저, 도 4, 도 6, 도 7, 도 8 및 도 9를 참고하여, 하부 표시판(100)에 대하여 설명한다.
- <85> 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 복수 쌍의 제1 및 제2 게이트선(gate line)(121a, 121b), 복수의 유지 전극선(storage electrode lines)(131) 및 복수의 광차단막(120)을 포함하는 복수의 게이트 도전체가 형성되어 있다.
- <86> 제1 및 제2 게이트선(121a, 121b)은 게이트 신호를 전달하고 주로 가로 방향으로 뻗으며, 각각 위쪽 및 아래쪽에 위치한다.
- <87> 제1 게이트선(121a)은 위로 돌출한 복수의 제1 게이트 전극(gate electrode)(124a)과 다른 층 또는 게이트 구동부(400)와의 접속을 위한 넓은 끝 부분(129a)을 포함한다. 제2 게이트선(121b)은 아래로 돌출한 복수의 제2 게이트 전극(124b)과 다른 층 또는 게이트 구동부(400)와의 접속을 위한 넓은 끝 부분(129b)을 포함한다. 게이트 구동부(400)가 기판(110) 위에 접적되어 있는 경우 게이트선(121a, 121b)이 연장되어 이와 직접 연결될 수 있다.
- <88> 유지 전극선(131)은 공통 전압(Vcom) 등 소정의 전압을 인가 받으며, 주로 가로 방향으로 뻗어 있다. 유지 전극선(131)은 각각 제1 게이트선(121a) 및 제2 게이트선(121b) 사이에 위치한다. 각 유지 전극선(131)은 아래위로 확장된 복수의 유지 전극(storage electrode)(137)을 포함한다. 그러나 유지 전극(137)을 비롯한 유지 전극선(131)의 모양 및 배치는 여러 형태로 변형될 수 있다.
- <89> 광차단막(120)은 주로 세로 방향으로 뻗어 있으며, 서로 떨어져 있는 복수의 영역(120a, 120b)을 포함한다. 즉 주로 가로 방향으로 뻗어 있는 제1 및 제2 게이트선(121a, 121b) 및 유지 전극선(131)과 단락되지 않도록 여러 부분으로 나뉘어 있다.
- <90> 게이트 도전체(120, 121a, 121b, 131)는 알루미늄(A1)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 비저항(resistivity)이 낮은 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 탄탈륨, 티타늄 등으로 만들어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄(합금) 상부막 및 알루미늄(합금) 하부막과 몰리브덴(합금) 상부막을 들 수 있다. 그러나 게이트 도전체(120, 121a, 121b, 131)는 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.
- <91> 게이트 도전체(120, 121a, 121b, 131)의 측면은 기판(110) 면에 대하여 경사져 있으며 그 경사각은 약 30° 내지 약 80° 인 것이 바람직하다.
- <92> 게이트 도전체(120, 121a, 121b, 131) 위에는 질화규소(SiNx) 또는 산화규소(SiOx) 따위로 만들어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.
- <93> 게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소(polysilicon) 등으로 만들어진 복수의 선형 반도체(151s, 151n)가 형성되어 있다. 선형 반도체(151a, 151b)는 주로 세로 방향으로 뻗어 있으며, 제1 및 제2 게이트 전극(124a, 124b)을 향하여 뻗어 나온 복수의 제1 및 제2 돌출부(projection)(154a, 154b)를 포함한다.
- <94> 반도체(154a, 154b) 위에는 복수의 선형 저항성 접촉 부재(ohmic contact) (161), 제1 섬형 저항성 접촉 부재(도시하지 않음) 및 제2 섬형 저항성 접촉 부재(165b)가 형성되어 있다. 저항성 접촉 부재(161, 165b)는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 선형 저항성 접촉 부재(161)는 복수의 제1 돌출부(도시하지 않음) 및 제2 돌출부(163b)를 가지고 있으며, 이 제1 및 제2 돌출부(163b)와 제1 및 제2 섬형 저항성 접촉 부재(165b)는 쌍을

이루어 반도체(151)의 제1 및 제2 돌출부(154a, 154b) 위에 배치되어 있다.

<95> 반도체(151, 154a, 154b)와 저항성 접촉 부재(161, 163b, 165b)의 측면 역시 기판(110) 면에 대하여 경사져 있으며 경사각은 30° 내지 80° 정도이다.

<96> 저항성 접촉 부재(161, 163b, 165b) 및 게이트 절연막(140) 위에는 복수의 데이터선(data line)(171)과 복수 쌍의 제1 및 제2 드레인 전극(drain electrode)(175a, 175b)을 포함하는 데이터 도전체가 형성되어 있다.

<97> 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121a, 121b) 및 유지 전극선(131)과 교차한다. 각 데이터선(171)은 전체에 걸쳐 일직선 상에 있지 않으며, 적어도 한 번 꺾여 있다.

<98> 각 데이터선(171)은 제1 및 제2 게이트 전극(124a, 124b)을 향하여 각각 뻗은 복수 쌍의 제1 및 제2 소스 전극(source electrode)(173a, 173b)과 다른 층 또는 데이터 구동부(500)와의 접속을 위하여 면적이 넓은 끝 부분(179)을 포함한다. 데이터 구동부(500)가 기판(110) 위에 접적되어 있는 경우, 데이터선(171)이 연장되어 이와 직접 연결될 수 있다.

<99> 제1 및 제2 드레인 전극(175a, 175b)은 서로 분리되어 있고 데이터선(171)과도 분리되어 있다.

<100> 제1/제2 드레인 전극(175a/175b)은 제1/제2 게이트 전극(124a/124b)을 중심으로 제1/제2 소스 전극(173a/173b)과 마주하며, 막대형 끝 부분은 구부러진 제1 및 제2 소스 전극(173a, 173b)으로 일부 둘러싸여 있다.

<101> 제1/제2 게이트 전극(124a/124b), 제1/제2 소스 전극(173a/173b) 및 제1/제2 드레인 전극(175a/175b)은 제1/제2 반도체(154a, 154b)와 함께 제1/제2 박막 트랜지스터(thin film transistor, TFT)(Qa/Qb)를 이루며, 제1/제2 박막 트랜지스터(Qa/Qb)의 채널(channel)은 제1/제2 소스 전극(173a/173b)과 제1/제2 드레인 전극(175a/175b) 사이의 제1/제2 반도체(154a/154b)에 형성된다.

<102> 데이터 도전체(171, 175a, 175b)는 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막(도시하지 않음)과 저저항 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 다중막 구조의 예로는 크롬 또는 몰리브덴(합금) 하부막과 알루미늄(합금) 상부막의 이중막, 몰리브덴(합금) 하부막과 알루미늄(합금) 중간막과 몰리브덴(합금) 상부막의 삼중막을 들 수 있다. 그러나 데이터 도전체(171, 175a, 175b)는 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

<103> 데이터 도전체(171, 175a, 175b) 또한 그 측면이 기판(110) 면에 대하여 30° 내지 80° 정도의 경사각으로 기울어진 것이 바람직하다.

<104> 저항성 접촉 부재(161, 163b, 165b)는 그 아래의 반도체(154a, 154b)와 그 위의 데이터 도전체(171, 175a, 175b) 사이에만 존재하며 이를 사이의 접촉 저항을 낮추어 준다. 반도체(154a, 154b)에는 소스 전극(173a, 173b)과 드레인 전극(175a, 175b) 사이를 비롯하여 데이터 도전체(171, 175a, 175b)로 가리지 않고 노출된 부분이 있다.

<105> 한편, 선형 반도체(151), 데이터 도전체(171, 175a, 175b) 및 그 하부의 저항성 접촉 부재(161, 163b, 165b)와 실질적으로 동일한 평면 모양을 가지고 있다. 그러나 선형 반도체(151)의 폭은 데이터선(171) 폭보다 크다. 따라서 단면을 살펴보면, 선형 반도체(151)의 폭 방향으로 양쪽 끝은 데이터선(171) 보다 돌출되어 있다.

<106> 이러한 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법에서는 데이터선(171)과 드레인 전극(175a, 175b), 반도체(151) 및 저항성 접촉 부재(161, 163b, 165b)를 한 번의 사진 공정으로 형성한다.

<107> 이러한 사진 공정에서 사용하는 감광막은 위치에 따라 두께가 다르며, 특히 두께가 작아지는 순서로 제1 부분과 제2 부분을 포함한다. 제1 부분은 데이터선(171)과 드레인 전극(175a, 175b)이 차지하는 배선 영역에 위치하며, 제2 부분은 박막 트랜지스터의 채널 영역에 위치한다.

<108> 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있는데, 예를 들면 광마스크에 투광 영역(light transmitting area) 및 차광 영역(light blocking area) 외에 반투명 영역(translucent area)을 두는 방법이 있다. 반투명 영역에는 슬릿 패턴(slit pattern), 격자 패턴(lattice pattern) 또는 투과율이 중간이거나 두께가 중간인 박막이 구비된다. 슬릿 패턴을 사용할 때에는, 슬릿의 폭이나 슬릿 사이의 간격이 사진 공정에 사용하는 노광기의 분해능(resolution)보다 작은 것이 바람직하다. 다른 예로는 리플로우가 가능한 감광막을 사용하는 방법이 있다. 즉, 투광 영역과 차광 영역만을 지닌 통상의 노광 마스크로 리플로우 가능한 감광막을 형성한 다음 리플로우시켜 감광막이 잔류하지 않은 영역으로 흘러내리도록 함으로써 얇은 부분을 형성하는

것이다.

<109> 이와 같이 하면 한 번의 사진 공정을 줄일 수 있으므로 제조 방법이 간단해진다.

<110> 그러나 본 발명은 이에 한정되는 것은 아니며, 데이터선(171) 및 드레인 전극(175a, 175b)을 반도체(151) 및 저항성 접촉 부재(161, 165b, 165d)과 다른 사진 공정으로 형성하여, 서로 다른 평면 모양을 갖도록 할 수도 있다.

<111> 데이터 도전체(171, 175a, 175b) 및 노출된 반도체(154a, 154b) 부분 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 무기 절연물 또는 유기 절연물 따위로 만들어지며 표면이 평坦할 수 있다. 유기 절연물은 4.0 이하의 유전 상수를 가지는 것이 바람직하고, 감광성(photosensitivity)을 가질 수도 있다. 그러나 보호막(180)은 유기막의 우수한 절연 특성을 살리면서도 노출된 반도체(154a, 154b) 부분에 해가 가지 않도록 하부 무기막과 상부 유기막의 이중막 구조를 가질 수 있다.

<112> 보호막(180)에는 데이터선(171)의 끝 부분(179)과 제1 및 제2 드레인 전극(175a, 175b)의 한 쪽 부분을 각각 드러내는 복수의 접촉 구멍(contact hole)(182, 185a, 185b)이 형성되어 있으며, 보호막(180)과 게이트 절연막(140)에는 게이트선(121a, 121b)의 끝 부분(129a, 129b)을 각각 드러내는 복수의 접촉 구멍(181a, 181b)이 형성되어 있다. 또한 유지 전극(137)과 화소 전극(191)이 중첩하는 부분에서 보호막(180)은 제거되어 있다.

<113> 보호막(180) 위에는 복수의 화소 전극(pixel electrode)(191) 및 복수의 접촉 보조 부재(contact assistant)(81a, 81b, 82)가 형성되어 있다. 이들은 ITO 또는 IZO 등의 투명한 도전 물질이나 알루미늄, 은, 크롬 또는 그 합금 등의 반사성 금속으로 만들어질 수 있다.

<114> 각 화소 전극(191)은 서로 분리되어 있는 한 쌍의 제1 및 제2 부화소 전극(191a, 191b)을 포함한다.

<115> 제1/제2 부화소 전극(191a/191b)은 접촉 구멍(185a/185b)을 통하여 제1/제2 드레인 전극(175a/175b)과 물리적 ○전기적으로 연결되어 제1/제2 드레인 전극(175a/175b)으로부터 데이터 전압을 인가 받는다. 한 쌍의 부화소 전극(191a, 191b)에는 하나의 입력 영상 신호에 대하여 미리 설정되어 있는 서로 다른 데이터 전압이 인가되는데, 그 크기는 부화소 전극(191a, 191b)의 크기 및 모양에 따라 설정될 수 있다. 부화소 전극(191a, 191b)의 면적은 서로 다를 수 있다. 한 예로 제2 부화소 전극(191b)은 제1 부화소 전극(191a)에 비하여 높은 전압을 인가 받으며, 제1 부화소 전극(191a)보다 면적이 작다.

<116> 데이터 전압이 인가된 화소 전극(191)은 공통 전압(common voltage)을 인가 받는 공통 전극 표시판(200)의 공통 전극(common electrode)(270)과 함께 전기장을 생성함으로써 두 전극(191, 270) 사이의 액정층(3)의 액정 분자의 방향을 결정한다. 이와 같이 결정된 액정 분자(31)의 방향에 따라 액정층(3)을 통과하는 빛의 편광이 달라진다. 화소 전극(191)과 공통 전극(270)은 축전기[이하 "액정 축전기(liquid crystal capacitor)"라 함]를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지한다.

<117> 화소 전극(191)은 유지 전극(137)을 비롯한 유지 전극선(131)과 중첩한다. 화소 전극(191) 유지 전극선(131)과 중첩하여 이루는 축전기를 유지 축전기(storage capacitor)라 하며, 유지 축전기는 액정 축전기의 전압 유지 능력을 강화한다. 이때 화소 전극(191)과 유지 전극선(131) 사이에는 게이트 절연막(140)만이 존재하므로, 화소 전극(191)과 유지 전극선(131) 사이의 거리가 짧아지므로 전압 유지 능력이 향상된다.

<118> 각 화소 전극(191)은 그 바깥 경계가 대략 사각형이다.

<119> 하나의 화소 전극(191)을 이루는 한 쌍의 제1 및 제2 부화소 전극(191a, 191b)은 간극(gap)(94)을 사이에 두고 서로 맞물려 있으며, 제1 부화소 전극(191a)은 제2 부화소 전극(191b)의 중앙에 삽입되어 있다.

<120> 제2 부화소 전극(191a)에는 상부 절개부(91a, 92a), 하부 절개부(91b, 92b) 및 중앙 절개부(93)가 형성되어 있으며, 제2 부화소 전극(191b)은 이를 절개부(91a-93)에 의하여 복수의 영역(partition)으로 분할된다. 절개부(91a-93)는 유지 전극선(131)에 대하여 거의 반전 대칭을 이룬다.

<121> 하부 및 상부 절개부(91a-93b)는 대략 화소 전극(191)의 오른쪽 변에서부터 왼쪽 변, 위쪽 변 또는 아래쪽 변으로 비스듬하게 뻗어 있다. 하부 및 상부 절개부(91a-93b)는 유지 전극선(131)에 대하여 하반부와 상반부에 각각 위치하고 있다. 하부 및 상부 절개부(91a-93b)는 게이트선(121)에 대하여 약 45°의 각도를 이루며 서로 수직으로 뻗어 있다.

<122> 중앙 절개부(93)는 유지 전극선(131)을 따라 뻗으며 왼쪽 변 쪽에 입구를 가지고 있다.

- <123> 도 10을 참고하면, 제2 부화소 전극(191b)은 서로 마주하는 한 쌍의 제1 주 변(193, 194)과 이에 연결되어 있는 한 쌍의 제2 주 변(195, 196)을 가진다. 제1 주 변(193, 194)은 게이트선(121)과 거의 평행하고, 제2 주 변(195, 196)은 데이터선(171)을 따라서 형성되어 있다. 화소 전극(191)의 왼쪽 모퉁이는 모따기되어(chamfered) 빗변을 이루며, 모딴 빗변은 게이트선(121)에 대하여 약 45°의 각도를 이룬다.
- <124> 화소 전극(191)의 제2 주 변(195, 196)에는 복수 쌍의 제1 선분(192a) 및 제2 선분(192b)이 반복 형성되어 있다. 제1 선분(192a)과 상부 절개부(91a, 92a) 및 간극(94)이 이루는 각은 약 45도 보다 작다.
- <125> 화소 전극(191)은 데이터선(171)과 보호막(180)을 사이에 두고 중첩한다. 하나의 데이터선(171)은 이웃하는 화소 전극(191)과 모두 중첩한다. 데이터선(171)은 제1 박막 트랜지스터를 통하여 연결되어 있는 자기 화소 전극(191)과 자기 화소 전극(191)과 이웃하는 화소 전극(191)과 모두 중첩하기 위하여, 일직선으로 뻗은 것이 아니라 여러 번 꺾인 형태를 취한다.
- <126> 접촉 보조 부재(81a, 81b, 82)는 접촉 구멍(181a, 181b, 182)을 통하여 각각 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 연결된다. 접촉 보조 부재(81, 81b, 82)는 데이터선(171) 및 게이트선(121)의 끝 부분(179, 129)과 외부 장치와의 접착성을 보완하고 이들을 보호한다.
- <127> 이제, 도 5, 도 6, 도 7, 도 8 및 도 10을 참고하여, 상부 표시판(200)에 대하여 설명한다.
- <128> 투명한 유리 또는 플라스틱 등으로 만들어진 절연 기판(210) 위에 차광 부재(light blocking member)(220)가 형성되어 있다. 차광 부재(220)는 블랙 매트릭스(black matrix)라고도 하며 빛샘을 막아준다. 차광 부재(220)는 데이터선(171)에 대응하는 선형 부분(221)과 박막 트랜지스터에 대응하는 면형 부분을 포함하며, 화소 전극(191) 사이의 빛샘을 막고 화소 전극(191)과 마주하는 개구 영역을 정의한다. 그러나 차광 부재(220)는 화소 전극(191)과 마주보며 화소 전극(191)과 거의 동일한 모양을 가지는 복수의 개구부(도시하지 않음)를 가질 수도 있다.
- <129> 기판(210) 및 차광 부재(220) 위에는 또한 복수의 색필터(230)가 형성되어 있다. 색필터(230)는 차광 부재(230)로 둘러싸인 영역 내에 대부분 존재하며, 화소 전극(191) 열을 따라서 길게 뻗을 수 있다. 각 색필터(230)는 적색, 녹색 및 청색의 삼원색 등 기본색(primary color) 중 하나를 표시할 수 있다.
- <130> 색필터(230) 및 차광 부재(220) 위에는 덮개막(overcoat)(250)이 형성되어 있다. 덮개막(250)은 (유기) 절연물로 만들어질 수 있으며, 색필터(230)가 노출되는 것을 방지하고 평탄면을 제공한다. 덮개막(250)은 생략할 수 있다.
- <131> 덮개막(250) 위에는 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 ITO, IZO 등의 투명한 도전체 따위로 만들어진다.
- <132> 공통 전극(270)에는 복수의 절개부(71, 72, 73a, 73b, 74a, 74b) 집합이 형성되어 있다.
- <133> 하나의 절개부(71~74b) 집합은 하나의 화소 전극(191)과 마주 보며 제1 및 제2 중앙 절개부(71, 72), 상부 절개부(73a, 74a) 및 하부 절개부(73b, 74b)를 포함한다. 절개부(71~74b) 각각은 화소 전극(191)의 인접 절개부(91~94b) 사이에 배치되어 있다. 또한, 각 절개부(71~74b)는 화소 전극(191)의 하부 절개부(93a, 94a) 또는 상부 절개부(93b, 94b)와 평행하게 뻗은 적어도 하나의 사선 가지를 포함한다.
- <134> 하부 및 상부 절개부(73a~74b) 각각은 사선 가지 및 가로 가지를 포함한다. 사선 가지는 대략 화소 전극(191)의 오른쪽 변에서 왼쪽, 위쪽 또는 아래쪽 변으로 화소 전극(191)의 하부 또는 상부 절개부(92a~93b)와 거의 나란하게 뻗는다. 가로 가지 및 세로 가지는 사선 가지의 각 끝에서부터 화소 전극(191)의 변을 따라 중첩하면서 뻗으며 사선 가지와 둔각을 이룬다.
- <135> 제1 중앙 절개부(71)는 중앙 가로 가지, 한 쌍의 사선 가지 및 한 쌍의 종단 세로 가지를 포함한다. 중앙 가로 가지는 대략 화소 전극(191)의 오른쪽 변에서부터 화소 전극(191)의 가로 중심선을 따라 왼쪽으로 뻗으며, 한 쌍의 사선 가지는 중앙 가로 가지의 끝에서 화소 전극(191)의 왼쪽 변을 향하여 각각 하부 및 상부 절개부(73a, 73b, 74a, 74b)와 거의 나란하게 뻗는다. 종단 세로 가지는 사선 가지의 각 끝에서부터 화소 전극(191)의 왼쪽 변을 따라 중첩하면서 뻗으며 사선 가지와 둔각을 이룬다.
- <136> 제2 중앙 절개부(72)는 중앙 종단 가지, 한 쌍의 사선 가지 및 한 쌍의 종단 세로 가지를 포함한다. 제2 중앙 절개부(72)의 한 쌍의 사선 가지 및 한 쌍의 종단 세로 가지는 제1 중앙 절개부(71)의 한 쌍의 사선 가지 및 한 쌍의 종단 세로 가지와 평행하며, 중앙 종단 가지는 한 쌍의 사선 가지를 잇는다.

- <137> 절개부(71~74b)의 수효 및 방향 또한 설계 요소에 따라 달라질 수 있다.
- <138> 표시판(100, 200)의 한쪽 면에는 배향막(alignment layer)(11, 21)이 형성되어 있으며 이들은 수직 배향막일 수 있다.
- <139> 표시판(100, 200)의 바깥쪽 면에는 편광자(polarizer)(12, 22)가 구비되어 있는데, 두 편광자(12, 22)의 편광축은 직교하며 이중 한 편광축은 게이트선(121a, 121b)에 대하여 나란한 것이 바람직하다. 반사형 액정 표시 장치의 경우에는 두 개의 편광자(12, 22) 중 하나가 생략될 수 있다.
- <140> 액정 표시 장치는 편광자(12, 22), 위상 지연막, 표시판(100, 200) 및 액정층(3)에 빛을 공급하는 조명부(backlight unit)(도시하지 않음)를 포함할 수 있다.
- <141> 액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판의 표면에 대하여 수직을 이루도록 배향되어 있다.
- <142> 공통 전극(270)에 공통 전압을 인가하고 화소 전극(191)에 데이터 전압을 인가하면 표시판(100, 200)의 표면에 거의 수직인 전기장(전계)이 생성된다. 액정 분자들은 전기장에 응답하여 그 장축이 전기장의 방향에 수직을 이루도록 방향을 바꾸고자 한다. 앞으로는 화소 전극(191)과 공통 전극(271)을 통틀어 전기장 생성 전극이라 한다.
- <143> 한편, 전기장 생성 전극(191, 270)의 화소 전극의 절개부(91~93b) 및 공통전극의 절개부(71~74b)와 이들과 평행한 화소 전극(191)의 빗변은 전기장을 왜곡하여 액정 분자들의 경사 방향을 결정하는 수평 성분을 만들어낸다. 전기장의 수평 성분은 절개부(91a~93, 71~74b)의 빗변과 화소 전극(191)의 빗변에 수직이다.
- <144> 도 10을 참고하면, 하나의 공통 전극 절개부 집합(71~74b) 및 화소 전극 절개부 집합(91~93b)은 화소 전극(191)을 복수의 부영역(sub-area)으로 나누며, 각 부영역은 화소 전극(191)의 주 변과 빗각을 이루는 두 개의 주변(major edge)을 가진다. 각 부영역 위의 액정 분자들은 대부분 주 변에 수직인 방향으로 기울어지므로, 기울어지는 방향을 추려보면 대략 네 방향이다. 이와 같이 액정 분자가 기울어지는 방향을 다양하게 하면 액정 표시 장치의 기준 시야각이 커진다.
- <145> 적어도 하나의 절개부(91~93b, 71~74b)는 돌기나 함몰부로 대체할 수 있으며, 절개부(91~93b, 71~74b)의 모양 및 배치는 변형될 수 있다.
- <146> 그러면 이러한 액정 표시 장치의 표시 동작에 대하여 상세하게 설명한다.
- <147> 다시 도 1을 참조하면 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클록(MCLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 신호 제어부(600)의 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 입력 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보낸다.
- <148> 게이트 제어 신호(CONT1)는 게이트 온 전압(Von)의 주사 시작을 지시하는 주사 시작 신호(STV)와 게이트 온 전압(Von)의 출력 시기를 제어하는 게이트 클록 신호(CPV) 및 게이트 온 전압(Von)의 폭을 한정하는 출력 인에이블 신호(OE) 등을 포함한다.
- <149> 데이터 제어 신호(CONT2)는 한 행의 부화소(PXa, PXb)에 대한 데이터의 전송을 알리는 수평 동기 시작 신호(STH)와 데이터선(D₁-D_m)에 해당 데이터 전압을 인가하라는 로드 신호(LOAD) 및 데이터 클록 신호(HCLK)를 포함한다. 데이터 제어 신호(CONT2)는 또한 공통 전압(Vcom)에 대한 데이터 전압의 극성(이하 "공통 전압에 대한 데이터 전압의 극성"을 줄여 "데이터 전압의 극성"이라 함)을 반전시키는 반전 신호(RVS)를 포함한다.
- <150> 데이터 구동부(500)는 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라 한 행의 부화소(PXa, PXb)에 대한 영상 데이터(DAT)를 차례로 입력받아 시프트시키고, 계조 전압 생성부(800)로부터의 계조 전압 중 각 영상 데이터(DAT)에 대응하는 계조 전압을 선택함으로써 영상 데이터(DAT)를 해당 아날로그 데이터 전압으로 변환한 후, 이를 해당 데이터선(D₁-D_m)에 인가한다.
- <151> 게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트선(G₁-G_n)에 차례로 인가하여 이 게이트선(G₁-G_n)에 연결된 스위칭 소자(Qa, Qb)를 턴 온시키며, 이에 따라 데

이터선(D_i-D_m)에 인가된 데이터 전압이 턴 온된 스위칭 소자(Q_a, Q_b)를 통하여 해당 부화소(PX_a, PX_b)에 인가된다.

<152> 부화소(PX_a, PX_b)에 인가된 데이터 전압과 공통 전압(V_{com})의 차이는 각 액정 축전기(C_{1ca}, C_{1cb})의 충전 전압, 즉 부화소 전압으로서 나타난다. 액정 분자들은 부화소 전압의 크기에 따라 그 배열을 달리하며 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판(100, 200)에 부착된 편광판(12, 22)에 의하여 빛의 투과율 변화로 나타난다.

<153> 하나의 입력 영상 데이터는 한 쌍의 출력 영상 데이터로 변환되고 이들은 한 쌍의 부화소(PX_a, PX_b)에 서로 다른 투과율을 부여한다. 따라서 두 부화소(PX_a, PX_b)는 서로 다른 감마 곡선을 나타내며 한 화소(PX)의 감마 곡선은 이들을 합성한 곡선이 된다. 정면에서의 합성 감마 곡선은 가장 적합하도록 정해진 정면에서의 기준 감마 곡선과 일치하도록 하고 측면에서의 합성 감마 곡선은 정면에서의 기준 감마 곡선과 가장 가깝게 되도록 한다. 이와 같이 영상 데이터를 변환함으로써 측면 시인성이 향상된다. 또한 앞서 설명한 바와 같이 상대적으로 높은 데이터 전압을 인가 받는 제2 부화소 전극(191b)의 면적을 제1 부화소 전극(191a)의 면적보다 작게 함으로써 측면에서의 합성 감마 곡선의 왜곡을 작게 할 수 있다.

<154> 1 수평 주기(또는 "1H")[수평 동기 신호(Hsync), 데이터 인에이블 신호(DE)의 한 주기]가 지나면 데이터 구동부(500)와 게이트 구동부(400)는 다음 행의 부화소(PX_a, PX_b)에 대하여 동일한 동작을 반복한다. 이러한 방식으로, 한 프레임(frame) 동안 모든 게이트선(G_l-G_n)에 대하여 차례로 게이트 온 전압(Von)을 인가하여 모든 부화소(PX_a, PX_b)에 데이터 전압을 인가한다. 한 프레임이 끝나면 다음 프레임이 시작되고 각 부화소(PX_a, PX_b)에 인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전").

<155> 이하 이러한 데이터선(171a, 171b)과 화소 전극(191) 사이의 중첩 관계에 대하여 도 11 내지 도 13을 참고하여 상세하게 설명한다.

<156> 도 11은 계조별 화소 전극의 감마 곡선을 도시하는 그래프이며, 도 12는 제1 부화소 전극(191a)의 전압 변화에 따른 총회도 변화율을 도시하는 그래프이며, 도 13은 제2 부화소 전극(191b)의 전압 변화에 따른 총회도 변화율을 도시하는 그래프이다.

<157> 데이터선(171)과 화소 전극(191) 사이에는 기생 용량이 발생 한다. 이 기생 용량에 따라 화소 전극 전압은 영향을 받아 변화한다. 제1 부화소 전극(191a)과 제2 부화소 전극(191b)은 서로 다른 전압이 인가되므로, 기생 용량에 따라 화소 전극 전압이 같은 양으로 변하더라도 제1 부화소 전극(191a)과 제2 부화소 전극(191b)의 회도 변화율은 상이하다.

<158> 도 11을 참고하면, 계조별 제1 부화소 전극의 감마 곡선(31), 제2 부화소 전극의 감마 곡선(32) 및 화소 전극의 평균 감마 곡선(30)이 도시되어 있다. 작은 전압 변동에 회도가 민감하게 변화하는 저계조에서 제1 부화소 전극의 전압 변화율은 크고, 제2 부화소 전극의 전압 변화율은 오프 상태이다. 전압 변동에 따라 회도가 민감하게 변화하지 않는 고계조에서 제1 부화소 전극의 전압 변화율은 작고, 제2 부화소 전극의 전압 변화율은 크다.

<159> 도 12 및 도 13을 참조하여 다시 설명하면, 저계조에서 제1 부화소 전극(191a)의 회도 변화율은 9%에 다다른다. 이에 반하여 제2 부화소 전극(191b)은 저계조에서는 오프 상태이므로 회도 변화율이 0%에 가깝고, 고계조로 갈수록 회도 변화율이 증가한다. 그러나 제2 부화소 전극(191b)의 고계조에서의 회도 변화율은 최대 0.45% 정도로 제1 부화소 전극(191a)의 회도 변화율에 비하여 매우 작다.

<160> 따라서 도 6와 같이 더욱 회도 변화율이 민감한 제1 부화소 전극(191a)은 데이터선(171)과 중첩하지 않게 하면 기생 용량에 의한 회도 변화를 방지할 수 있다. 또한, 데이터선(171)을 상대적으로 회도 변화율이 둔감한 제2 부화소 전극(191b)과 중첩시킴으로써 개구율을 확보할 수 있다.

<161> 그러면 도 14 내지 도 15b를 참고하여 본 실시예에 따른 액정 표시 장치의 동작에 대하여 상세하게 설명한다.

<162> 도 14는 본 발명의 한 실시예에 따른 액정 표시 장치의 조명부의 동작을 도시하는 파형도이다.

<163> 도 14를 참고하면, 본 실시예에 따른 액정 표시 장치의 조명부는 빛을 디밍(dimming) 시켜 방출한다. 즉, 조명부는 제1 구간(Lon) 동안 턴 온되어 액정 조립체 표시판(300)을 향하여 빛을 방출하며, 제2 구간(Loff) 동안 턴 오프되어 빛을 방출하지 않는다. 따라서 조명부는 일정한 주기(PR)를 가지고 턴 온과 턴 오프를 반복한다.

<164> 데이터선(171) 아래에 형성되어 있는 선형 반도체(151)는 조명부가 턴 온 상태일 경우에는 도체로 작용한다.

따라서 선형 반도체(151)의 가장자리 부분과 화소 전극(191) 사이에 기생 용량이 형성된다. 이 선형 반도체(151)와 화소 전극(191) 사이의 기생 용량은 화소 전극 전압(Vpix)을 변화시킨다. 그러나 조명부가 턴 오프 상태에서는 반도체(151)는 부도체로 작용한다. 따라서 조명부의 턴 온 상태 및 턴오프 상태의 전압 요동에 차이가 생긴다. 이때 액정 표시판 조립체의 구동 주파수와 조명부 디밍 주파수 간에 공명 현상으로 화면이 물결이 흘러내리는 것과 같이 표시되는 워터폴(waterfall) 현상이 발생한다.

<165> 이 때 본 발명과 같이 선형 반도체(151) 아래에 광차단막(120)을 형성하면 조명부로부터 방출되는 빛이 선형 반도체(151)에 유입되는 것을 막을 수 있다. 그러면 조명부가 턴 온 상태에서도 선형 반도체(151)는 도체로 작용할 수 없고, 선형 반도체(151)와 화소 전극(190) 사이에 기생 용량이 발생하지 않는다. 따라서, 워터폴이 발생하는 것을 방지할 수 있다.

<166> 또한, 본 실시예와 같이 화소 전극(191)이 서로 다른 극성의 데이터 전압이 흐르는 두 데이터선(171)과 동시에 중첩하면 워터폴 현상을 방지할 수 있다. 이에 대하여 도 15a 및 도 15b를 참고하여 상세하게 설명한다.

<167> 도 15a 및 도 15b는 본 발명의 한 실시예에 따른 액정 표시 장치의 구동 신호를 도시하는 과정도로서, 도 15a는 화소 전극이 부극성(-)일 때를 도시하며, 도 14b는 화소 전극이 정극성(+)일 때를 도시한다.

<168> 도 15a를 참고하면, 조명부가 턴 온 상태일 때 선형 반도체(151s)와 화소 전극(191) 사이에 기생 용량이 발생하면, 부극성(-)의 전압이 인가되는 데이터선(171)의 전압(Vds)은 요동한다. 이 때 인접하는 다른 데이터선(171)에는 정극성(+)의 전압이 인가되고, 선형 반도체(151)와 화소 전극(191) 사이에 기생 용량으로 인하여 데이터선(171)의 전압(Vdn) 역시 요동한다. 이 때 두 데이터선(171)의 극성은 서로 반대이므로 두 데이터선 전압(Vds, Vdn)의 요동 위상은 서로 반대이다. 따라서 화소 전극 전압(Vpix)의 요동은 상쇄된다. 결국 화소 전극 전압(Vpix)은 변화가 없다.

<169> 도 15b를 참고하면, 조명부가 턴 온 상태일 때 선형 반도체(151)와 화소 전극(191) 사이에 기생 용량이 발생하면, 정극성(+)의 전압이 인가되는 데이터선(171)의 전압(Vds)은 요동하고, 부극성(-)의 전압이 인가되는 데이터선의 전압(Vdn)은 기생 용량으로 인하여 요동한다. 도 15a에서 설명한 바와 같이 화소 전극 전압(Vpix)의 변동은 각각 정극성(+) 및 부극성(-) 방향으로 동시에 발생하므로 서로 상쇄된다.

<170> 따라서, 화소 전극 전압(Vpix)은 조명부가 턴 온 되는 경우 선형 반도체(151)에 영향받지 않아 워터폴 현상을 방지할 수 있다.

발명의 효과

<171> 본 발명에 따르면, 액정 표시 장치의 개구율 및 투과율을 높이며, 측면 시인성 또한 향상시킨다. 또한 워터폴 현상을 방지하여 화질을 우수하게 표현할 수 있다.

<172> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

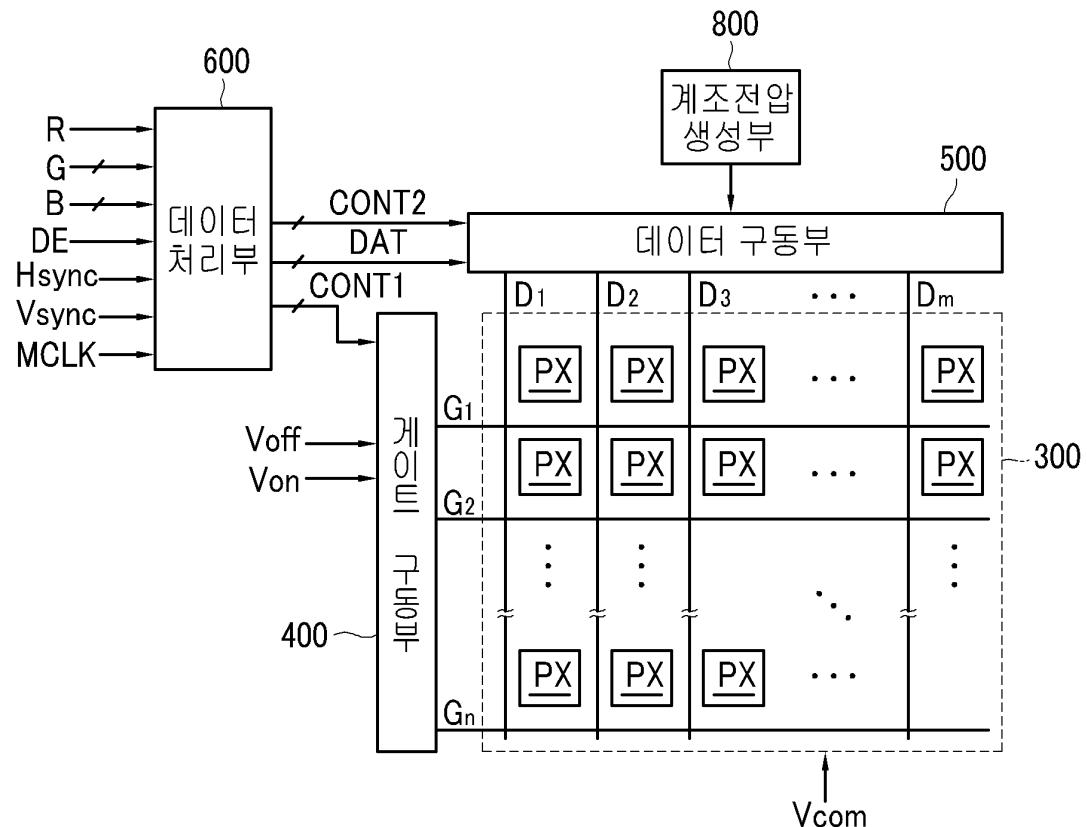
도면의 간단한 설명

- <1> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도.
- <2> 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 두 부화소에 대한 등가 회로도.
- <3> 도 3은 본 발명의 한 실시예에 따른 액정 표시판 조립체의 등가 회로도.
- <4> 도 4는 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도.
- <5> 도 5는 본 발명의 한 실시예에 따른 액정 표시 장치용 공통 전극 표시판의 배치도.
- <6> 도 6은 도 4의 박막 트랜지스터 표시판과 도 5의 공통 전극 표시판으로 이루어진 액정 표시 장치의 배치도.
- <7> 도 7, 도 8 및 도 9 각각은 도 6에 도시한 액정 표시 장치를 VII-VII, VIII-VIII 및 IX-IX 선을 따라 잘라 도시한 단면도.
- <8> 도 10은 도 6에 도시한 액정 표시 장치의 화소 전극 및 공통 전극을 도시하는 도면.
- <9> 도 11은 본 발명의 한 실시예에 따른 액정 표시 장치의 감마 곡선을 도시하는 그래프.

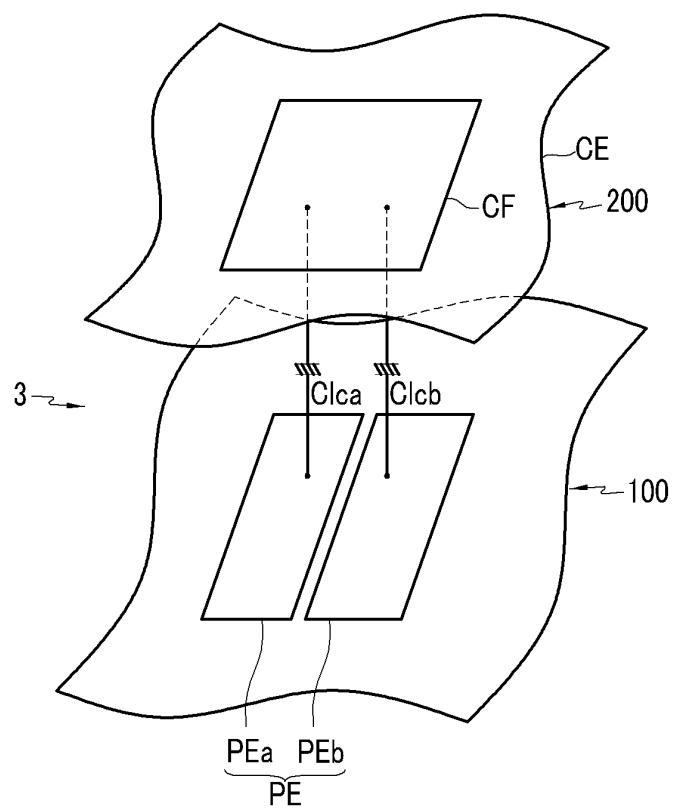
- <10> 도 12는 본 발명의 한 실시예에 따른 액정 표시 장치의 제1 부화소 전극의 전압을 변화시킬 때 계조에 따른 휘도 변화율을 나타내는 그래프.
- <11> 도 13은 본 발명의 한 실시예에 따른 액정 표시 장치의 제2 부화소 전극의 전압을 변화시킬 때 계조에 따른 휘도 변화율을 나타내는 그래프.
- <12> 도 14는 본 발명의 한 실시예에 따른 액정 표시 장치의 조명부의 작동 주기를 나타내는 과정도.
- <13> 도 15a 및 도 15b는 본 발명의 한 실시예에 따른 액정 표시 장치에서 화소 전극 및 데이터 전압을 도시하는 과정도.
- <14> <도면 부호의 설명>
- <15> 12, 22: 편광판 11, 21: 배향막
- <16> 71, 72, 73a, 73a, 74a, 74b, 75a, 75b: 공통 전극 절개부
- <17> 81, 81a, 81b, 82: 접촉 보조 부재
- <18> 91a, 91b, 92a, 92b, 93: 화소 전극 절개부
- <19> 94: 간극 110, 210: 기판
- <20> 121, 121a, 121b, 129a, 129b: 케이트선
- <21> 124, 124a, 124b: 케이트 전극
- <22> 131: 유지 전극선 137: 유지 전극
- <23> 140: 케이트 절연막
- <24> 154, 154a, 154b: 반도체
- <25> 161, 163a, 165a, 163b, 165b: 저항성 접촉 부재
- <26> 171, 179: 데이터선 173a, 173b: 소스 전극
- <27> 175a, 175b: 드레인 전극 180: 보호막
- <28> 181, 181a, 181b, 182, 185a, 185b: 접촉 구멍
- <29> 191, 191a, 191b: 화소 전극
- <30> 220: 차광 부재 230: 색필터
- <31> 250: 덮개막 270: 공통 전극
- <32> 300: 액정 표시판 조립체 400: 케이트 구동부
- <33> 500: 데이터 구동부 600: 신호 제어부
- <34> 800: 계조 전압 생성부

도면

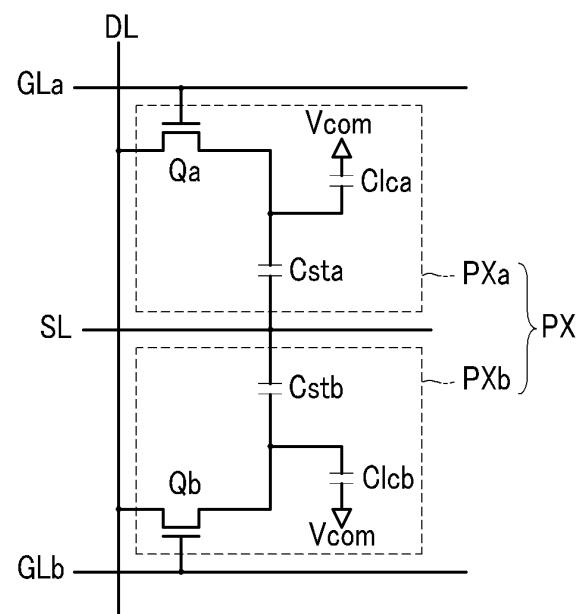
도면1



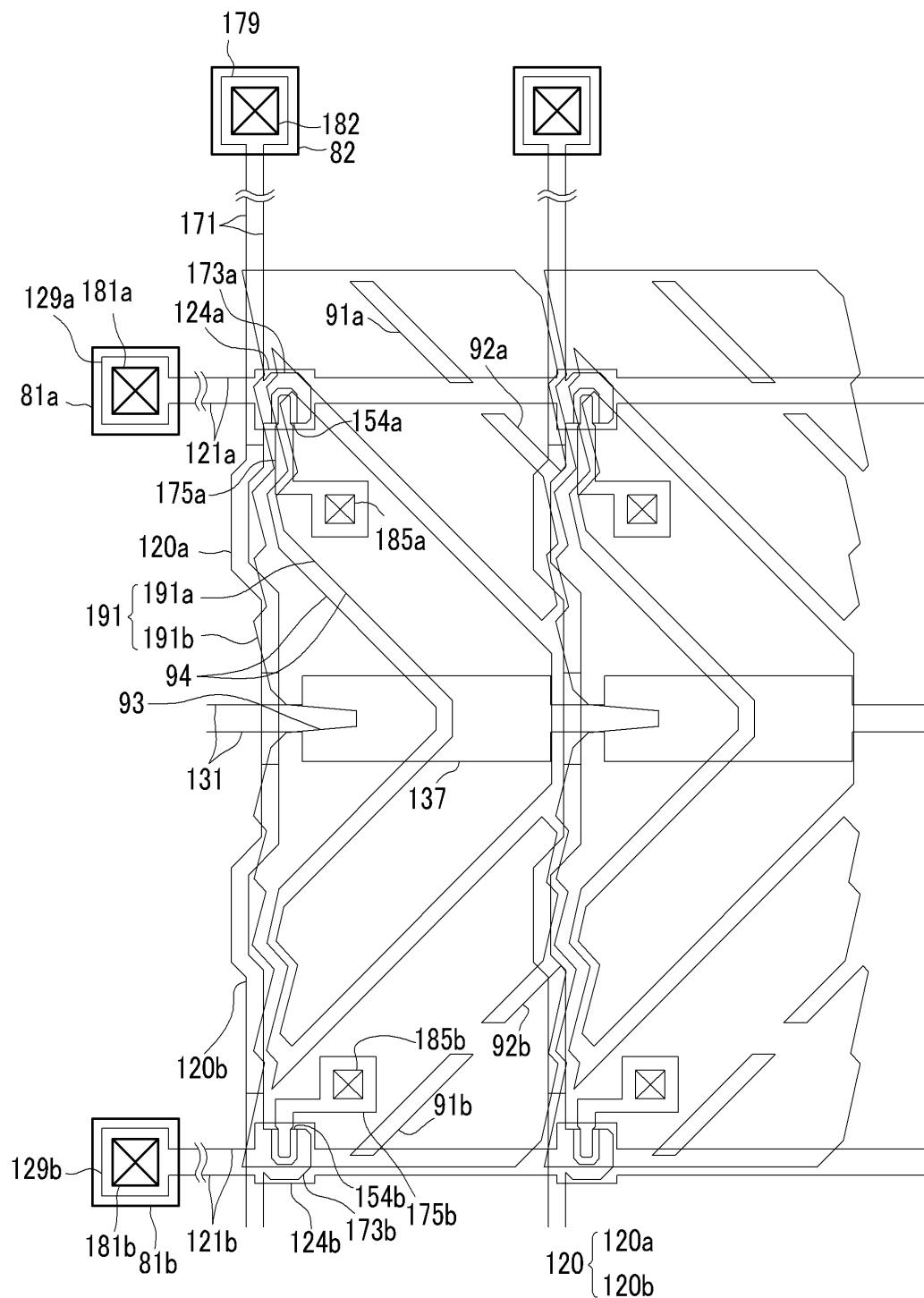
도면2



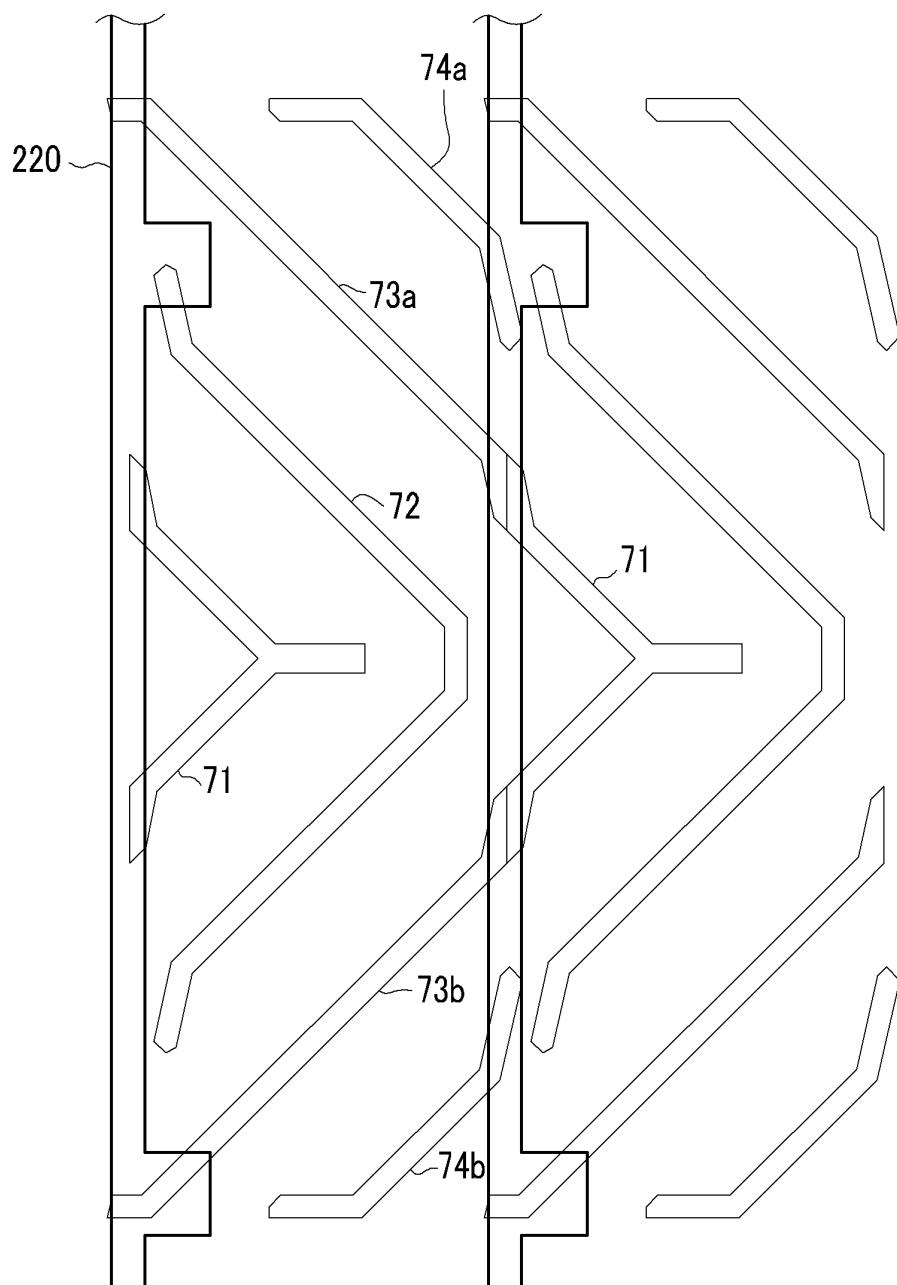
도면3



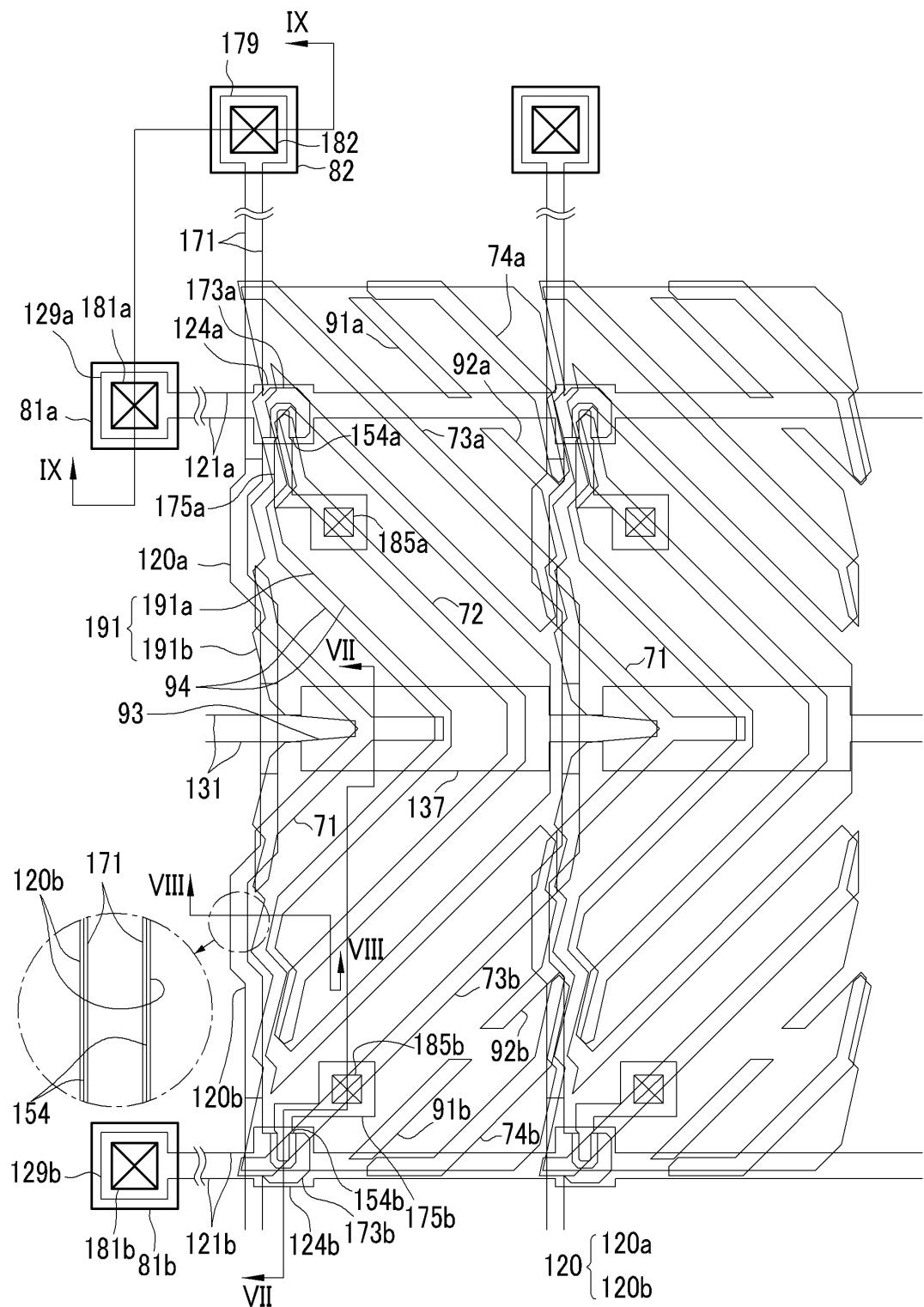
도면4



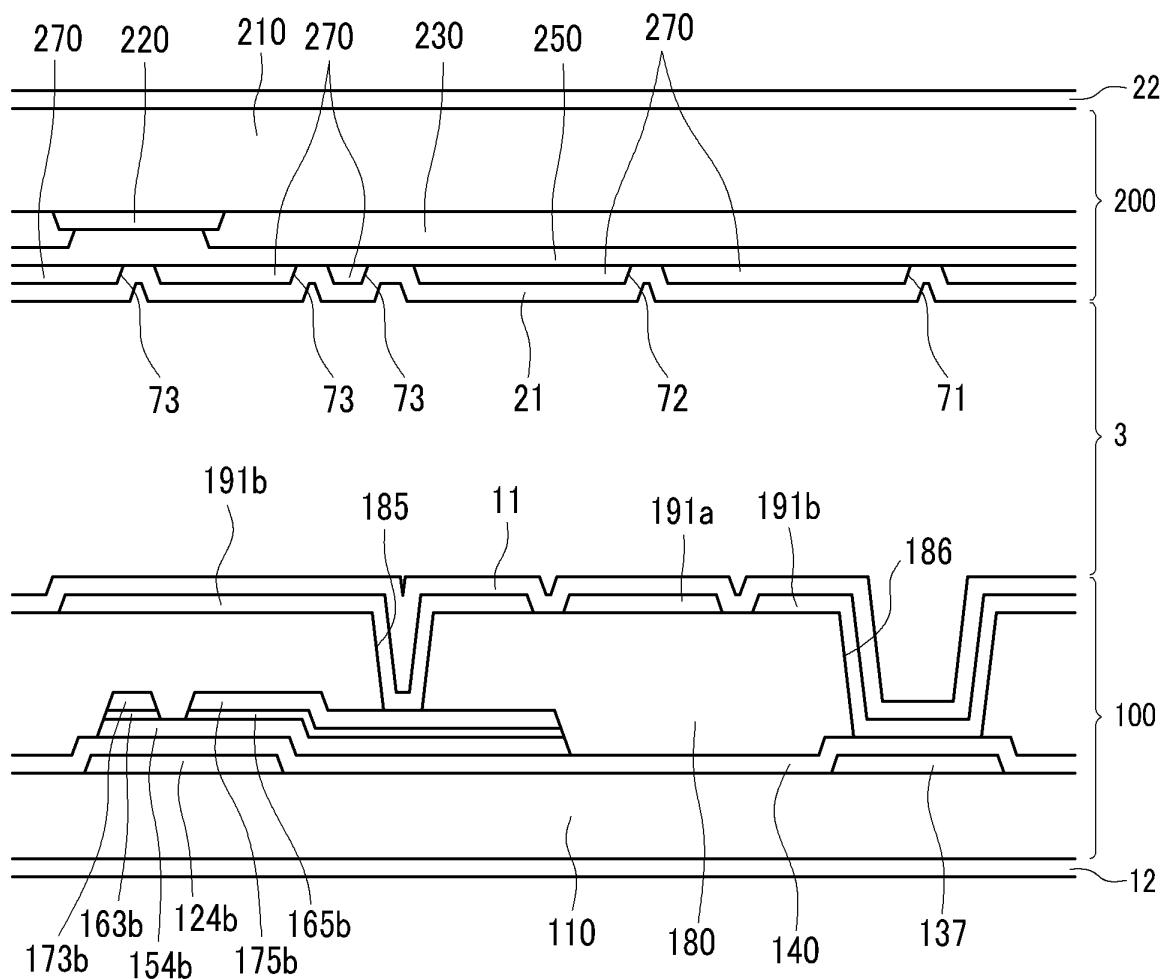
도면5



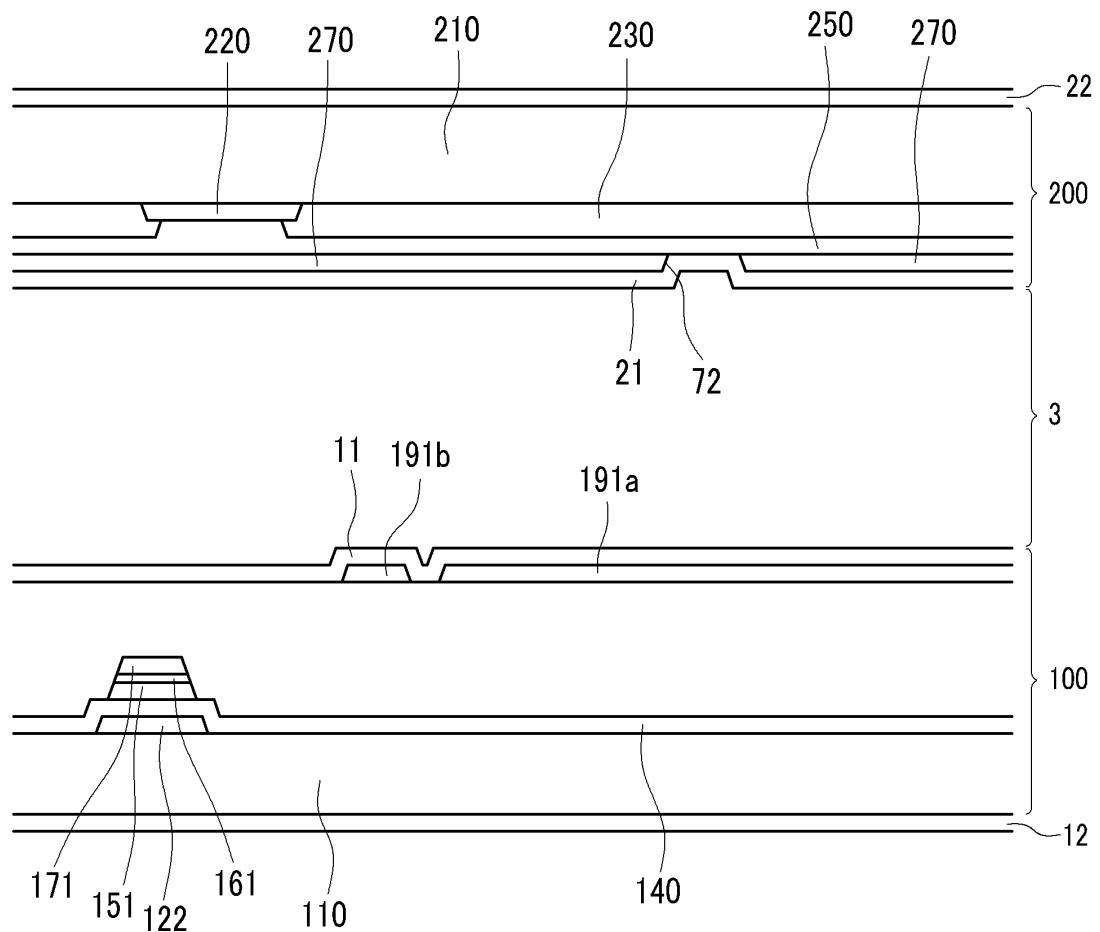
도면6



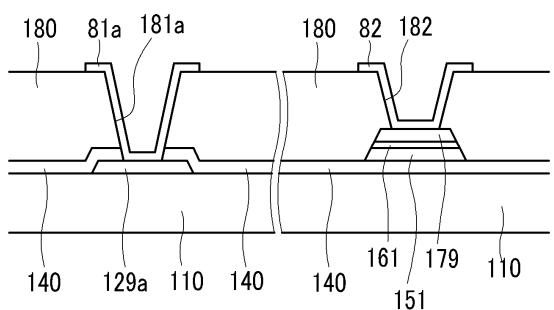
도면7



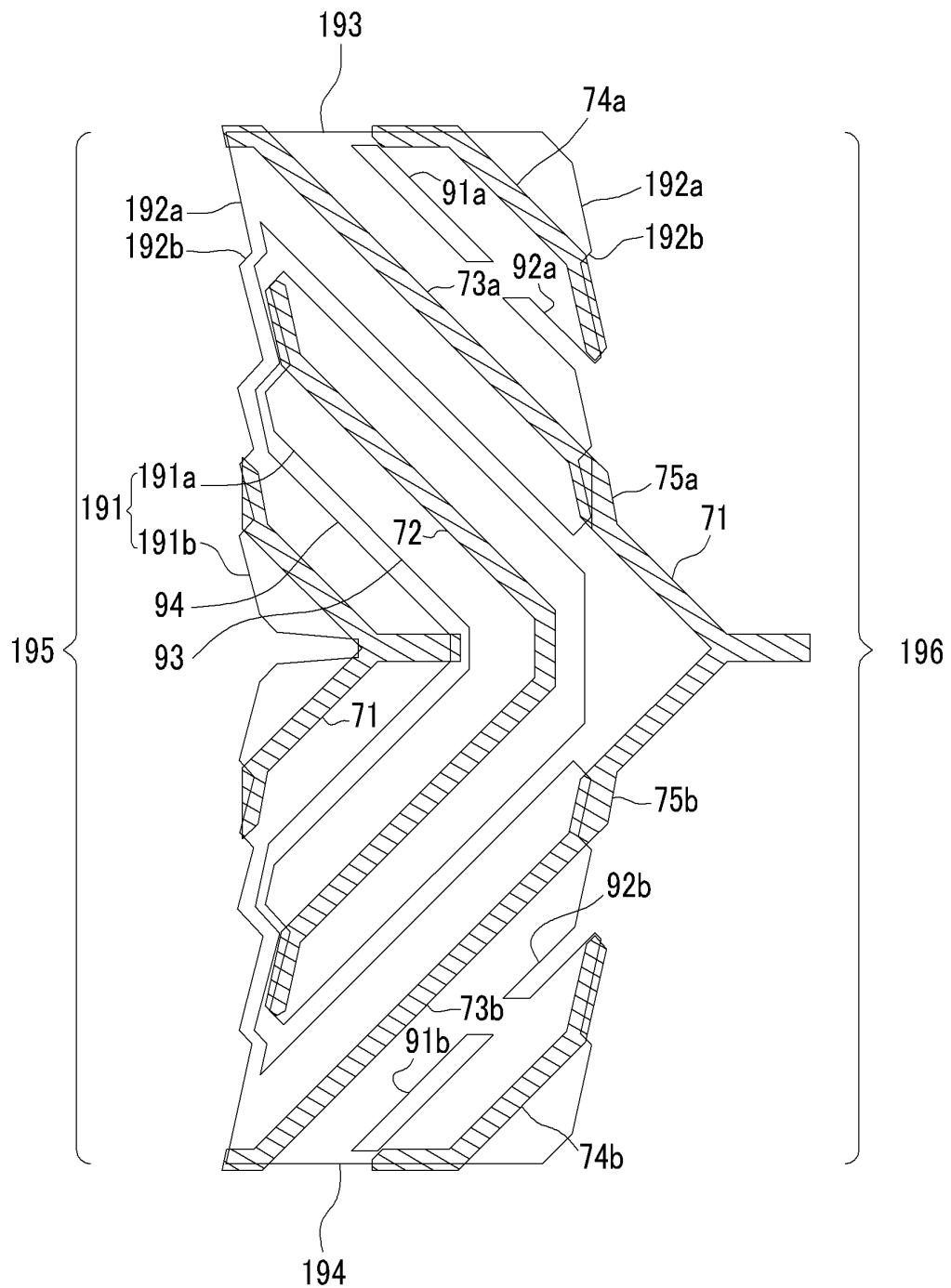
도면8



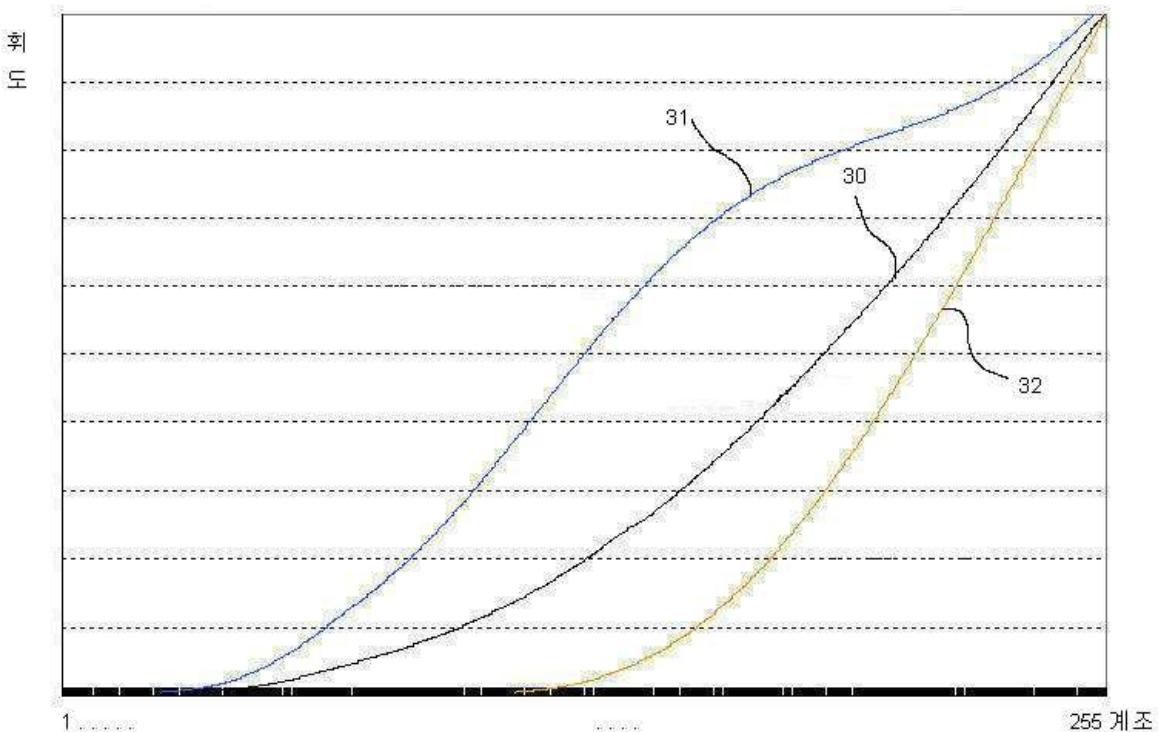
도면9



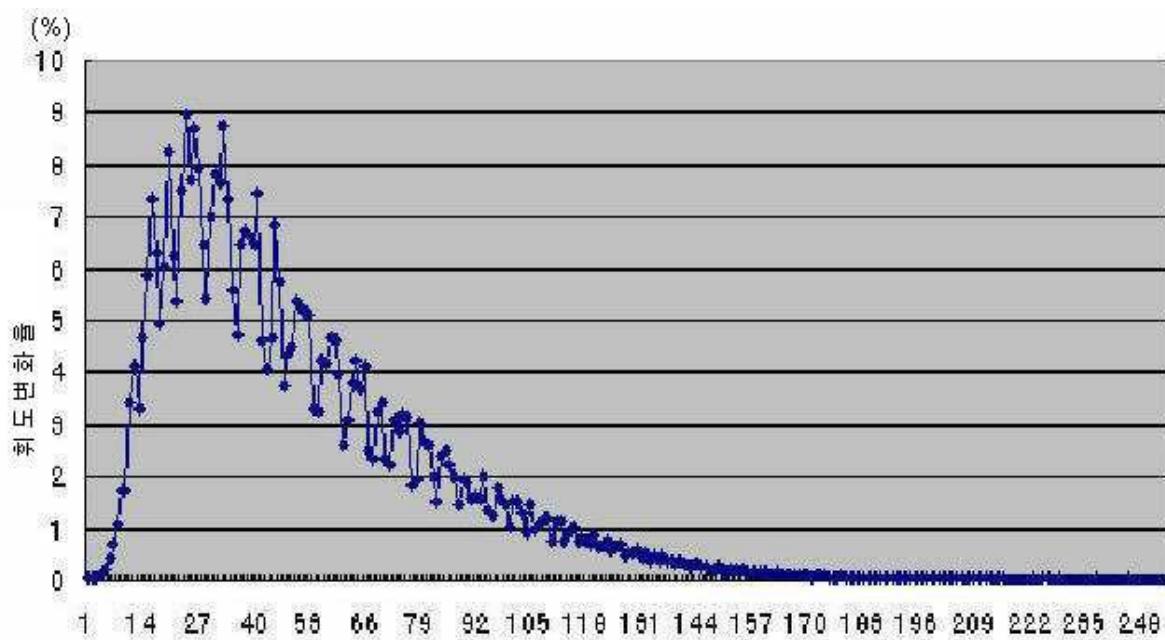
도면10



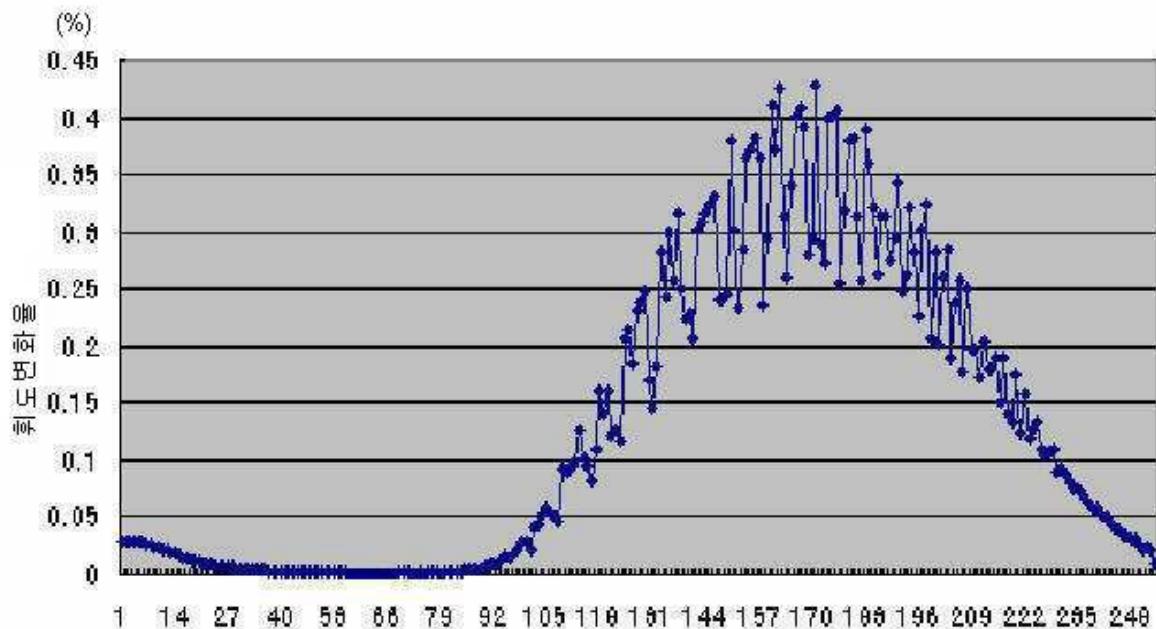
도면11



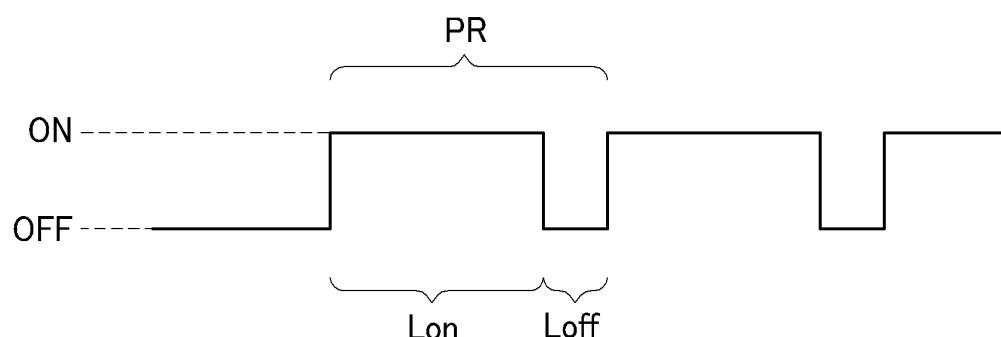
도면12



도면13

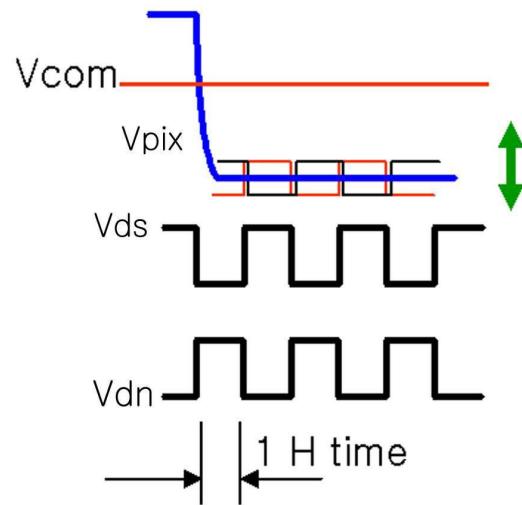


도면14



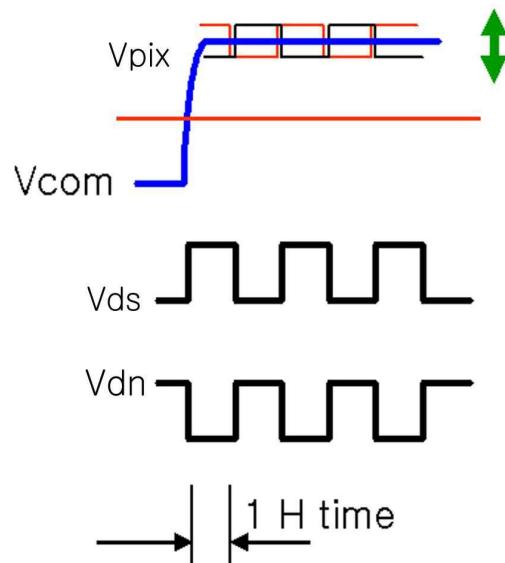
도면15a

(-) Pixel의 동작



도면15b

(+)-Pixel의 동작



专利名称(译)	液晶显示器		
公开(公告)号	KR1020070101578A	公开(公告)日	2007-10-17
申请号	KR1020060032749	申请日	2006-04-11
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM DONG GYU		
发明人	KIM, DONG GYU		
IPC分类号	G02F1/136 G02F1/1343		
CPC分类号	G02F1/136286 G02F1/1343 G09G3/3233 H01L29/786		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及液晶显示装置。一种液晶显示装置包括第一和第二子像素电极，像素电极，第二薄膜，该薄膜是连接到第二子像素电极的第一薄膜晶体管与所述第一子像素电极相关联的，根据本发明的包括连接到第一薄膜晶体管的第一栅极线，连接到第二薄膜晶体管的第二栅极线，第一数据线连接第二薄膜晶体管并与第一和第二栅极线交叉，其中像素电极连接到一对彼此面对的第一主侧面和第一主侧面并且像素电极的第二主侧包括锯齿状突起，并且第一数据线与第二子像素电极重叠至少一部分。

