

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G02F 1/133

(11) 공개번호 10-2005-0015343
(43) 공개일자 2005년02월21일

(21) 출원번호 10-2003-0054123
(22) 출원일자 2003년08월05일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 송병찬
경상북도칠곡군석적면중리141부영아파트109-1008

(74) 대리인 김용인
심창섭

심사청구 : 없음

(54) 액정 표시 장치 및 그의 리페어 방법

요약

본 발명은 노멀리 화이트 모드(NW mode)로 구동하는 패널의 도트 디펙트(dot defect)를 암점으로 만들어 시감상의 불편을 해소한 액정 표시 장치 및 그의 리페어 방법에 관한 것으로, 본 발명의 액정 표시 장치는 화소 영역을 정의하기 위하여 서로 수직한 방향으로 배열되는 복수개의 게이트 라인 및 데이터 라인들과, 상기 인접한 게이트 라인에 오버랩되도록 각 화소 영역에 형성되는 복수개의 화소 전극과, 상기 각 게이트 라인 및 데이터 라인이 교차되는 지점에 형성되어 각 게이트 라인의 구동 신호에 따라 상기 데이터 라인에 데이터 신호를 상기 화소 전극에 인가하는 복수개의 박막 트랜지스터와, 상기 복수개의 박막 트랜지스터 중 불량이 발생된 박막 트랜지스터에 상응한 화소 전극을 오버랩된 게이트 라인과 전기적으로 연결하는 연결 수단을 구비하여 이루어짐을 특징으로 한다.

대표도

도 9

색인어

도트 디펙트(dot defect), 휘점, 암점, 노멀리 화이트 모드(NW mode: Normally White mode), 정전기

명세서

도면의 간단한 설명

도 1은 종래의 액정 표시 장치를 나타낸 평면도

도 2는 도 1의 I-I' 선상의 구조 단면도

도 3은 도 1의 II~II'선상의 구조 단면도

도 4는 도 1의 등가 회로도

도 5는 박막 트랜지스터의 온-오프 상태에서의 밝기를 나타내는 그래프

도 6은 본 발명의 제 1 실시예에 따른 액정 표시 장치를 나타내는 평면도

도 7은 본 발명의 제 2 실시예에 따른 액정 표시 장치를 나타내는 평면도

도 8은 본 발명의 액정 표시 장치의 리페어시 도 6의 III~III' 선상 및 도 7의 IV~IV' 선상의 구조 단면도

도 9는 도 6의 액정 표시 장치의 리페어시 등가 회로도

도 10은 도 7의 액정 표시 장치의 리페어시 등가 회로도

도면의 주요 부분에 대한 부호 설명

31, 41 : 게이트 라인 31a, 41a : 게이트 전극

32, 42 : 데이터 라인 32a, 42a : 소오스 전극

32b, 42b : 드레인 전극 33, 43 : 화소 전극

34, 44 : 반도체층 35 : 게이트 절연막

36 : 보호막 50 : 연결수단

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로 특히, 노멀리 화이트 모드(Normally White mode)로 구동하는 패널의 도트 디펙트(dot defect)를 압점으로 만들어 시감상의 불편을 해소한 액정 표시 장치에 관한 것이다.

정보화 사회가 발전함에 따라 표시 장치에 대한 요구도 다양한 형태로 증대되고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display Device), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display) 등 여러 가지 평판 표시 장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시 장치로 활용되고 있다.

그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 특징 및 장점으로 인하여 이동형 화상 표시 장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 LCD가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송 신호를 수신하여 디스플레이하는 텔레비전 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.

이와 같은 액정 표시 장치가 일반적인 화면 표시 장치로서 다양한 부분에 사용되기 위해서는 경량, 박형, 저 소비 전력의 특징을 유지하면서도 고정세, 고휘도, 대면적 등 고품위 화상을 얼마나 구현할 수 있는가에 관심이 쏠려 있다고 할 수 있다.

일반적인 액정 표시 장치는, 화상을 표시하는 액정 패널과 상기 액정 패널에 구동 신호를 인가하기 위한 구동부로 크게 구분될 수 있으며, 상기 액정 패널은 일정 공간을 갖고 합착된 제 1, 제 2 유리 기판과, 상기 제 1, 제 2 유리 기판 사이에 주입된 액정층으로 구성된다.

여기서, 상기 제 1 유리 기판(TFT 어레이 기판)에는 일정 간격을 갖고 일 방향으로 배열되는 복수개의 게이트 라인 과, 상기 각 게이트 라인과 수직한 방향으로 일정한 간격으로 배열되는 복수개의 데이터 라인과, 상기 각 게이트 라인 과 데이터 라인이 교차되어 정의된 각 화소 영역에 매트릭스 형태로 형성되는 복수개의 화소 전극과 상기 게이트 라인의 신호에 의해 스위칭되어 상기 데이터 라인의 신호를 각 화소 전극에 전달하는 복수개의 박막 트랜지스터가 형성된다.

그리고, 제 2 유리 기판(칼라 필터 기판)에는, 상기 화소 영역을 제외한 부분의 빛을 차단하기 위한 차광층과, 칼라 색상을 표현하기 위한 R, G, B 칼라 필터층과 화상을 구현하기 위한 공통 전극이 형성된다.

상기 일반적인 액정 표시 장치의 구동 원리는 액정의 광학적 이방성과 분극 성질을 이용한다. 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 갖고 있으며, 인위적으로 액정에 전기장을 인가하여 분자 배열의 방향을 제어 할 수 있다.

따라서, 상기 액정의 분자 배열 방향을 임의로 조절하면, 액정의 분자 배열이 변하게 되고, 광학적 이방성에 의하여 상기 액정의 분자 배열 방향으로 빛이 굴절하여 화상 정보를 표현할 수 있다.

현재에는 박막 트랜지스터와 상기 박막 트랜지스터에 연결된 화소 전극이 행렬 방식으로 배열된 능동 행렬 액정 표시 장치(Active Matrix LCD)가 해상도 및 동영상 구현 능력이 우수하여 가장 주목받고 있다.

이하, 첨부된 도면을 참조하여 종래의 액정 표시 장치를 설명하면 다음과 같다.

도 1은 종래의 액정 표시 장치의 일 화소를 나타낸 평면도이며, 도 2는 도 1의 I~I' 선상의 구조 단면도이고, 도 3은 도 1의 II~II' 선상의 구조 단면도이다.

종래의 액정 표시 장치는 서로 마주보는 크게 하부 기관(10)과, 상부 기관(미도시)과, 그 사이에 형성되는 액정층(미도시)으로 이루어진다.

자세히 설명하면, 도 1과 같이, 종래의 액정 표시 장치는 상기 하부 기관(10) 상에 서로 수직으로 교차하여 화소 영역을 정의하는 게이트 라인(11) 및 데이터 라인(12)과, 상기 화소 영역에 형성되는 화소 전극(13)과, 상기 게이트 라인(11) 및 데이터 라인(12)의 교차 부위에 게이트 전극(11a), 반도체층(14), 소오스/드레인 전극(12a, 12b)으로 구성되는 박막 트랜지스터(TFT)가 형성된다.

여기서, 상기 박막 트랜지스터(TFT)는 스위칭소자로서, 상기 게이트 라인(11)에 인가되는 스위칭 신호(Vgate)에 의해 상기 데이터 라인(12)의 신호(Vdata)를 상기 화소 전극(13)에 인가하도록 동작한다.

또한, 상기 화소 전극(13)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin-Zinc Oxide) 등의 투명 전도성 금속으로 형성한다.

그리고, 도시되어 있지 않지만, 상부 기관에는 상기 하부 기관(10)과 마주보는 상기 화소 영역 이외의 부분에 대응되는 차광층(미도시)과, 화소 영역에 대응되어 적, 녹, 청의 순서대로 배열하는 칼라 필터층(미도시)과, 상기 칼라 필터층을 포함한 상부 기관 전면에 공통 전극(미도시)이 형성된다.

이하, 도 2 및 도 3을 참조하여 종래의 액정 표시 장치의 제조 방법을 살펴본다.

도 2와 같이, 종래의 액정 표시 장치는 먼저, 하부 기관(10) 상에 금속을 전면 증착하고 이를 패터닝하여 일방향으로 형성된 게이트 라인(11) 및 상기 게이트 라인(11)에서 돌출된 게이트 전극(11a)을 형성한다.

이어, 상기 게이트 전극(11a)을 포함하는 하부 기관(10) 전면에 게이트 절연층(15)을 형성한다.

이어, 상기 게이트 전극(11a) 상측의 상기 게이트 절연층(15) 위에는 상기 게이트 전극(11a)에 오버랩되도록 섬모양의 반도체층(14)을 형성한다.

이어, 상기 게이트 라인(11)과 수직인 방향으로 데이터 라인(12)을 형성하고, 동일 공정에서 상기 반도체층(14) 양측에 오버랩되도록 소오스/드레인 전극(12a, 12b)을 형성한다. 여기서, 상기 소오스 전극(12a)은 상기 데이터 라인(12)으로부터 돌출되어 형성되며, 상기 드레인 전극(12b)은 상기 소오스 전극(12a)에서 소정 간격 이격되어 형성된다.

이어, 상기 소오스/드레인 전극(12a, 12b)을 포함하는 하부 기관(10) 전면에 보호막(16)을 형성한다.

이어, 상기 보호막(16)을 선택적으로 제거하여, 상기 드레인 전극(12b)의 소정 부분이 노출하도록 콘택 홀을 형성한 후, 투명 전도성 금속을 전면 증착하고, 이를 패터닝하여 상기 드레인 전극(12b)과 전기적으로 연결되는 화소 전극(13)을 형성한다.

이와 같이, 도 1 내지 도 3과 같은 구조를 갖는 화소가 매트릭스 형태로 복수개 배열되어 액정 표시 장치의 하부 기관을 구성한다.

다음, 상기 하부 기관(10)에 대향하는 상부 기관(미도시) 상에는 상기 화소 영역을 제외한 부분에 대응되도록 빛을 차단하기 위한 차광층(미도시)을 형성한다.

이어, 상기 차광층 사이의 각 화소영역에 칼라필터층(미도시)을 형성한다.

이어, 상기 칼라필터층을 포함한 전면에 공통전극을 형성한다.

그리고, 상기 상하부 기관(10, 20)을 합착한 후, 상하부 기관(10, 20) 사이에 액정층(30)을 충전한다.

도 4는 도 1의 등가 회로도이다.

도 4와 같이, 종래의 액정 표시 장치의 일 화소를 회로로 나타내면 게이트 라인(11)과 데이터 라인(12)의 교차부에 박막 트랜지스터(TFT)가 형성되며, 박막 트랜지스터(TFT)의 드레인 전극(도 1의 12b 참고)에 연결된 화소 전극(도 1의 13 참고)과 상부 기관에 형성된 공통 전극 사이의 상기 화소 전극(13)과 인접한 게이트 라인 또는 별도의 스토리지 라인(도면에는 도시하지 않음) 사이에 스토리지 캐패시터(Cst)와, 액정 캐패시터(C_{LC})가 형성된다.

이와 같은 액정 표시 장치는 복수개의 게이트 라인(11)에 순차적으로 게이트 전압(Vgate)이 인가되면, 각 라인별로 박막 트랜지스터가 턴온(turn-on)되어 각 데이터 라인(12)에 인가된 데이터 전압(Vdata)이 화소 전극(13)에 공급되어 화상 신호를 표시하게 된다.

도 5는 박막 트랜지스터의 온-오프 상태에서의 밝기를 나타내는 그래프이다.

도 5와 같이, 소정 화소의 박막 트랜지스터(TFT)가, 해당 게이트 라인(11)에 문턱 전압 이상의 전압(Vgate)이 인가되어, 오프(Off) 상태에서 온(On) 상태로 전환할 때, 해당 데이터 라인(12)에 인가된 전압(Vdata)이 화소 전극(13)에 전달되는데, 이 때, 화소 전극(13)에 충전되는 전압 값 $|V_{com} - V_{pixel}|$ 은 0V에서 점점 커져 소정의 전압 값(Vdata-Vcom)까지 이르게 된다.

이러한 종래의 액정 표시 장치가 노멀리 화이트 모드(NW mode : Normally White mode)로 구동된다면, 소정 박막 트랜지스터(TFT)가 오프(Off) 상태일 때는 해당 화소는 밝은 상태를 나타내는 휘점(White)으로 표시되고, 소정 박막 트랜지스터(TFT)가 온(On) 상태일 때는 해당 화소는 어두워지는 암점(Black)으로 표시되어진다.

그런데, 노멀리 화이트 모드로 구동시, 제조 공정시 정전기 또는 이물질 유입 등으로 인하여 소정의 박막 트랜지스터(TFT)에 결함이 발생할 수 있으며, 이와 같이, 박막 트랜지스터에 결함이 발생되면, 해당 게이트 라인(11)에 게이트 전압(Vgate)이 인가되는 "온" 상태에서도 해당 화소 전극(13)에 전압이 전달되지 않아, 해당 화소 전극(13)은 블랙 상태에서 휘점(White)으로 발생하여 도트 디펙트(dot defect)가 나타난다.

발명이 이루고자 하는 기술적 과제

상기와 같은 종래의 반사형 액정 표시 장치는 다음과 같은 문제점이 있었다.

즉, 주로 노멀리 화이트 모드로 구동되는 TN 모드나 VA모드의 경우, 각 화소는 해당 TFT가 오프시에는 화이트 상태로 있다가, 해당 TFT가 온시에는 화소는 블랙 상태가 되어야 한다. 그런데, 액정 패널을 제조하는 공정 중 특히 스크라이빙(scribing) 및 브레이킹(breaking) 공정시 발생하는 정전기 또는 공기 중에 발생하는 불순물 때문에 소정의 TFT가 정상적으로 구동하지 못하게 되는 경우가 발생하는데, 이러한 비정상 구동의 TFT가 형성된 화소는 도트 결함(dot defect)을 발생시켜 이는 휘점(White)으로 작용하게 된다.

본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로 노멀리 화이트 모드로 구동하는 패널의 도트 디펙트(dot defect)를 암점으로 만들어 시감상의 불편을 해소한 액정 표시 장치 및 그의 리페어 방법을 제공하는 데, 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명의 액정 표시 장치는 화소 영역을 정의하기 위하여 서로 수직인 방향으로 배열되는 복수개의 게이트 라인 및 데이터 라인들과, 상기 인접한 게이트 라인에 오버랩되도록 각 화소 영역에 형성되는 복수개의 화소 전극과, 상기 각 게이트 라인 및 데이터 라인이 교차되는 지점에 형성되어 각 게이트 라인의 구동 신호에 따라 상기 데이터 라인에 데이터 신호를 상기 화소 전극에 인가하는 복수개의 박막 트랜지스터와, 상기 복수개의 박막 트랜지스터 중 불량이 발생된 박막 트랜지스터에 상응한 화소 전극을 오버랩된 게이트 라인과 전기적으로 연결하는 연결 수단을 구비하여 이루어짐에 특징이 있다.

상기 화소 전극은 해당 박막 트랜지스터를 구동하는 게이트 라인과 오버랩된다.

상기 화소 전극은 해당 박막 트랜지스터를 구동하지 않는 인접한 게이트 라인 전단의 게이트 라인과 오버랩된다.

상기 연결 수단은 상기 불량이 발생된 박막 트랜지스터에 상응한 화소 전극을 상기 오버랩된 게이트 라인에 쇼트(short)시키는 수단이다.

상기 연결 수단은 화소 전극과 인접한 게이트 라인과 오버랩된 부분의 소정 부분에 레이저를 조사시켜 상기 소정 부위의 화소 전극이 멜팅되어 상기 게이트 전극과 연결된 것이다.

상기 연결 수단은 리페어 공정시 이루어진다.

상기 화소 전극과 오버랩된 상기 게이트 라인과의 전기적 연결시, 상기 게이트 라인과 오버랩되는 화소 전극은 상기 게이트 라인에 신호 인가시 암점으로 동작된다.

상기 게이트 라인과 전기적으로 연결된 화소 전극은 게이트 라인에 신호 인가 전 휘점으로 동작된다.

또한, 동일한 목적을 달성하기 위한 본 발명의 액정 표시 장치의 리페어 방법은 화소 영역을 정의하기 위하여 서로 수직인 방향으로 배열되는 복수개의 게이트 라인 및 데이터 라인들과, 상기 인접한 게이트 라인에 오버랩되도록 각 화소 영역에 형성되는 복수개의 화소 전극과, 상기 각 게이트 라인 및 데이터 라인이 교차되는 지점에 형성되어 각 게이트 라인의 구동 신호에 따라 상기 데이터 라인에 데이터 신호를 상기 화소 전극에 인가하는 복수개의 박막 트랜지스터를 구비한 액정 표시 장치의 리페어 방법에 있어서, 소정의 화소 영역 내 박막 트랜지스터의 동작 불량시 상기 화소 전극과 상기 게이트 라인의 오버랩된 부분에 레이저를 조사하여 막간 절연물질을 멜팅함으로써, 상기 화소 전극과 오버랩된 게이트 라인을 전기적으로 연결시킴에 그 특징이 있다.

상기 화소 전극은 해당 박막 트랜지스터를 구동하는 게이트 라인과 오버랩된다.

상기 화소 전극은 해당 박막 트랜지스터를 구동하지 않는 인접한 게이트 라인 전단의 게이트 라인과 오버랩된다.

상기 연결 수단은 상기 불량률이 발생된 박막 트랜지스터에 상응한 화소 전극을 상기 오버랩된 게이트 라인에 쇼트(short)시키는 수단이다.

상기 연결 수단은 화소 전극과 인접한 게이트 라인과 오버랩된 부분의 소정 부분에 레이저를 조사시켜 상기 소정 부위의 화소 전극이 멜팅되어 상기 게이트 전극과 연결된 것이다.

상기 연결 수단은 리페어 공정시 형성한다.

상기 화소 전극과 오버랩된 상기 게이트 라인과의 전기적 연결시, 상기 게이트 라인과 오버랩되는 화소 전극은 상기 게이트 라인에 신호 인가시 암점으로 동작함을 특징으로 한다.

상기 게이트 라인과 전기적으로 연결된 화소 전극은 게이트 라인에 신호 인가 전 휘점으로 동작한다.

이하, 첨부된 도면을 참조하여 본 발명의 액정 표시 장치 및 이의 리페어 방법을 상세히 설명하면 다음과 같다.

이하에서 설명하는 본 발명의 액정 표시 장치는 노멀리 화이트(Normally White) 모드로 구동됨을 가정한다.

도 6은 본 발명의 제 1 실시예에 따른 액정 표시 장치를 나타내는 평면도이다.

본 발명의 제 1 실시예에 따른 액정 표시 장치는, 서로 마주보는 크게 하부 기관(30)과, 상부 기관(미도시)과, 그 사이에 형성되는 액정층(미도시)으로 이루어지며, 상기 하부 기관(30)의 각 화소가 배치된 구조에 특징을 갖는다.

자세히 설명하면, 도 6과 같이, 본 발명의 제 1 실시예에 따른 액정 표시 장치는 상기 하부 기관(도 8의 30참조) 상에 서로 수직으로 교차하여 화소 영역을 정의하는 게이트 라인(31) 및 데이터 라인(32)과, 상기 화소 영역에 형성되는 화소 전극(33)과, 상기 게이트 라인(31) 및 데이터 라인(32)의 교차 부위에 게이트 전극(31a), 반도체층(34), 소오스/드레인 전극(32a, 32b)으로 구성되는 박막 트랜지스터(TFT)가 형성된다.

여기서, 상기 박막 트랜지스터(TFT)는 스위칭소자로서, 상기 게이트 전극(31a)에 인가되는 스위칭 신호(Vgate)에 의해 상기 화소 전극(33)에 데이터 신호(Vdata)를 인가하도록 동작한다.

그리고, 상기 화소 전극(33)은 상기 해당 라인을 구동하는 게이트 라인과 소정 부분 오버랩되어 형성되어 있다. 여기서, 화소 전극(33)과 오버랩된 부위의 게이트 라인(31)과의 사이에는 게이트 절연막(도 8의 35 참조) 및 보호막(도 8의 36참조)이 개재되어 있어, 해당 박막 트랜지스터(TFT)의 정상 구동 상태에서는 절연 상태를 유지한다.

상기 화소 전극(33)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin-Zinc Oxide) 등의 투명 전도성 금속으로 형성한다.

이와 같이, 본 발명의 제 1 실시예에 따른 액정 표시 장치의 하부 기관(30)은 게이트 라인(31)과 데이터 라인(32)이 수직으로 교차하며, 화소 전극(33)이 해당 게이트 라인(31)과 오버랩된 구조의 화소가 매트릭스 형태로 반복 배열되어 구성된다.

이와 같은 본 발명의 제 1 실시예에 따른 액정 표시 장치는, TFT의 특성 테스트에서 소정 박막 트랜지스터(TFT)의 동작 불량률이 발견되면, 상기 소정 박막 트랜지스터와 연결되는 화소 전극(33)과 상기 화소 전극(33)과 오버랩된 부위의 게이트 라인(31) 사이에 개재된 게이트 절연막(35) 및 보호막(36)을 레이저로 조사하여 상기 화소 전극(33)과 게이트 라인(31)과의 사이에 연결수단(50)을 형성함으로써, 해당 게이트 라인(31)에 전압 인가시 소정 박막 트랜지스터(TFT)의 온(On)/오프(Off)의 관계없이 상기 화소 전극(33)에 게이트 전압(Vgate)이 인가되도록 한다.

따라서, 소정의 박막 트랜지스터(TFT)의 동작 불량률이 일어나도, 이를 리페어 공정에서 해당 화소 전극(33)과 해당 게이트 라인(31)을 연결시킴으로써, 블랙 상태(Black- 온 상태)에서도 휘점이 발생하는 도트 디펙트(dot defect)를 방지한다.

한편, 도시되어 있지 않지만, 상기 하부 기관(30)과 마주보는 상기 화소 영역 이외의 부분에 대응되어 차광층(미도시)과, 화소 영역에 대응되어 적, 녹, 청의 순서대로 배열하는 칼라 필터층(미도시)과, 상기 칼라 필터층을 포함한 공통 전극(미도시)이 형성된다.

도 7은 본 발명의 제 2 실시예에 따른 액정 표시 장치를 나타내는 평면도이다.

도 7과 같이, 본 발명의 제 2 실시예에 따른 액정 표시 장치는 상기 하부 기관(미도시) 상에 서로 수직으로 교차하여 화소 영역을 정의하는 게이트 라인(41) 및 데이터 라인(42)과, 상기 화소 영역에 형성되는 화소 전극(43)과, 상기 게이트 라인(41) 및 데이터 라인(42)의 교차 부위에 게이트 전극(41a), 반도체층(44), 소오스/드레인 전극(42a, 42b)으로 구성되는 박막 트랜지스터(TFT)가 형성된다.

여기서, 상기 박막 트랜지스터(TFT)는 스위칭소자로서, 상기 게이트 전극(41a)에 인가되는 스위칭 신호(Vgate)에 의해 상기 화소 전극(43)에 데이터 신호(Vdata)를 인가하도록 동작한다.

그리고, 상기 화소 전극(43)은 해당 라인을 구동하지 않은 전(前)단의 게이트 라인(41)과 소정 부분 오버랩되어 형성되어 있다. 여기서, 화소 전극(43)과 오버랩된 부위의 게이트 라인(41)과의 사이에는 게이트 절연막(도 8의 35

참조) 및 보호막(도 8의 36참조)이 개재되어 있어, 해당 박막 트랜지스터(TFT)의 정상 구동 상태에서는 절연 상태를 유지한다.

상기 화소 전극(43)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin-Zinc Oxide) 등의 투명 전도성 금속으로 형성한다.

이와 같이, 본 발명의 제 2 실시예에 따른 액정 표시 장치의 하부 기관(미도시)은 게이트 라인(41)과 데이터 라인(42)이 수직으로 교차하며, 화소 전극(43)이 전단(前段) 게이트 라인(41)과 오버랩된 구조의 화소가 매트릭스 형태로 반복 배열되어 구성된다.

제 1 실시예와 마찬가지로, 제 2 실시예에 따른 액정 표시 장치도 TFT의 특성 테스트에서 소정 박막 트랜지스터(TFT)의 동작 불량이 발견되면, 상기 소정 박막 트랜지스터와 연결되는 화소 전극(43)과 상기 화소 전극(43)과 오버랩된 부위의 전단의 게이트 라인(41) 사이에 개재된 게이트 절연막(45) 및 보호막(46)을 레이저로 조사하여 상기 화소 전극(43)과 전단의 게이트 라인(41) 사이에 연결수단(50)을 형성함으로써, 상기 전단 게이트 라인(41)에 전압 인가시 소정 박막 트랜지스터(TFT)의 온(On)/오프(Off)의 관계없이 상기 화소 전극(43)에 전압이 인가되도록 한다.

따라서, 소정의 박막 트랜지스터의 동작 불량이 일어나도, 이를 리페어 공정에서 해당 화소 전극(43)과 전단 게이트 라인(41)을 연결시켜 블랙 상태(Black- 온 상태)에서도 휘점이 발생하는 도트 디펙트(dot defect)를 방지한다.

한편, 도시되어 있지 않지만, 상기 하부 기관과 마주보는 상기 화소 영역 이외의 부분에 대응되어 차광층(미도시)과, 화소 영역에 대응되어 적, 녹, 청의 순서대로 배열하는 칼라 필터층(미도시)과, 상기 칼라 필터층을 포함한 공통 전극(미도시)이 형성된다.

도 8은 본 발명의 액정 표시 장치의 리페어시 도 6의 III~III' 선상 및 도 7의 IV~IV' 선상의 구조 단면도이다.

도 8과 같이, 본 발명의 액정 표시 장치의 리페어 방법은 TFT 특성 검사에서 동작 불량이 발견된 해당 화소에 대응하여, 상기 화소 전극이 게이트 라인에 오버랩되는 부분에 레이저를 조사하여 게이트 라인과 화소 전극(33) 사이를 전기적으로 연결되는 연결수단(50)을 형성한다.

따라서, 상기 게이트 라인에 게이트 전압 신호(Vgate) 인가시 상기 게이트 전압 신호(Vgate)는 화소 전극에 그대로 인가되어, 해당 화소의 박막 트랜지스터(TFT)의 동작의 관계없이 온 상태를 나타낸다. 이는 해당 화소가 박막 트랜지스터의 동작의 관계없이 암점을 나타냄을 의미한다.

도 9는 도 6의 액정 표시 장치의 리페어시 등가 회로도이다.

도 9와 같이, 본 발명의 제 1 실시예에 따른 액정 표시 장치는 각각 서로 수직으로 교차하여 화소 영역을 정의하는 게이트 라인(31)과 데이터 라인(32)이 복수개 형성되며, 각 게이트 라인(31)과 데이터 라인(32)의 교차부에 복수개의 박막 트랜지스터(TFT)가 형성된다.

상기 박막 트랜지스터(TFT)의 드레인 전극과 상부 기관에 형성되는 공통 전극(Vcom) 사이의 화소 전극에 걸리는 전압 값(Vpixel)을 충전하는 스토리지 캐패시터(Cst)와 액정 캐패시터(C_{LC})가 병렬로 연결되어 형성된다. 이러한 스토리지 캐패시터(Cst)와 액정 캐패시터(C_{LC})의 형성 위치를 도 6의 평면도를 통해 살펴보면, 상기 화소 전극(33)과 상기 공통 라인(38)이 오버랩되는 부분에서 스토리지 캐패시터(Cst)가, 상기 화소 전극(33)과 액정(미도시)과의 사이에 액정 캐패시터(C_{LC})가 형성됨을 알 수 있다.

정상적으로 박막 트랜지스터가 구동될 때는 복수개의 게이트 라인(31)에 순차적으로 게이트 전압(Vgate)이 인가되고, 복수개의 데이터 라인(32)에는 각각 소정의 레벨에 해당하는 전압(Vdata)이 인가되어, 화면의 소정의 영상이 나타내도록 구동된다.

즉, 해당 게이트 라인(31)에 문턱 전압 이상의 전압(Vgate)이 인가되어, 오프(Off) 상태에서 온(On) 상태로 전환할 때, 해당 데이터 라인(32)에 인가된 전압(Vdata)이 화소 전극(33)에 전달되는데, 이 때, 화소 전극(33)에 충전되는 전압 값(|Vcom-Vpixel|)은 0V에서 점점 커져 소정의 전압 값(Vdata-Vcom)까지 이르게 된다.

본 발명의 제 1 실시예에 따른 액정 표시 장치는 노멀리 화이트 모드(NW mode : Normally White mode)이므로, 소정 박막 트랜지스터(TFT)가 오프(Off) 상태일 때는 해당 화소는 밝은 상태를 나타내는 휘점(White)으로 표시되고, 소정 박막 트랜지스터(TFT)가 온(On) 상태일 때는 해당 화소는 어두워지는 암점(Black)으로 표시되어진다.

한편, TFT 특성 검사에서 소정의 박막 트랜지스터가 동작 불량의 상태로 발견된다면, 리페어 공정에서 해당 화소의 화소 전극(33)과 동작 불량이 발생한 해당 박막 트랜지스터(TFT)의 게이트 전극(31a)이 연결되는 현(現)단 게이트 라인(31)이 오버랩된 부위에 레이저를 조사하여 상기 화소 전극(33)과 현단의 게이트 라인(31) 사이의 게이트 절연막(35), 보호막(36)의 절연 특성을 파괴하여 상기 화소 전극(33)이 상기 현단의 게이트 라인(31)과 전기적으로 연결시키는 연결수단(50)을 형성시킨다.

따라서, 상기 박막 트랜지스터(TFT)가 정상적으로 구동하지 못하더라도, 상기 화소 전극(33)이 상기 현단 게이트 라인(31)에 인가되는 게이트 전압 신호(Vgate_(n))를 받아, 블랙 상태에서 정상적으로 암점(Black)을 나타내도록 하여 도트 디펙트(dot defect)를 방지한다.

도 10은 도 7의 액정 표시 장치의 리페어시 등가 회로도이다.

도 10과 같이, 제 2 실시예에 따른 액정 표시 장치는 화소 전극(43)과 오버랩되는 게이트 라인(41)이 전단 게이트 라인(410)이므로, 소정의 박막 트랜지스터의 동작 불량시 리페어 공정에서 레이저가 조사되는 부분이 전단 게이트 라인(410)과 상기 화소 전극(43)이 오버랩되는 부분이다.

따라서, TFT 특성 검사에서 소정의 박막 트랜지스터가 동작 불량인 상태로 발견된다면, 리페어 공정에서 해당 화소의 화소 전극(43)과 전단 게이트 라인(410)이 오버랩된 부위에 레이저를 조사하여 상기 화소 전극(43)과 상기 전단 게이트 라인(410) 사이의 게이트 절연막(35), 보호막(36)의 절연 특성을 파괴하여 상기 화소 전극(43)이 상기 전단의 게이트 라인(410)과 전기적으로 연결시킨다.

따라서, 상기 박막 트랜지스터(TFT)가 정상적으로 구동하지 못하더라도, 상기 화소 전극(43)이 상기 전단 게이트 라인(410)에 인가되는 게이트 전압 신호(Vgate_(n-1))를 받아, 블랙 상태에서 정상적으로 암점(Black)을 나타내도록 하여 도트 디펙트(dot defect)를 방지한다.

발명의 효과

상기와 같은 본 발명의 액정 표시 장치는 다음과 같은 효과가 있다.

노멀리 화이트 모드로 구동되는 액정 표시 장치는, 오프(Off) 상태에서 휘점(White)으로 표시되고, 온(On) 상태에서 암점(Black)으로 표시되게 된다. 따라서, 소정의 박막 트랜지스터가 동작 불량인 온(블랙) 상태에서 정상적으로 데이터 라인에 인가되는 전압이 화소 전극이 전달이 되지 않을 때, 해당 박막 트랜지스터와 전기적으로 연결된 화소 전극은 온 상태에서 휘점으로 표시되는 도트 디펙트가 발생할 수 있다.

이에 본 발명의 액정 표시 장치는 화소 전극이 전단의 게이트 라인 또는 현단의 게이트 라인과 오버랩하는 구조를 취하고, TFT 특성 검사에서 불량이 일어난 TFT의 해당 화소에 게이트 라인과 화소 전극이 오버랩된 부분에 레이저 조사 처리하여 화소 전극이 전단 게이트 라인 또는 현단 게이트 라인과 전기적으로 연결되어, TFT 동작과 관계 없이 암점으로 작용하도록 하여 도트 디펙트를 방지할 수 있다.

(57) 청구의 범위

청구항 1.

화소 영역을 정의하기 위하여 서로 수직인 방향으로 배열되는 복수개의 게이트 라인 및 데이터 라인들과,

상기 인접한 게이트 라인에 오버랩되도록 각 화소 영역에 형성되는 복수개의 화소 전극과,

상기 각 게이트 라인 및 데이터 라인이 교차되는 지점에 형성되어 각 게이트 라인의 구동 신호에 따라 상기 데이터 라인에 데이터 신호를 상기 화소 전극에 인가하는 복수개의 박막 트랜지스터와,

상기 복수개의 박막 트랜지스터 중 불량이 발생된 박막 트랜지스터에 상응한 화소 전극을 오버랩된 게이트 라인과 전기적으로 연결하는 연결 수단을 구비하여 이루어짐을 특징으로 하는 액정 표시 장치.

청구항 2.

제 1항에 있어서,

상기 화소 전극은 해당 박막 트랜지스터를 구동하는 게이트 라인과 오버랩됨을 특징으로 하는 액정 표시 장치.

청구항 3.

제 1항에 있어서,

상기 화소 전극은 해당 박막 트랜지스터를 구동하지 않는 인접한 게이트 라인 전단의 게이트 라인과 오버랩됨을 특징으로 하는 액정 표시 장치.

청구항 4.

제 1항에 있어서,

상기 연결 수단은 상기 불량이 발생된 박막 트랜지스터에 상응한 화소 전극을 상기 오버랩된 게이트 라인에 쇼트(short)시키는 수단임을 특징으로 하는 액정 표시 장치.

청구항 5.

제 4항에 있어서,

상기 연결 수단은 화소 전극과 인접한 게이트 라인과 오버랩된 부분의 소정 부분에 레이저를 조사시켜 상기 소정 부위의 화소 전극이 멜팅되어 상기 게이트 전극과 연결된 것임을 특징으로 하는 액정 표시 장치.

청구항 6.

제 4항에 있어서,

상기 연결 수단은 리페어 공정시 이루어짐을 특징으로 하는 액정 표시 장치.

청구항 7.

제 1항에 있어서,

상기 화소 전극과 오버랩된 상기 게이트 라인과 전기적 연결시, 상기 게이트 라인과 오버랩되는 화소 전극은 상기 게이트 라인에 신호 인가시 암점으로 동작됨을 특징으로 하는 액정 표시 장치.

청구항 8.

제 7항에 있어서,

상기 게이트 라인과 전기적으로 연결된 화소 전극은 게이트 라인에 신호 인가 전 휘점으로 동작됨을 특징으로 하는 액정 표시 장치.

청구항 9.

화소 영역을 정의하기 위하여 서로 수직인 방향으로 배열되는 복수개의 게이트 라인 및 데이터 라인들과, 상기 인접한 게이트 라인에 오버랩되도록 각 화소 영역에 형성되는 복수개의 화소 전극과, 상기 각 게이트 라인 및 데이터 라인이 교차되는 지점에 형성되어 각 게이트 라인의 구동 신호에 따라 상기 데이터 라인에 데이터 신호를 상기 화소 전극에 인가하는 복수개의 박막 트랜지스터를 구비한 액정 표시 장치의 리페어 방법에 있어서,

소정의 화소 영역 내 박막 트랜지스터의 동작 불량시 상기 화소 전극과 상기 게이트 라인의 오버랩된 부분에 레이저를 조사하여 막간 절연물질을 멜팅함으로써, 상기 화소 전극과 오버랩된 게이트 라인을 전기적으로 연결시킴을 특징으로 하는 액정 표시 장치의 리페어 방법.

청구항 10.

제 9항에 있어서,

상기 화소 전극은 해당 박막 트랜지스터를 구동하는 게이트 라인과 오버랩됨을 특징으로 하는 액정 표시 장치의 리페어 방법.

청구항 11.

제 9항에 있어서,

상기 화소 전극은 해당 박막 트랜지스터를 구동하지 않는 인접한 게이트 라인 전단의 게이트 라인과 오버랩됨을 특징으로 하는 액정 표시 장치의 리페어 방법.

청구항 12.

제 9항에 있어서,

상기 연결 수단은 상기 불량이 발생된 박막 트랜지스터에 상응한 화소 전극을 상기 오버랩된 게이트 라인에 쇼트(short)시키는 수단임을 특징으로 하는 액정 표시 장치의 리페어 방법.

청구항 13.

제 12항에 있어서,

상기 연결 수단은 화소 전극과 인접한 게이트 라인과 오버랩된 부분의 소정 부분에 레이저를 조사시켜 상기 소정 부위의 화소 전극이 멜팅되어 상기 게이트 전극과 연결된 것임을 특징으로 하는 액정 표시 장치의 리페어 방법.

청구항 14.

제 13항에 있어서,

상기 연결 수단은 리페어 공정시 형성함을 특징으로 하는 액정 표시 장치의 리페어 방법.

청구항 15.

제 9항에 있어서,

상기 화소 전극과 오버랩된 상기 게이트 라인과 전기적 연결시, 상기 게이트 라인과 오버랩되는 화소 전극은 상기 게이트 라인에 신호 인가시 압점으로 동작함을 특징으로 하는 액정 표시 장치의 리페어 방법.

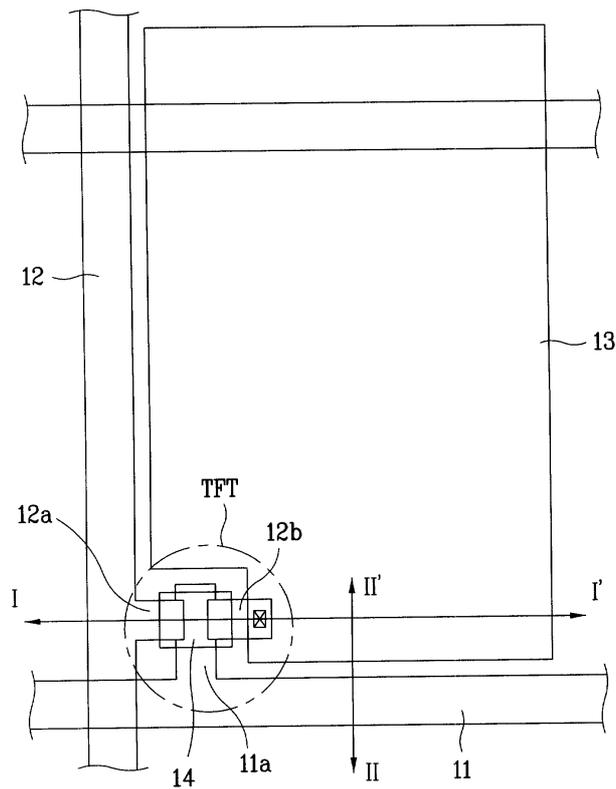
청구항 16.

제 15항에 있어서,

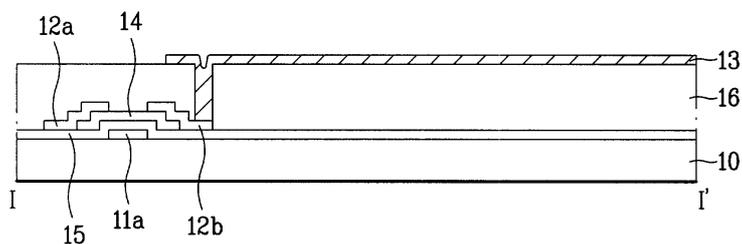
상기 게이트 라인과 전기적으로 연결된 화소 전극은 게이트 라인에 신호 인가 전 휘점으로 동작함을 특징으로 하는 액정 표시 장치의 리페어 방법.

도면

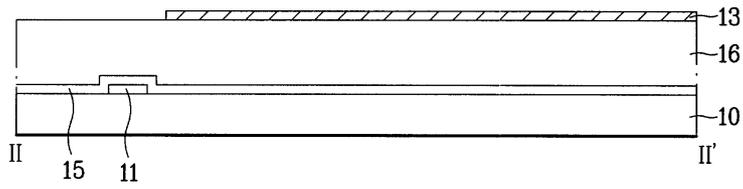
도면1



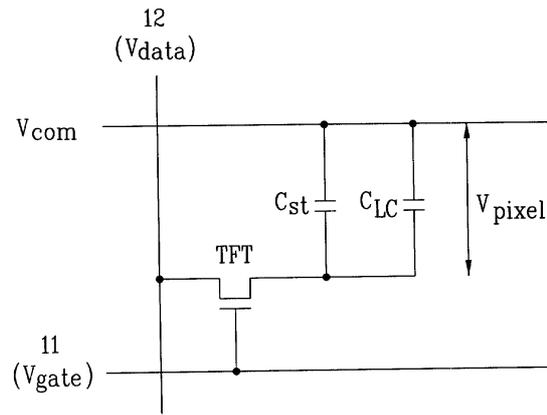
도면2



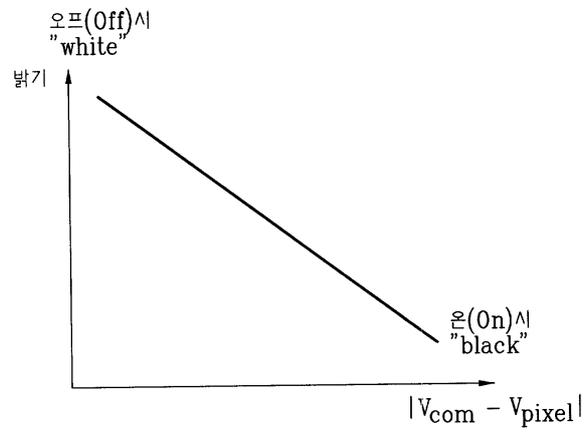
도면3



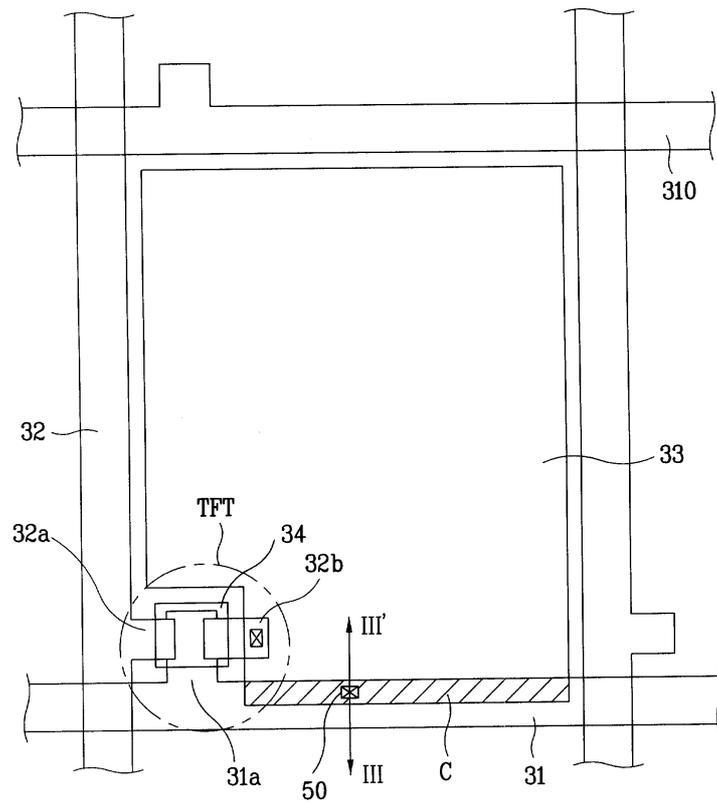
도면4



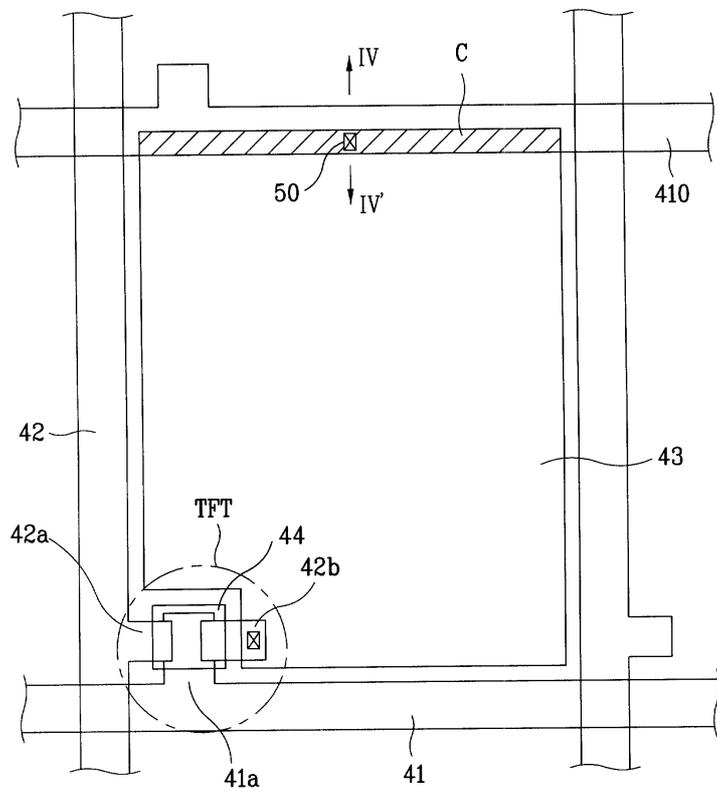
도면5



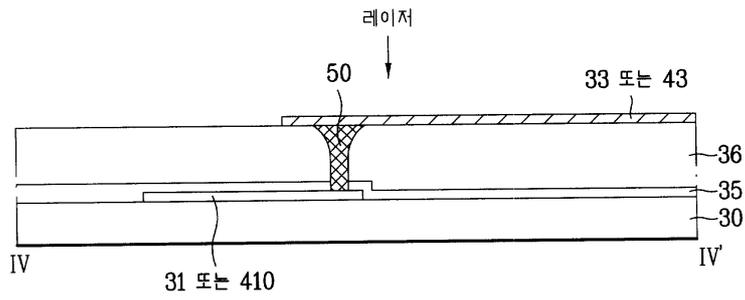
도면6



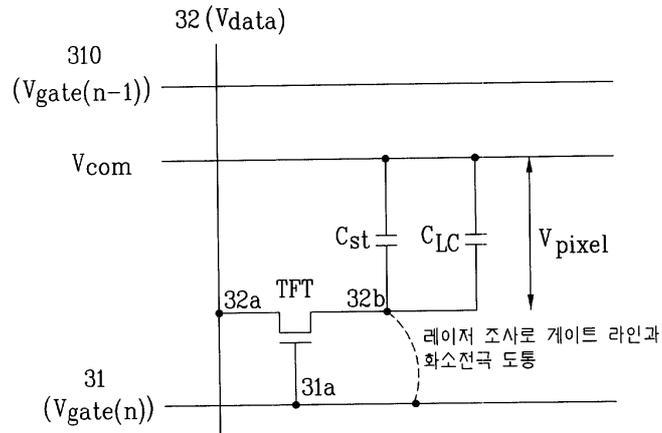
도면7



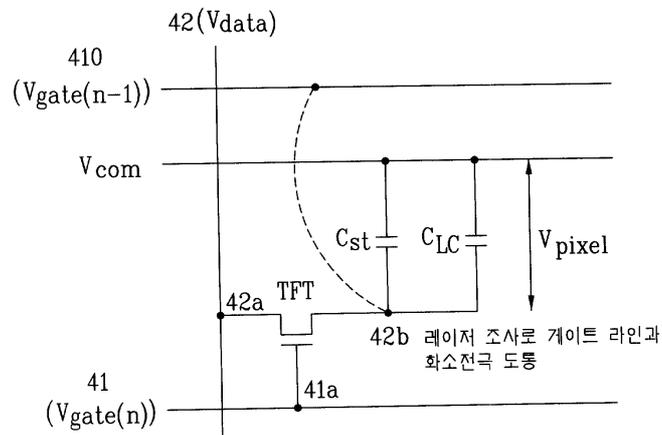
도면8



도면9



도면10



专利名称(译)	液晶显示器及其修复方法		
公开(公告)号	KR1020050015343A	公开(公告)日	2005-02-21
申请号	KR1020030054123	申请日	2003-08-05
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SONG BYUNGCHAN		
发明人	SONG,BYUNGCHAN		
IPC分类号	G02F1/133		
代理人(译)	金勇 新昌		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器及其修复方法，使当前驱动面板的点缺陷成为暗点，并以常白模式（NW模式）消除发光的不适。并且其特征在于，本发明的液晶显示器包括沿该方向排列的多个栅极线和数据线，在每个像素区域上形成的多个像素电极在相邻的栅极线中重叠为如上所述，多个薄膜晶体管和连接装置电连接薄膜晶体管中的相应像素电极并制成。沿该方向排列的多个栅极线和数据线彼此垂直，以便限定像素区域。多个薄膜晶体管在每个栅极线和数据线交叉的点处显影，并根据像素电极中的数据线的每个栅极线的驱动信号授权数据信号。关于此，在具有重叠栅极线的多个薄膜晶体管之间产生故障。点缺陷，亮点，暗点，常白模式（NW模式：常白模式），静电。

