



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년12월17일
(11) 등록번호 10-1213093
(24) 등록일자 2012년12월11일

(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01)

(21) 출원번호 10-2005-0057171

(22) 출원일자 2005년06월29일

심사청구일자 2010년06월21일

(65) 공개번호 10-2007-0001595

(43) 공개일자 2007년01월04일

(56) 선행기술조사문헌

KR1020040056171 A*

KR1020020091897 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

오금미

서울특별시 서대문구 세검정로 134, 104동 103호
(홍제동, 유원하나아파트)

(74) 대리인

특허법인로알

전체 청구항 수 : 총 10 항

심사관 : 임동제

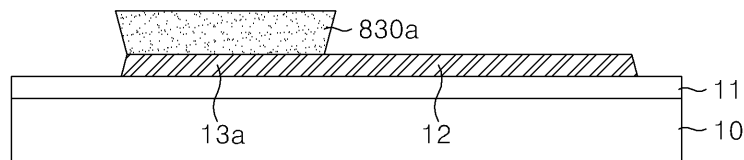
(54) 발명의 명칭 **액정표시소자의 제조방법**

(57) 요약

본 발명은 액정표시소자의 제조공정을 단순화함과 아울러 수율을 향상시킬 수 있는 액정표시소자의 제조방법에 관한 것이다.

본 발명의 액정표시소자의 제조방법은 하부기판 위에 버퍼층을 형성하는 단계와; 상기 버퍼층 위에 폴리 실리콘층을 형성하는 단계와; 반투과 마스크 또는 회절 마스크를 이용하여 상기 폴리 실리콘층을 패터닝하여 박막 트랜지스터의 액티브층을 형성하고 상기 패터닝된 폴리 실리콘층 중 공통전극이 형성될 영역과 중첩되는 영역의 폴리 실리콘층에 불순물을 주입하여 스토리지영역을 형성하는 단계와; 상기 액티브층을 포함하는 반도체 스위치소자를 상기 액티브층 위에 형성하는 단계를 포함한다.

대표도 - 도8



특허청구의 범위

청구항 1

하부기판 위에 버퍼층을 형성하는 단계와;

상기 버퍼층 위에 폴리 실리콘층을 형성하는 단계와;

반투과 마스크 또는 회절 마스크를 이용하여 상기 폴리 실리콘층을 패터닝하여 박막 트랜지스터의 액티브층을 형성하고 상기 패터닝된 폴리 실리콘층 중 공통전극이 형성될 영역과 중첩되는 영역의 폴리 실리콘층에 불순물을 주입하여 스토리지영역을 형성하는 단계와;

상기 액티브층 위에 액티브층을 포함하는 반도체 스위치소자를 형성하는 단계를 포함하며,

상기 액티브층 및 상기 스토리지영역을 형성하는 단계는 상기 액티브층과 상기 스토리지영역이 하나의 마스크 공정으로 형성되도록,

상기 폴리 실리콘층 위에 포토레지스트막을 형성하는 단계와;

상기 스토리지영역이 형성될 영역과 대응되는 영역에 회절 영역 및 상기 액티브층이 형성될 영역과 대응되는 영역에 차단영역을 가지는 상기 회절 마스크 또는 상기 스토리지영역이 형성될 영역과 대응되는 영역에 반투과 영역 및 상기 액티브층이 형성될 영역과 대응되는 영역에 차단영역을 가지는 상기 반투과 마스크를 상기 폴리 실리콘층 위에 정렬하는 단계와;

상기 회절 마스크 또는 상기 반투과 마스크를 이용하여 상기 액티브층 및 상기 스토리지영역을 덮고 역테퍼 형상을 가지며 상기 차단영역 및 상기 반투과 영역에서 다른 단차를 갖는 역테퍼 형상의 포토레지스트 패턴을 형성하는 단계와;

상기 역테퍼 형상의 포토레지스트 패턴을 마스크로 이용하여 상기 폴리 실리콘층을 패터닝하여 박막 트랜지스터의 액티브층을 형성하는 단계와;

상기 역테퍼 형상의 포토레지스트 패턴을 식각하여 상기 스토리지영역을 노출시키는 단계와;

노출된 상기 스토리지영역에 불순물을 주입하여 스토리지영역을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 역테퍼 형상의 포토레지스트 패턴은 상기 포토레지스트 패턴의 현상을 위한 노광공정시 상기 포토레지스트막 하부에 초점을 맞추어 상기 포토레지스트막을 현상하여 형성하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 4

제 1 항에 있어서,

상기 반도체 스위치소자를 형성하는 단계는,

상기 액티브층을 덮도록 상기 버퍼층 위에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위에 게이트금속층을 형성하고 상기 게이트금속층을 패터닝하여 상기 액티브층에 중첩되는 게이트전극과 상기 게이트전극과 접속되는 게이트라인을 형성하는 단계와;

상기 게이트전극을 마스크로 하여 상기 게이트전극과 중첩된 부분 이외의 상기 액티브층에 불순물을 주입하여 상기 액티브층에 소스영역과 드레인영역을 형성하는 단계와;

상기 게이트전극과 상기 게이트라인을 덮도록 상기 게이트 절연막 상에 층간 절연막을 형성하고 상기 층간 절연

막과 상기 게이트 절연막을 관통하는 제1 접촉홀을 형성하여 상기 소스영역과 상기 드레인영역의 노출시키는 단계와;

상기 소스영역에 접속되는 소스전극과 상기 드레인영역에 접속되는 드레인전극 및 상기 소스전극에 접속되는 데이터라인을 형성하는 단계와;

상기 소스전극과 상기 드레인전극 및 상기 데이터라인을 덮도록 상기 층간 절연막 상에 보호막을 형성하는 단계와;

상기 드레인전극 패턴이 노출되도록 상기 보호막 상에 제2 접촉홀을 형성하고 상기 드레인전극에 접속되는 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 5

제 4 항에 있어서,

상기 반도체 스위치소자는 상기 데이터라인과 상기 게이트라인의 교차부에 형성되고 상기 제2 접촉홀을 통하여 상기 화소전극에 접속되어 게이트라인으로부터의 스캔펄스에 응답하여 상기 화소전극에 상기 데이터라인 상의 데이터전압을 공급하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 6

제 4 항에 있어서,

상기 반도체 스위치소자는 상기 데이터라인에 데이터전압을 공급하기 위한 데이터 구동회로에 포함되는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 7

제 5 항에 있어서,

상기 반도체 스위치소자는 상기 게이트라인에 스캔펄스를 공급하기 위한 게이트 구동회로에 포함되는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 8

제 6 항에 있어서,

상기 스토리지영역과 중첩되는 영역에 상기 게이트전극 및 게이트라인과 동일공정으로 상기 공통전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 9

제 1 항에 있어서,

상기 차단영역에 대응되는 액티브층에 형성되는 포토레지스트 패턴의 높이는 상기 반투과 영역에 형성되는 포토레지스트 패턴보다 높게 형성되는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 10

제 1 항에 있어서,

상기 스토리지영역과 더불어 표시영역의 액티브층 및 구동회로들의 액티브층은 상기 하나의 마스크 공정에 의해 함께 형성되는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 11

제 10 항에 있어서,

상기 포토레지스트 패턴의 역테퍼 형상에 의해 상기 표시영역의 액티브층 및 상기 구동회로들의 액티브층의 외각영역이 미노출되도록 패턴 됴으로써,

상기 불순물을 주입시 상기 표시영역의 액티브층 및 상기 구동회로들의 액티브층의 외곽영역들에는 이온이 미주

입되는 것을 특징으로 하는 액정표시소자의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0028] 본 발명은 폴리 실리콘을 이용한 액정표시소자의 제조방법에 관한 것으로 특히, 액정표시소자의 제조공정을 단순화함과 아울러 수율을 향상시킬 수 있는 액정표시소자의 제조방법에 관한 것이다.
- [0029] 실리콘은 결정상태에 따라 비정질 실리콘(Amorphous siliscon)과 결정질 실리콘(Crystalline silicon)으로 대별된다.
- [0030] 비정질 실리콘은 350℃ 이하의 낮은 온도에서 박막으로 증착 가능하다. 이 때문에 비정질 실리콘은 액정표시소자의 박막트랜지스터(Thin Fim Transistor : 이하, "TFT"라 한다)에 주로 이용되고 있다.
- [0031] 그런데 비정질 실리콘은 0.5 cm²/Vs 이하의 낮은 이동도로 인하여 우수한 전기적 특성이 요구되는 대화면 액정표시소자에 적용되기가 곤란하다.
- [0032] 이에 비하여 폴리 실리콘은 이동도가 수십에서 수백 cm²/Vs 이하의 높은 이동도를 가진다. 이러한 폴리 실리콘을 TFT의 반도체층으로 적용함으로써 고품위, 대화면의 액정표시소자를 구현하기 위한 연구가 활발히 진행되고 있다. 특히, 폴리 실리콘 TFT를 액정표시소자에 적용하면 표시영역의 TFT 어레이 기판과 구동 드라이브 집적회로를 함께 기판 상에 집적시킬 수 있다.
- [0033] 도 1은 액정표시소자의 하부기판에 형성되는 표시영역과 구동회로들을 개략적으로 나타내는 도면이다.
- [0034] 도 1을 참조하면, 액정표시소자는 데이터라인들(124)과 게이트라인들(125)이 교차되고 그 교차부에 TFT가 형성되며 액정셀들(C1c)이 매트릭스 형태로 배치되는 표시영역(122)과, 데이터라인들(124)에 데이터를 공급하기 위한 데이터 구동회로(121)와, 게이트라인들(125)에 스캔펄스를 공급하기 위한 게이트 구동회로(123)를 구비한다.
- [0035] 표시영역(122)의 TFT들은 일반적으로 N형 TFT로 구현되며 게이트라인들(125)로부터의 스캔펄스에 응답하여 데이터라인들(124) 상의 데이터를 액정셀(C1c)에 공급한다. 이 TFT의 게이트전극은 게이트라인(125)에 접속되며, 소스전극은 데이터라인(124)에 접속된다. TFT의 드레인전극은 액정셀(C1c)의 화소전극에 접속된다.
- [0036] 표시영역(122)은 액정셀(C1c)의 전압을 일정하게 유지시키기 위한 스토리지 캐패시터(Cst)를 포함한다. 스토리지 캐패시터(Cst)는 TFT의 액티브층에 n+ 또는 p+ 이온이 도핑된 스토리지영역(12)과 액정 구동을 위한 기준전압(Vcom)을 공급받는 공통라인의 중첩영역에 형성된다.
- [0037] 데이터 구동회로(121)는 클럭을 샘플링하기 위한 쉬프트레지스터, 데이터를 일시저장하기 위한 레지스터, 쉬프트레지스터로부터의 클럭신호에 응답하여 데이터를 1 라인분씩 저장하고 저장된 1 라인분의 데이터를 동시에 출력하기 위한 래치, 래치로부터의 디지털 데이터값에 대응하여 정극성/부극성의 감마전압을 선택하기 위한 디지털-아날로그 변환기, 정극성/부극성 감마전압에 의해 변환된 아날로그 데이터 전압이 공급되는 데이터라인들(124)을 선택하기 위한 멀티플렉서 및 멀티플렉서와 데이터라인 사이에 접속된 출력버퍼 등으로 구성된다. 이 데이터 구동회로(121)는 도시하지 않은 타이밍 컨트롤러의 제어 하에 디지털 비디오 데이터를 아날로그 전압으로 변환하고 그 아날로그 전압의 극성을 도트 인버전, 컬럼 인버전, 라인 인버전 등의 극성반전 방식에 따라 제어한다.
- [0038] 게이트 구동회로(123)는 스캔펄스를 순차적으로 발생하는 쉬프트 레지스터와, 스캔펄스의 전압을 액정셀(C1c)의 구동에 적합한 레벨로 쉬프트시키기 위한 레벨 쉬프터 등으로 구성된다. 이 게이트 구동회로(123)는 도시하지 않은 타이밍 컨트롤러의 제어 하에 게이트라인들(125)에 순차적으로 스캔펄스를 공급한다.
- [0039] 이와 같은 구동회로들(121, 123)에는 일반적으로 N형 TFT와 P형 TFT를 결합시킨 다수의 CMOS 소자들을 포함한다.
- [0040] 도 2는 도 1에 도시된 표시영역을 자세히 나타내는 평면도이며, 도 3은 도 2에 도시된 I-I' 선을 따라 절취한

절취한 단면도이다.

- [0041] 도 2 및 도 3을 참조하면, 표시영역은 하부기관(10) 위에 형성된 버퍼층(11)과, 게이트 절연막(21)을 사이에 두고 교차하게 형성되는 게이트라인(125) 및 데이터라인(124)과, 그 교차부마다 형성된 박막 트랜지스터(Thin Film Transister : 이하 “TFT” 라 함)와, 게이트라인(125)과 데이터라인(124)의 교차구조로 마련된 화소영역에 형성된 화소전극(26)과, 화소전극(26)과 수평 전계를 이루는 공통전극(120)을 구비한다. 그리고, 공통전극(120)과 게이트 절연막(21)을 사이에 두고 스토리지 캐패시터(Cst)를 형성하는 스토리지영역(12)을 구비한다.
- [0042] 공통전극(120)은 액정 구동을 위한 기준전압(이하, 공통전압)을 공급받는다. TFT는 게이트라인(125)의 게이트 신호에 응답하여 데이터라인(124)의 화소신호가 화소전극(26)에 충전되어 유지되게 한다. 이를 위하여, TFT는 게이트라인(125)과 접속된 게이트전극(23a)과, 데이터라인(124)과 접속된 소스전극(24a)과, 화소전극(26)과 접속된 드레인전극(24b)과, 게이트전극(23a)과 게이트 절연막(21)을 사이에 두고 중첩되면서 소스전극(24a) 및 드레인전극(24b) 사이에 채널을 형성하는 활성층(13a)을 구비한다.
- [0043] 이하, 도 4a 내지 도 4g를 참조하여 종래의 액정표시소자의 표시영역과 구동회로들에 포함되는 반도체 스위치소자의 제조방법을 설명하면 다음과 같다.
- [0044] 도 4a를 참조하면, 종래의 액정표시소자의 제조방법은 하부기관(10) 위에 버퍼층(11)을 전면 형성하고, 버퍼층(11) 위에 폴리 실리콘층(13)을 제1 마스크를 이용한 포토리소그래피공정으로 패터닝하여 표시영역에 포함된 N형 TFT의 액티브층(13a) 및 스토리지영역(12)과, 구동회로들에 포함된 N형 TFT 및 P형 TFT의 액티브층(13d, 13g)을 형성한다.
- [0045] 이어서, 표시영역에 공통라인(120)이 형성될 영역과 중첩되는 액티브층(13a)에 제2 마스크를 이용한 포토리소그래피 공정 및 식각공정으로 표시영역 및 구동회로들에 포함된 액티브층들(13a, 13d, 13g)을 가리는 포토레지스트 패턴을 형성한 후 n+ 또는 p+ 이온을 스토리지영역(12)에 주입하여 도 4b와 같이 스토리지영역(12)을 완성한다.
- [0046] 그 다음, 표시영역 및 구동회로들에 포함된 액티브층들(13a, 13d, 13g)과 표시영역의 스토리지영역(12)을 덮도록 SiO₂, SiN_x 등의 절연물질을 버퍼층(11) 위에 전면 증착함으로써 게이트 절연막(21)을 형성한다. 이 후, 도 4c와 같이 게이트 절연막(21) 위에는 알루미늄, 알루미늄/네오뎀 등의 게이트금속층을 전면 증착하고 제3 마스크를 이용한 포토리소그래피공정으로 패터닝하여 게이트전극들(23a, 23b, 23c)과, 게이트라인들(125 도 1 참조) 및 도시하지 않은 게이트패드들을 패터닝한다. 그리고, 형성된 게이트전극들(23a, 23b, 23c)을 마스크로 이용하여 액티브층(13)에 불순물이 주입된다. 이 때, 표시영역에 포함된 N형 TFT(131)와 구동회로들에 포함된 N형 TFT(132)에는 n-이온이 주입된다. n-이온은 인(P)이나 비소(As)와 같은 불순물로서 그 농도가 10¹²~10¹³/cm² 정도로 비교적 작다. 이와 달리, 구동회로들에 포함된 P형 TFT(133)에는 이용하여 p-이온이 주입된다. p-이온은 붕소(B)와 같은 불순물로서 그 농도가 10¹²~10¹³/cm² 정도로 비교적 작다. 이 불순물 주입공정에 의해 액티브층(13a, 13d, 13g)의 양측에는 불순물 농도가 비교적 작은 엘디디(Lightly Doped Drain : 이하, "LDD"라 한다) 영역(14a 내지 14f)이 형성된다. LDD 영역(14a 내지 14f)은 오프전류를 감소시키는 역할을 한다.
- [0047] 도 4d를 참조하면, 액정표시소자의 제조방법은 게이트 절연막(21) 위에 N형 TFT(132)의 소스영역들(13b, 13e)과 드레인영역들(13c, 13f)의 n+ 이온들을 주입하기 위한 제4 마스크 및 구동회로들에 포함된 P형 TFT(133)의 소스영역들(13h)과 드레인영역들(13i)에는 p+ 이온들을 주입하기 위한 제5 마스크를 이용한 포토리소그래피 공정과 식각공정으로 소스영역들(13b, 13e, 13h)과 드레인영역들(13c, 13f, 13i)을 노출시키기 위한 도시하지 않은 포토레지스트패턴들을 형성한다. 이 포토레지스트 패턴들을 통하여 소스영역들(13b, 13e, 13h)과드레인영역들(13c, 13f, 13i)에는 불순물이 다시 주입된다. 이 불순물 주입공정으로 표시영역에 포함된 N형 TFT(131)와 구동회로들에 포함된 N형 TFT(132)의 소스영역들(13b, 13e)과 드레인영역들(13c, 13f)의 n+ 이온들의 농도는 1~2×10¹⁵/cm² 정도이다. 이와 달리, 구동회로들에 포함된 P형 TFT(133)의 소스영역들(13h)과 드레인영역들(13i)에는 p+ 이온들이 주입되며, 그 농도는 1~2×10¹⁵/cm² 정도이다.
- [0048] 이어서, 게이트전극들(23a, 23b, 23c)을 포함한 게이트 금속패턴들을 덮도록 SiO₂, SiN_x 등의 절연물질을 게이트 절연막(21) 위에 전면 증착하여 층간 절연막(22)을 게이트 절연막(21) 위에 형성한다. 이 후, 제6 마스크를 이용한 포토리소그래피 공정으로 층간 절연막(22) 상에 소스접촉홀들(134a, 134c, 134e)과 드레인접촉홀들(134b, 134d, 134f)의 영역을 노출시키는 도시하지 않은 포토레지스트패턴들을 형성한다. 이 포토레지스트패턴들을 통

하여 층간 절연막(22)과 게이트 절연막(21)을 식각함으로써 도 4e에 도시된 바와 같이 소스영역(13b, 13e, 13h)과 드레인영역(13c, 13f, 13i)을 노출시키는 소스접촉홀들(134a, 134c, 134e)과 드레인접촉홀들(134b, 134d, 134f)을 층간 절연막(22)과 게이트 절연막(21)에 형성한다.

[0049] 그런 다음, 소스/드레인금속층을 소스접촉홀들(134a, 134c, 134e)과 드레인접촉홀들(134b, 134d, 134f)이 형성된 층간 절연막(22) 상에 전면 증착한다. 이어서, 제7 마스크를 이용한 포토리소그래피 공정으로 소스/드레인 금속층 위에는 도시하지 않은 포토레지스트패턴들이 형성된다. 이 포토레지스트패턴들을 통하여 금속층을 식각하고 포토레지스트패턴들을 제거한다. 그 결과, 도 4f와 같은 소스전극들(24a, 24c, 24e)과 드레인전극들(24b, 24d, 24f)이 형성되고 동시에 데이터라인들(24 도 1 참조)과 도시하지 않은 데이터패드들이 형성된다. 소스전극들(24a, 24c, 24e)은 소스접촉홀들(134a, 134c, 134e)을 통해 액티브층의 소스영역들(13b, 13e, 13h)과 접속된다. 드레인전극들(24b, 24d, 24f)은 드레인접촉홀들(134b, 134d, 134e)을 통해 액티브층의 드레인영역들(13c, 13f, 13i)과 접속된다.

[0050] 도 4g를 참조하면 액정표시소자의 제조방법은 소스전극들(24a, 24c, 24e)과 드레인전극들(24b, 24d, 24f)을 덮도록 층간 절연막(22) 상에 무기 또는 유기 절연물질을 전면 형성 증착하여 보호막(25)을 층간 절연막(22) 상에 형성한다.

[0051] 이어서, 제8 마스크를 이용한 포토리소그래피 공정으로 보호막(25)을 관통하는 화소접촉홀(135)이 형성되며 그 화소접촉홀(135)을 통하여 드레인전극들(24b, 24d, 24f)의 일부가 노출된다. 이후, 화소접촉홀(135)이 형성된 보호막(25) 상에 ITO와 같은 투명전도성물질을 전면 증착하고, 제9 마스크를 이용한 포토리소그래피 공정으로 화소접촉홀들(135)을 통해 드레인전극들(24b)과 접속되는 화소전극들(26)이 표시영역에 형성한다.

[0052] 이와 같이 종래의 폴리 실리콘을 이용한 액정표시소자는 9 마스크 공정을 통해 형성된다. 여기서, 각 마스크 공정은 박막 증착공정, 세정공정, 포토리소그래피 공정, 식각공정, 포토레지스트 박리공정, 검사공정 등과 같은 많은 공정을 포함하고 있어 폴리 실리콘을 이용한 액정표시소자는 그 제조가 복잡하다는 단점이 있다.

발명이 이루고자 하는 기술적 과제

[0053] 따라서, 본 발명의 목적은 액정표시소자의 제조공정을 단순화함과 아울러 수율을 향상시킬 수 있는 액정표시소자의 제조방법을 제공함에 있다.

발명의 구성 및 작용

[0054] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시소자의 제조방법은 하부기판 위에 버퍼층을 형성하는 단계와; 상기 버퍼층 위에 폴리 실리콘층을 형성하는 단계와; 반투과 마스크 또는 회절 마스크를 이용하여 상기 폴리 실리콘층을 패터닝하여 박막 트랜지스터의 액티브층을 형성하고 상기 패터닝된 폴리 실리콘층 중 공통전극이 형성될 영역과 중첩되는 영역의 폴리 실리콘층에 불순물을 주입하여 스토리지영역을 형성하는 단계와; 상기 액티브층을 포함하는 반도체 스위치소자를 상기 액티브층 위에 형성하는 단계를 포함한다.

[0055] 상기 액티브층 및 상기 스토리지영역을 형성하는 단계는, 상기 폴리 실리콘층 위에 포토레지스트막을 형성하는 단계와; 상기 스토리지영역이 형성될 영역과 대응되는 영역에 회절 영역 및 상기 액티브층이 형성될 영역과 대응되는 영역에 차단영역을 가지는 상기 회절 마스크 또는 상기 스토리지영역이 형성될 영역과 대응되는 영역에 반투과 영역 및 상기 액티브층이 형성될 영역과 대응되는 영역에 차단영역을 가지는 상기 반투과 마스크를 상기 폴리 실리콘층 위에 정렬하는 단계와; 상기 회절 마스크 또는 상기 반투과 마스크를 이용하여 상기 액티브층 및 상기 스토리지영역을 덮는 역테퍼 형상의 포토레지스트 패턴을 형성하는 단계와; 상기 역테퍼 형상의 포토레지스트 패턴을 마스크로 이용하여 상기 폴리 실리콘층을 패터닝하여 박막 트랜지스터의 액티브층을 형성하는 단계와; 상기 역테퍼 형상의 포토레지스트 패턴을 식각하여 상기 스토리지영역을 노출시키는 단계와; 상기 노출된 스토리지영역에 불순물을 주입하여 스토리지영역을 형성하는 단계를 포함한다.

[0056] 역테퍼 형상의 포토레지스트 패턴은 상기 포토레지스트 패턴의 현상을 위한 노광공정시 상기 상기 포토레지스트 막 하부에 초점을 맞추어 상기 포토레지스트막을 현상하여 형성한다.

[0057] 상기 반도체 스위치소자를 형성하는 단계는, 상기 액티브층을 덮도록 상기 버퍼층 위에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 위에 게이트금속층을 형성하고 상기 게이트금속층을 패터닝하여 상기 액티브층

의 일부분에 증착되는 게이트전극과 상기 게이트전극과 접속되는 게이트라인을 형성하는 단계와; 상기 게이트전극을 마스크로 하여 상기 게이트전극과 증착된 부분 이외의 상기 액티브층에 불순물을 주입하여 상기 액티브층에 소스영역과 드레인영역을 형성하는 단계와; 상기 게이트전극과 상기 게이트라인을 덮도록 상기 게이트 절연막 상에 층간 절연막을 형성하고 상기 층간 절연막과 상기 게이트 절연막을 관통하는 제1 접촉홀을 형성하여 상기 소스영역과 상기 드레인영역의 노출시키는 단계와; 상기 소스영역에 접속되는 상기 소스전극과 상기 드레인영역에 접속되는 드레인전극 및 상기 소스전극에 접속되는 데이터라인을 형성하는 단계와; 상기 소스전극과 상기 드레인전극 및 상기 데이터라인을 덮도록 상기 층간 절연막 상에 보호막을 형성하는 단계와; 상기 드레인전극 패턴이 노출되도록 상기 보호막 상에 제2 접촉홀을 형성하고 상기 드레인전극에 접속되는 화소전극을 형성하는 단계를 포함한다.

- [0058] 상기 반도체 스위치소자는 상기 데이터라인과 상기 게이트라인의 교차부에 형성되고 상기 제2 접촉홀을 통하여 상기 화소전극에 접속되어 상기 게이트라인으로부터의 스캔펄스에 응답하여 상기 화소전극에 상기 데이터라인상의 데이터전압을 공급한다.
- [0059] 상기 반도체 스위치소자는 상기 데이터라인에 데이터전압을 공급하기 위한 데이터 구동회로에 포함된다.
- [0060] 상기 반도체 스위치소자는 상기 게이트라인에 스캔펄스를 공급하기 위한 게이트 구동회로에 포함된다.
- [0061] 상기 액정표시소자의 제조방법은 상기 스토리지영역과 증착되는 영역에 상기 게이트전극 및 게이트라인과 동일 공정으로 상기 공통전극을 형성하는 단계를 더 포함한다.
- [0062] 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- [0063] 이하, 도 5a 내지 도 10b를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- [0064] 최근 폴리 실리콘을 이용한 액정표시소자의 제조는 종래 9 마스크를 이용한 공정에서 마스크 수를 줄이기 위하여 제1 및 제2 마스크를 반투과 또는 회절 마스크를 사용하여 액티브층들(13a, 13d, 13g) 및 스토리지영역(12)을 형성하여 폴리 실리콘을 이용한 액정표시소자의 제조공정을 단순화하고자하는 시도가 있다.
- [0065] 이하, 도 5a 내지 도 5c를 참조하여 본 발명에 따른 반투과 마스크 또는 회절 마스크를 사용하여 액티브층들 및 스토리지영역을 제조하는 방법을 자세히 설명하면 다음과 같다.
- [0066] 도 5a를 참조하면, 본 발명에 따른 액정표시소자의 제조방법은 하부기관(10) 위에 버퍼층(11)을 전면 형성하고, 버퍼층(11) 위에 폴리 실리콘층(13)을 형성한 다음, 포토레지스트막을 전면 증착하고 하부기관(10) 상에 제1 마스크(820)를 정렬한 후 포토리소그래피 공정으로 하부기관(10) 위에 포토레지스트 패턴(830)을 형성한다. 여기서, 제1 마스크는 반투과 마스크(820) 및 회절 마스크(미도시) 중 어느 하나가 사용되나, 본 발명과 관련한 설명에서는 반투과 마스크(820)를 사용한 경우만을 설명하기로 한다.
- [0067] 포토레지스트 패턴(830)은 제1 마스크(820)를 이용하여 포토레지스트막을 노광 및 현상함으로써 제1 마스크(820)의 차단부(822) 및 반투과부(823)에 대응하는 차단영역(P2) 및 반투과영역(P3)에서 단차를 갖도록 형성된다.
- [0068] 이를 상세히 하면, 반투과영역(P3)과 대응되는 표시영역의 스토리지영역(12)에 형성되는 포토레지스트 패턴(830b)은 제2 높이를 가지도록 형성되며, 차단영역(P2)과 대응되는 표시영역의 액티브층(13a), 구동회로들의 N형 TFT 및 P형 TFT의 액티브층(13d, 13g)에 형성되는 포토레지스트 패턴(830a)은 제2 높이보다 높은 제1 높이를 가지도록 형성된다.
- [0069] 이러한 포토레지스트 패턴(830)을 마스크로 이용한 식각공정으로 도 5b와 같이 표시영역의 액티브층(13a) 및 스토리지영역(12)와, 구동회로들의 N형 TFT 및 P형 TFT의 액티브층(13d, 13g)이 패터닝된다. 이어서, 산소(O₂) 플라즈마를 이용한 애싱(Ashing)공정으로 제2 높이를 가지는 포토레지스트 패턴(830b)을 제거하며, 이어 차단부(822)에 대응하는 영역에서 높이가 낮아진 포토레지스트 패턴(830)을 마스크로 이용하여 도 5c에 도시된 바와 같이 표시영역의 스토리지영역(12)에 n+ 또는 p+ 이온을 주입하여 스토리지영역(12)을 완성한다.
- [0070] 이와 같이 차단영역(P2) 및 반투과영역(P3)을 가지는 반투과 마스크(820)를 이용하여 표시영역의 액티브층(13a) 및 구동회로들의 N형 TFT 및 P형 TFT의 액티브층(13d, 13g)과 표시영역의 스토리지영역(12)이 하나의 마스크 공정으로 함께 형성됨에 따라 종래에 비하여 1 마스크 공정을 줄일 수 있어 폴리 실리콘을 이용한 액정표시소자의 제조공정을 단순화할 수 있다.

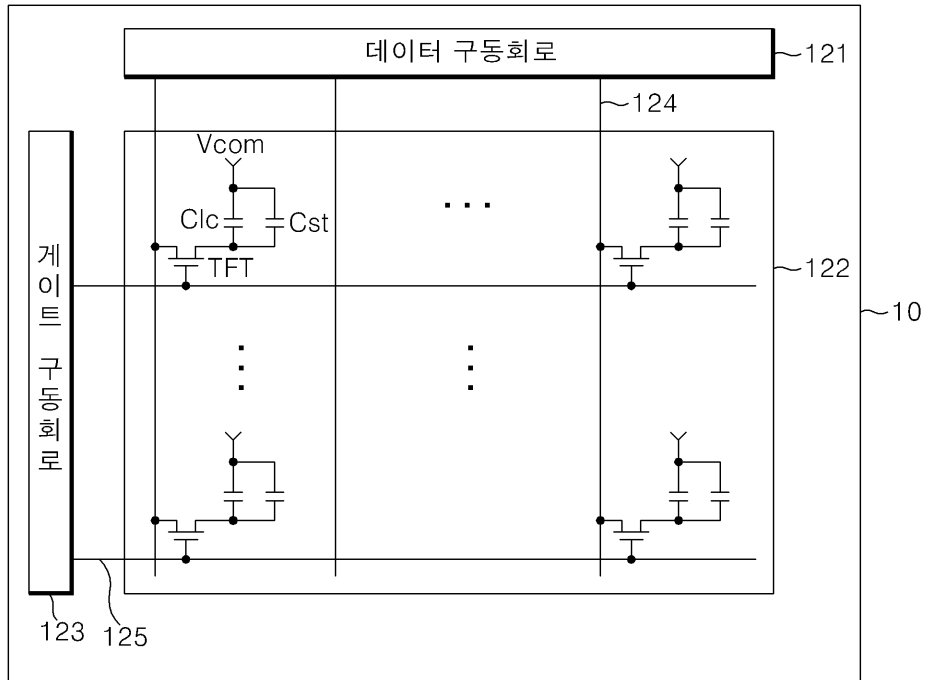
- [0071] 여기서, 반투과 마스크(820)을 이용하여 액정표시소자의 액티브층(13a, 13d, 13g) 및 스토리지영역(12)을 함께 형성하는 경우 제2 높이를 가지는 포토레지스트 패턴(830b)을 제거하기 위한 애싱(Ashing)공정에서 제1 높이를 가지는 포토레지스트 패턴(830a)도 함께 애싱되게 된다. 이 경우 함께 애싱되는 제1 높이를 가지는 포토레지스트 패턴(830a)의 외곽영역(A)들이 등방성 애싱에 의해서 도 6 및 도 7에 도시된 바와 같이 애싱되어 제거되게 된다. 이 결과, 표시영역의 액티브층(13a) 및 구동회로들의 N형 TFT 및 P형 TFT의 액티브층(13d, 13g)의 외곽영역(A)들이 노출되게 되며 이에 따라, 스토리지영역(12)에만 주입되어야 할 n+ 또는 p+ 이온이 노출된 표시영역의 액티브층(13a) 및 구동회로들의 N형 TFT 및 P형 TFT의 액티브층(13d, 13g)의 외곽영역(A)들에 주입되게 된다.
- [0072] 도 7을 참조하면, 그 외곽영역(A)들에 n+ 또는 p+ 이온 주입된 표시영역의 액티브층(13a)은 게이트전극(23a)과 게이트 절연막(21)을 사이에 두고 캐피시터(Capacitor)를 형성되는데 이러한 캐피시터는 TFT의 채널 형성을 방해하여 액정표시소자를 불량으로 만든다.
- [0073] 이러한 문제를 해결하기 위하여, 본 발명의 실시 예에 따른 폴리 실리콘을 이용한 액정표시소자는 표시영역의 액티브층(13a) 및 구동회로들의 N형 TFT 및 P형 TFT의 액티브층(13d, 13g)와, 스토리지영역(12)을 형성하는 포토레지스트 패턴(830)을 도 8에 도시된 바와 같이 역테퍼(Taper) 형상으로 형성한다.
- [0074] 이와 같은 역테퍼 형상의 포토레지스트 패턴(830)은 반투과 마스크(820) 마스크를 이용한 포토리쓰그래피 공정의 현상공정에서 노광기의 초점을 조정하여 형성한다.
- [0075] 이하, 도 9a 내지 도 9c를 참조하여 본 발명의 실시 예에 따른 역테퍼 형상의 포토레지스트 패턴(830)의 형성방법을 설명하면 다음과 같다.
- [0076] 포토레지스트 패턴(830)의 현상공정에서의 일반적인 노광 초점(FOCUS)은 포토레지스트막의 표면에 노광기의 초점을 맞추는 것으로 이 경우 포토레지스트 패턴(830)은 도 9a에 도시된 바와 같은 패턴으로 패터닝된다.
- [0077] 한편, 포토레지스트 패턴(830)의 현상공정에서 정테퍼 혹은 역테퍼의 포토레지스트 패턴(830)을 패터닝하고자 할 경우 현상공정에서 노광 초점을 조정하게 되는데 노광 초점을 포토레지스트막의 표면보다 높은 곳에 맞추는 경우 포토레지스트 패턴(830)은 도 9b에 도시된 바와 같이 정테퍼의 형상으로 패터닝된다. 또한, 현상공정에서 노광 초점을 포토레지스트막의 표면보다 낮은 곳에 맞추는 경우 포토레지스트 패턴(830)은 도 9c에 도시된 바와 같이 역테퍼의 형상으로 패터닝된다.
- [0078] 이와 같은 원리를 이용하여 본 발명의 실시 예에 따른 액정표시소자의 제조방법은 표시영역의 액티브층(13a) 및 구동회로들의 N형 TFT 및 P형 TFT의 액티브층(13d, 13g)와, 스토리지영역(12)을 형성하는 포토레지스트 패턴(830)을 역테퍼(Taper) 형상으로 형성한다.
- [0079] 이에 따라, 제2 높이를 가지는 포토레지스트 패턴(830b)을 제거하기 위한 산소(O₂) 플라즈마를 이용한 애싱공정에서 역테퍼 형상의 포토레지스트 패턴(830a)에 의해 표시영역의 액티브층(13a), 구동회로들의 N형 TFT 및 P형 TFT의 액티브층(13d, 13g)의 외곽영역은 노출되지 않으며, 이 결과 표시영역의 액티브층(13a), 구동회로들의 N형 TFT 및 P형 TFT의 액티브층(13d, 13g)의 외곽영역들에 n+ 또는 p+ 이온 주입되지 않으므로 인하여 도 10a 및 도 10b에 도시된 바와 같이 TFT의 채널부가 형성됨으로써 액정표시소자의 수율을 향상시킬 수 있다.

발명의 효과

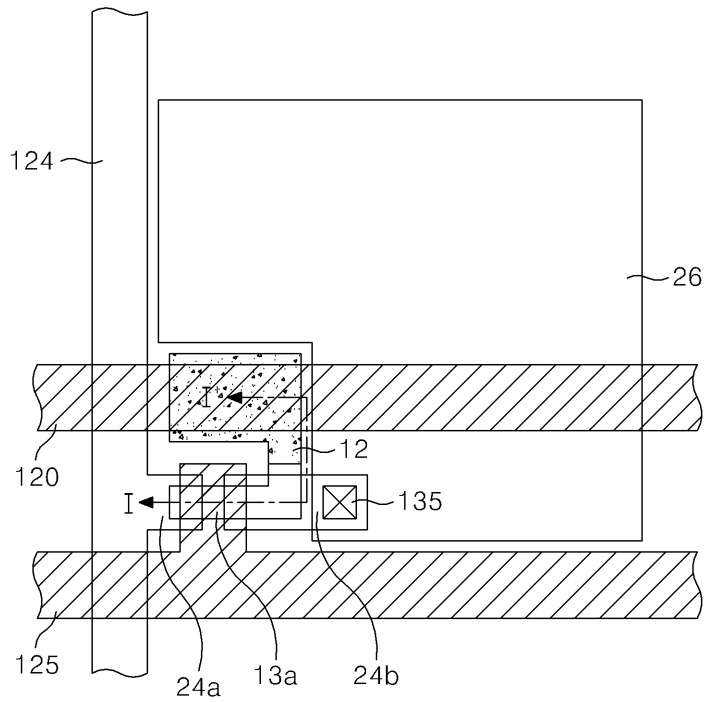
- [0080] 상술한 바와 같이, 본 발명의 실시 예에 따른 액정표시소자의 제조방법은 반투과 마스크를 이용하여 표시영역의 액티브층 및 구동회로들의 N형 TFT 및 P형 TFT의 액티브층과 표시영역의 스토리지영역이 하나의 마스크 공정으로 함께 형성됨에 따라 종래에 비하여 1 마스크 공정을 줄일 수 있어 폴리 실리콘을 이용한 액정표시소자의 제조공정을 단순화할 수 있다.
- [0081] 또한, 산소(O₂) 플라즈마를 이용한 애싱공정에서 역테퍼 형상의 포토레지스트 패턴에 의해 표시영역의 액티브층, 구동회로들의 N형 TFT 및 P형 TFT의 액티브층의 외곽영역이 노출되지 않으며, 이 결과 표시영역의 액티브층, 구동회로들의 N형 TFT 및 P형 TFT의 액티브층의 외곽영역들에 n+ 또는 p+ 이온 주입되지 않으므로 인하여 TFT의 채널부가 안정적으로 형성됨에 따라 액정표시소자의 수율을 향상시킬 수 있다.
- [0082] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이

도면

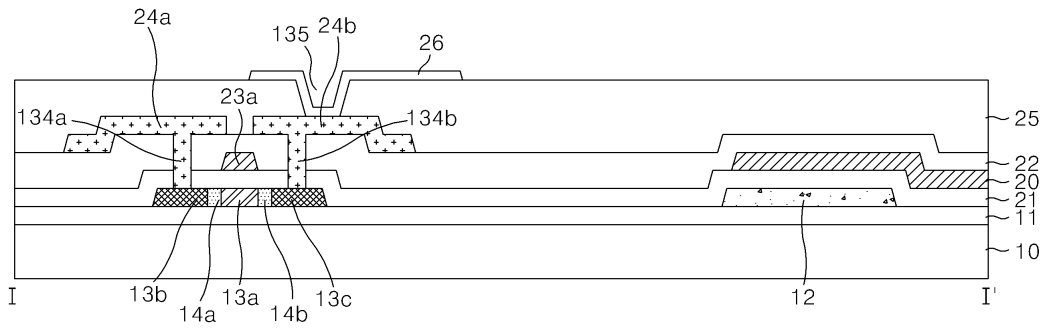
도면1



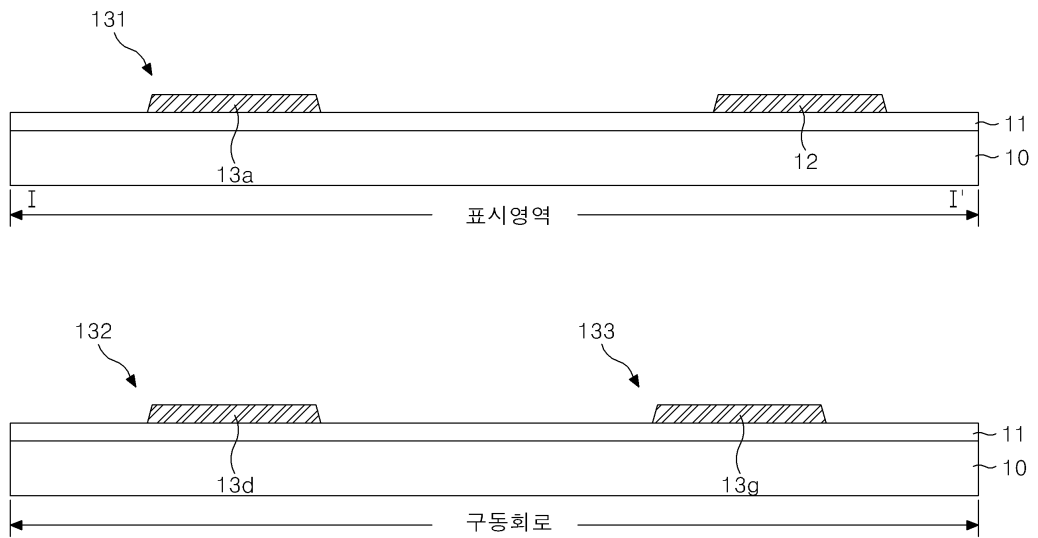
도면2



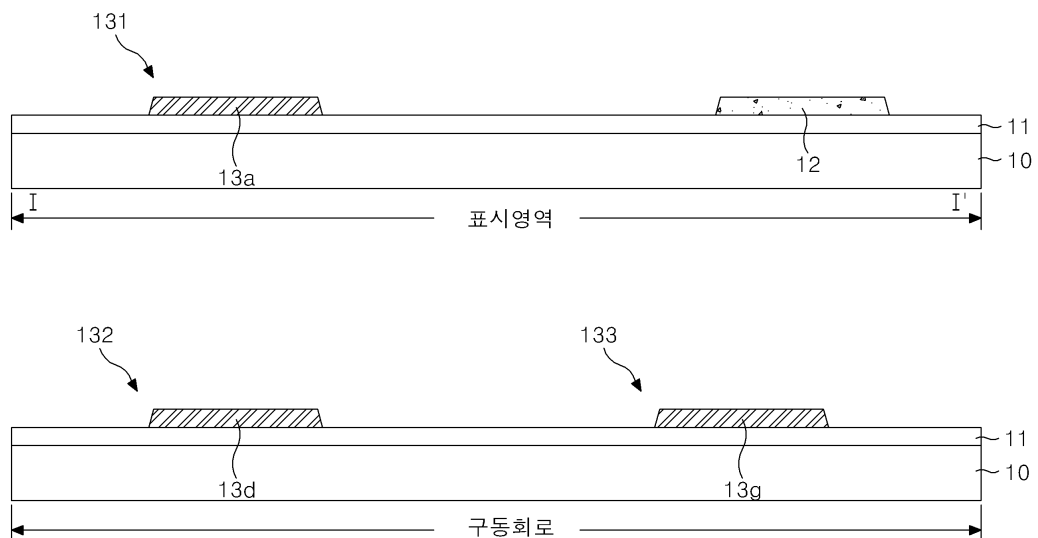
도면3



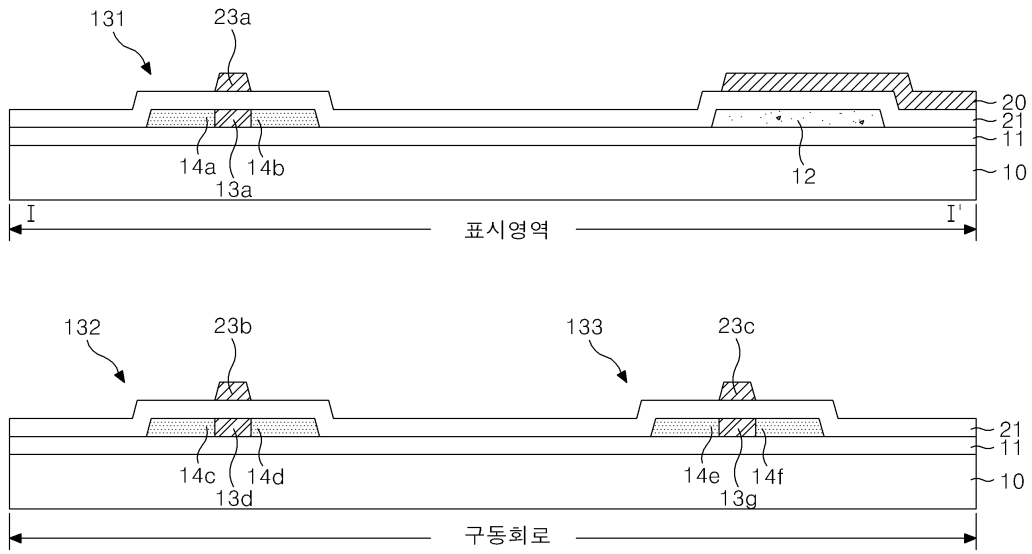
도면4a



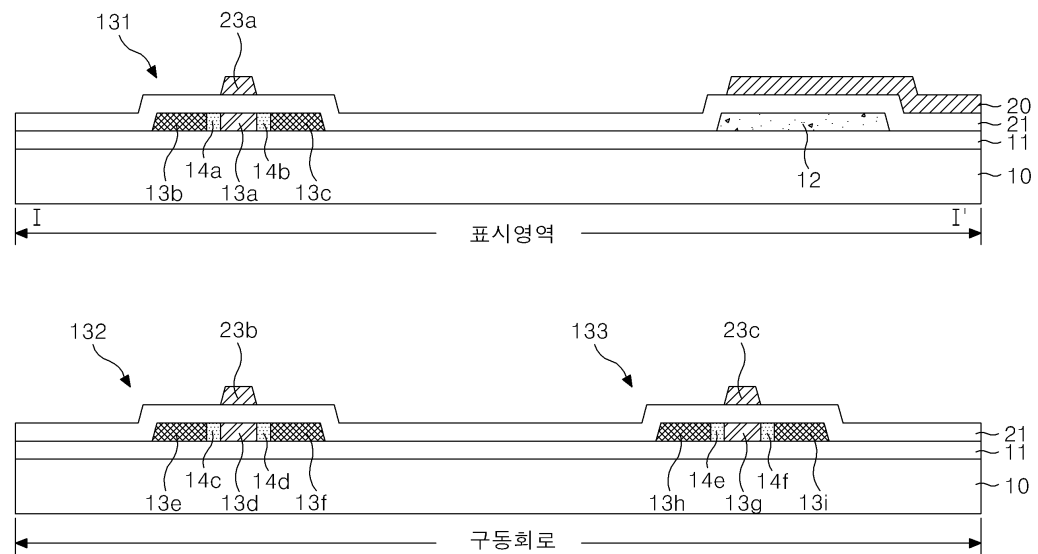
도면4b



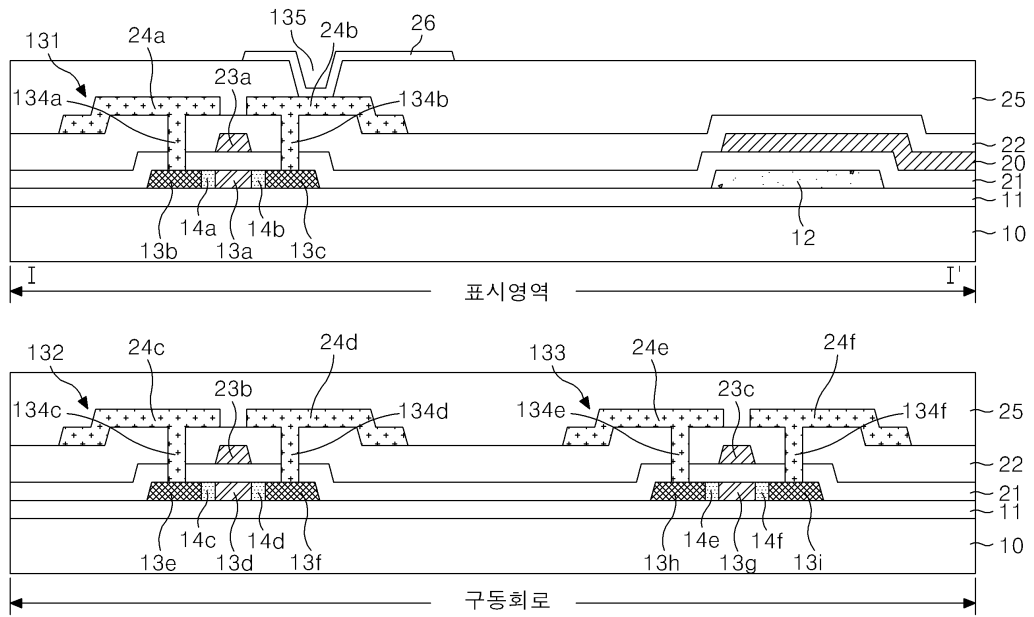
도면4c



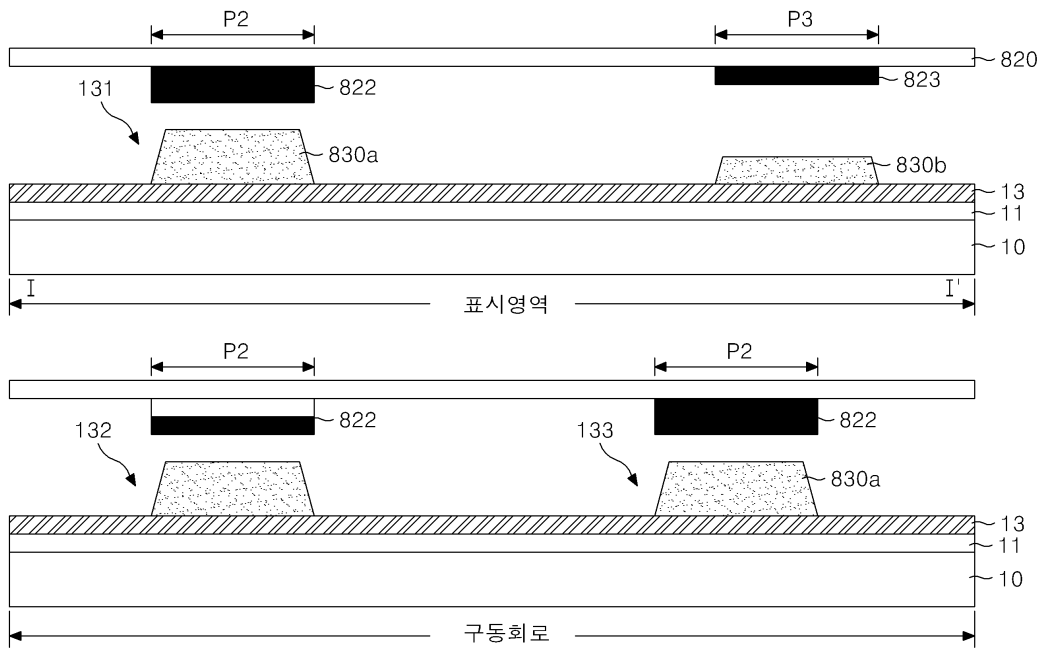
도면4d



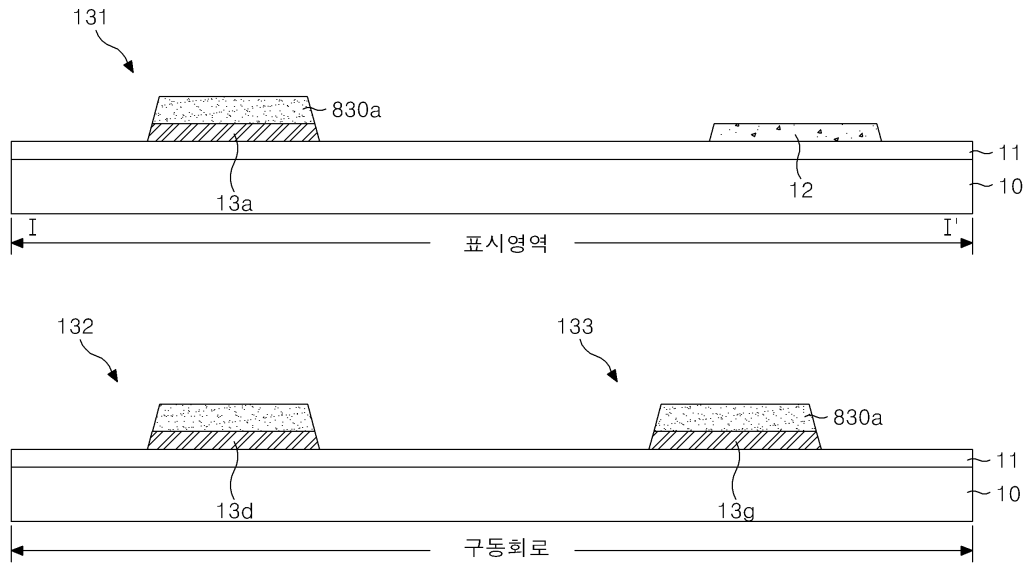
도면4g



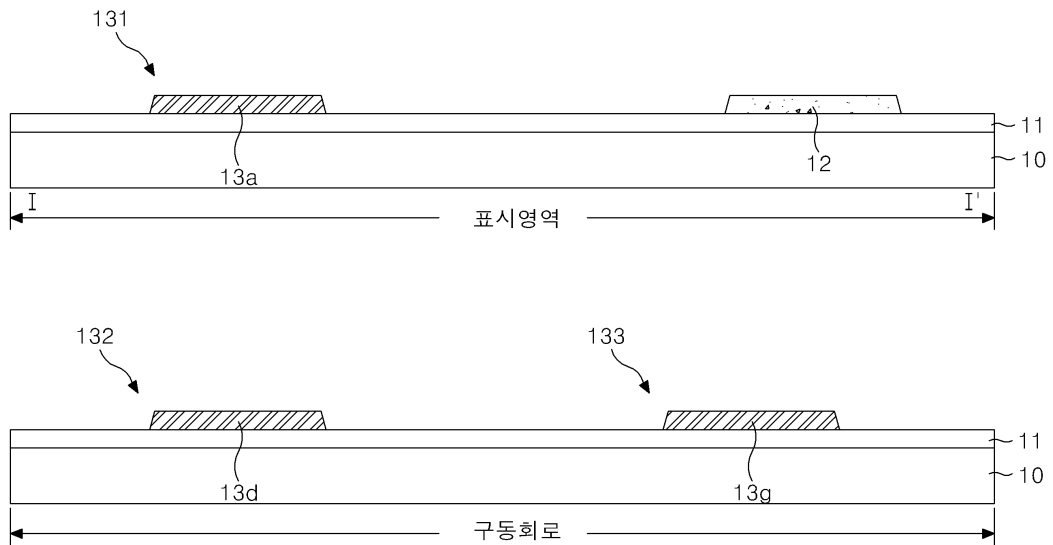
도면5a



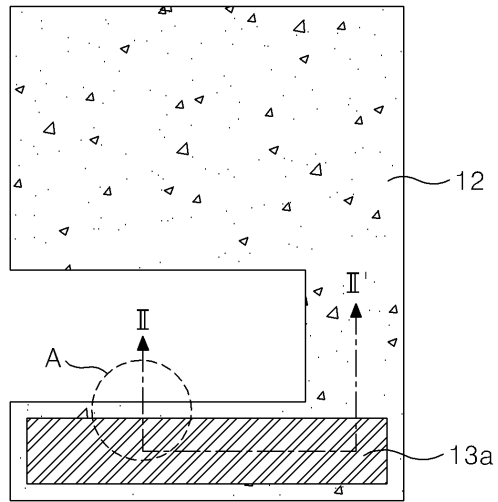
도면5b



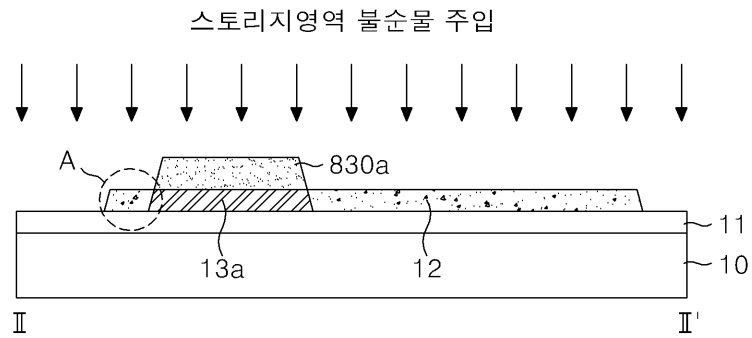
도면5c



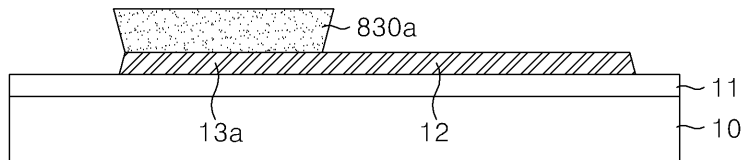
도면6



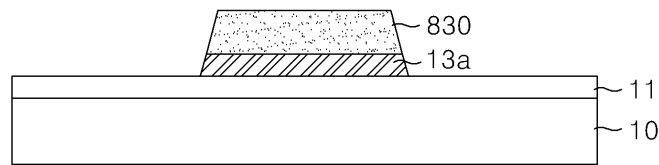
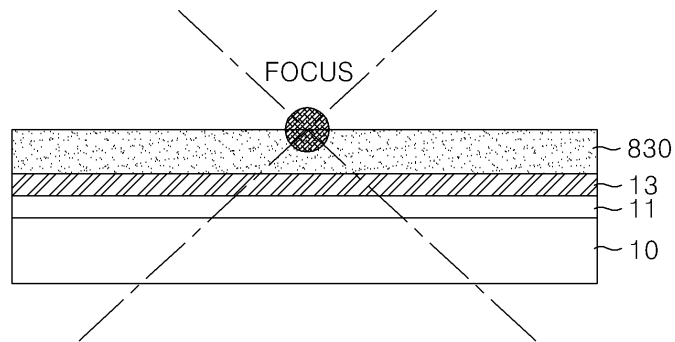
도면7



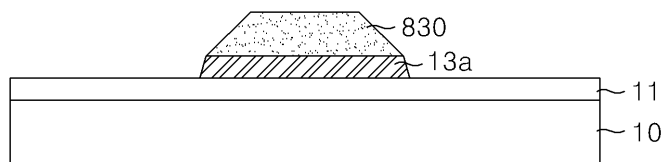
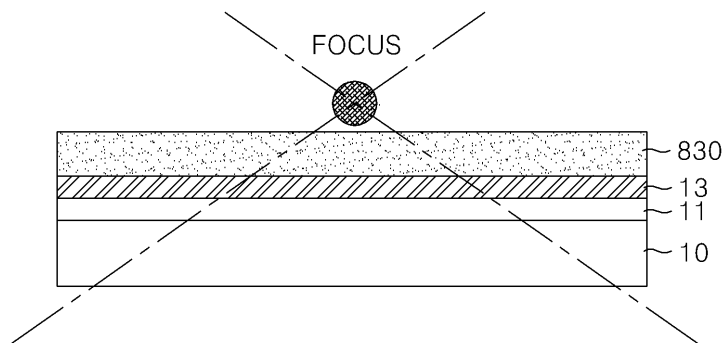
도면8



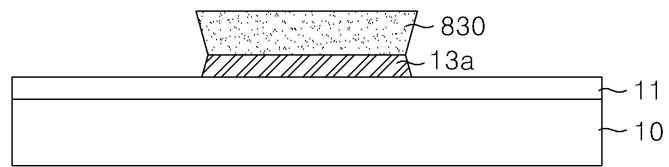
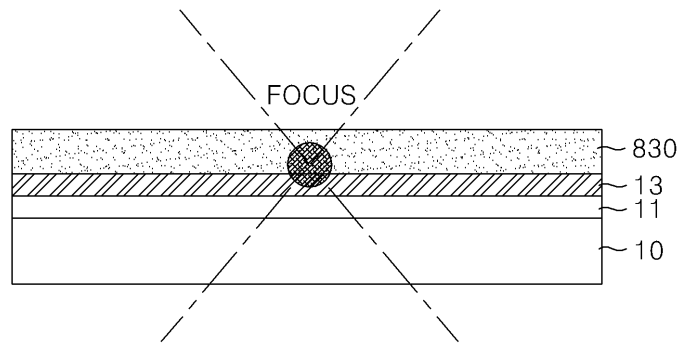
도면9a



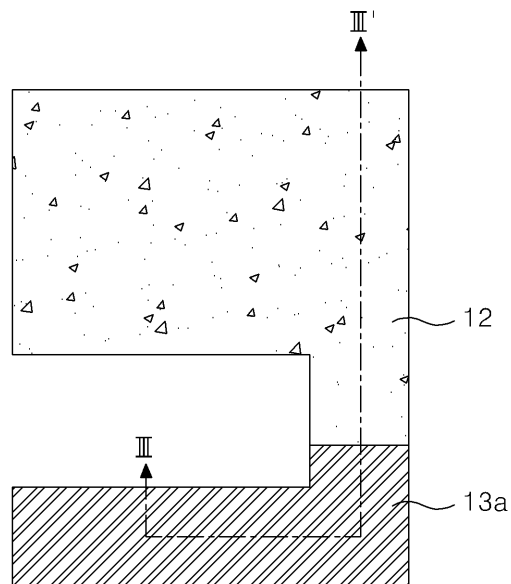
도면9b



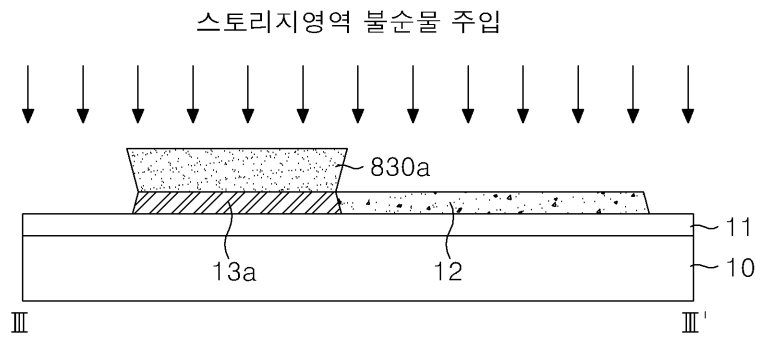
도면9c



도면10a



도면10b



专利名称(译)	标题：液晶显示装置的制造方法		
公开(公告)号	KR101213093B1	公开(公告)日	2012-12-17
申请号	KR1020050057171	申请日	2005-06-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	OH KUM MI		
发明人	OH,KUM MI		
IPC分类号	G02F1/136		
CPC分类号	G02F1/13439 G02F1/136213 G02F1/136286 G02F1/1368 H01L27/1218 H01L27/1259		
其他公开文献	KR1020070001595A		
外部链接	Espacenet		

摘要(译)

液晶显示装置的制造方法技术领域本发明涉及能够简化液晶显示装置的制造工序，提高成品率的液晶显示装置的制造方法。根据本发明的制造液晶显示装置的方法包括：在下基板上形成缓冲层；在缓冲层上形成多晶硅层；通过使用半透明掩模或衍射掩模对多晶硅层进行图案化来形成薄膜晶体管的有源层，并且在与要在图案化的多晶硅层中形成公共电极的区域重叠的区域中将杂质注入到多晶硅层中。形成存储区域；并且在有源层上形成包括有源层的半导体开关元件。

