



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0068748  
G02F 1/1343 (2006.01) (43) 공개일자 2007년07월02일

(21) 출원번호 10-2005-0130709  
(22) 출원일자 2005년12월27일  
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사  
서울 영등포구 여의도동 20번지  
(72) 발명자 이도영  
서울 강서구 화곡동 1033-47 동아빌라 201호  
(74) 대리인 특허법인네이트

전체 청구항 수 : 총 9 항

(54) 횡전계 방식 액정표시장치용 어레이 기판과 그 제조방법

(57) 요약

본 발명은 액정표시장치에 관한 것으로 특히, 고휘도를 구현하는 횡전계방식 액정표장치용 어레이 기판과 그 제조방법에 관한 것이다.

본 발명은 동일 기판 상에 공통 전극과 화소 전극을 구성할 때, 수평부와 수평부의 양측에서 이를 하나로 연결하는 제 1 및 제 2 수직부의 형태로 구성한다.

이때 특징적인 것은, 상기 공통 전극 및 화소 전극의 제 1 및 제 2 수직부를 절연막을 사이에 두고 상.하로 구성할 때, 상기 화소 전극의 제 1 및 제 2 수직부가 상기 공통전극의 제 1 및 제 2 수직부의 일부와 겹쳐 구성되도록 하는 것을 특징으로 한다.

이와 같은 경우, 화소 전극의 수직부를 공통 전극의 수직부 중심에 구성한 구조에 비해, 공통 전극의 수직부의 폭을 줄일 수 있으면서도 얼라인(align)오차를 위한 공정마진을 확보할 수 있기 때문에, 휘도를 개선할 수 있고 고화질을 구현할 수 있는 장점이 있다.

대표도

도 6

특허청구의 범위

청구항 1.

다수의 화소 영역이 정의된 기판과;

상기 화소 영역의 일 측과 타 측에 위치하여 교차 구성된 게이트 배선과 데이터 배선과;

상기 게이트 배선과 데이터 배선의 교차지점에 위치한 박막트랜지스터와;

상기 화소 영역에 위치하고, 다수의 수평부와 수평부의 양측에 각각 위치하여 상기 다수의 수평부를 연결하며, 얼라인 마진(align margin)의 두 배의 폭으로 구성된 제 1 수직부와 제 2 수직부로 구성된 공통 전극과;

상기 공통 전극과 제 1 절연막과 제 2 절연막을 사이에 두고 위치하며, 다수의 수평부와, 수평부의 양측에 각각 위치하여 상기 다수의 수평부를 연결하며, 상기 공통 전극의 제 1 수직부 및 제 2 수직부와는 얼라인 마진(align margin)만큼 겹쳐 구성된 제 1 수직부와 제 2 수직부로 구성된 투명한 화소 전극

을 포함하는 횡전계 방식 액정표시장치용 어레이기판.

## 청구항 2.

제 1 항에 있어서,

상기 박막트랜지스터는 상기 게이트 배선과 연결되는 게이트 전극과, 상기 게이트 전극의 상부에 상기 제 1 절연막을 사이에 두고 구성된 액티브층과 오믹 콘택층과, 상기 오믹 콘택층의 상부에 이격하여 구성된 소스 전극과 드레인 전극을 포함하는 횡전계 방식 액정표시장치용 어레이기판.

## 청구항 3.

제 1 항에 있어서,

상기 화소 전극의 제 1 및 제 2 수직부는 상기 화소 영역의 중심 방향(안쪽)으로, 상기 공통 전극의 제 1 및 제 2 수직부와 각각 겹쳐 구성된 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판.

## 청구항 4.

제 1 항에 있어서,

상기 얼라인 마진은, 마스크 공정시 상기 화소 전극의 제 1 및 제 2 수직부와 상기 공통 전극의 제 1 및 제 2 수직부간 미스 얼라인된 거리를 보상하는 값인 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판.

## 청구항 5.

기판상에 다수의 화소 영역을 정의하는 단계와;

상기 화소 영역의 일 측과 타 측에 위치하여 교차하는 게이트 배선과 데이터 배선을 형성하는 단계와;

상기 게이트 배선과 데이터 배선의 교차지점에 위치하는 박막트랜지스터를 형성하는 단계와;

상기 화소 영역에 위치하고, 다수의 수평부와 수평부의 양측에 각각 위치하여 상기 다수의 수평부를 연결하며, 얼라인 마진(align margin)의 두 배의 폭으로 구성된 제 1 수직부와 제 2 수직부를 포함하는 공통 전극을 형성하는 단계와;

상기 공통 전극과 제 1 절연막과 제 2 절연막을 사이에 두고 위치하며, 다수의 수평부와, 수평부의 양측에 각각 위치하여 상기 다수의 수평부를 연결하며, 상기 공통 전극의 제 1 수직부 및 제 2 수직부와는 얼라인마진(align margin) 만큼 겹쳐 구성된 제 1 수직부와 제 2 수직부를 포함하는 투명한 화소 전극을 형성하는 단계

를 포함하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

## 청구항 6.

제 5 항에 있어서,

상기 박막트랜지스터는 상기 게이트 배선과 연결되는 게이트 전극과, 상기 게이트 전극의 상부에 상기 제 1 절연막을 사이에 두고 구성된 액티브층과 오믹 콘택층과, 상기 오믹 콘택층의 상부에 이격하여 형성된 소스 전극과 드레인 전극을 포함하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

## 청구항 7.

제 5 항에 있어서,

상기 화소 전극은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 물질그룹 중 선택된 하나로 형성된 횡전계 방식 액정표시장치용 어레이기판 제조방법.

## 청구항 8.

제 5 항에 있어서,

상기 화소 전극의 제 1 및 제 2 수직부는 상기 화소 영역의 중심 방향(안쪽)으로, 상기 공통 전극의 제 1 및 제 2 수직부와 각각 겹쳐 형성되는 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기 제조방법.

## 청구항 9.

제 5 항에 있어서,

상기 얼라인 마진은, 마스크 공정시 상기 화소 전극의 제 1 및 제 2 수직부와 상기 공통 전극의 제 1 및 제 2 수직부간 미스 얼라인된 거리를 보상하는 값인 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

명세서

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치(Liquid Crystal Display Device)에 관한 것으로 특히, 고휘도를 구현하는 횡전계 방식 액정표시장치용 어레이기판과 그 제조방법에 관한 것이다.

일반적으로, 액정표시장치는 액체와 고체의 중간상인 액정의 전기-광학적 성질을 표시장치에 응용한 것이다. 즉, 액정은 액체와 같은 유동성을 갖는 유기분자인 액정이 결정과 같이 규칙적으로 배열된 상태의 것으로, 이 분자배열이 외부 전기에 의해 변화하는 성질을 이용한 것이다.

따라서, 액정의 분자배열 방향을 임의로 조절하면, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

현재에는 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD 이하, 액정표시장치로 약칭함)가 해상도 및 동영상 구현 능력이 우수하여 가장 주목받고 있다.

상기 액정표시장치는 공통 전극이 형성된 컬러필터 기관(상부기관)과 화소 전극이 형성된 어레이 기관(하부기관)과, 상부 및 하부기관 사이에 충전된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통 전극과 화소 전극이 상-하로 걸리는 전기장에 의해 액정을 구동하는 방식으로, 투과율과 개구율 등의 특성이 우수하다.

그러나, 상-하로 걸리는 전기장에 의한 액정구동은 시야각 특성이 우수하지 못한 단점을 가지고 있다. 따라서, 상기의 단점을 극복하기 위해 새로운 기술이 제안되고 있다. 하기 기술될 액정표시장치는 횡전계에 의한 액정 구동방법으로 시야각 특성이 우수한 장점을 가지고 있다.

이하, 도 1을 참조하여, 일반적인 횡전계 방식 액정표시장치에 관해 상세히 설명한다.

도 1은 일반적인 횡전계 방식 액정표시장치의 개략적인 구성을 도시한 단면도이다.

도시한 바와 같이, 종래에 따른 횡전계 방식 액정표시장치(B)는 컬러필터기관(B1)과 어레이기관(B2)이 대향하여 구성되며, 컬러필터기관 및 어레이기관 (B1,B2)사이에는 액정층(LC)이 개재되어 있다.

상기 어레이기관(B2)은 투명한 절연 기관(10)에 정의된 다수의 화소(P)마다 박막트랜지스터(T)와 공통 전극(18)과 화소 전극(30)이 구성된다.

상기 박막트랜지스터(T)는 게이트 전극(14)과, 게이트 전극(14) 상부에 절연막(20)을 사이에 두고 구성된 반도체층(22)과, 반도체층(22)의 상부에 서로 이격하여 구성된 소스 및 드레인 전극(24,26)을 포함한다.

전술한 구성에서, 상기 공통 전극(18)은 상기 게이트 전극(14)과 동일층 동일물질로 구성되고, 상기 화소 전극(30)은 상기 소스 및 드레인 전극(24,26)과 동일층 동일물질로 구성할 수 있다.

도시하지는 않았지만, 상기 화소(P)의 일 측을 따라 연장된 게이트 배선(미도시)과, 이와는 수직한 방향으로 연장된 데이터 배선(미도시)이 구성되고, 상기 공통 전극(18)에 전압을 인가하는 공통 배선(미도시)이 구성된다.

상기 컬러필터 기관(B1)은 투명한 절연 기관(40) 상에, 상기 게이트 배선(미도시)과 데이터 배선(미도시)과 박막트랜지스터(T)에 대응하는 부분에 형성된 블랙매트릭스(42)와, 상기 화소(P)에 대응하여 형성된 컬러필터(44a,44b)를 포함한다.

상기 액정층(LC)은 상기 공통 전극(18)과 화소 전극(30)의 수평전계(35)에 의해 동작된다.

이하, 도 2를 참조하여, 전술한 바와 같은 횡전계 방식 액정표시장치용 어레이기관의 구성을 설명한다.

도 2는 종래의 제 1 실시예에 따른 횡전계 방식 액정표시장치용 어레이기관의 구성을 개략적으로 도시한 평면도이다.

도시한 바와 같이, 기관(10)상에 일 방향으로 연장된 게이트 배선(12)과, 게이트 배선(12)과는 수직하게 교차하여 화소 영역(P)을 정의하는 데이터 배선(28)이 구성된다.

또한, 상기 게이트 배선(12)과는 평행하게 이격하여 화소 영역(P)을 가로지르는 공통 배선(16)이 구성된다.

상기 게이트 배선(12)과 데이터 배선(28)의 교차지점에는 상기 게이트 배선(12)과 연결된 게이트 전극(14)과, 게이트 전극(14) 상부의 반도체층(22)과, 반도체층(22) 상부의 소스 전극(24)과 드레인 전극(26)을 포함하는 박막트랜지스터(T)가 구성된다.

상기, 화소 영역(P)은 상기 공통 배선(16)에서 수직하게 연장되고 서로 평행하게 이격된 공통 전극(18)이 구성되고, 상기 공통 전극(18)사이에는 공통 전극(18)과 평행하게 이격된 화소 전극(30)이 구성된다.

그런데, 전술한 바와 같은 구성은 좌.우 시야각에 대한 보상효과는 어느 정도 얻을 수 있으나, 색반전 현상에 의해 여전히 시야각을 개선하는데 한계가 있다.

따라서, 이를 해결하기 위한 방법으로, 상기 공통 전극(18)과 화소 전극(30)을 가로로 배치한 구조의 횡전계방식 어레이기판이 제안되었다.

도 3은 종래의 제 2 예에 따른 횡전계방식 어레이기판의 일부를 확대한 평면도이다.

도시한 바와 같이, 종래의 제 2 예에 따른 횡전계방식 어레이기판(50)은, 제 1 방향에 구성되고 서로 평행하게 이격된 다수의 게이트 배선(52)과, 상기 게이트 배선(52)과 교차하는 제 2 방향에 구성되고 상기 게이트 배선(52)과는 화소 영역(P)을 정의하는 다수의 데이터 배선(72)을 포함한다.

상기 게이트 배선(52)과 데이터 배선(72)의 교차지점에는 스위칭 소자인 박막트랜지스터(T)가 구성되고, 상기 화소 영역(P)에는 공통 전극(58)과 화소 전극(80)이 구성된다.

상기 박막트랜지스터(T)는 게이트 전극(54)과, 게이트 전극(54)의 상부에 게이트 절연막(미도시)을 사이에 두고 구성된 액티브층(62)과, 상기 액티브층(62)의 상부에 이격된 소스 전극(66)과 드레인 전극(68)으로 구성된다. 이때, 상기 게이트 전극(54)은 게이트 배선(52)과 연결되고, 상기 소스 전극(66)은 상기 데이터 배선(72)과 연결되도록 구성한다.

한편, 상기 공통 전극(58)과 화소 전극(80)이 접촉하는 것을 방지하기 위해 일반적으로, 상기 공통 전극(58)은 상기 게이트 배선(52)과 동일층 동일물질로 형성되고, 상기 화소 전극(80)은 상기 공통 전극(58)과는 게이트 절연막(미도시)과 보호막(미도시)을 사이에 두고 형성된다.

이때, 상기 화소 전극(72)은 상기 소스 및 드레인 전극(62,64)과 동일물질로 형성할 수 있으나 도시한 바와 같이, 개구영역 확보를 통한 휘도개선을 위해 별도의 층에 투명한 도전성 물질로 형성한다.

상기 공통 전극(58)의 형상을 구체적으로 설명하면 도시한 바와 같이, 공통 전극(58)은 가로로 배치된 다수의 수평부(58a)와, 상기 수평부(58a)의 일 측과 타 측을 각각 연결하는 제 1 수직부(58b)와 제 2 수직부(58c)로 구성된다.

상기 화소 전극(80)또한, 가로로 배치된 다수의 수평부(80a)와, 상기 수평부(80a)의 일 측과 타 측을 각각 연결하는 제 1 수직부(80b)와 제 2 수직부(80c)로 구성된다.

전술한 바와 같이 공통 전극(58)과 화소 전극(80)이 가로로 배치된 구조는 기울기를 주게 되면 종래와는 달리 색보상 특성에 의해 상.하.좌.우의 시야각을 더욱 확대할 수 있는 장점이 있다.

이하, 도면을 참조하여, 종래에 따른 횡전계 방식 액정표시장치용 어레이기판의 단면 구성을 설명한다.

도 4는 도 3의 III-III를 따라 절단한 단면도이다.

도시한 바와 같이, 기판(50)의 화소영역(P)에 대응하여 공통 전극(58a,58b,58c)과 화소 전극(80a,80b,80c)이 위치하고, 상기 화소 영역(P)의 양측에는 데이터 배선(72)이 위치한다.

상기 공통 전극(58a,58b,58c)은 앞서 언급한 게이트 배선(도 3의 52)과 동일층 동일물질로 형성되었기 때문에, 약 2500Å의 두께로 기판(50)의 제 1 층으로 위치하게 되고, 다수의 수평부(58a)와 수평부(58a)의 양측에서 이들을 각각 연결하는 제 1 수직부(58b)로 제 2 수직부(58c)로 구성된다.

상기 공통 전극(58a,58b,58c)의 상부에는 게이트 절연막(60)과 보호막(78)이 형성되고, 상기 보호막(78)의 상부에는 투명한 재질의 화소 전극(80a,80b,80c)이 위치한다.

전술한 구성에서, 상기 공통 전극의 제 1 수직부(58b)와 제 2 수직부(58c)의 상부에 화소 전극의 제 1 수직부(80b)와 제 2 수직부(80c)가 위치하게 된다.

이때, 개구영역을 감안하여, 상기 화소 전극의 제 1 및 제 2 수직부(80b,80c)와 상기 공통 전극의 제 1 및 제 2 수직부(58b,58c)를 평면적으로 나란히 구성하지 않고 겹쳐 구성하게 되는데, 이때 바람직하게는 평면적으로 완전히 겹쳐지는 형상이 되도록 한다. 한편, 상기 두 전극(58b,58c/80b,80c)을 겹쳐 구성하는 경우, 상기 두 전극(58b,58c/80b,80c)사이에 보조용량(storage capacitor)이 발생하게 된다.

그런데, 상기 화소 전극(58a,58b,58c)과 공통 전극(80a,80b,80c)은 서로 다른 층에 구성하기 때문에, 별개의 마스크 공정(photo-lithography)으로 형성되고 이러한 경우, 마스크 공정 중 발생하는 미스 얼라인(misalign)에 의해, 상기 두 전극의 제 1 및 제 2 수직부(58b,58c/80b,80c)가 평면적으로 동일한 면적으로 정확히 겹쳐 구성되지 않는다.

이때 문제는, 액정패널의 전체로 보았을 경우, 상기 마스크가 얼라인된 부분에 따라 상기 화소 전극과 공통 전극의 제 1 및 제 2 수직부(58b,58c/80b,80c)의 겹쳐지는 정도가 달라 질 수 있다. 이러한 경우 액정패널의 전체로 보았을 경우, 상기 두 전극(58b,58c/80b,80c)사이에 발생하는 보조 용량부의 크기가 일정하지 않게 되어 화질 불균일이 발생하게 된다.

이러한 문제를 해결하기 위해, 도시한 바와 같이 공통 전극의 제 1 및 제 2 수직부(58b,58c)를 상기 화소 전극의 제 1 및 제 2 수직부(80b,80c)에 비해 과도한 선폭을 가지도록 설계하였다.

즉, 화소 전극의 제 1 및 제 2 수직부(80b,80c)의 일측 및 타측으로 각각 얼라인 마진(a)만큼 상기 공통 전극 제 1 및 제 2 수직부(58b,58c)를 더욱 연장하여 설계하였다.

이와 같이 하면 액정패널의 임의의 영역에서 미스 얼라인(misalign)이 발생하더라도 전체적으로 보조 용량의 변화가 발생하지 않게 된다.

이에 대해, 이하 도면을 참조하여 설명한다.

도 5a는 도 3에 도시한 어레이기판의 일부를 확대한 평면도이고, 도 5b는 도 5a의 공통전극(58a,58b,58c)과 화소 전극(80a,80b,80c)간 미스얼라인(misalign)이 발생한 경우를 도시한 평면도이다.

도시한 바와 같이, 공통 전극의 제 1 및 제 2 수직부(58b,58c)의 폭을 "W1"라 하고, 상기 공통 전극(58b,58c) 상부에 위치하는 화소 전극의 제 1 및 제 2 수직부(80b,80c)의 폭을 "W2"라 하면, 공통전과 화소 전극의 제 1 및 제 2 수직부(58b,58c/80b,80c)는 " $W2 = W1 - 2a$ "의 관계가 되도록 설계한다.

이때, 상기 화소 전극의 제 1 및 제 2 수직부(80b,80c)의 양측으로 노출된 상기 공통 전극의 제 1 및 제 2 수직부(58b,58c)의 선폭은 각각 얼라인 마진인 "a"가 되도록 한다.

이와 같이 하면, 도 5b에 도시한 바와 같이, 상기 화소 전극의 제 1 및 제 2 수직부(80b,80c)가 공통전극의 제 1 및 제 2 수직부(58b,58c)를 벗어나 위치하지 않고, 공통전극의 제 1 및 제 2 수직부(58b,58c)의 폭(W1) 내에서 위치할 수 있다.

따라서, 화소 영역(P)마다 두 전극의 제 1 및 제 2 수직부(58b,58c/80b,80c)간 발생하는 보조 용량의 변화가 없다.

그런데, 전술한 바와 같은 종래의 구성은, 상기 공통 전극의 제 1 및 제 2 수직부(58b,58c)의 폭을 과도하게 크게 설계함으로써, 미스얼라인에 의한 보상은 충분히 이루어질 수 있는 구성이나, 상기 공통전극의 제 1 및 제 2 수직부(58b,58c)로 인해 개구영역이 과도하게 잠식되어 휘도를 개선하는데 한계로 작용하는 문제가 있다.

**발명이 이루고자 하는 기술적 과제**

본 발명은 전술한 문제를 해결하기 위해 제안된 것으로, 미스얼라인에 의한보상은 충분히 이루어지면서, 상기 공통 전극의 제 1 및 제 2 수직부의 폭을 줄여 구성하는 것이 가능하며, 보조 용량부의 불균일에 의한 휘도 불균일을 해소하고 휘도를 개선할 수 있는 횡전계 방식 액정표시장치용 어레이기판을 제작하는 것을 목적으로 한다.

### 발명의 구성

전술한 바와 같은 목적을 달성하기 위한 본 발명의 특징에 따른 횡전계 방식 액정표시장치용 어레이기판은 다수의 화소 영역이 정의된 기관과; 상기 화소 영역의 일 측과 타 측에 위치하여 교차 구성된 게이트 배선과 데이터 배선과; 상기 게이트 배선과 데이터 배선의 교차지점에 위치한 박막트랜지스터와; 상기 화소 영역에 위치하고, 다수의 수평부와 수평부의 양측에 각각 위치하여 상기 다수의 수평부를 연결하며, 얼라인 마진(align margin)의 두 배의 폭으로 구성된 제 1 수직부와 제 2 수직부로 구성된 공통 전극과; 상기 공통 전극과 제 1 절연막과 제 2 절연막을 사이에 두고 위치하며, 다수의 수평부와, 수평부의 양측에 각각 위치하여 상기 다수의 수평부를 연결하며, 상기 공통 전극의 제 1 수직부및 제 2 수직부와는 얼라인 마진(align margin)만큼 겹쳐 구성된 제 1 수직부와 제 2 수직부로 구성된 투명한 화소 전극을 포함한다.

상기 박막트랜지스터는 상기 게이트 배선과 연결되는 게이트 전극과, 상기 게이트 전극의 상부에 상기 제 1 절연막을 사이에 두고 구성된 액티브층과 오믹 콘택층과, 상기 오믹 콘택층의 상부에 이격하여 구성된 소스 전극과 드레인 전극을 포함한다.

상기 화소 전극의 제 1 및 제 2 수직부는 상기 화소 영역의 중심 방향(안쪽)으로, 상기 공통 전극의 제 1 및 제 2 수직부와 각각 겹쳐 구성된 것을 특징으로 한다.

상기 얼라인 마진은, 마스크 공정시 상기 화소 전극의 제 1 및 제 2 수직부와 상기 공통 전극의 제 1 및 제 2 수직부간 미스얼라인된 거리를 보상하는 값인 것을 특징으로 한다.

본 발명에 따른 횡전계 방식 액정표시장치용 어레이기판의 제조방법은 기관 상에 다수의 화소 영역을 정의하는 단계와; 상기 화소 영역의 일 측과 타 측에 위치하여 교차하는 게이트 배선과 데이터 배선을 형성하는 단계와; 상기 게이트 배선과 데이터 배선의 교차지점에 위치하는 박막트랜지스터를 형성하는 단계와; 상기 화소 영역에 위치하고, 다수의 수평부와 수평부의 양측에 각각 위치하여 상기 다수의 수평부를 연결하며, 얼라인 마진(align margin)의 두 배의 폭으로 구성된 제 1 수직부와 제 2 수직부를 포함하는 공통 전극을 형성하는 단계와; 상기 공통 전극과 제 1 절연막과 제 2 절연막을 사이에 두고 위치하며, 다수의 수평부와, 수평부의 양측에 각각 위치하여 상기 다수의 수평부를 연결하며, 상기 공통 전극의 제 1 수직부및 제 2 수직부와는 얼라인마진(align margin) 만큼 겹쳐 구성된 제 1 수직부와 제 2 수직부를 포함하는 투명한 화소 전극을 형성하는 단계를 포함한다.

상기 박막트랜지스터는 상기 게이트 배선과 연결되는 게이트 전극과, 상기 게이트 전극의 상부에 상기 제 1 절연막을 사이에 두고 구성된 액티브층과 오믹 콘택층과, 상기 오믹 콘택층의 상부에 이격하여 형성된 소스 전극과 드레인 전극을 포함한다.

상기 화소 전극은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 물질그룹 중 선택된 하나로 형성된다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.

-- 실시예 --

본 발명은 불투명한 공통 전극의 제 1 및 제 2 수직부의 폭을 줄이고, 이러한 제 1 및 제 2 수직부에 투명한 화소 전극의 제 1 및 제 2 수직부가 안쪽으로 일부만 겹쳐지도록 구성하는 것을 특징으로 한다.

도 6은 본 발명에 따른 횡전계 방식 액정표시장치용 어레이기판의 한 화소를 확대한 평면도이다.

도시한 바와 같이, 투명한 절연기관(100)에 제 1 방향으로 다수의 게이트 배선(102)을 구성하고, 상기 게이트 배선(102)과 교차하는 제 2 방향으로 데이터 배선(122)을 구성한다.

상기 게이트 배선(102)과 데이터 배선(122)의 교차지점에는 게이트 전극(104)과 액티브층(112)과 소스 전극(116)과 드레인 전극(118)을 포함하는 박막트랜지스터(T)를 구성한다.

상기 화소 영역(P)에는 불투명한 재질의 공통전극(106a,106b,106c)과 투명한 재질의 화소 전극(128a,128b,128c)을 구성하고, 상기 화소 영역(P)의 일 측에는 상기 게이트 배선(104)의 일부를 제 1 전극으로 하고, 상기 드레인 전극(118)에서 연장된 연장부(120)를 제 2 전극으로 하는 스토리지 캐패시터(Cst)를 구성한다.

상기 화소 전극(128)과 공통 전극(102)의 형상을 상세히 설명하면, 상기 화소 전극(128)은 다수의 수평부(128a)와 상기 수평부(128a)의 양측에서 이를 각각 하나로 연결하는 제 1 수직부(128b)와 제 2 수직부(128b)로 구성한다.

상기 공통 전극(106)은, 상기 화소 전극(128)의 수평부(128a) 사이에 이와 평행하게 이격된 다수의 수평부(106a)와, 상기 수평부(106a)의 양측에서 이를 각각 하나로 연결하는 제 1 수직부(106b)와 제 2 수직부(106b)를 포함한다.

이때, 상기 화소 전극의 제 1 및 제 2 수직부(128b,128c)는 상기 공통 전극의 제 1 및 제 2 수직부(106b,106c)내에 위치하도록 설계하지 않고, 상기 공통 전극의 제 1 및 제 2 수직부에 일부 영역이 겹쳐지도록 구성하여 개구영역을 확보할 수 있는 특징을 가진다.

이에 대해, 이하 도면을 참조하여 설명한다.

도 7a는 도 6에 도시한 어레이기판의 일부를 확대한 평면도이고, 도 7b는 도 7a의 구성과, 종래의 구성을 비교하기 위한 도면이다.

도 7a에 도시한 바와 같이, 공통 전극의 수직부(106b,106c)의 폭을 얼라인 마진(a)의 두 배가 되도록 설계하고, 상기 화소 전극의 수직부(128b,128c)는 각각 화소 영역의 안쪽으로 최대 얼라인 마진인 "a" 만큼 겹쳐지도록 구성하는 것을 특징으로 한다.

이와 같은 구성은, 종래와 비교하여 "W2" 만큼 공통 전극의 수직부(106b,106c)의 폭(W1)을 줄일 수 있으므로 그 만큼의 개구영역을 확보할 수 있다.

이를 종래의 구조와 비교하여 설명하면 7b에 도시한 바와 같이, 종래(A)에는 화소 전극의 수직부(128b,128c)를 공통 전극의 수직부(106b,106c)의 중심에 설계하고, 상기 공통 전극의 제 1 및 제 2 수직부(106b,106c)를 설계할 때 좌.우로 발생하는 얼라인 오차를 고려하여, 화소 전극의 제 1 및 제 2 수직부(128b,128c)의 양측으로 각각 얼라인 마진(a)을 더욱 설계하는 구조였다.

반면 본원 발명(B)은, 공통전극의 수직부(106b,106c)를 최대 얼라인 마진(a)의 두배 만큼 설계하고, 상기 화소 전극의 수직부(128b,128c)를 상기 공통 전극의 수직부(106b,106c)와 일부 겹쳐지도록 구성한다.

이때, 겹쳐진 폭은 종래의 일 측 공정마진(a)과 같으며 이와 같은 경우, 상기 화소 전극(128b,128c)의 미스얼라인(misalign)이 발생하더라도, 화소 전극의 제 1 및 제 2 수직부가 상기 공통전극의 제 1 및 제 2 수직부를 완전히 벗어나는 구조로 패턴되지 않는다.

따라서, 단일 화소 영역(P)마다 상기 두 전극의 제 1 및 제 1 수직부(106b,106c/128b,128c)가 겹쳐지는 면적은 동일함으로, 보조 용량 또한 액정패널의 전면에 대해 균일하게 발생할 수 있다. 따라서, 보조 용량의 비대칭에 의한 화질 불균일을 방지할 수 있다.

이하, 공정도면을 참조하여, 본 발명에 따른 횡전계 방식 액정표시장치용 어레이기판의 제조공정을 설명한다.

도 8a 내지 도 8e와 도 9a 내지 도 9e는 도 6의 VI-VI, VII-VII을 따라 절단하여 본 발명의 공정순서에 따라 도시한 공정 단면도이다.

도 8a와 도 9a에 도시한 바와 같이, 기판(100)상에 스위칭 영역(S)을 포함하는 화소영역(P)을 정의 한다.

상기 다수의 영역이 정의된 기판(100)의 전면에 알루미늄(Al), 알루미늄합금(AlNd), 크롬(Cr), 텅스텐(W), 몰리브덴(Mo), 티타늄(Ti), 몰리브덴(MoW)등을 포함하는 도전성 금속 그룹 중 하나 또는 하나 이상의 물질을 증착하고 패터닝하여, 상기 화소 영역(P)의 일 측에 위치한 게이트 배선(102)과 상기 게이트 배선(102)에서 연장된 게이트 전극(104)과, 상기 게이트 배선(102)과 평행하게 구성되는 동시에, 다수의 수평부(106a)와 수평부의 양측에 위치하여 이를 하나로 연결하는 제 1 수직부(106b)와 제 2 수직부(106b)로 구성된 공통전극(106)과 상기 공통 전극에서 연장된 공통 배선(108)을 형성한다.

이때, 공통 전극의 수직부(106b,106c)는 최대 얼라인 마진(a)의 두 배의 폭이 되도록 형성한다.

도 8b와 도 9b에 도시한 바와 같이, 게이트 배선(102)과 게이트 전극(104)과 공통 전극(106)과 공통 배선(108)이 형성된 기판(100)의 전면에 질화 실리콘(SiN<sub>x</sub>)과 산화 실리콘(SiO<sub>2</sub>)을 포함하는 무기 절연물질 그룹 중 선택된 하나를 증착하여 게이트 절연막(110)을 형성한다.

상기 게이트 절연막(110)이 형성된 기판(100)의 전면에 순수 비정질 실리콘(a-Si:H)과 불순물이 포함된 비정질 실리콘(n+ a-Si:H)을 증착하고 패터닝하여, 상기 게이트 전극(106)에 대응하는 게이트 절연막(110)의 상부에 액티브층(112)과 오믹 콘택층(114)을 형성한다.

도 8c와 도 9c에 도시한 바와 같이, 상기 액티브층(112)과 오믹 콘택층(114)이 형성된 기판(100)의 전면에 알루미늄(Al), 알루미늄합금(AlNd), 크롬(Cr), 텅스텐(W), 몰리브덴(Mo), 티타늄(Ti), 몰리브덴(MoW)등을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하고 패터닝하여, 상기 오믹 콘택층(114)의 상부에 이격된 소스 전극(116)과 드레인 전극(118)을 형성한다.

동시에, 상기 소스 전극(116)과 연결되는 동시에 상기 게이트 배선(104)과 수직하게 교차하는 데이터 배선(122)을 형성하고, 상기 드레인 전극에서 이에 근접한 상기 게이트 배선(104)의 상부로 연장된 연장부(120)를 형성한다.

이때, 상기 소스 전극(116)과 드레인 전극(118)의 이격된 사이로 노출된 오믹 콘택층(114)을 제거하여, 상기 오믹 콘택층(114)하부의 액티브층(112)을 노출하는 공정을 진행한다.

도 8d와 도 9d에 도시한 바와 같이, 상기 소스 및 드레인 전극(116,118)등이 형성된 기판(100)의 전면에 질화 실리콘(SiN<sub>x</sub>)과 산화 실리콘(SiO<sub>2</sub>)을 포함하는 무기 절연물질 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하거나 경우에 따라서는, 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나 또는 그 이상의 물질을 도포하여 보호막(124)을 형성한다.

상기 보호막(124)을 패터닝하여, 상기 드레인 전극(118)의 일부를 노출하는 드레인 콘택홀(126)을 형성한다.

도 8e와 도 9e에 도시한 바와 같이, 상기 보호막(124)이 형성된 기판(100)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나를 증착하고 패터닝하여, 상기 화소 영역(P)에 위치한 다수의 수평부(128a)와, 상기 수평부(128a)의 양측에 위치하여 이를 하나로 연결하는 제 1 수직부(128b)와 제 2 수직부(128c)를 형성한다.

이때, 상기 화소 전극의 제 1 및 제 2 수직부(128b,128c)는 상기 화소 영역(P)의 안쪽으로, 상기 공통 전극의 제 1 및 제 2 수직부(128b,128c)와 최대 얼라인 마진(a)의 폭만큼 겹쳐지도록 구성하는 것을 특징으로 한다.

전술한 바와 같이, 본 발명에 따른 횡전계방식 액정표시장치용 어레이기판은, 공통 전극과 화소 전극의 수직부(106b,106c/128b,128c)를 구성함에 있어, 상기 공통 전극의 수직부(106b,106c)를 얼라인 마진(a)의 두배 만큼 구성하고, 상기 화소 전극의 수직부(128b,128c)가 상기 공통 전극의 수직부(106b,106c)와 최대 얼라인 마진(aligned margin)의 폭으로 겹쳐지도록 구성함으로써, 상기 공통 전극의 제 1 및 제 2 수직부의 폭을 상당히 축소하여 설계하는 것이 가능하다.

또한, 전술한 구성은, 상기 화소 전극의 수직부(128b,128c)가 상기 공통 전극의 수직부(106b,106c)를 벗어나 패터닝될 수 없기 때문에, 단일 화소 영역에서의 두 전극의 겹침면적 액정패널의 전면에 대해 균일한 결과를 얻을 수 있다.

따라서, 상기 두 전극(106a,106b,106c)(128a,128b,128c)의 겹침면적에서 발생하는 보조 용량은 액정패널의 전면에 대해 일정해 질 수 있다.

이상으로, 전술한 공정을 통해 본 발명에 따른 횡전계 방식 액정표시장치용 어레이기판을 제작할 수 있다.

### 발명의 효과

전술한 바와 같이, 본 발명에 따른 횡전계 방식 액정표시장치용 어레이기판은 공통 전극 폭의 축소설계가 가능하여 개구영역을 확보할 수 있고, 이를 통해 고휘도를 구현할 수 있는 효과가 있다.

둘째, 보조 용량부가 액정패널의 전면에 대해 일정하게 나타나므로, 고화질을 구현할 수 있는 효과가 있다.

### 도면의 간단한 설명

도 1은 일반적인 횡전계 방식 액정표시장치의 일부를 개략적으로 도시한 단면도이고,

도 2는 종래의 제 1 예에 따른 횡전계 방식 액정표시장치용 어레이 기판의 한 화소를 도시한 평면도이고,

도 3은 종래의 제 2 예에 따른 횡전계 방식 액정표시장치용 어레이 기판의 일부를 도시한 평면도이고,

도 4는 도 3에 도시한 어레이부의 일부를 확대한 평면도이고,

도 5는 도 3의 III-III을 따라 절단한 단면도이고,

도 6은 본 발명에 따른 횡전계 방식 액정표시장치용 어레이기판의 한 화소를 확대한 평면도이고,

도 7a는 본 발명에 따른 어레이기판의 일부를 도시한 평면도이고,

도 7b는 본원 발명의 어레이기판의 구조와 종래에 따른 어레이기판의 구조를 비교하기 위한 평면도이고,

도 8a 내지 도 8e와 도 9a 내지 도 9e는 도 6의 V-V, VI-VI을 따라 절단하여, 본 발명의 공정순서에 따라 도시한 공정 단면도이다.

<도면의 주요부분에 대한 간단한 설명>

100 : 기판 102 : 게이트 배선

104 : 게이트 전극 106 : 공통 전극

108 : 공통 배선 116 : 소스 전극

118 : 드레인 전극 122 : 데이터 배선

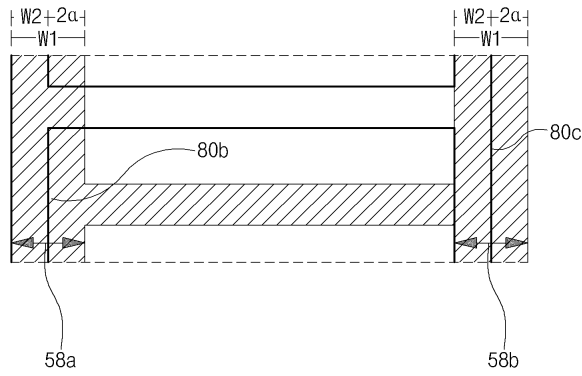
128 : 화소 전극

### 도면

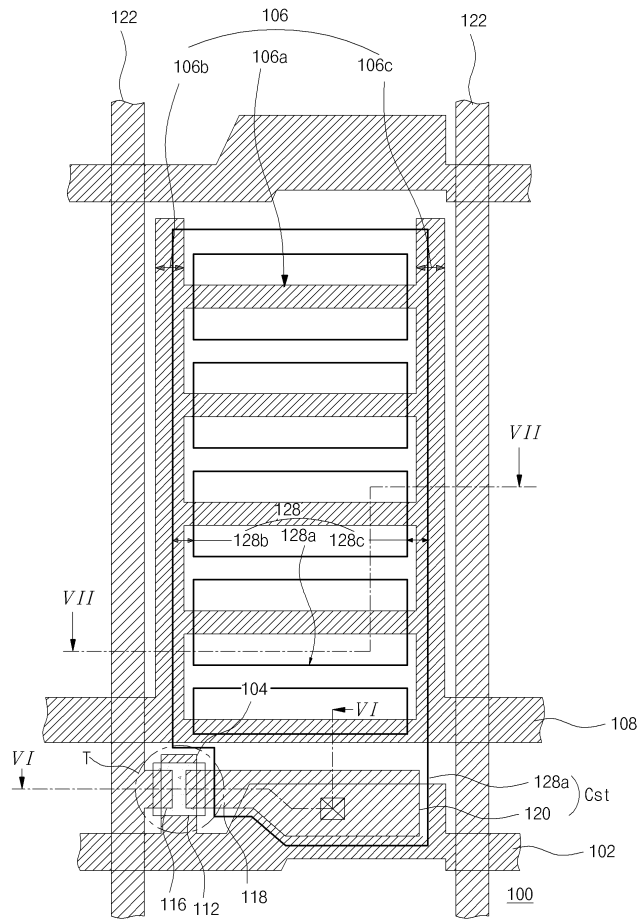




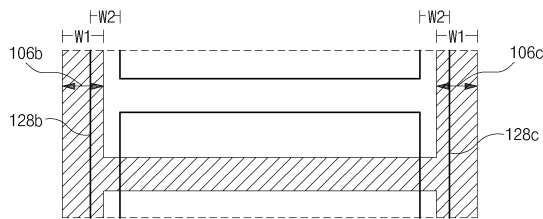
도면5b



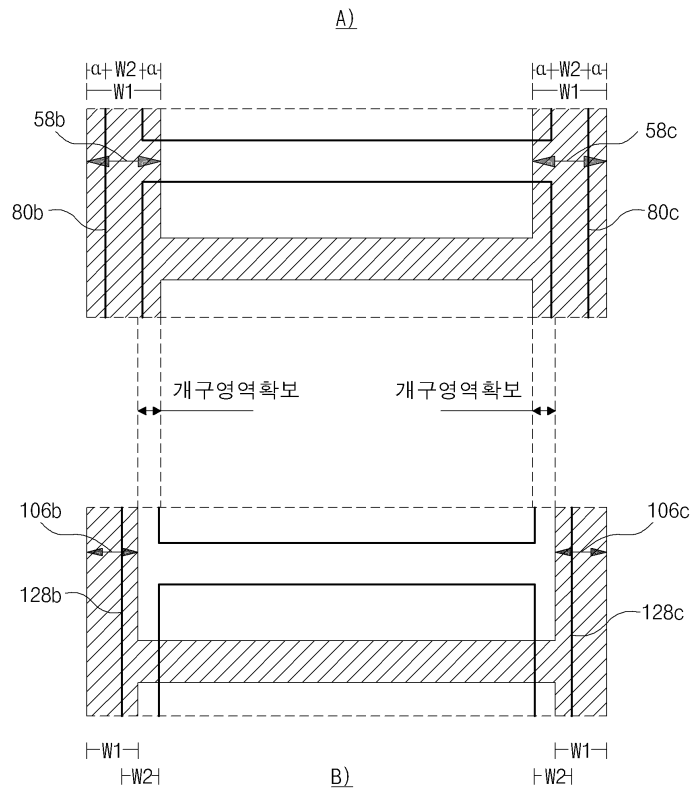
도면6



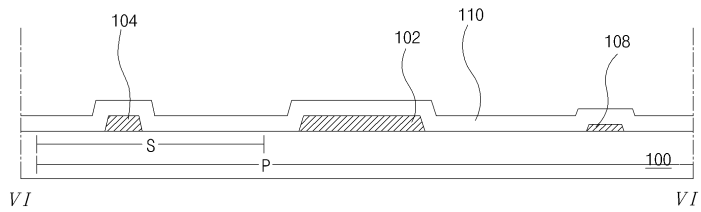
도면7a



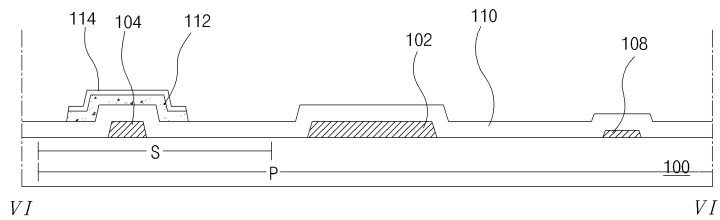
도면7b



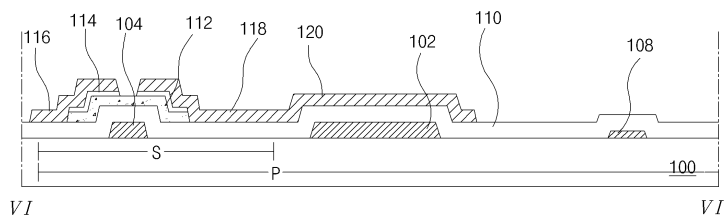
도면8a



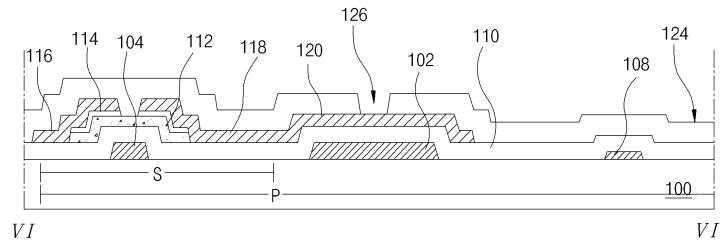
도면8b



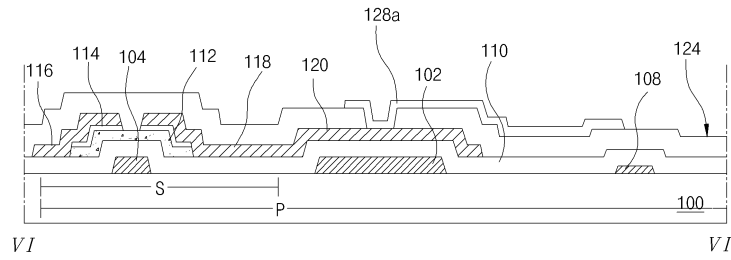
도면8c



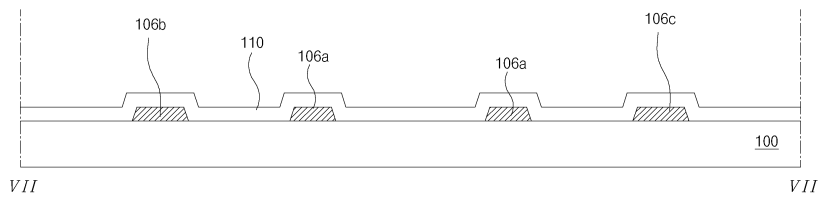
도면8d



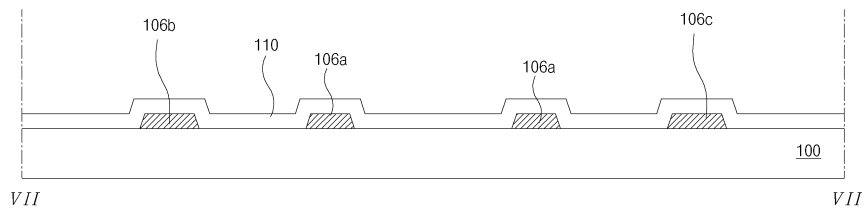
도면8e



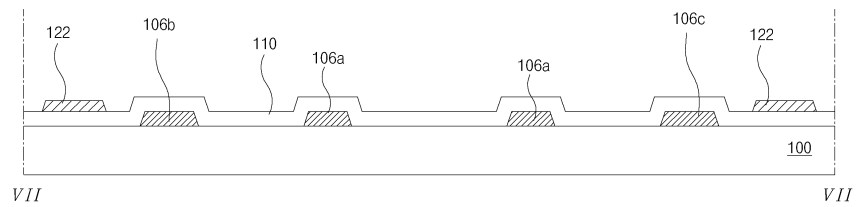
도면9a



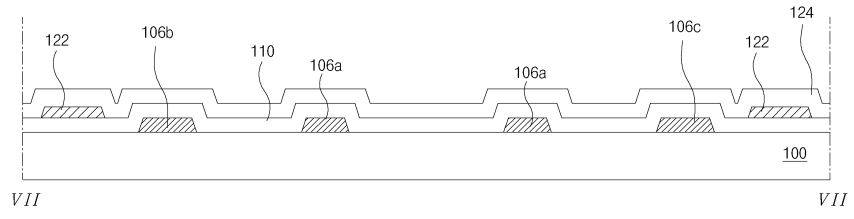
도면9b



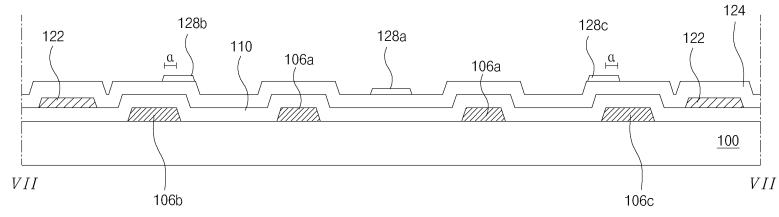
도면9c



도면9d



도면9e



专利名称(译)	用于横向电场型液晶显示装置的阵列基板及其制造方法		
公开(公告)号	<a href="#">KR1020070068748A</a>	公开(公告)日	2007-07-02
申请号	KR1020050130709	申请日	2005-12-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE DO YOUNG		
发明人	LEE,DO YOUNG		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/134363 G02F1/136286 G02F2201/121 G02F2201/123 H01L29/786		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明涉及一种平面切换模式液晶列器件阵列面板，特别是实现了高亮度，其制造方法作为液晶显示器。本发明涉及水平部分和水平部分两侧中的一个，公共电极和像素电极组织在同一板上。它包括连接的第一和第二垂直部分的形式。此时，当特性将绝缘层放置在间隔中并且它组织像素电极的第一和第二垂直部分以及在顶部和底部的公共电极时，像素电极的第一和第二垂直部分与第一和第二部分重叠公共电极的垂直部分和部分包括在内。在这种情况下，它具有实现高清晰度的优点，即使在减小公共电极的垂直部分的宽度时也可以提高亮度，与组织垂直的结构相比，可以确保对准误差的处理余量。公共电极的垂直部分中心的像素电极的一部分。

