



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2007-0063263
G02F 1/136 (2006.01) (43) 공개일자 2007년06월19일

(21) 출원번호 10-2005-0123301
(22) 출원일자 2005년12월14일
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자 추교섭
경기 수원시 장안구 정자동 한라비발디 아파트 631동 1905호
강희광
서울 관악구 봉천9동 487 일두빌라 2-203
(74) 대리인 김영호

전체 청구항 수 : 총 13 항

(54) 액정표시장치 및 그 제조방법

(57) 요약

본 발명은 문서, 이미지 스캔, 터치 입력 및 입력된 이미지를 화상에 구현할 수 있는 이미지 센싱 기능을 가지는 액정표시장치 및 그 제조방법에 관한 것이다.

본 발명에 액정표시장치는 기관 상에 서로 교차되게 형성되며 화소전극이 위치하는 화소영역을 정의하는 게이트 라인 및 데이터 라인과; 상기 게이트 라인 및 데이터 라인의 교차영역에 위치하는 제1 박막 트랜지스터와; 이미지 정보를 갖는 광을 센싱함과 아울러 상기 데이터 라인으로부터 제1 구동전압을 공급받는 센서 박막 트랜지스터와; 상기 게이트 라인과 나란하게 위치하여 상기 센서 박막 트랜지스터에 제2 구동전압을 공급하는 구동전압 공급라인을 구비한다.

대표도

도 12

특허청구의 범위

청구항 1.

기관 상에 서로 교차되게 형성되며 화소전극이 위치하는 화소영역을 정의하는 게이트 라인 및 데이터 라인과;

상기 게이트 라인 및 데이터 라인의 교차영역에 위치하는 제1 박막 트랜지스터와;

이미지 정보를 갖는 광을 센싱함과 아울러 상기 데이터 라인으로부터 제1 구동전압을 공급받는 센서 박막 트랜지스터와;

상기 게이트 라인과 나란하게 위치하여 상기 센서 박막 트랜지스터에 제2 구동전압을 공급하는 구동전압 공급라인을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 화소전극에 충전된 화소전압을 저장하는 제1 스토리지 캐패시터와;

상기 센서 박막 트랜지스터에 의해 센싱된 신호를 저장하기 위한 제2 스토리지 캐패시터와;

상기 제2 스토리지 캐패시터에 저장된 상기 센싱신호를 검출하기 위한 집적회로와;

상기 제2 스토리지 캐패시터 및 전단 게이트 라인과 접속됨과 아울러 상기 센싱 신호를 선택적으로 상기 집적회로에 공급하기 위한 제2 박막 트랜지스터와;

상기 화소영역을 사이에 두고 상기 데이터 라인과 나란하게 위치하며 상기 제2 박막 트랜지스터로부터의 센싱 신호를 집적회로에 전달하기 위한 센싱신호전달라인을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 3.

제 2 항에 있어서,

상기 센서 박막 트랜지스터는

상기 구동전압 공급라인에서 신장된 제1 게이트 전극과;

상기 제1 게이트 전극을 덮도록 형성된 게이트 절연막과;

상기 게이트 절연막을 사이에 두고 상기 제1 게이트 전극과 중첩되는 제1 반도체 패턴과;

상기 제1 반도체 패턴과 접촉되며 상기 데이터 라인과 접속된 제1 소스전극과;

상기 제1 소스전극과 마주보는 제1 드레인 전극을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 4.

제 3 항에 있어서,

상기 제1 드레인 전극은 "U"자 형태인 것을 특징으로 하는 액정표시장치.

청구항 5.

제 2 항에 있어서,

상기 제1 스토리지 캐패시터는

상기 구동전압 공급라인에서 신장된 제1 스토리지 하부전극과;

상기 게이트 절연막을 사이에 두고 상기 제1 스토리지 하부전극과 중첩되는 제1 스토리지 상부전극을 구비하고,

상기 제1 스토리지 상부전극은 보호막을 관통하는 제1 홀을 통해 상기 화소전극과 접촉되는 것을 특징으로 하는 액정표시장치.

청구항 6.

제 3 항에 있어서,

상기 제2 스토리지 캐패시터는

상기 센서 박막 트랜지스터의 제1 드레인전극 및 상기 제2 박막 트랜지스터와 접촉된 제2 스토리지 전극, 상기 게이트 절연막을 사이에 두고 상기 제2 스토리지 전극과 중첩되는 상기 구동전압 공급라인으로 이루어지는 제2-1 스토리지 캐패시터와;

보호막을 사이에 두고 상기 제2 스토리지 전극과 중첩되며 상기 구동전압 공급라인을 노출시키는 제2 홀을 통해 상기 구동전압 공급라인과 접촉되는 투명전극 패턴으로 이루어지는 제2-2 스토리지 캐패시터를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 7.

제 3 항에 있어서,

상기 제2 박막 트랜지스터는

상기 전단 게이트 라인과 접촉되는 제2 게이트 전극과;

상기 게이트 절연막을 사이에 두고 상기 제2 게이트 전극과 중첩되는 제2 반도체 패턴과;

상기 제2 반도체 패턴과 전기적으로 접속됨과 아울러 상기 제2 스토리지 전극에서 신장된 제2 소스전극과;

상기 제2 소스전극과 마주보며 상기 센싱신호전달라인과 접속된 제2 드레인 전극을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 8.

제 2 항에 있어서,

상기 제1 박막 트랜지스터는

상기 게이트 라인에서 신장된 제3 게이트 전극과;

상기 게이트 절연막을 사이에 두고 상기 제3 게이트 전극과 중첩되게 형성되는 제3 반도체 패턴과;

상기 제3 반도체 패턴과 전기적으로 접속됨과 아울러 상기 데이터 라인에서 신장된 제3 소스전극과;

상기 제3 소스전극과 마주보며 상기 화소전극과 접속된 제3 드레인 전극을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 9.

기관 상에 게이트 라인, 센서 박막 트랜지스터의 제1 게이트 전극, 제1 박막 트랜지스터의 제2 게이트 전극, 제2 박막 트랜지스터의 제3 게이트 전극을 포함하는 게이트 패턴을 형성하는 단계와;

상기 게이트 패턴이 형성된 기관 상에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 상에 상기 제1 게이트 전극과 중첩되는 제1 반도체 패턴, 상기 제2 게이트 전극과 중첩되는 제2 반도체 패턴, 제3 게이트 전극과 중첩되는 제3 반도체 패턴을 형성하는 단계와;

상기 게이트 절연막을 사이에 두고 상기 게이트 라인과 교차되는 데이터 라인, 제1 반도체 패턴과 각각 접속되며 서로 마주보게 위치하는 제1 소스전극과 제1 드레인 전극, 상기 제2 반도체 패턴과 각각 접속되며 서로 마주보게 위치하는 제2 소스전극과 제2 드레인 전극, 상기 제3 반도체 패턴과 각각 접속되며 서로 마주보게 위치하는 제3 소스전극 및 제3 드레인 전극을 포함하는 소스/드레인 패턴을 형성하여 센서 박막 트랜지스터, 제1 및 제2 박막 트랜지스터를 형성하는 단계와;

상기 제1 박막 트랜지스터의 제2 드레인 전극을 노출시키는 제1 홀을 가지는 보호막을 형성하는 단계와;

상기 제1 홀을 통해 상기 제2 드레인 전극과 접속되는 화소전극을 형성하는 단계를 포함하고,

상기 센서 박막 트랜지스터의 제1 소스전극과 상기 제1 박막 트랜지스터의 제2 소스전극은 각각 상기 데이터 라인과 접속되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 10.

제 9 항에 있어서,

상기 게이트 패턴을 형성하는 단계는

상기 게이트 라인과 나란하게 형성되어 상기 센서 박막 트랜지스터에 구동전압을 공급하는 구동전압 공급라인과,

상기 게이트 라인과 나란하며 상기 구동전압 공급라인에서 신장된 제1 스토리지 하부전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 11.

제 9 항에 있어서,

상기 소스/드레인 패턴을 형성하는 단계는

상기 게이트 절연막을 사이에 두고 상기 제1 스토리지 하부전극과 중첩되게 형성되어 상기 제1 스토리지 하부전극과 제1 스토리지 캐패시터를 이루는 제1 스토리지 상부전극을 형성하는 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 12.

제 10 항에 있어서,

상기 센서용 박막 트랜지스터에 의해 센싱된 신호를 저장하기 위한 제2 스토리지 캐패시터를 형성하는 단계를 더 포함하고,

상기 제2 스토리지 캐패시터를 형성하는 단계는

상기 센서 박막 트랜지스터의 제1 드레인전극 및 상기 제2 박막 트랜지스터의 제2 소스전극을 사이에 위치하는 제2 스토리지 전극과, 상기 게이트 절연막을 사이에 두고 상기 제2 스토리지 전극과 중첩되는 상기 구동전압 공급라인을 포함하는 제2-1 스토리지 캐패시터를 형성하는 단계와;

상기 제2 스토리지 전극과, 보호막을 사이에 두고 상기 제2 스토리지 전극과 중첩되며 상기 제2 구동전압 공급라인을 노출시키는 제2 홀을 통해 상기 제2 구동전압 공급라인과 접촉되는 투명전극 패턴을 포함하는 제2-2 스토리지 캐패시터를 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 13.

제 9 항에 있어서,

상기 소스/드레인 패턴을 형성하는 단계는

상기 데이터 라인과 나란하게 위치함과 아울러 상기 제2 박막 트랜지스터의 제3 드레인 전극과 접속되는 센싱신호 전달라인을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 문서, 이미지 스캔, 터치 입력을 할 수 있는 이미지 센싱 기능을 가지는 액정표시장치 및 그 제조방법과 이를 이용한 이미지 센싱 방법에 관한 것이다.

통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정표시패널과, 액정표시패널을 구동하기 위한 구동회로를 구비한다.

액정표시패널은 서로 대향하는 박막 트랜지스터 어레이 기판 및 컬러필터 어레이 기판과, 두 기판 사이에 일정한 셀갭 유지를 위해 위치하는 스페이서와, 그 셀갭에 채워진 액정을 구비한다.

박막 트랜지스터 어레이 기판은 게이트 라인들 및 데이터 라인들과, 그 게이트 라인들과 데이터 라인들의 교차부마다 스위치소자로 형성된 박막 트랜지스터와, 액정셀 단위로 형성되어 박막 트랜지스터에 접속된 화소 전극 등과, 그들 위에 도포된 배향막으로 구성된다. 게이트 라인들과 데이터 라인들은 각각의 패드부를 통해 구동회로들로부터 신호를 공급받는다. 박막 트랜지스터는 게이트 라인에 공급되는 스캔신호에 응답하여 데이터 라인에 공급되는 화소전압신호를 화소 전극에 공급한다.

컬러필터 어레이 기판은 액정셀 단위로 형성된 컬러필터들과, 컬러필터들간의 구분 및 외부광 반사를 위한 블랙 매트릭스와, 액정셀들에 공통적으로 기준전압을 공급하는 공통 전극 등과, 그들 위에 도포되는 배향막으로 구성된다.

액정표시패널은 박막 트랜지스터 어레이 기판과 컬러필터 어레이 기판을 별도로 제작한 후 액정을 사이에 두고 합착됨으로써 형성된다.

도 1은 종래 액정표시장치의 박막 트랜지스터 어레이 기판을 도시한 평면도이고, 도 2는 도 1에 도시된 박막 트랜지스터 어레이 기판을 I-I'선을 따라 절단하여 도시한 단면도이다.

도 1 및 도 2에 도시된 박막 트랜지스터 어레이 기판은 하부기관(42) 위에 게이트 절연막(44)을 사이에 두고 교차하게 형성된 게이트 라인(2) 및 데이터 라인(4)과, 그 교차부마다 형성된 박막 트랜지스터(Thin Film Transistor; 이하 "TFT"라 함)(6)와, 그 교차구조로 마련된 셀영역에 형성된 화소 전극(18)을 구비한다. 그리고, TFT 어레이 기판은 화소전극(18)과 이전단 게이트 라인(2)의 중첩부에 형성된 스토리지 캐패시터(20)를 구비한다.

TFT(6)는 게이트 라인(2)에 접속된 게이트 전극(8)과, 데이터 라인(4)에 접속된 소스 전극(10)과, 화소 전극(18)에 접속된 드레인 전극(12)과, 게이트 전극(8)과 중첩되고 소스 전극(10)과 드레인 전극(12) 사이에 채널을 형성하는 활성층(14)을 구비한다. 활성층(14)은 데이터 라인(4), 소스 전극(10) 및 드레인 전극(12)과 중첩되게 형성되고 소스 전극(10)과 드레인 전극(12) 사이의 채널부를 더 포함한다. 활성층(14) 위에는 데이터 라인(4), 소스 전극(10) 및 드레인 전극(12)과 오믹 접촉을 위한 오믹접촉층(48)이 더 형성된다. 여기서, 통상적으로 활성층(14) 및 오믹접촉층(48)을 반도체 패턴(45)이라 명명한다.

이러한 TFT(6)는 게이트 라인(2)에 공급되는 게이트 신호에 응답하여 데이터 라인(4)에 공급되는 화소전압 신호가 화소 전극(18)에 충전되어 유지되게 한다.

화소전극(18)은 보호막(50)을 관통하는 접촉홀(16)을 통해 TFT(6)의 드레인 전극(12)과 접속된다. 화소 전극(18)은 충전된 화소전압에 의해 도시하지 않은 상부 기관에 형성되는 공통 전극과 전위차를 발생시키게 된다. 이 전위차에 의해 TFT 어레이 기판과 컬러필터 어레이 기판 사이에 위치하는 액정이 유전 이방성에 의해 회전하게 되며 도시하지 않은 광원으로 부터 화소전극(18)을 경유하여 입사되는 광을 상부 기관 쪽으로 투과시키게 된다.

스토리지 캐패시터(20)는 전단 게이트라인(2)과 화소전극(18)의해 형성된다. 게이트라인(2)과 화소전극(18) 사이에는 게이트 절연막(44) 및 보호막(50)이 위치하게 된다. 이러한 스토리지 캐패시터(20)는 화소 전극(18)에 충전된 화소전압이 다음 화소전압이 충전될 때까지 유지되도록 도움을 주게 된다.

이러한, 종래의 액정표시장치는 디스플레이 기능만을 가질 뿐 외부 문서 또는 이미지 등의 내용을 화상으로 구현할 수 있는 등의 외부 이미지를 센싱하여 디스플레이 할 수 있는 기능을 가지고 있지 않다.

도 3은 종래의 이미지 센싱소자를 나타내는 도면이다.(도 3에 도시된 이미지 센싱소자 내의 각 구성요소 들 중 통상의 TFT에 포함되는 구성요소는 도 1 및 2에 도시된 TFT의 구성요소와 동일한 도면부호를 부여하기로 한다.)

도 3에 도시된 이미지 센싱소자는 포토 TFT(40), 포토 TFT(40)와 접속된 스토리지 캐패시터(80), 스토리지 캐패시터(80)를 사이에 두고 포토 TFT(40)와 반대방향에 위치하는 스위치 TFT(6)를 구비한다.

포토 TFT(40)는 기관(42) 상에 형성된 게이트 전극(8)과, 게이트 절연막(44)을 사이에 두고 게이트 전극(8)과 중첩되는 활성층(14), 활성층(14)과 전기적으로 접속되는 구동 소스전극(60), 구동 소스전극(60)과 마주보는 구동 드레인 전극(62)을 구비한다. 활성층(14)은 구동 소스전극(60) 및 구동 드레인 전극(62)과 중첩되게 형성되고 구동 소스전극(60)과 구동 드레인전극(62) 사이의 채널부를 더 포함한다. 활성층(14) 위에는 구동 소스전극(60) 및 구동 드레인전극(62)과 오믹접촉을 위한 오믹접촉층(48)이 더 형성된다. 이러한, 포토 TFT(40)는 문서 또는 사람의 지문 등 소정의 이미지에 의한 입사되는 광을 센싱하는 역할을 한다.

스토리지 캐패시터(80)는 포토 TFT(40)의 게이트 전극(8)과 접속된 스토리지 하부전극(72), 절연막(44)을 사이에 두고 스토리지 하부전극(72)과 중첩되게 형성되며 포토 TFT(40)의 구동 드레인 전극(62)과 접속된 스토리지 상부전극(74)을 구비한다. 이러한, 스토리지 캐패시터(80)는 포토 TFT(40)에서 발생된 광전류에 의한 전하를 저장하는 역할을 한다.

스위칭 TFT(6)는 기관(42) 상에 형성된 게이트 전극(8)과, 스토리지 상부전극(74)과 접속된 소스전극(10), 소스전극(10)과 마주보는 드레인전극(12)과, 게이트 전극(8)과 중첩되고 소스전극(10)과 드레인전극(12) 사이에 채널을 형성하는 활성층(14)을 구비한다. 활성층(14)은 소스전극(10) 및 드레인전극(12)과 중첩되게 형성되고 소스전극(10)과 드레인전극(12) 사이의 채널부를 더 포함한다. 활성층(14) 위에는 소스전극(10) 및 드레인전극(12)과 오믹접촉을 위한 오믹접촉층(48)이 더 형성된다.

이러한, 구조를 가지는 이미지 센싱 소자의 구동을 간략하게 설명하면, 포토 TFT(40)의 구동 소스전극(60)에 예를 들어, 약 10V 정도의 구동전압이 인가됨과 아울러 게이트 전극(8)에 예를 들어, 약 -5V 정도의 역바이어스 전압이 인가되고 활성층(14)에 광이 센싱되면 센싱된 광량에 따라 구동 소스전극(60)에서 채널을 경유하여 구동 드레인전극(62)으로 흐르는

광전류(Photo Current) 패스가 발생된다. 광전류 패스는 구동 드레인전극(62)에서 스토리지 상부전극(74)으로 흐르게 됨과 동시에 스토리지 하부전극(72)은 포토 TFT(40)의 게이트 전극(8)과 접속되어 있으므로 스토리지 캐패시터(80)에는 광전류에 의한 전하가 충전되게 된다. 이와 같이 스토리지 캐패시터(80)에 충전된 전하는 스위치 TFT(6)에 전달되어 포토 TFT(40)에 의해 센싱된 이미지를 읽어낼 수 있게 된다.

이와 같이 종래의 액정표시장치는 디스플레이를 위한 기능만을 가지고 종래의 이미지 센싱소자는 이미지를 센싱하는 기능만을 가진다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 문서, 사람의 지문 등의 이미지가 입력됨과 아울러 입력된 이미지를 화상에 나타낼 수 이미지 센싱 기능을 가지는 액정표시장치 및 그 제조방법과 이를 이용한 이미지 센싱 방법을 제공하는 것이다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시장치는 기판 상에 서로 교차되게 형성되며 화소전극이 위치하는 화소영역을 정의하는 게이트 라인 및 데이터 라인과; 상기 게이트 라인 및 데이터 라인의 교차영역에 위치하는 제1 박막 트랜지스터와; 이미지 정보를 갖는 광을 센싱함과 아울러 상기 데이터 라인으로부터 제1 구동전압을 공급받는 센서 박막 트랜지스터와; 상기 게이트 라인과 나란하게 위치하여 상기 센서 박막 트랜지스터에 제2 구동전압을 공급하는 구동전압 공급라인을 구비한다.

상기 화소전극에 충전된 화소전압을 저장하는 제1 스토리지 캐패시터와; 상기 센서 박막 트랜지스터에 의해 센싱된 신호를 저장하기 위한 제2 스토리지 캐패시터와; 상기 제2 스토리지 캐패시터에 저장된 상기 센싱신호를 검출하기 위한 집적회로와; 상기 제2 스토리지 캐패시터 및 전단 게이트 라인과 접속됨과 아울러 상기 센싱 신호를 선택적으로 상기 집적회로에 공급하기 위한 제2 박막 트랜지스터와; 상기 화소영역을 사이에 두고 상기 데이터 라인과 나란하게 위치하며 상기 제2 박막 트랜지스터로부터의 센싱 신호를 집적회로에 전달하기 위한 센싱신호전달라인을 구비한다.

상기 센서 박막 트랜지스터는 상기 구동전압 공급라인에서 신장된 제1 게이트 전극과; 상기 제1 게이트 전극을 덮도록 형성된 게이트 절연막과; 상기 게이트 절연막을 사이에 두고 상기 제1 게이트 전극과 중첩되는 제1 반도체 패턴과; 상기 제1 반도체 패턴과 접촉되며 상기 데이터 라인과 접속된 제1 소스전극과; 상기 제1 소스전극과 마주보는 제1 드레인 전극을 구비한다.

상기 제1 드레인 전극은 "U"자 형태이다.

상기 제1 스토리지 캐패시터는 상기 구동전압 공급라인에서 신장된 제1 스토리지 하부전극과; 상기 게이트 절연막을 사이에 두고 상기 제1 스토리지 하부전극과 중첩되는 제1 스토리지 상부전극을 구비하고, 상기 제1 스토리지 상부전극은 보호막을 관통하는 제1 홀을 통해 상기 화소전극과 접촉된다.

상기 제2 스토리지 캐패시터는 상기 센서 박막 트랜지스터의 제1 드레인전극 및 상기 제2 박막 트랜지스터와 접촉된 제2 스토리지 전극, 상기 게이트 절연막을 사이에 두고 상기 제2 스토리지 전극과 중첩되는 상기 구동전압 공급라인으로 이루어지는 제2-1 스토리지 캐패시터와; 보호막을 사이에 두고 상기 제2 스토리지 전극과 중첩되며 상기 구동전압 공급라인을 노출시키는 제2 홀을 통해 상기 구동전압 공급라인과 접촉되는 투명전극 패턴으로 이루어지는 제2-2 스토리지 캐패시터를 포함한다.

상기 제2 박막 트랜지스터는 상기 전단 게이트 라인과 접촉되는 제2 게이트 전극과; 상기 게이트 절연막을 사이에 두고 상기 제2 게이트 전극과 중첩되는 제2 반도체 패턴과; 상기 제2 반도체 패턴과 전기적으로 접속됨과 아울러 상기 제2 스토리지 전극에서 신장된 제2 소스전극과; 상기 제2 소스전극과 마주보며 상기 센싱신호전달라인과 접속된 제2 드레인 전극을 구비한다.

상기 제1 박막 트랜지스터는 상기 게이트 라인에서 신장된 제3 게이트 전극과; 상기 게이트 절연막을 사이에 두고 상기 제3 게이트 전극과 중첩되게 형성되는 제3 반도체 패턴과; 상기 제3 반도체 패턴과 전기적으로 접속됨과 아울러 상기 데이터 라인에서 신장된 제3 소스전극과; 상기 제3 소스전극과 마주보며 상기 화소전극과 접속된 제3 드레인 전극을 구비한다.

본 발명에 따른 액정표시장치의 제조방법은 기판 상에 게이트 라인, 센서 박막 트랜지스터의 제1 게이트 전극, 제1 박막 트랜지스터의 제2 게이트 전극, 제2 박막 트랜지스터의 제3 게이트 전극을 포함하는 게이트 패턴을 형성하는 단계와; 상기 게이트 패턴이 형성된 기판 상에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 상에 상기 제1 게이트 전극과 중첩되는 제1 반도체 패턴, 상기 제2 게이트 전극과 중첩되는 제2 반도체 패턴, 제3 게이트 전극과 중첩되는 제3 반도체 패턴을 형성하는 단계와; 상기 게이트 절연막 사이에 두고 상기 게이트 라인과 교차되는 데이터 라인, 제1 반도체 패턴과 각각 접촉되며 서로 마주보게 위치하는 제1 소스전극과 제1 드레인 전극, 상기 제2 반도체 패턴과 각각 접촉되며 서로 마주보게 위치하는 제2 소스전극과 제2 드레인 전극, 상기 제3 반도체 패턴과 각각 접촉되며 서로 마주보게 위치하는 제3 소스전극 및 제3 드레인 전극을 포함하는 소스/드레인 패턴을 형성하여 센서 박막 트랜지스터, 제1 및 제2 박막 트랜지스터를 형성하는 단계와; 상기 제1 박막 트랜지스터의 제2 드레인 전극을 노출시키는 제1 홀을 가지는 보호막을 형성하는 단계와; 상기 제1 홀을 통해 상기 제2 드레인 전극과 접촉되는 화소전극을 형성하는 단계를 포함하고, 상기 센서 박막 트랜지스터의 제1 소스전극과 상기 제1 박막 트랜지스터의 제2 소스전극은 각각 상기 데이터 라인과 접촉된다.

상기 게이트 패턴을 형성하는 단계는 상기 게이트 라인과 나란하게 형성되어 상기 센서 박막 트랜지스터에 구동전압을 공급하는 구동전압 공급라인과, 상기 게이트 라인과 나란하며 상기 구동전압 공급라인에서 신장된 제1 스토리지 하부전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 소스/드레인 패턴을 형성하는 단계는 상기 게이트 절연막 사이에 두고 상기 제1 스토리지 하부전극과 중첩되게 형성되어 상기 제1 스토리지 하부전극과 제1 스토리지 캐패시터를 이루는 제1 스토리지 상부전극을 형성하는 포함한다.

상기 센서용 박막 트랜지스터에 의해 센싱된 신호를 저장하기 위한 제2 스토리지 캐패시터를 형성하는 단계를 더 포함하고, 상기 제2 스토리지 캐패시터를 형성하는 단계는 상기 센서 박막 트랜지스터의 제1 드레인전극 및 상기 제2 박막 트랜지스터의 제2 소스전극을 사이에 위치하는 제2 스토리지 전극과, 상기 게이트 절연막 사이에 두고 상기 제2 스토리지 전극과 중첩되는 상기 구동전압 공급라인을 포함하는 제2-1 스토리지 캐패시터를 형성하는 단계와; 상기 제2 스토리지 전극과, 보호막을 사이에 두고 상기 제2 스토리지 전극과 중첩되며 상기 제2 구동전압 공급라인을 노출시키는 제2 홀을 통해 상기 제2 구동전압 공급라인과 접촉되는 투명전극 패턴을 포함하는 제2-2 스토리지 캐패시터를 형성하는 단계를 포함한다.

상기 소스/드레인 패턴을 형성하는 단계는 상기 데이터 라인과 나란하게 위치함과 아울러 상기 제2 박막 트랜지스터의 제3 드레인 전극과 접촉되는 센싱신호 전달라인을 형성하는 단계를 포함한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예를 도 4 내지 도 16을 참조하여 상세하게 설명하기로 한다.

도 4는 본 발명의 실시예에 따른 이미지 센싱 기능을 가지는 액정표시장치의 박막 트랜지스터 어레이 기판을 나타내는 평면도이고, 도 5는 도 4에 도시된 II-II'선, III-III'선, IV-IV'을 각각 절취하여 도시한 단면도이다.

도 4 및 도 5에 도시된 박막 트랜지스터 어레이 기판은 하부기판(142) 위에 게이트 절연막(144)을 사이에 두고 교차하게 형성된 게이트 라인(102) 및 데이터 라인(104)과, 그 교차부마다 형성된 화소(Pixel)스위칭 TFT(이하 "제1 TFT"라 한다.)(106)와, 그 교차구조로 마련된 셀영역에 형성된 화소전극(118), 화소전극(118)을 사이에 두고 데이터 라인(104)과 나란하게 형성된 리드아웃 라인(Read-Out Line)(204), 게이트 라인(102)과 나란하게 형성되는 제1 및 제2 구동전압공급라인(152,171), 제1 및 제2 구동전압공급라인(152,171) 사이에 위치하며 제1 및 제2 구동전압공급라인(152,171)으로부터의 제1 및 제2 구동전압이 공급되는 센서 TFT(140), 전단 게이트 라인(102)과 리드아웃 라인(204)의 교차영역에 형성된 스위칭 TFT(이하 "제2 TFT"라 한다.)(170)와, 제2 구동전압공급라인(171)과 화소전극(118)의 중첩부에 형성된 화소 데이터 저장용 스토리지 캐패시터(이하, "제1 스토리지 캐패시터"라 한다.)와, 제2 TFT(170)와 센서 TFT(140) 사이에 위치하는 센싱 신호 저장용 스토리지 캐패시터(이하, "제2 스토리지 캐패시터"라 한다.)(180)를 구비한다.

제1 TFT(106)는 게이트 라인(102)에 접속된 게이트 전극(108a)과, 데이터 라인(104)에 접속된 소스 전극(110a)과, 화소전극(118)에 접속된 드레인 전극(112a)과, 게이트 전극(108a)과 중첩되고 소스 전극(110a)과 드레인 전극(112a) 사이에 채널을 형성하는 활성층(114a)을 구비한다. 활성층(114a)은 소스전극(110a) 및 드레인전극(112a)과 부분적으로 중첩되

게 형성되고 소스전극(110a)과 드레인전극(112a) 사이의 채널부를 더 포함한다. 활성층(114a) 위에는 소스전극(110a) 및 드레인전극(112a)과 오믹접촉을 위한 오믹접촉층(148a)이 더 형성된다. 여기서, 통상적으로 활성층(114a) 및 오믹접촉층(148a)을 반도체 패턴(145a)이라 명명한다.

이러한 제1 TFT(106)는 게이트 라인(102)에 공급되는 게이트 신호에 응답하여 데이터 라인(104)에 공급되는 화소전압 신호가 화소전극(118)에 충전되어 유지되게 한다.

화소전극(118)은 보호막(150)을 관통하는 제1 접촉홀(115a)을 통해 제1 TFT(106)의 드레인전극(112a)과 접속된다. 화소전극(118)은 충전된 화소전압에 의해 도시하지 않은 상부 기관(예를 들어, 컬러필터 어레이 기관)에 형성되는 공통 전극과 전위차를 발생시키게 된다. 이 전위차에 의해 TFT 어레이 기관과 컬러필터 어레이 기관 사이에 위치하는 액정이 유전 이방성에 의해 회전하게 되며 도시하지 않은 광원으로부터 화소전극(118)을 경유하여 입사되는 광을 상부 기관 쪽으로 투과시키게 된다.

제1 스토리지 캐패시터(120)는 제2 구동전압공급라인(171)에서 신장된 제1 스토리지 하부전극(121), 게이트 절연막(144)을 사이에 두고 제1 스토리지 하부전극(121)과 중첩되는 제1 스토리지 상부전극(123)으로 구성된다. 제1 스토리지 상부전극(123)은 보호막(150)을 관통하여 제2 접촉홀(115b)을 통해 화소전극(118)과 접촉된다.

이러한 제1 스토리지 캐패시터(120)는 화소 전극(118)에 충전된 화소전압이 다음 화소전압이 충전될 때까지 유지되게 한다.

센서 TFT(140)는 제2 구동전압 공급라인(171)에서 신장된 게이트 전극(108b)과, 게이트 절연막(144)을 사이에 두고 게이트 전극(108b)과 중첩되는 활성층(114b), 활성층(114b)과 전기적으로 접속됨과 아울러 제1 구동전압 공급라인(152)과 접속된 소스전극(110b), 소스전극(110b)과 마주보는 드레인전극(112b)을 구비한다. 센서 TFT(140)의 드레인 전극(112b)은 "U" 형으로 형성되어 광을 수광하기 위한 채널 영역이 넓게 형성될 수 있게 된다.

또한, 센서 TFT(140)는 보호막(150) 및 게이트 절연막(144)을 관통하여 제1 구동전압 공급라인(152)을 일부 노출시키는 제3 접촉홀(115c) 및 보호막(150)을 관통하여 소스전극(110b)을 노출시키는 제4 접촉홀(115d)을 구비하며, 제3 접촉홀(115c)을 통해 소스전극(110b)과 접촉되고 제4 접촉홀(115d)을 통해 제1 구동전압 공급라인(152)과 접촉되는 제1 투명전극 패턴(155)을 구비한다. 이러한, 제1 투명전극 패턴(155)은 소스전극(110b)과 제1 구동전압 공급라인(152)을 전기적으로 연결시키는 역할을 한다. 활성층(114b)은 소스전극(110b) 및 드레인전극(112b)과 부분적으로 중첩되게 형성되고 소스전극(110b)과 드레인전극(112b) 사이의 채널부를 더 포함한다. 활성층(114b) 위에는 소스전극(110b) 및 드레인전극(112b)과 오믹접촉을 위한 오믹접촉층(148b)이 더 형성된다. 이러한, 센서 TFT(140)는 문서 또는 사람의 지문 등 소정의 이미지에 의한 입사되는 광을 센싱하는 역할을 한다.

제2 스토리지 캐패시터(180)는 적어도 3 이상의 스토리지 캐패시터로 이루어진다. 도 5에서는 게이트 절연막(144)을 사이에 두고 서로 중첩되는 제2 스토리지 전극(182)과 제2 구동전압공급라인(171)으로 이루어지는 제2-1 스토리지 캐패시터(180a), 게이트 절연막(144)을 사이에 두고 서로 중첩되는 제2 스토리지 전극(182)과 제1 구동전압공급라인(152)으로 이루어지는 제2-2 스토리지 캐패시터(180b), 보호막(150)을 사이에 두고 서로 중첩되는 제2 스토리지 전극(182)과 제2 투명전극 패턴(156)으로 이루어지는 제2-3 스토리지 캐패시터(180c)를 나타내었다. 여기서, 제2 스토리지 전극(182)은 제2 TFT(170)의 소스전극(110c) 및 센서 TFT(140)의 드레인 전극(112b)과 각각 연결되며, 제2 투명전극 패턴(156)은 게이트 절연막(144) 및 보호막(150)을 관통하는 제5 접촉홀(115e)을 통해 제2 구동전압공급라인(171)과 접촉된다.

이러한, 제2 스토리지 캐패시터(180)는 포토 TFT(140)에서 발생된 광전류에 의한 전하를 저장하는 역할을 한다.

제2 TFT(170)는 전단 게이트 라인(102)의 일부분인 게이트 전극(108c)과, 제2 스토리지 전극(182)과 접속된 소스전극(110c), 소스전극(110c)과 마주보는 드레인전극(112c)과, 게이트 전극(108c)과 중첩되고 소스전극(110c)과 드레인 전극(112c) 사이에 채널을 형성하는 활성층(114c)을 구비한다. 제2 TFT(170)에서의 게이트 전극(108c)은 제1 TFT(106)에서의 게이트 전극(108a)과는 구분된다. 즉, 제1 TFT(106)에서의 게이트 전극(108a)은 게이트 라인(102)에서 돌출된 형태를 가짐에 비하여, 제2 TFT(170)에서의 게이트 전극(108c)은 실질적으로 게이트 라인(102)의 일영역을 나타내고 있다. 활성층(114c)은 소스전극(110c) 및 드레인전극(112c)과 부분적으로 중첩되게 형성되고 소스 전극(110c)과 드레인전극(112c) 사이의 채널부를 더 포함한다. 활성층(114c) 위에는 소스전극(110c) 및 드레인전극(112c)과 오믹접촉을 위한 오믹접촉층(148c)이 더 형성된다.

이러한, 구조를 가지는 본 발명에서의 액정표시장치에서의 광센싱 과정을 도 6에 도시된 회로도들 참조하여 설명하면 다음과 같다.

먼저, 센서 TFT(140)의 소스전극(110b)에 제1 구동전압(Vdrv)이 인가됨과 아울러 센서 TFT(140)의 게이트 전극(108b)으로 제2 구동전압(Vbias)이 인가되고 센서 TFT(140)의 활성층(114b)에 소정의 광이 센싱되면 센싱된 광량에 따라 센서 TFT(140)의 소스전극(110b)에서 채널을 경유하여 드레인전극(112b)으로 흐르는 광전류(Photo Current) 패스가 발생된다. 광전류 패스는 센서 TFT(140)의 드레인전극(112b)에서 제2 스토리지 전극(182)으로 흐르게 된다. 이에 따라, 제2 구동전압 공급라인(171)과 제2 스토리지 전극(182)에 의한 제2-1 스토리지 캐패시터(180a), 제2 스토리지 전극(182)과 제1 구동전압공급라인(152)에 의한 제2-2 스토리지 캐패시터(180b), 제2 스토리지 전극(182)과 제2 투명전극 패턴(156)에 의한 제2-3 스토리지 캐패시터(180c) 들을 포함하는 제2 스토리지 캐패시터(180)에 광전류에 의한 전하가 충전되게 된다. 이와 같이 제2 스토리지 캐패시터(180)에 충전된 전하는 제2 TFT(170) 및 리드아웃 라인(204)을 경유하여 리드아웃 집적회로(Read Out IC)에서 읽혀지게 된다.

즉, 센서 TFT(140)에서 센싱된 광량에 따른 리드아웃 집적회로(Read Out IC)에서 검출되는 신호가 달라지게 됨으로써 문서, 이미지 스캔, 터치 입력 등의 이미지를 센싱할 수 있게 된다. 센싱된 이미지는 제어부 등에 전달되거나 사용자의 조절에 따라 액정표시패널의 화상에 구현될 수도 있다.

한편, 이러한 본발명에서의 이미지 센싱 기능을 가지는 액정표시장치는 도 4 및 도 5에 도시된 박막 트랜지스터 어레이 기판과 대향되는 컬러필터 어레이 기판이 합착됨으로써 형성된다.

즉, 도 7에 도시된 바와 같이 상부기판(193) 상에 셀영역을 구획함과 아울러 빛샘을 방지하는 블랙 매트릭스(194)와, 블랙 매트릭스(194)에 의해 구획된 셀영역에 형성된 컬러필터(196) 등이 형성되는 컬러필터 어레이 기판(192)이 별도로 형성된 후, 박막 트랜지스터 어레이 기판(190)과 액정(197)을 사이에 두고 합착됨으로써 이미지 센싱을 가지는 액정표시장치를 형성할 수 있게 된다.

이하, 도 8a 내지 도 8e를 참조하여 본 발명에 따른 이미지 센싱 기능을 가지는 액정표시장치의 제조방법을 구체적으로 살펴 본다.

먼저, 하부기판(142) 상에 스퍼터링 방법 등의 증착방법을 통해 게이트 금속층이 형성된 후 포토리소그래피 공정과 식각 공정으로 게이트 금속층이 패터닝됨으로써 도 8a에 도시된 바와 같이, 제1 TFT(106)의 게이트전극(108a), 제2 TFT(170)의 게이트 전극(108c), 제1 구동전압 공급라인(152), 제2 구동전압 공급라인(171), 제2 구동전압 공급라인(171)에서 신장된 센서 TFT(140)의 게이트전극(108b), 제1 스토리지 하부 전극(121), 게이트라인(미도시)을 포함하는 게이트 패턴들이 형성된다. 여기서, 제2 구동전압 공급라인(171)은 제1 스토리지 캐패시터(180)의 제1 스토리지 하부전극(121) 및 센서 TFT(140)의 게이트전극(108b)과 일체화된다.

게이트 패턴들이 형성된 하부기판(142) 상에 PECVD, 스퍼터링 등의 증착방법을 통해 게이트 절연막(144)이 형성된다. 게이트 절연막(144)이 형성된 하부기판(142) 상에 비정질 실리콘층, n+ 비정질 실리콘층이 순차적으로 형성된다.

이후, 마스크를 이용한 포토리소그래피 공정과 식각공정으로 비정질 실리콘층, n+ 비정질 실리콘층이 패터닝됨으로써 도 8b에 도시된 바와 같이 제1, 제2 TFT(106,170) 및 센서 TFT(140)들에 각각 대응되는 반도체 패턴(145a,145b,145c)들이 형성된다. 여기서, 반도체 패턴(145a,145b,145c)들은 활성층(114a,114b,114c) 및 오믹접촉층(148a,148b,148c)의 이중층으로 이루어진다.

반도체 패턴(145a,145b,145c)들이 형성된 하부기판(142) 상에 소스/드레인 금속층이 순차적으로 형성된 후 마스크를 이용한 포토리소그래피 공정 및 식각공정 등을 이용하여 도 8c에 도시된 바와 같이 데이터 라인(104), 제1 TFT(106)의 소스전극(110a) 및 드레인 전극(112a), 제2 TFT(170)의 소스전극(110c) 및 드레인 전극(112c), 센서 TFT(140)의 소스전극(110b) 및 드레인 전극(112b), 게이트 절연막(144)을 사이에 두고 제1 스토리지 하부전극(121)과 중첩되는 제1 스토리지 상부전극(123), 센서 TFT(140)의 드레인 전극(112b)과 접속된 제2 스토리지 전극(182)을 포함하는 소스/드레인 패턴들이 형성된다.

이후, 소스/드레인 패턴들이 형성된 게이트 절연막(144) 상에 PECVD 등의 증착방법으로 보호막(150)이 전면 형성된 후 포토리소그래피 공정과 식각공정으로 패터닝됨으로써 도 8d에 도시된 바와 같이 제1 TFT(106)의 드레인 전극(112a)을

노출시키는 제1 접촉홀(115a), 제1 스토리지 상부전극(123)을 노출시키는 제2 접촉홀(115b), 제1 구동전압 공급라인(152)을 노출시키는 제3 접촉홀(115c), 센서 TFT(140)의 소스전극(110b)을 노출시키는 제4 접촉홀(115d), 제2 스토리지 캐패시터(180)에서의 제2 구동전압 공급라인(171)을 노출시키는 제5 접촉홀(115e)이 형성된다.

보호막(150) 상에 스퍼터링 등의 증착방법으로 투명전극 물질이 전면 증착된 후 포토리소그래피 공정과 식각공정을 통해 투명전극 물질이 패터닝됨으로써 도 8e에 도시된 바와 같이 화소전극(118), 제1 투명전극 패턴(155), 제2 투명전극 패턴(156)이 형성된다.

화소전극(118)은 제1 접촉홀(115a)을 통해 제1 TFT(106)의 드레인 전극(112a)과 접촉됨과 동시에 제2 접촉홀(115b)을 통해 제1 스토리지 상부전극(123)과 접촉된다.

제1 투명전극 패턴(155)은 제3 접촉홀(115c)을 통해 제1 구동전압 공급라인(152)과 접촉됨과 동시에 제4 접촉홀(115d)을 통해 센서 TFT(140)의 소스전극(110b)과 접촉된다.

제2 투명전극 패턴(156)은 제2 스토리지 전극(182)과 일부 중첩됨과 동시에 제5 접촉홀(115e)을 통해 제2 구동전압 공급라인(171)과 접촉된다.

이후, 별도의 공정에 의해 상부기관(193) 상에 셀영역을 구획하며 액정표시장치의 구동시 빛샘을 방지하는 블랙 매트릭스(194), 블랙 매트릭스(194)에 의해 구획되는 셀영역에 형성되는 컬러필터(196) 등을 구비하는 컬러필터 어레이 기관(192)이 형성된다. 블랙 매트릭스(194)는 제2 TFT(170) 등은 마스크하고 화소영역(P1) 및 센서 TFT(140)와 대응되는 수광영역(P2)은 개구시키고, 컬러필터(196)는 화소전극(118)이 위치하는 화소영역과 대응된다. 여기서, 컬러필터 어레이 기관(192)에는 공통전극, 배향막, 스페이서, 오버코트층 등이 선택적으로 더 형성될 수 있다.

이후, 합착공정에 의해 박막 트랜지스터 어레이 기관(190)과 컬러필터 어레이 기관(192)이 액정(197)을 사이에 두고 합착됨으로써 도 7에 도시된 바와 같은 액정표시장치가 형성된다.

도 9는 상술한 액정표시장치가 이미지를 센싱하는 과정을 나타내는 단면도이고, 도 10은 외부광이 센서 TFT로 입사되어 센싱되는 과정을 나타내는 회로도이고, 도 11은 센싱된 신호가 리드 아웃 집적회로(IC)로 검출되는 과정을 나타내는 회로도이다.

먼저, 도 9에서의 액정표시장치는 액정이 위치하는 액정층을 사이에 두고 센서 TFT(140)가 형성된 TFT 어레이 기관과 대향되는 컬러필터 어레이 기관을 구비한다. 컬러필터 어레이 기관의 상부에는 인쇄물(문서, 사진 등)(185)이 위치한다. 도면에서는 편의상 광을 센싱하는 센서 TFT(140)를 중심으로 나타내었다.

이러한, 액정표시장치는 도 10에 도시된 바와 같이 제1 구동전압 공급라인(152)으로부터 센서 TFT(140)의 소스전극(110b)에 예를 들어 약, 10V 정도의 구동전압이 인가됨과 아울러 제2 구동전압 공급라인(171)으로부터 센서 TFT(140)의 게이트 전극(108b)에 예를 들어, 약 -5V 정도의 역바이어스 전압이 인가되고 도 9와 같이 센서 TFT(140)의 활성층(114b)에 광(예를 들어, 외부광)이 센싱되면 센싱된 광량에 따라 센서 TFT(140)의 소스전극(110b)에서 활성층(114b)의 채널을 경유하여 드레인전극(112b)으로 흐르는 광전류(Photo Current) 패스가 발생된다. 광전류 패스는 센서 TFT(140)의 드레인전극(112b)에서 제2 스토리지 전극(182)으로 흐르게 된다. 이에 따라, 제2 스토리지 캐패시터(180)를 이루는 제2-1 스토리지 캐패시터(180a), 제2-2 스토리지 캐패시터(180b), 제2-3 스토리지 캐패시터(180c)에 광전류에 의한 전하가 충전되게 된다. 여기서, 제2 스토리지 캐패시터(180)에 최대 충전량은 센서 TFT(140)의 소스전극(110b)과 제2 구동전압 공급라인(171)의 전압차 예를 들어, 15V 정도가 충전될 수 있게 된다.

이와 같이, 센서 TFT(140)가 광을 센싱하고 제2 스토리지 캐패시터(180)에 전하가 충전되는 동안 제2 TFT(170)의 게이트 전극(108c)에는 게이트 로우 전압 예를 들어 -5V 가 인가됨으로써 제2 TFT(170)는 턴-오프(off) 상태를 유지하게 된다.

이후, 도 11에 도시된 바와 같이 제2 TFT(170)의 게이트 전극(108c)에 하이 전압 예를 들어, 약 20~25V 정도가 공급되는 제2 TFT(170)가 턴-온이 되면서 제2 스토리지 캐패시터(180)에 충전된 전하에 의한 전류패스가 제2 TFT(170)의 소스전극(110c), 활성층(114c)의 채널, 드레인 전극(112c) 및 리드아웃라인(204)을 경유하여 리드아웃 집적회로(IC)로 공급된다. 이와 같이 공급된 전류 패스에 의한 센싱 신호를 리드아웃 집적회로(IC)에서 읽어내게 된다.

이와 같이, 본 발명에 따른 이미지 센싱 기능을 가지는 액정표시장치는 화상을 구현하는 디스플레이 기능 뿐만 아니라 이미지 센싱 능력을 가지게 됨으로써 외부 문서, 터치 등을 입력함과 아울러 입력된 이미지를 사용자의 요구에 따라 출력할 수 있는 기능을 모두 가질 수 있게 된다.

도 12는 본 발명의 실시예에 따른 이미지 센싱 기능을 가지는 액정표시장치의 박막 트랜지스터 어레이 기판을 나타내는 평면도이고, 도 13은 도 12에 도시된 II-II'선, III-III'선, IV-IV'을 각각 절취하여 도시한 단면도이다.

도 12 및 도 13에 도시된 박막 트랜지스터 어레이 기판은 도 4 및 도 5에 도시된 박막 트랜지스터 어레이 기판과 대비하여 제1 구동전압 공급라인(152)이 제거되는 대신 데이터 라인(104)으로부터 센서 TFT(140)의 제1 구동전압을 공급 받게 된다.

이하, 본 발명의 제2 실시예에서는 제1 실시예에서 설명한 구성요소와 동일한 구성요소는 동일번호를 부여하고 중복되는 설명은 생략하기로 한다.

도 12 및 도 13에 도시된 박막 트랜지스터 어레이 기판은 하부기관(142) 위에 게이트 절연막(144)을 사이에 두고 교차하게 형성된 게이트 라인(102) 및 데이터 라인(104)과, 그 교차부마다 형성된 제1 TFT(106)와, 그 교차구조로 마련된 셀영역에 형성된 화소전극(118), 화소전극(118)을 사이에 두고 데이터 라인(104)과 나란하게 형성된 리드아웃 라인(204), 게이트 라인(102)과 나란하게 형성되는 제2 구동전압공급라인(171), 제2 구동전압공급라인(171)과 게이트 라인(102) 사이에 위치하며 제2 구동전압공급라인(171)으로부터의 제2 구동전압이 공급되고 데이터 라인(104)으로부터 제1 구동전압이 공급되는 센서 TFT(140), 전단 게이트 라인(102)과 리드아웃 라인(204)의 교차영역에 형성된 제2 TFT(170)와, 제2 구동전압공급라인(171)과 화소전극(118)의 중첩부에 형성된 제1 스토리지 캐패시터(120)와, 제2 TFT(170)와 센서 TFT(140) 사이에 위치하는 제2 스토리지 캐패시터(280)를 구비한다.

화소전극(118)은 보호막(150)을 관통하는 제1 접촉홀(115a)을 통해 제1 TFT(106)의 드레인전극(112a)과 접속된다.

여기서, 화소전극(118)은 본 발명의 제1 실시예에서의 화소전극(118)에 비하여 상대적으로 넓게 형성된다. 즉, 본 발명의 제2 실시예에서는 제1 구동전압 공급라인(152)을 구비하지 않게 됨으로써 화소전극(118)의 형성영역이 확대될 수 있게 된다. 그 결과, 본 발명의 제1 실시예와 비교하여 화상 구현을 위한 개구율이 넓어지게 된다. 더 나아가서, 화소전극(118)을 경유하여 센서 TFT(170)로 입사되어야 하는 백라이트 광의 경로가 더 넓어질 수 있게 됨으로써 센서 TFT(170)의 신뢰성이 향상된다.

센서 TFT(140)는 제2 구동전압 공급라인(171)에서 신장된 게이트 전극(108b)과, 게이트 절연막(144)을 사이에 두고 게이트 전극(108b)과 중첩되는 활성층(114b), 활성층(114b)과 전기적으로 접속됨과 아울러 데이터 라인(104)에서 신장된 소스전극(110b), 소스전극(110b)과 마주보는 드레인전극(112b)을 구비한다. 여기서, 데이터 라인(104)에서 신장되는 센서 TFT(140)의 소스전극(110b)은 제1 TFT(106)의 소스전극(110a)과는 구별된다. 즉, 본 발명의 제2 실시예에서는 데이터 라인(104)과 접속되는 소스전극이 2개가 마련된다. 따라서, 액정표시장치의 디스플레이 모드인 경우에는 데이터 라인(104)으로부터의 데이터 전압이 제1 TFT(106)의 소스전극(110a)으로 공급된다. 이와 달리, 액정표시장치의 센서 모드인 경우에는 데이터 라인(104)으로부터 제1 구동전압이 센서 TFT(140)의 소스전극(110b)에 공급된다.

또한, 센서 TFT(140)는 데이터 라인(104)으로부터 직접 제1 구동전압을 공급받을 수 있게 됨으로써 제1 실시예에서의 제3 및 제4 접촉홀(115c, 115d)과 제1 투명전극 패턴(155) 등이 필요 없게 된다.

제2 스토리지 캐패시터(280)는 적어도 2개의 스토리지 캐패시터로 이루어진다. 즉, 게이트 절연막(144)을 사이에 두고 서로 중첩되는 제2 스토리지 전극(182)과 제2 구동전압공급라인(171)으로 이루어지는 제2-1 스토리지 캐패시터(280a), 보호막(150)을 사이에 두고 서로 중첩되는 제2 스토리지 전극(182)과 제2 투명전극 패턴(156)으로 이루어지는 제2-2 스토리지 캐패시터(280b)를 나타내었다. 여기서, 제2 스토리지 전극(182)은 제2 TFT(170)의 소스전극(110c) 및 센서 TFT(140)의 드레인 전극(112b)과 각각 연결되며, 제2 투명전극 패턴(156)은 게이트 절연막(144) 및 보호막(150)을 관통하는 제5 접촉홀(115e)을 통해 제2 구동전압공급라인(171)과 접속된다.

이러한, 제2 스토리지 캐패시터(280)는 포토 TFT(140)에서 발생된 광전류에 의한 전하를 저장하는 역할을 한다.

이러한, 구조를 가지는 본 발명의 제2 실시예에 따른 액정표시장치에서의 광센싱 과정을 도 14에 도시된 회로도들을 참조하여 설명하면 다음과 같다.

먼저, 센서 TFT(140)의 소스전극(110b)에 데이터 라인(104)으로부터의 제1 구동전압(Vdrv)이 인가됨과 아울러 센서 TFT(140)의 게이트 전극(108b)으로 제2 구동전압(Vbias)이 인가되고 센서 TFT(140)의 활성층(114b)에 소정의 광이 센싱되면 센싱된 광량에 따라 센서 TFT(140)의 소스전극(110b)에서 채널을 경유하여 드레인전극(112b)으로 흐르는 광전류(Photo Current) 패스가 형성된다.

광전류 패스는 센서 TFT(140)의 드레인전극(112b)에서 제2 스토리지 전극(182)으로 흐르게 된다. 이에 따라, 제2 구동전압 공급라인(172)과 제2 스토리지 전극(182)에 의한 제2-1 스토리지 캐패시터(280a), 제2 스토리지 전극(182)과 제2 투명전극 패턴(156)에 의한 제2-2 스토리지 캐패시터(280b) 들을 포함하는 제2 스토리지 캐패시터(280)에 광전류에 의한 전하가 충전되게 된다. 이와 같이 제2 스토리지 캐패시터(280)에 충전된 전하는 제2 TFT(170) 및 리드아웃 라인(204)을 경유하여 리드아웃 집적회로(Read Out IC)에서 읽혀지게 된다.

이하, 도 15a 내지 도 15e를 참조하여 본 발명에 따른 이미지 센싱 기능을 가지는 액정표시장치의 제조방법을 구체적으로 살펴 본다.

먼저, 하부기판(142) 상에 스퍼터링 방법 등의 증착방법을 통해 게이트 금속층이 형성된 후 포토리소그래피 공정과 식각 공정으로 게이트 금속층이 패터닝됨으로써 도 15a에 도시된 바와 같이, 제1 TFT(106)의 게이트전극(108a), 제2 TFT(170)의 게이트 전극(108c), 제2 구동전압 공급라인(171), 제2 구동전압 공급라인(171)에서 신장된 센서 TFT(140)의 게이트전극(108b), 제1 스토리지 하부 전극(121), 게이트라인(미도시)을 포함하는 게이트 패턴들이 형성된다. 여기서, 제2 구동전압 공급라인(171)은 제1 스토리지 캐패시터(180)의 제1 스토리지 하부전극(121) 및 센서 TFT(140)의 게이트전극(108b)과 일체화된다.

게이트 패턴들이 형성된 하부기판(142) 상에 PECVD, 스퍼터링 등의 증착방법을 통해 게이트 절연막(144)이 형성된다. 게이트 절연막(144)이 형성된 하부기판(142) 상에 비정질 실리콘층, n+ 비정질 실리콘층이 순차적으로 형성된다.

이후, 마스크를 이용한 포토리소그래피 공정과 식각공정으로 비정질 실리콘층, n+ 비정질 실리콘층이 패터닝됨으로써 도 15b에 도시된 바와 같이 제1, 제2 TFT(106,170) 및 센서 TFT(140)들에 각각 대응되는 반도체 패턴(145a,145b,145c)들이 형성된다. 여기서, 반도체 패턴(145a,145b,145c)들은 활성층(114a,114b,114c) 및 오믹접촉층(148a,148b,148c)의 이중층으로 이루어진다.

반도체 패턴(145a,145b,145c)들이 형성된 하부기판(142) 상에 소스/드레인 금속층이 순차적으로 형성된 후 마스크를 이용한 포토리소그래피 공정 및 식각공정 등을 이용하여 도 15c에 도시된 바와 같이 데이터 라인(104), 제1 TFT(106)의 소스전극(110a) 및 드레인 전극(112a), 제2 TFT(170)의 소스전극(110c) 및 드레인 전극(112c), 센서 TFT(140)의 소스전극(110b) 및 드레인 전극(112b), 게이트 절연막(144)을 사이에 두고 제1 스토리지 하부전극(121)과 중첩되는 제1 스토리지 상부전극(123), 센서 TFT(140)의 드레인 전극(112b)과 접속된 제2 스토리지 전극(182)을 포함하는 소스/드레인 패턴들이 형성된다. 여기서, 제1 TFT(106)의 소스전극(110a) 및 센서 TFT(140)의 소스전극(110b)은 각각 데이터 라인(104)에서 신장된다.

이후, 소스/드레인 패턴들이 형성된 게이트 절연막(144) 상에 PECVD 등의 증착방법으로 보호막(150)이 전면 형성된 후 포토리소그래피 공정과 식각공정으로 패터닝됨으로써 도 15d에 도시된 바와 같이 제1 TFT(106)의 드레인 전극(112a)을 노출시키는 제1 접촉홀(115a), 제1 스토리지 상부전극(123)을 노출시키는 제2 접촉홀(115b), 제2 스토리지 캐패시터(180)에서의 제2 구동전압 공급라인(171)을 노출시키는 제5 접촉홀(115e)이 형성된다.

보호막(150) 상에 스퍼터링 등의 증착방법으로 투명전극 물질이 전면 증착된 후 포토리소그래피 공정과 식각공정을 통해 투명전극 물질이 패터닝됨으로써 도 15e에 도시된 바와 같이 화소전극(118), 제2 투명전극 패턴(156)이 형성된다.

화소전극(118)은 제1 접촉홀(115a)을 통해 제1 TFT(106)의 드레인 전극(112a)과 접촉됨과 동시에 제2 접촉홀(115b)을 통해 제1 스토리지 상부전극(123)과 접촉된다.

제2 투명전극 패턴(156)은 제2 스토리지 전극(182)과 일부 중첩됨과 동시에 제5 접촉홀(115e)을 통해 제2 구동전압 공급라인(171)과 접촉된다.

이와 같이, 본 발명의 제2 실시예에 따른 액정표시장치 및 그 제조방법은 본 발명의 제1 실시예와 동일하게 문서, 이미지 스캔, 터치 입력 등의 이미지를 센싱할 수 있게 된다.

한편, 본 발명의 제2 실시예에 따른 액정표시장치 및 그 제조방법은 본 발명의 제1 실시예에서의 제1 구동전압 공급라인(152)이 필요없는 구조를 가지게 됨으로써 제1 실시예에 비하여 많은 장점을 더 가지게 된다.

먼저, 제1 구동전압 공급라인(152)이 제거됨으로써 게이트 라인(102), 제1 및 제2 구동전압 공급라인(152,171)이 모두 포함하던 구조에 비하여 라인들 간의 거리가 충분히 확보될 수 있게 된다. 그 결과, 라인 간의 쇼트 등에 의한 불량 확률이 현저히 적어지게 된다.

또한, 본 발명의 제1 실시예에서의 제1 구동전압 공급라인(152)이 위치하는 영역 만큼 화소전극(118)의 형성영역이 확대될 수 있게 된다. 그 결과, 본 발명의 제1 실시예와 비교하여 화상 구현을 위한 개구율이 넓어지게 된다. 더 나아가서, 화소전극(118)을 경유하여 센서 TFT(170)로 입사되어야 하는 백라이트 광의 경로가 더 넓어질 수 있게 됨으로써 센서 TFT(170)의 신뢰성이 향상된다.

마지막으로, 리드 아웃 라인(204)과 다른 라인들 간의 기생 캐패시터 용량이 작아질 수 있게 됨으로써 센서 TFT(140)에 의해 센싱된 신호 감지 능력이 향상되는 등 센서 능력에 대한 신뢰성이 더 향상될 수 있게 된다.

이를 도 16을 참조하여 좀더 구체적으로 설명하면 다음과 같다.

도 16은 센싱된 전압이 리드 아웃 집적회로(IC)에 의해 전달되는 원리를 나타내는 도면이다.

먼저, 센서 TFT(140)에서 소정의 이미지를 가지는 광을 센싱하고 제2 스토리지 캐패시터(180)에 광전류에 의한 전하가 충전된다. 여기서, R_s 는 제1 구동전압 공급원에서 제2 스토리지 캐패시터(280) 사이에서의 총 저항을 나타낸다. 예를 들어, 센서 TFT(140) 및 전극 내에서의 저항 등의 총합을 의미한다. V_s 는 제2 스토리지 캐패시터(280) 양단 전압 즉, 스토리지 전압(V_s)을 나타낸다.

이후, 제2 TFT(170)가 턴온되면 제2 스토리지 캐패시터(280)에 충전된 전하에 의한 전류패스가 제2 TFT(170)의 소스전극(110c), 활성층(114c)의 채널, 드레인 전극(112c) 및 리드아웃라인(204)을 경유하여 리드아웃 집적회로(IC)로 공급된다. 여기서, R_{ro} 는 제2 스토리지 캐패시터(280)에서 리드아웃 집적회로(IC) 까지의 총 저항을 나타낸다.

여기서, 실질적으로 리드아웃 집적회로(IC)에서 센싱하게 되는 센싱전압(V_{ro})은 수학식 1과 같이 나타낼 수 있다.

$$V_{ro} \approx C_{st2} / (C_{st2} + C_{ro}) * V_s$$

여기서, C_{ro} 는 제1 실시예에서의 제1 구동전압 공급라인(152)과 리드 아웃 라인(204) 간의 교차영역에 형성되는 기생 캐패시터를 나타낸다.

상술한 수학식 1에서 알 수 있듯이 실질적으로 리드아웃 집적회로(IC)가 센싱하는 전압(V_{ro})과 제2 스토리지 캐패시터(280)에 저장되는 제2 스토리지 전압(V_s)은 기생 캐패시터로 인하여 약간의 차이가 나타나게 된다.

따라서, 본 발명의 제2 실시예에서는 제2 구동전압 공급라인(152)이 제거됨으로써 C_{ro} 값이 현저히 줄어들 수 있게 됨으로써 제2 스토리지 전압(V_s)과 리드 아웃 집적회로(IC)가 센싱하는 전압(V_{ro})이 거의 동일하게 된다. 그 결과, 액정표시장치의 센서 기능이 제1 실시예에 비하여 더욱 정교할 수 있게 되는 등 센서의 신뢰성이 향상된다.

마지막으로, 센서 TFT(140)는 데이터 라인(104)에 공급되는 데이터 전압을 제1 구동전압으로 이용할 수도 있다. 이에 따라, 액정표시장치가 디스플레이 모드의 경우에도 사용자의 필요에 따라 디스플레이 도중 사용자가 원하는 이미지를 센싱할 수도 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 이미지 센싱 기능을 가지는 액정표시장치 및 그 제조방법과 이를 이용한 이미지 센싱 방법은 화상만을 구현할 수 있는 액정표시장치에 문서, 이미지 등을 센싱할 수 있는 센싱 소자를 포함할 수 있게 됨으로써 하나의 액정표시장치를 이용하여 이미지 등을 입력할 수 있을 뿐만 아니라 필요에 따라 입력된 이미지를 화상에 구현할 수 있게 된다. 특히, 액정표시장치에 이미지를 센싱 기능을 부가함으로써 액정표시장치 내로 이미지의 입, 출력이 가능하게 되어 비용면에서도 부피면에서도 매우 큰 장점을 가지게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

도 1은 통상적인 TFT 어레이 기판의 일부를 도시한 평면도.

도 2은 도 1에 도시된 TFT 어레이 기판을 I-I'선을 따라 절단하여 도시한 단면도.

도 3은 종래의 포토 센싱 소자를 나타내는 단면도.

도 4는 본 발명의 제1 실시예에 따른 이미지 센싱 기능을 가지는 액정표시장치의 박막 트랜지스터 어레이 기판을 나타내는 도면.

도 5는 도 4의 II-II'선, III-III'선 및 IV-IV'선을 절취하여 도시한 단면도.

도 6은 도 4에 도시된 하나의 화소를 개략적으로 나타내는 회로도.

도 7은 본 발명에 따른 액정표시장치를 나타내는 단면도.

도 8a 내지 도 8e는 본 발명의 제1 실시예에 따른 이미지 센싱 기능을 가지는 박막 트랜지스터 어레이 기판의 제조방법을 설명하기 위한 공정도.

도 9는 본 발명에 따른 액정표시장치의 센서 박막 트랜지스터가 광을 센싱하는 과정을 나타내는 모식도.

도 10 및 도 11은 본 발명에 따른 포토 센싱 과정을 구체적으로 설명하기 위한 회로도.

도 12는 본 발명의 제2 실시예에 따른 이미지 센싱 기능을 가지는 액정표시장치의 박막 트랜지스터 어레이 기판을 나타내는 도면.

도 13은 도 4의 II-II'선, III-III'선 및 IV-IV'선을 절취하여 도시한 단면도.

도 14는 도 12에 도시된 하나의 화소를 개략적으로 나타내는 회로도.

도 15a 내지 도 15e는 본 발명의 제2 실시예에 따른 이미지 센싱 기능을 가지는 박막 트랜지스터 어레이 기판의 제조방법을 설명하기 위한 공정도.

도 16은 센싱된 전압이 리드 아웃 집적회로에 의해 전달되는 원리를 나타내는 도면.

< 도면의 주요 부분에 대한 부호의 설명 >

102 : 게이트 라인 104 : 데이터 라인

106 : 제1 박막 트랜지스터 108a,108b,108c : 게이트 전극

110a,110b,110c : 소스 전극 112a,112b,112c : 드레인 전극

14, 114a,114b,114c : 활성층 115a,115b,115c,115d,115e : 접촉홀

18, 118 : 화소전극 120 : 제1 스토리지 캐패시터

180,280 : 제2 스토리지 캐패시터 44,144 : 게이트 절연막

50,150 : 보호막 140 : 센서 박막 트랜지스터

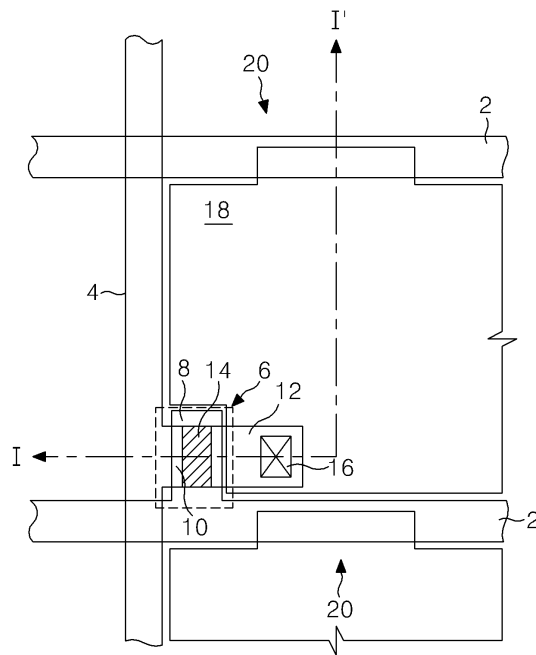
170 : 제2 박막 트랜지스터 152 : 제1 구동전압 공급라인

171 : 제2 구동전압 공급라인 155 : 제1 투명전극 패턴

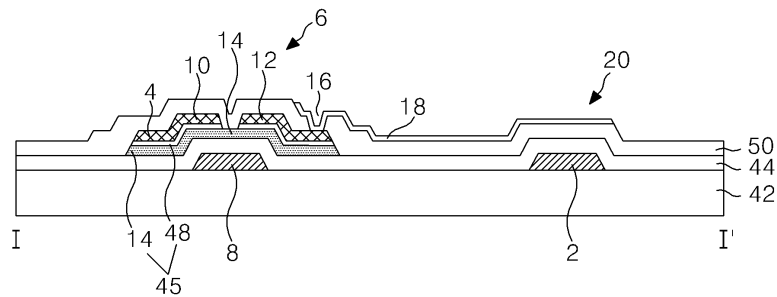
156 : 제2 투명전극 패턴

도면

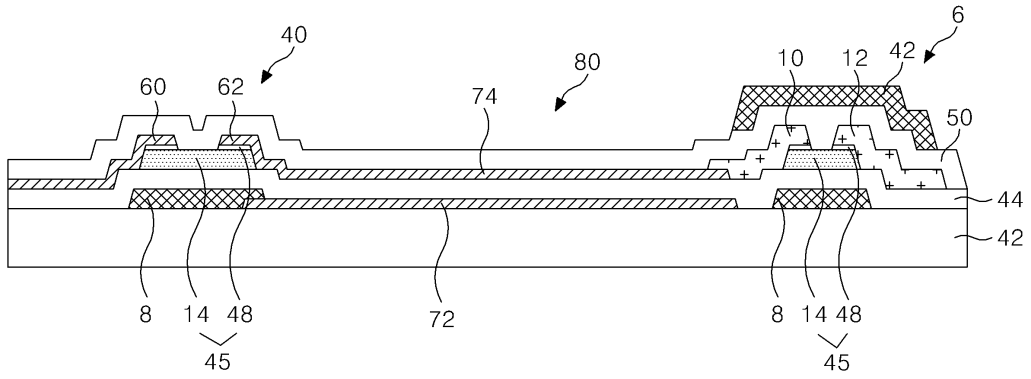
도면1



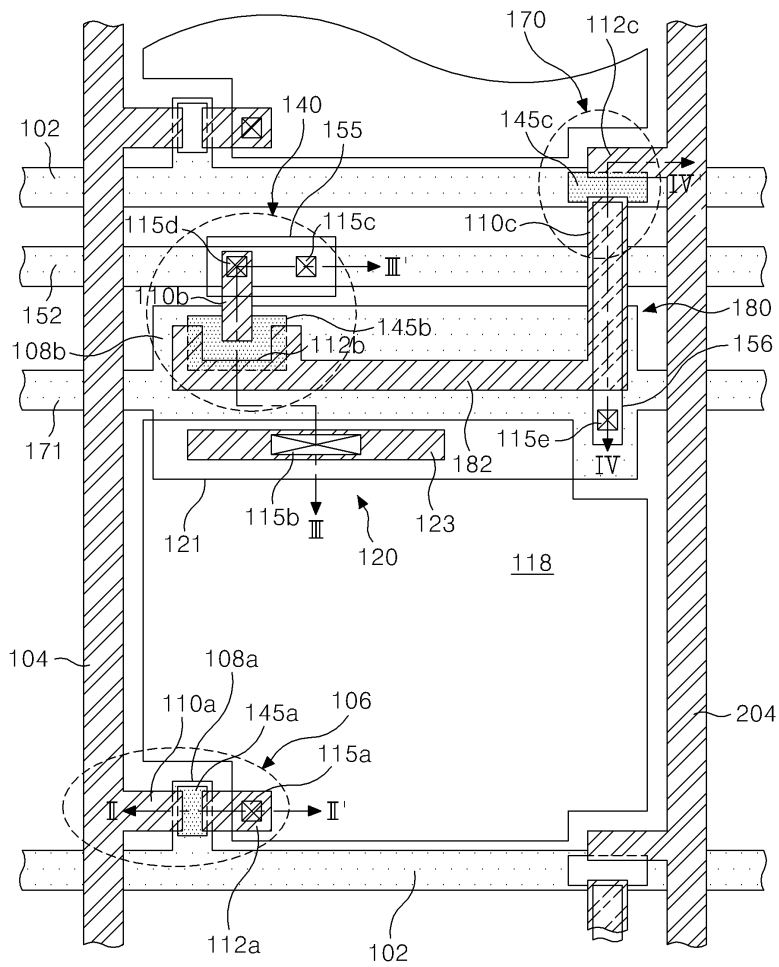
도면2



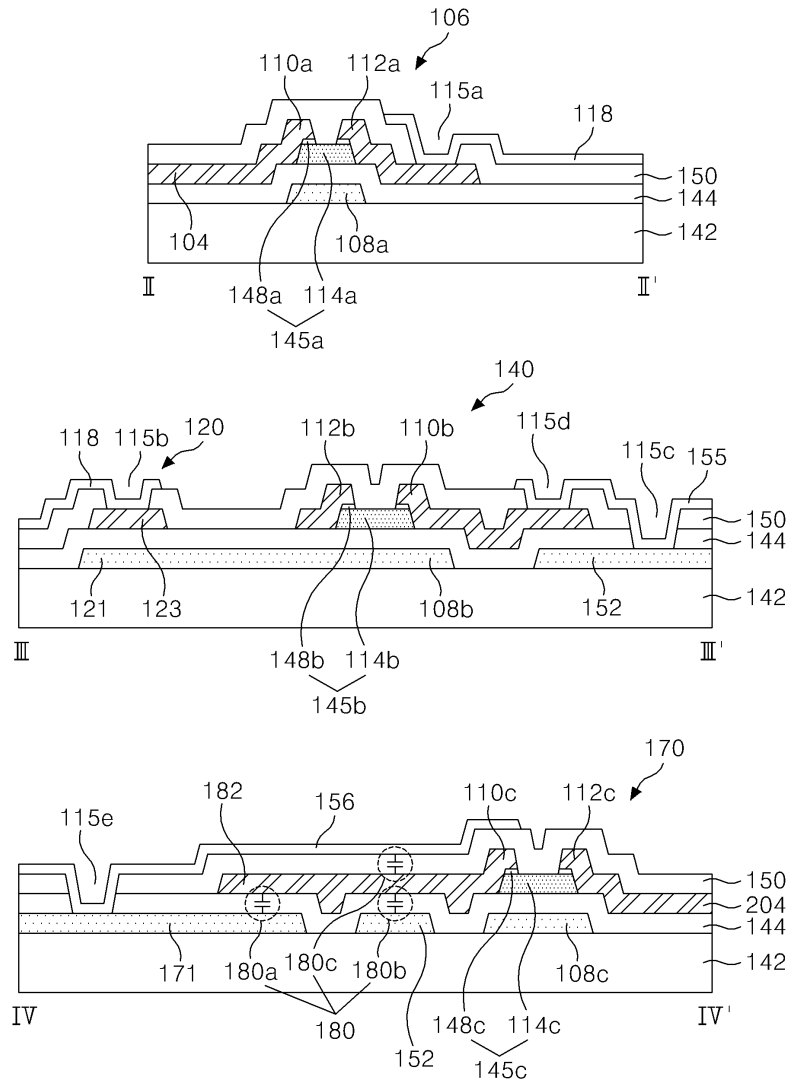
도면3



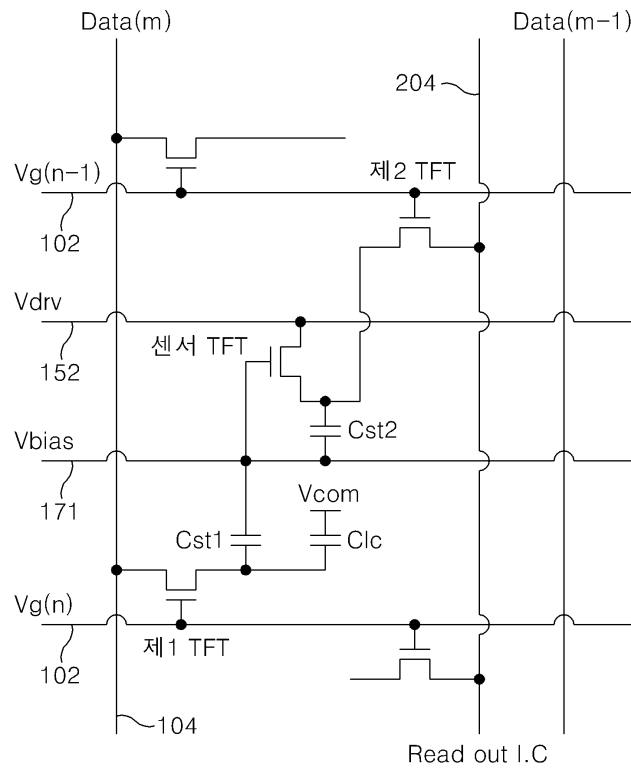
도면4



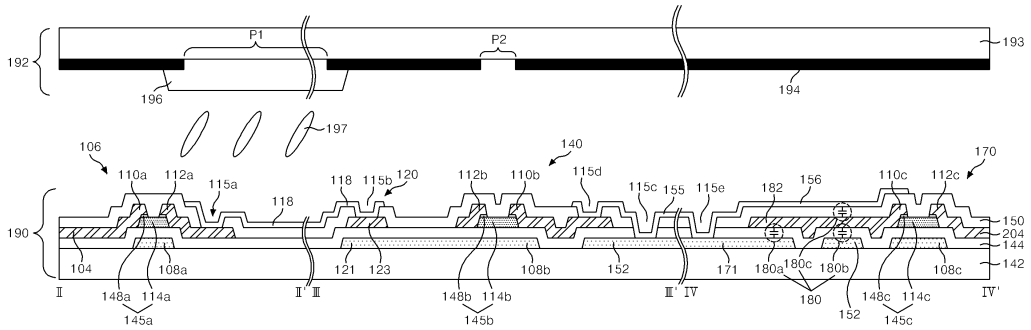
도면5



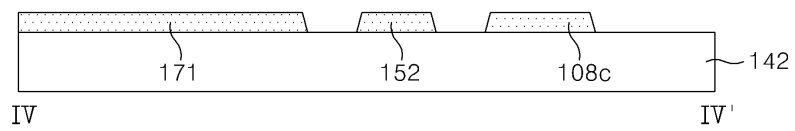
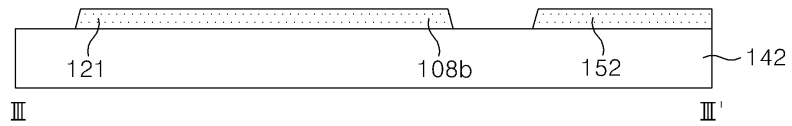
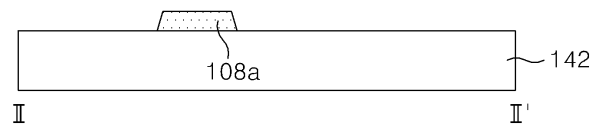
도면6



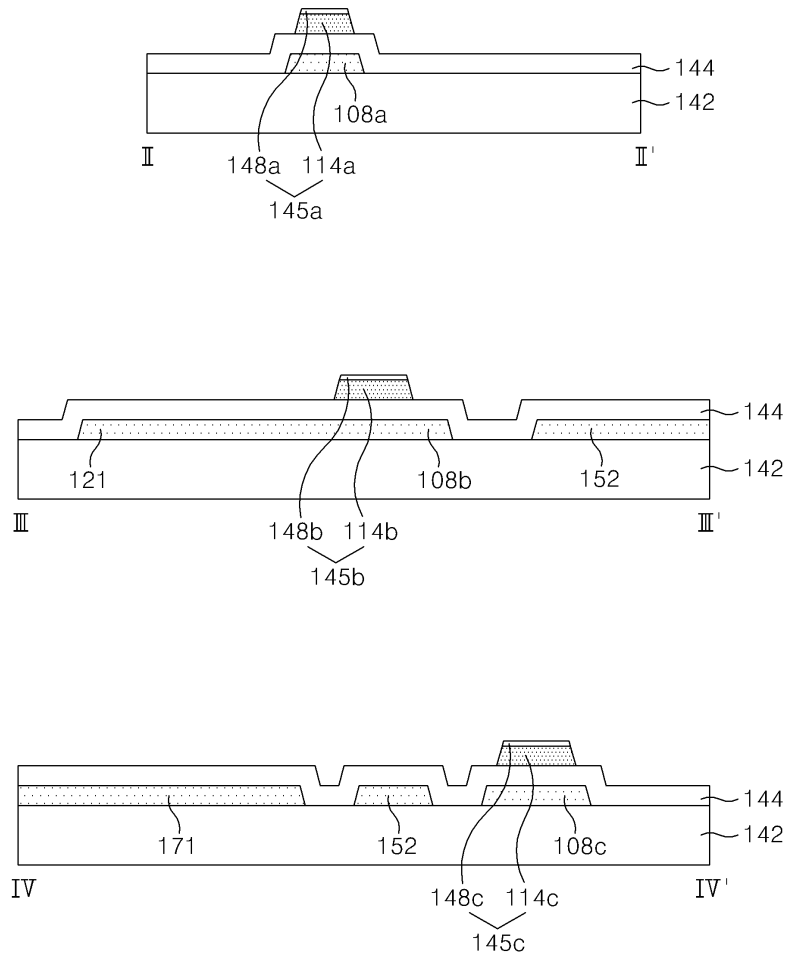
도면7



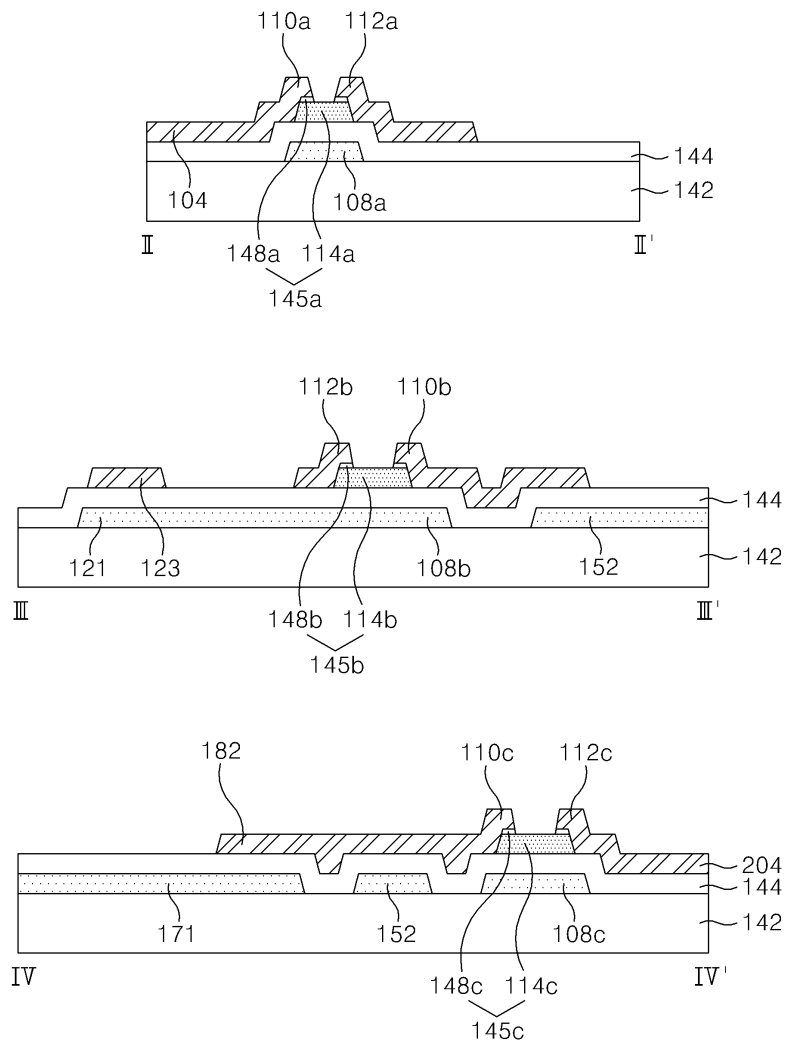
도면8a



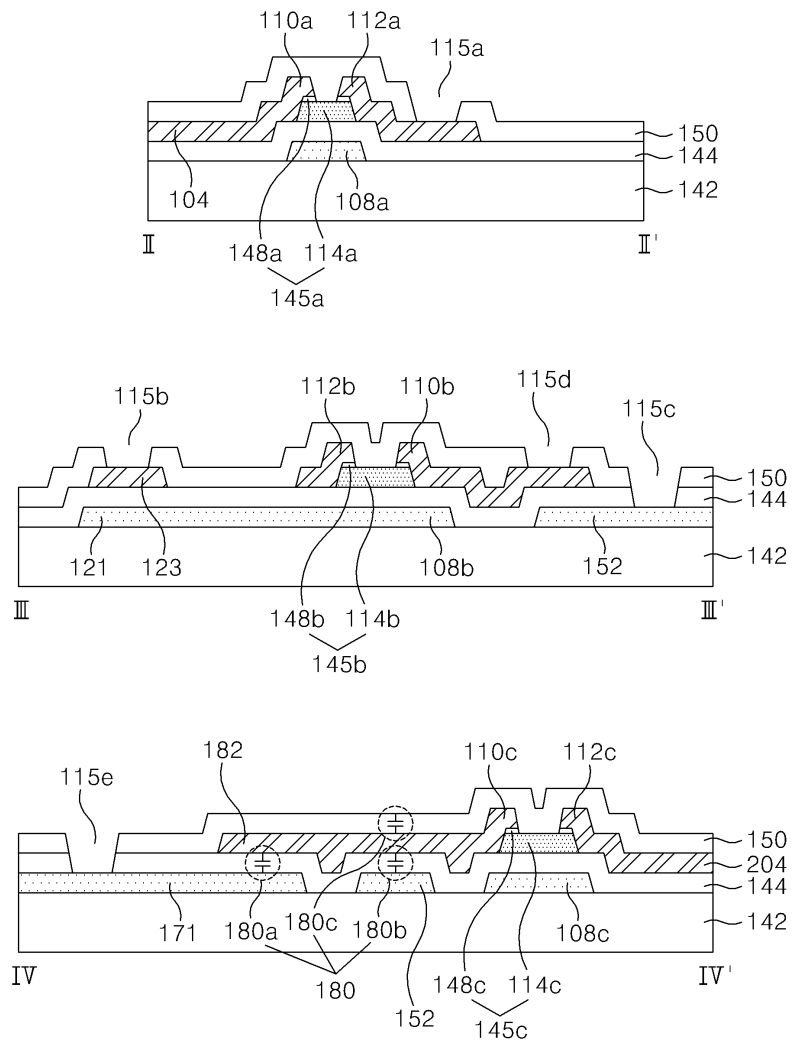
도면8b



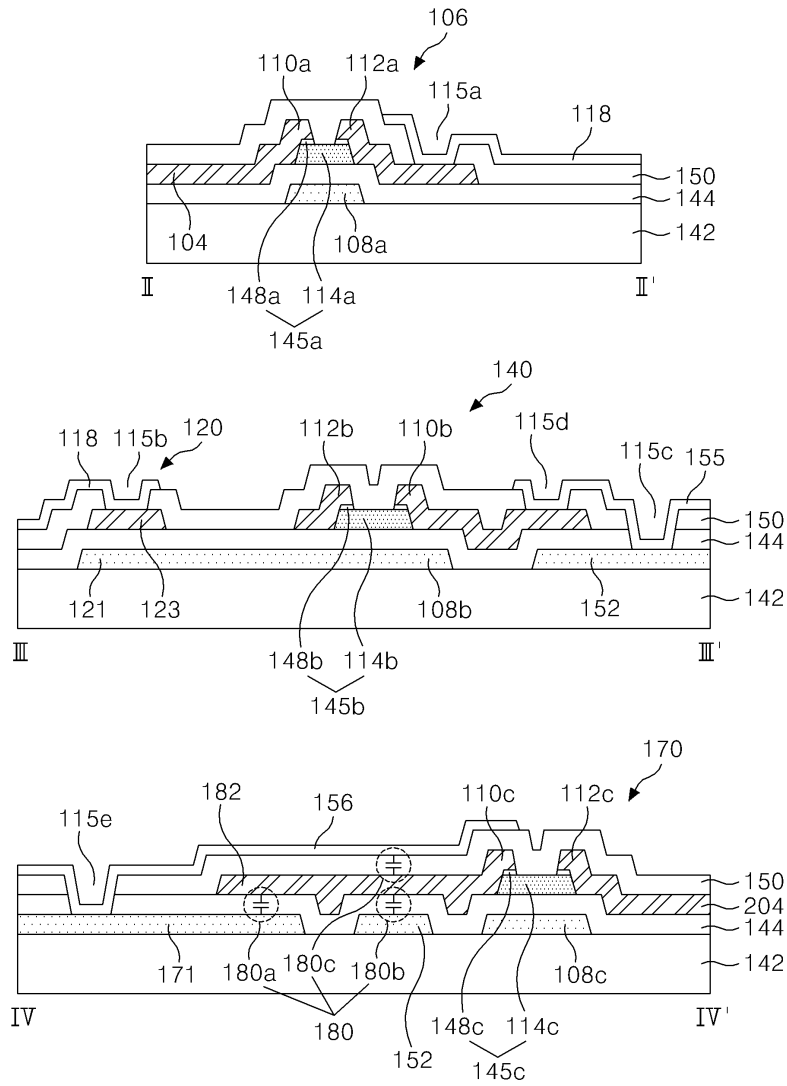
도면8c



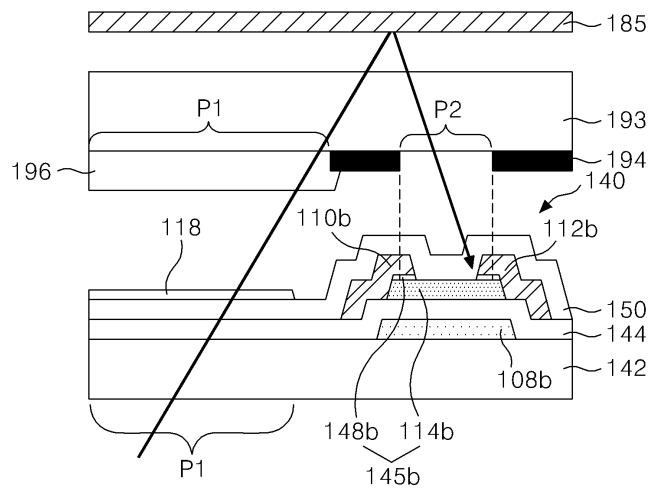
도면8d



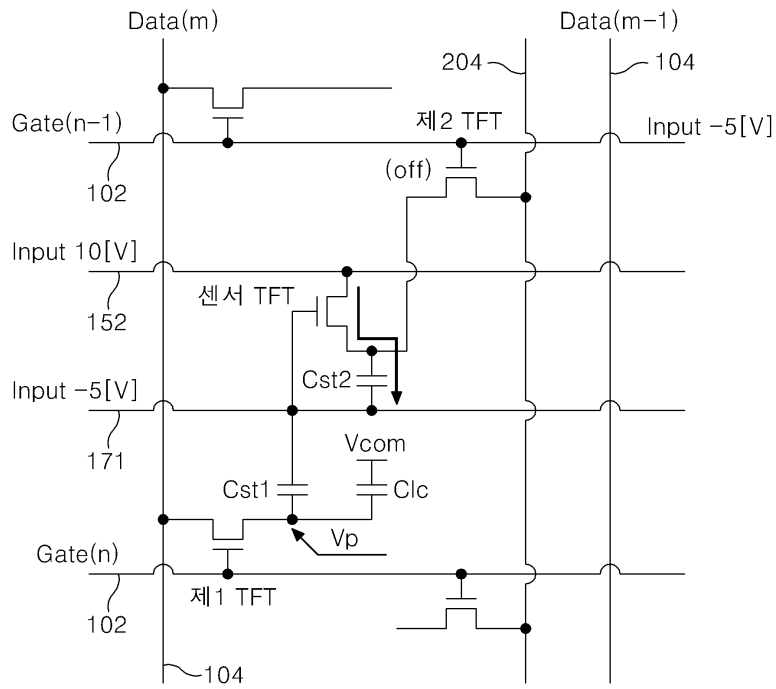
도면8e



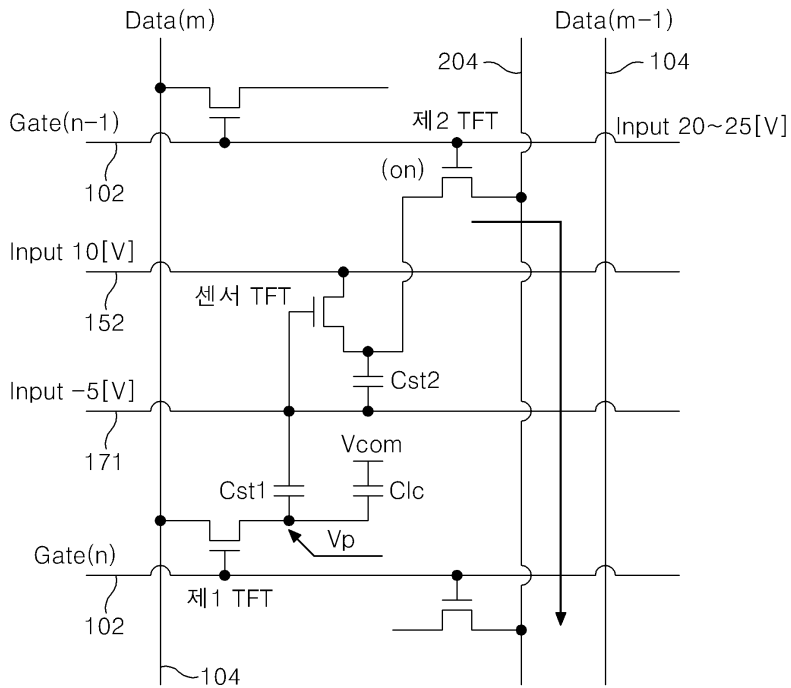
도면9



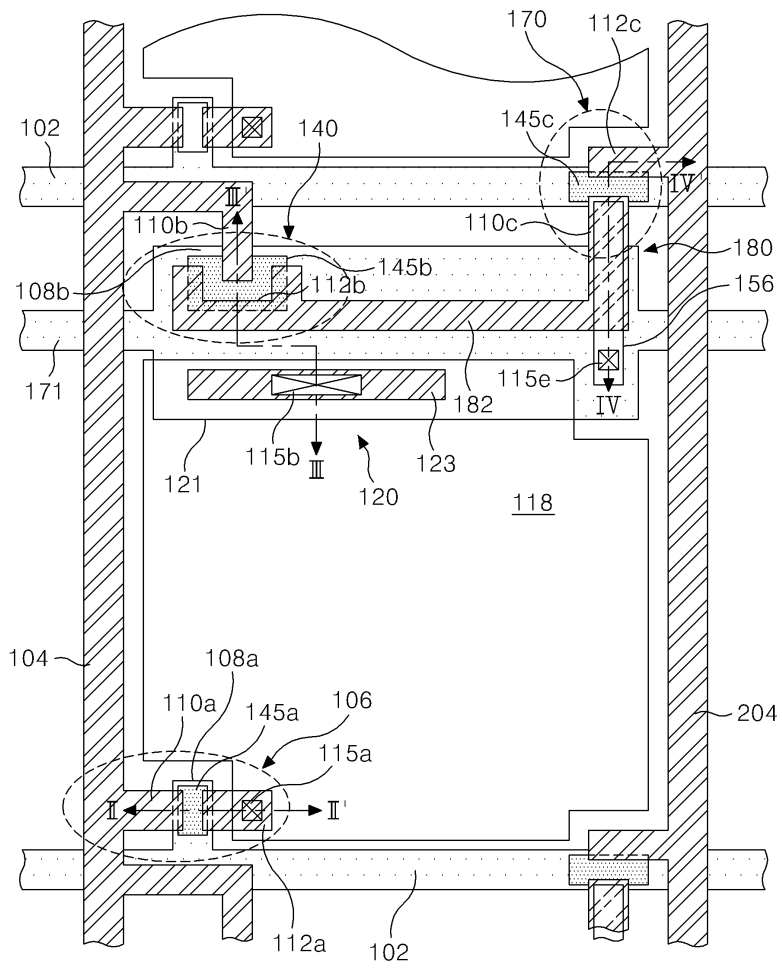
도면10



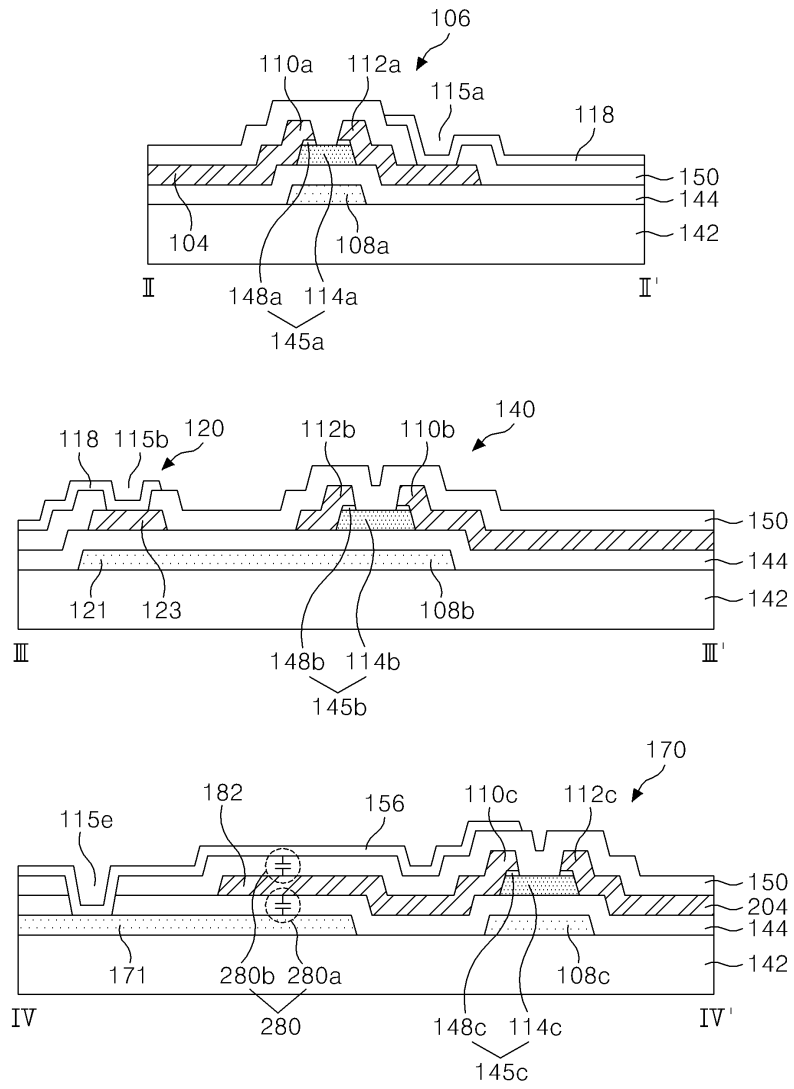
도면11



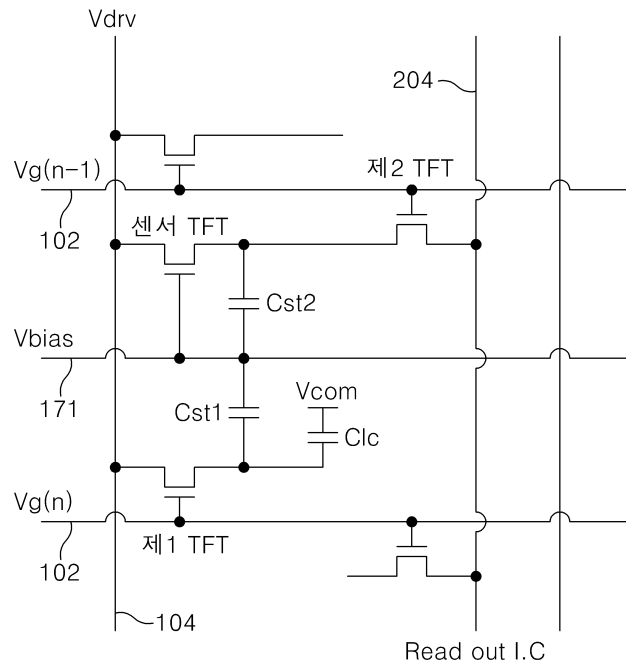
도면12



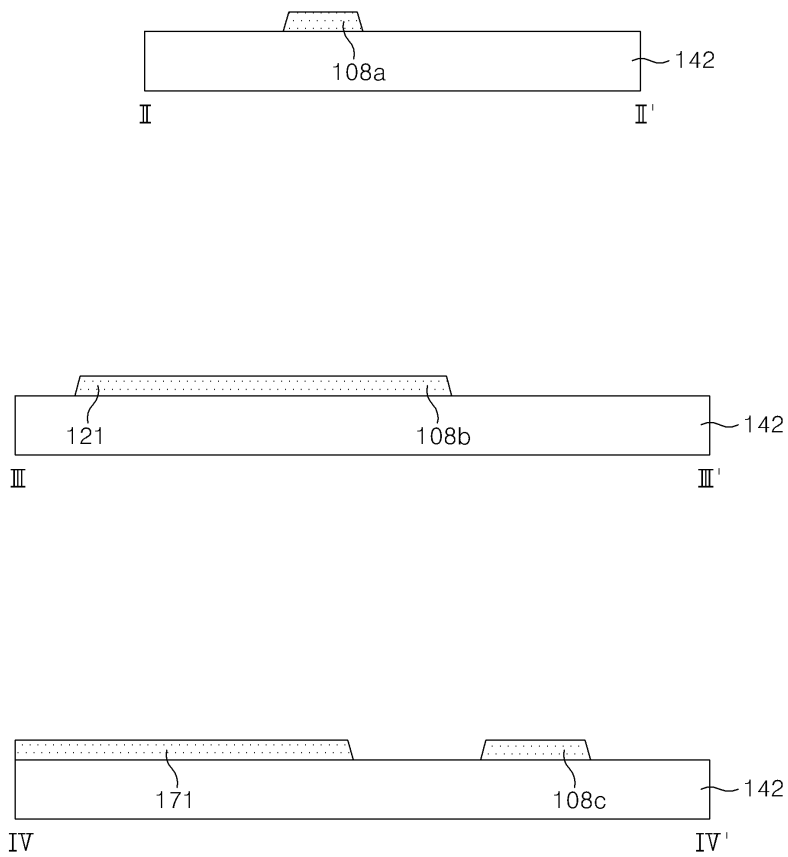
도면13



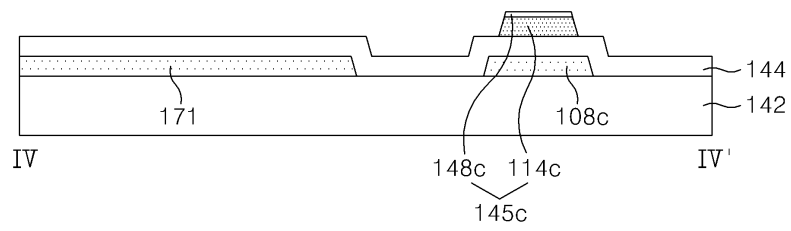
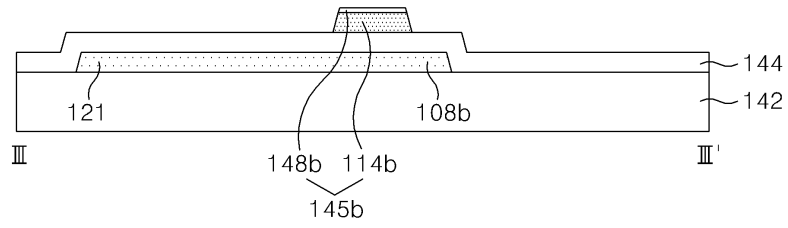
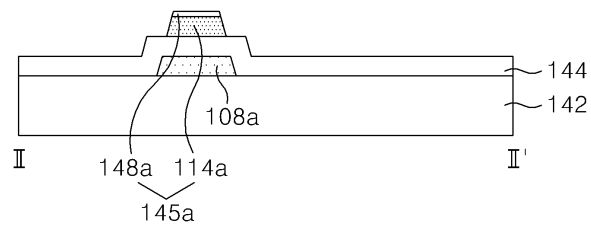
도면14



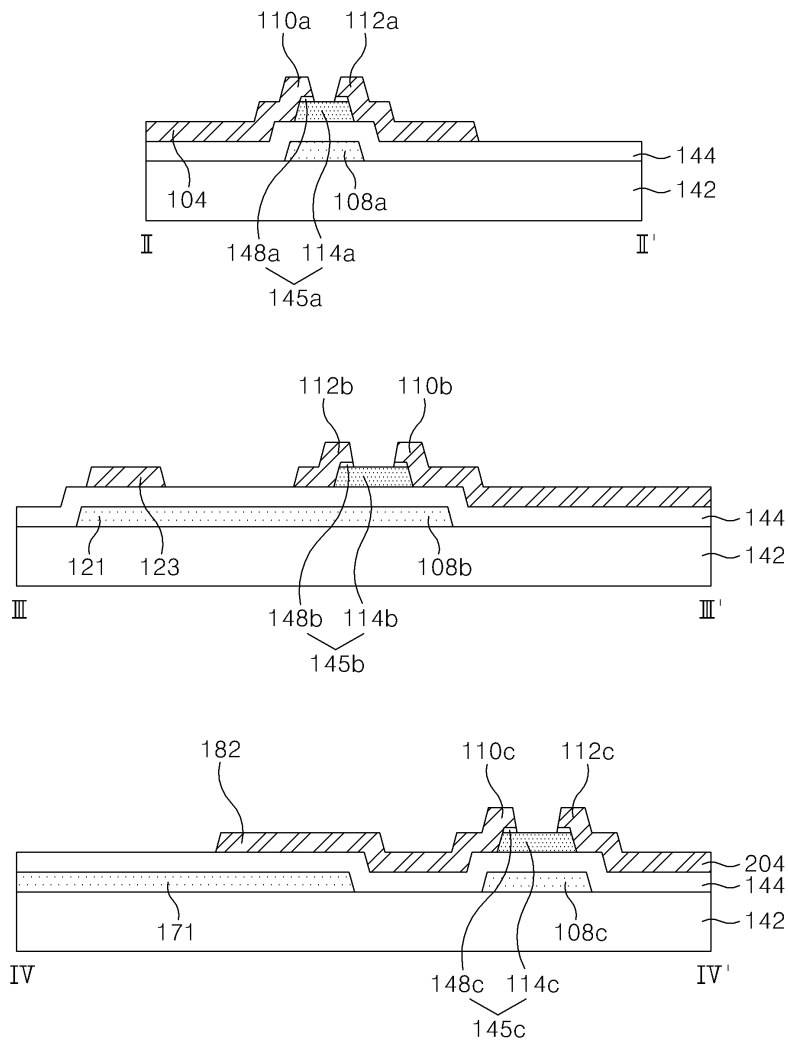
도면15a



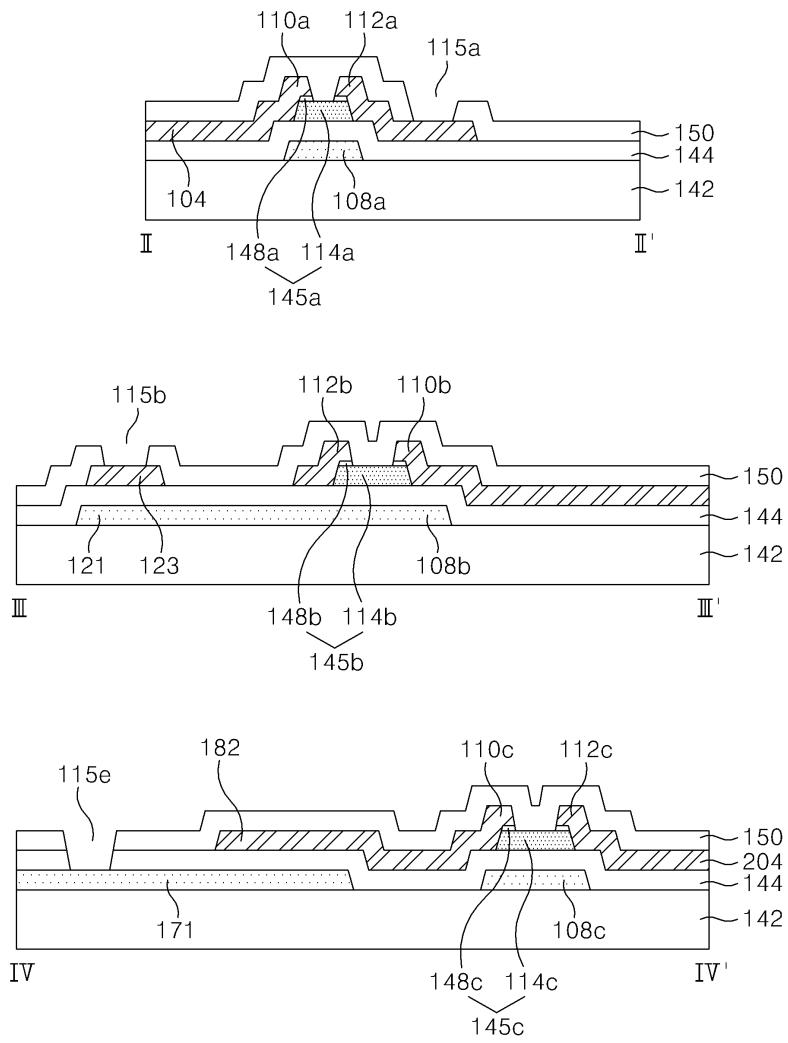
도면15b



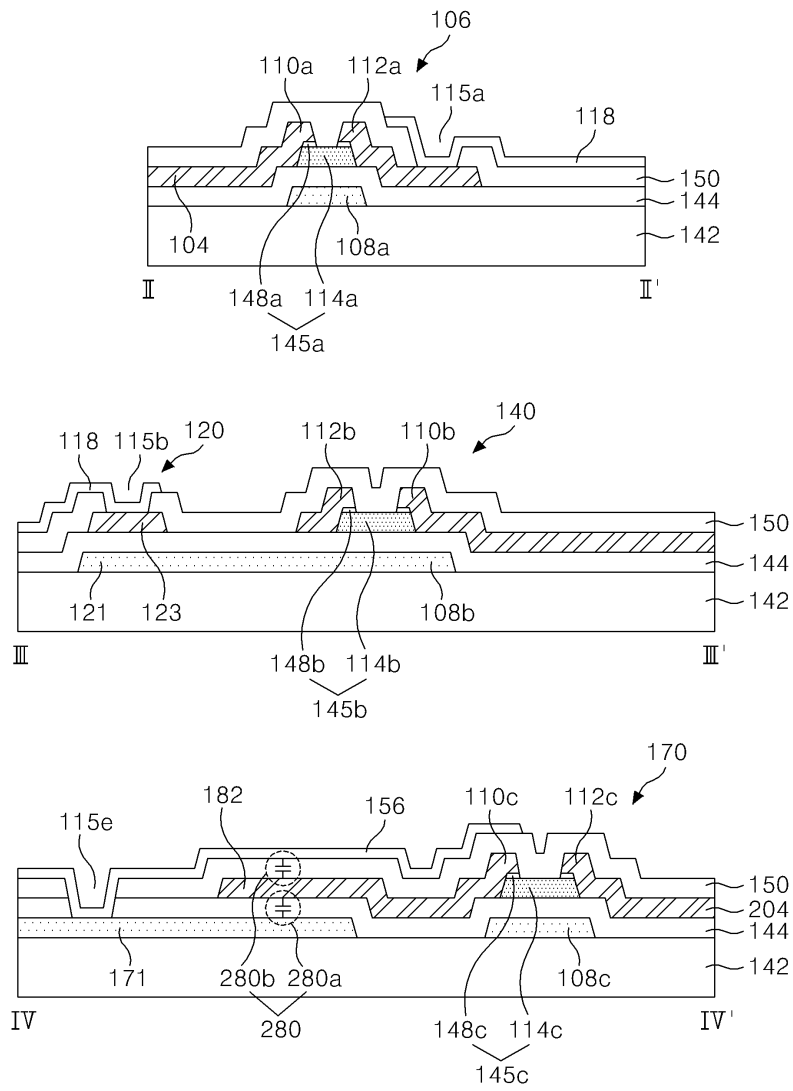
도면15c



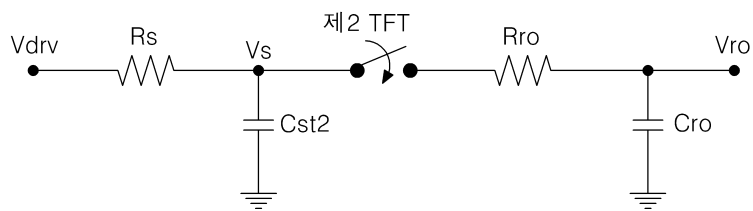
도면15d



도면15e



도면16



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020070063263A	公开(公告)日	2007-06-19
申请号	KR1020050123301	申请日	2005-12-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOO KYO SEOP 추교섭 KANG HEE KWANG 강희광		
发明人	추교섭 강희광		
IPC分类号	G02F1/136		
CPC分类号	G02F1/1354 G02F1/13338 H01L27/13 G02F2001/136236 H01L27/1214 G02F1/136213 G02F1/13624 H01L27/12 H01L27/1255		
其他公开文献	KR101211345B1		
外部链接	Espacenet		

摘要(译)

本发明涉及文档，图像扫描和触摸输入，以及具有在图像中实现输入图像的图像感测功能的LCD及其制造方法。本发明的液晶显示器包括栅极线和数据线，该栅极线和数据线限定像素电极所在的像素区域，同时基板形成在基板上交叉；薄膜晶体管位于数据线和栅极线的交叉域中；传感器薄膜晶体管：从数据线提供第一驱动电压，感测具有图像信息和栅极线的光；用于将第二驱动电压提供给传感器薄膜晶体管的驱动电压供应线定位在其上。

