

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0078703
G02F 1/133 (2006.01) (43) 공개일자 2006년07월05일

(21) 출원번호 10-2004-0117391
(22) 출원일자 2004년12월30일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자 조남욱
경기 군포시 금정동 875번지 퇴계주공아파트 352동 1704호
조성학
서울 강북구 미아동 SK아파트 109동 203호
(74) 대리인 박장원

심사청구 : 없음

(54) 액정표시소자

요약

본 발명의 액정표시소자는 복수의 화소와, 각각의 화소에 주사신호를 인가하는 제1게이트라인 및 제2게이트라인과, 상기 화소에 화상신호를 인가하며, 인접한 복수의 화소에 동일한 화상신호가 입력되는 복수의 데이터라인과, 각각의 화소에 형성되고 상기 제1게이트라인 및 제2게이트라인중 적어도 하나에 연결되어 화상신호를 화소에 인가하는 적어도 하나의 박막트랜지스터로 구성된다.

대표도

도 2

색인어

액정표시소자, 데이터라인, 박막트랜지스터, 화상신호, 데이터구동회로

명세서

도면의 간단한 설명

도 1은 종래의 일반적인 액정표시소자의 구조를 나타내는 평면도.

도 2는 본 발명의 일시예에 따른 액정표시소자의 구조를 나타내는 평면도.

도 3은 도 2에 도시된 액정표시소자의 파형도.

도 4는 본 발명에 따른 액정표시소자의 구조를 나타내는 단면도.

도 5는 본 발명의 다른 실시예에 따른 액정표시소자의 구조를 나타내는 평면도.

도 6은 도 5에 도시된 액정표시소자의 게이트구동신호를 나타내는 파형도.

* 도면의 주요부분에 대한 부호의 설명 *

D1,D2...: 주데이터라인 D11,D12,D13 : 데이터라인

G11,G12... : 게이트라인 T11,T12,T2,T3 : 박막트랜지스터

109a,109b,109c : 화소

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시소자에 관한 것으로, 특히 인접한 3개의 화소에 동일한 화상신호를 인가하여 데이터구동회로의 갯수를 감소함으로써 제조비용을 절감할 수 있는 액정표시소자에 관한 것이다.

액정표시소자(Liquid Crystal Display device)는 투과형 평판표시장치로서, 핸드폰(mobile phone), PDA, 노트북컴퓨터와 같은 각종 전자장치에 널리 적용되고 있다. 이러한 액정표시소자는 경박단소화가 가능하고 고화질을 구현할 수 있다는 점에서 다른 평판표시장치에 비해 현재 많은 실용화가 이루어지고 있는 실정이다. 더욱이, 디지털TV나 고화질TV, 벽걸이용 TV에 대한 요구가 증가함에 따라 TV에 적용할 수 있는 대면적 액정표시소자에 대한 연구가 더욱 활발히 이루어지고 있다.

일반적으로 액정표시소자는 액정분자를 동작시키는 방법에 따라 몇 가지 방식으로 나누어질 수 있지만, 현재에는 반응속도가 빠르고 잔상이 적다는 점에서 주로 액티브매트릭스(active matrix) 박막트랜지스터(Thin Film Transistor) 액정표시소자가 주로 사용되고 있다.

도 1에 상기 박막트랜지스터 액정표시소자의 액정패널(1) 구조가 도시되어 있다. 도면에 도시된 바와 같이, 액정패널(1)에는 종횡으로 배열되어 복수의 화소를 정의하는 복수의 게이트라인(3)과 데이터라인(5)이 형성되어 있다. 각 화소 내에는 스위칭소자인 박막트랜지스터(Thin Film Transistor)가 배치되어 상기 게이트라인(3)을 통해 주사신호가 입력되는 경우 스위칭되어 데이터라인(5)을 통해 입력되는 신호를 화소(9)에 인가한다.

상기 액정패널(1)의 외부에는 게이트구동부(11) 및 데이터구동부(16)가 구비되어 있다. 게이트구동부(11)는 도면표시하지 않은 패드를 통해 게이트라인(3)에 주사신호를 입력하며, 이 주사신호는 박막트랜지스터(7)의 게이트전극에 인가되어 상기 박막트랜지스터(7)의 반도체층을 활성화시킨다. 또한, 데이터구동부(16)는 패드(도면표시하지 않음)를 통해 데이터라인으로 화상신호를 입력하며, 이 인가된 신호가 반도체층이 활성화되었을 때(즉, 반도체층에 채널이 형성되었을 때) 박막트랜지스터(7)의 소스/드레인전극을 통해 화소(9)에 인가된다.

상기 화소(9)는 게이트라인(3) 및 데이터라인(5)의 교차점에 형성되며, 각각의 화소(9)에는 하나의 박막트랜지스터(7)가 형성되어 있다. 따라서, 각각의 열에 형성된 화소는 하나의 데이터라인(5)에 접속되어 해당 데이터라인(5)을 통해 인가되는 신호가 입력된다. 한편, 게이트구동부(11) 및 데이터구동부(15)는 각각 복수의 게이트구동회로(12) 및 데이터구동회로(16)로 이루어져 있다. 각각의 게이트구동회로(12) 및 데이터구동회로(16)에는 복수의 게이트라인(3) 및 데이터라인(5)이 접속되어 해당 라인(3,5)에 신호를 인가한다.

종래 액정표시소자에서는 상기한 바와 같이 한열의 화소에 하나의 데이터라인이 접속되어 있으므로, N개의 데이터라인에 배열되고 데이터구동IC(16)에 n개의 데이터라인에 접속되는 경우 총 N/n개의 데이터구동회로(16)가 필요하게 된다. 그런데, 데이터구동회로(16)는 고가의 집적회로이기 때문에, 상기와 같이 한열의 화소에 하나의 데이터라인에 연결되어 신호가 인가되는 경우 많은 수의 데이터구동회로(16)가 필요하게 되므로 액정표시소자의 제조비용이 증가하는 문제가 있었다.

더욱이, 근래 다결정 박막트랜지스터 기술이 발전함에 따라 액정패널상에 데이터구동부를 화소와 일체화하는 SOP(system on panel)구조에서는 데이터구동회로를 액정패널내에 형성해야만 하기 때문에, 많은 수의 데이터구동회로는 제조비용을 증가시킬 뿐만 아니라 액정패널의 면적증가의 원인이 되었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 점을 감안하여 이루어진 것으로, 복수의 화소를 하나의 화상신호에 의해 동작하여 고가의 데이터구동회로의 숫자를 감소시킴으로써 제조비용을 절감할 수 있는 액정표시소자를 제공하는 것을 목적으로 한다.

본 발명의 다른 목적은 액정패널의 크기를 감소된 액정표시소자를 제공하는 것이다.

상기한 목적을 달성하기 위해, 본 발명에 따른 액정표시소자는 복수의 화소와, 각각의 화소에 주사신호를 인가하는 제1게이트라인 및 제2게이트라인과, 상기 화소에 화상신호를 인가하며, 인접한 복수의 화소에 동일한 화상신호가 입력되는 복수의 데이터라인과, 각각의 화소에 형성되고 상기 제1게이트라인 및 제2게이트라인중 적어도 하나에 연결되어 화상신호를 화소에 인가하는 적어도 하나의 박막트랜지스터로 구성된다.

인접하는 데이터라인은 주데이터라인과 접속되어 동일한 화상신호가 입력되는데, 상기 제1게이트라인과 제2게이트라인을 통해 입력되는 주사신호에 의해 박막트랜지스터가 작동하여 상기 인접하는 화소에 순차적으로 화상신호가 입력된다.

발명의 구성 및 작용

본 발명에서는 복수의 화소에 동일한 화상신호를 인가함으로써 데이터구동회로의 숫자를 감소시킬 수 있게 된다. 특히, 본 발명에서는 인접하는 3개의 화소에 동일한 신호를 인가함으로써 데이터구동회로의 숫자를 종래에 비해 1/3 감소시킬 수 있게 된다. 이러한 데이터구동회로의 숫자감소는 제조비용을 절감할 수 있게 할 뿐만 아니라 데이터구동회로가 액정패널에 형성되는 SOG구조의 경우 화소영역 외곽의 영역을 감소시킬 수 있게 되므로 액정표시소자의 소형화를 실현할 수 있게 된다. 이때, 각 행의 화소는 2개의 게이트라인에 접속되어 2개의 주사신호에 의해 박막트랜지스터가 구동한다.

이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시소자를 상세히 설명한다.

도 2는 본 발명의 일 실시예에 따른 액정표시소자를 나타내는 도면이다. 이때, 도면에는 설명의 편의를 위해 게이트구동부와 데이터구동부를 생략하고 화소영역만을 도시하였다.

도면에 도시된 바와 같이, 액정패널에는 복수의 게이트라인(G11,G12,G21,G22...)과 데이터라인(D11,D12,D13,D21...)이 배열되어 있다. 상기 게이트라인(G11,G12,G21,G22...)과 데이터라인(D11,D12,D13,D21...)의 교차영역에는 화소(109a,109b,109c)가 형성되어 있다. 이때, 3개의 데이터라인(D11,D12,D13)은 도면표시하지 않은 데이터구동회로에 접속된 하나의 주데이터라인(D1)에 연결되며, 2개의 게이트라인(G11,G12)은 서로 인접하게 배치된다. 즉, 3개의 화소(109a,109b,109c)는 2개의 게이트라인(G11,G12)과 하나의 화상신호가 인가되는 주데이터라인(D1)에 의해 구동하게 된다.

도면에 도시된 바와 같이, 제1화소(109a)에는 2개의 박막트랜지스터(T11,T12)가 형성되고 제2화소(109b) 및 제3화소(109c)에는 각각 1개의 박막트랜지스터(T2,T3)가 형성된다. 이때, 제1화소(109a)에 형성된 박막트랜지스터(T11,T12)의 게이트전극은 각각 제1게이트라인(G11) 및 제2게이트라인(G12)에 접속되며 제2게이트라인(G12)에 접속된 박막트랜지스터(T12)의 소스전극은 데이터라인(105)에 접속되고 드레인전극은 제1게이트라인(G11)에 접속된 박막트랜지스터(T11)의 소스전극에 연결된다. 또한, 상기 박막트랜지스터(T11)의 드레인전극은 화소(엄밀하게 말해서, 화소내의 화소전극)에 연결된다. 따라서, 제1게이트라인(G11) 및 제2게이트라인(G12)을 통해 입력되는 주사신호에 의해 상기 박막트랜지스터(T11,T12)가 턴온되며, 상기 박막트랜지스터(T11,T12)의 턴온과 동시에 데이터라인(105)으로 입력된 주사신호가 상기 박막트랜지스터(T11,T12)를 통해 화소에 인가되는 것이다.

또한, 제2화소(109b)에 형성된 박막트랜지스터(T2)의 게이트전극은 제1게이트라인(G11)에 접속되고 소스전극 및 드레인전극은 각각 데이터라인(105) 및 화소(109b)에 연결되어 상기 제1게이트라인(G11)을 통해 주사신호가 입력될 때 박막트랜지스터(T2)가 턴온되며, 제3화소(109c)에 형성된 박막트랜지스터(T3)의 게이트전극은 제2게이트라인(G12)에 접속되고 소스전극 및 드레인전극은 각각 데이터라인(105) 및 화소(109b)에 연결되어 상기 제2게이트라인(G12)을 통해 주사신호가 입력될 때 박막트랜지스터(T3)가 턴온된다.

비록, 3개의 화소(109a,109b,109c)에는 3개의 데이터라인(D11,D12,D13)과 연결되는 주데이터라인(D1)을 통해 동시에 화상신호가 입력되지만, 상기와 같이 각각의 화소(109a,109b,109c)에 연결된 박막트랜지스터는 게이트라인(G11,G12)을 따라 입력되는 주사신호의 수평주기에 따라 각각 턴온되므로, 화소에는 원하는 화상신호를 인가할 수 있게 된다.

도면에는 도시하지 않았지만, 상기 주데이터라인(D1,D2...)은 액정패널의 외부 또는 액정패널에 일체로 형성된 데이터구동회로에 연결된다. 종래에는 각각의 데이터라인(D11,D12,D13)이 상기 데이터구동회로에 접속되어 신호가 입력되었지만, 본 발명에서는 3개의 데이터라인당 하나의 주데이터라인만이 데이터구동회로에 연결되기 때문에, 종래에 비해 데이터구동회로의 숫자가 1/3로 감소하게 된다. 또한, 게이트라인(G11,G12,G21,G22...)은 게이트구동회로에 연결된다.

상기와 같이 구성된 본 발명의 액정표시소자의 구동을 도 3에 도시된 파형도를 참조하여 설명하면 다음과 같다.

도 3에 도시된 바와 같이, 제1게이트라인(G11)에 입력되는 제1주사신호(S1)와 제2게이트라인(G12)에 제2입력신호(S2)는 그 수평주기가 다르다. 상기 제1주사신호(S1) 및 제2주사신호(S2)가 제1게이트라인(G11) 및 제2게이트라인(G12)으로 입력되면, 제1수평주기(H1)에는 제1주사신호(S1) 및 제2주사신호(S2)가 모두 하이(high)이므로, 제1화소(109a)의 박막트랜지스터(T11,T12)와 제2화소(109b)의 박막트랜지스터(T2) 및 제3화소(109c)의 박막트랜지스터(T3)가 모두 턴온되어 제1화소(109a)와 제2화소(109b) 및 제3화소(109c)에는 데이터라인(103)으로 인가된 신호가 입력된다. 즉, 제1화소(109a)와 제2화소(109b) 및 제3화소(109c)에 신호가 충전되는 것이다.

제2수평주기(H2)에서는 제1주사신호(S1)는 하이가 되고 제2주사신호(S2)는 로우가 되므로, 제1게이트라인(G11)에 접속된 제1화소(109a)의 박막트랜지스터(T11)는 턴온되지만, 제2게이트라인(G12)에 접속된 박막트랜지스터(T12)는 턴오프된다. 따라서, 제2수평주기(H2)에는 제1화소(109a)에는 신호가 입력되지 않는다. 또한, 제2화소(109b)의 박막트랜지스터(T2)는 턴온되어 화상신호가 제2화소(109b)로 입력되며, 제3화소(109c)의 박막트랜지스터(T3)는 턴오프되어 화상신호가 제3화소(109c)에는 입력되지 않는다. 다시 말해서, 제2수평주기(H2)에는 제2화소(109b)에만 화상신호가 입력되어 충전되고 제1화소(109a) 및 제3화소(109c)에는 신호가 입력되지 않는다.

제3수평주기(H3)에서는 제1주사신호(S1)는 로우가 되고 제2주사신호(S2)는 하이가 되므로, 제1게이트라인(G11)에 접속된 제1화소(109a)의 박막트랜지스터(T11)은 턴오프되고 제2게이트라인(G12)에 접속된 박막트랜지스터(T12)는 턴온된다. 따라서, 제3수평주기(H2)에는 제1화소(109a)에 신호가 입력되지 않는다. 또한, 제2화소(109b)의 박막트랜지스터(T2)는 턴오프되어 화상신호가 제2화소(109b)로 입력되지 않으며, 제3화소(109c)의 박막트랜지스터(T3)는 턴온되어 화상신호가 제3화소(109c)에는 입력된다. 다시 말해서, 제3수평주기(H2)에는 제3화소(109c)에만 화상신호가 입력되어 충전되고 제1화소(109a) 및 제2화소(109)에는 신호가 입력되지 않는다.

상기한 바와 같이, 본 발명에서는 인접하는 3개의 화소에 동일한 화상신호가 입력되는 경우에도 해당 화소에 형성된 박막트랜지스터의 턴온시기를 조절함으로써 각각의 화소에 원하는 신호를 인가할 수 있게 된다.

도 4는 상기 액정패널의 구조를 자세히 도시한 단면도이다. 도면에서는 비록 박막트랜지스터가 하나만 형성되어 있지만, 2개의 박막트랜지스터가 형성되는 구조도 실질적으로 도시된 구조와 거의 유사할 것이다.

도 4에 도시된 바와 같이, 본 발명에 따른 액정패널에서는 유리와 같은 투명한 물질로 이루어진 제1기판(120)에 박막트랜지스터(T11,T12,T2,T3)가 형성되어 있다. 상기 박막트랜지스터(T11,T12,T2,T3)는 제1기판(120)에 형성되어 게이트라인(G11,G12)을 통해 입력되는 주사신호(S1,S2)가 인가되는 게이트전극(141)과, 상기 게이트전극(141)이 형성된 제1기판(120) 전체에 걸쳐 형성된 게이트절연층(120)과, 상기 게이트절연층(120) 위에 형성되어 주사신호가 인가됨에 따라 전류가 흐르는 채널층을 형성하는 반도체층(143)과, 상기 반도체층(143) 위에 형성되어 채널층이 형성됨에 따라 데이터라인(D1)의 신호를 화소에 인가하는 소스전극(145) 및 드레인전극(146)과, 상기 제1기판(120) 전체에 걸쳐 형성된 보호층(124)과, 상기 보호층(124) 위에 형성되고 콘택홀을 통해 드레인전극(146)과 전기적으로 접속되는 화소전극으로 구성된다.

또한, 제2기판(130)에는 박막트랜지스터 형성영역 및 화소와 화소 사이의 영역 등으로 광이 누설되어 화질이 저하되는 것을 방지하기 위한 블랙매트릭스(132)와 컬러를 구현하는 컬러필터층(134)이 형성되어 있다. 상기 제1기판(120)과 제2기판(130) 사이에 액정이 주입된 액정층(140)이 형성되어 액정패널이 완성된다.

도 5는 본 발명의 다른 실시예에 따른 액정표시소자의 구조를 나타내는 평면도이다. 기본적으로 도 5에 도시된 구조의 액정표시소자는 도 2에 도시된 구조의 액정표시소자와는 매우 유사하다. 본 실시예의 구조와 도 2에 도시된 구조의 가장 큰 차이는 본 실시예에서는 화소에 주사신호를 인가하는 서브게이트라인(G11,G12,G21,G22....)이 하나의 행을 따라 2개 배치되어 있지만, 2개의 서브게이트라인(G11,G12)은 하나의 게이트라인(G1)에 연결되어 있다는 것이다. 즉, 서브게이트라인(G11,G12)에는 게이트라인(G1)을 통해서 동일한 주사신호가 입력되는 것이다. 이와 같이, 서브게이트라인(G11,G12)을 게이트라인(G1)에 연결하여 동일한 주사신호를 인가함에 따라, 도 2의 구조에서는 각각의 서브게이트라인에 다른 신호를 인가하기 위해 게이트구동회로의 숫자가 증가하는 반면에 본 실시예의 구조에서는 게이트구동회로의 숫자가 증가하지 않게 된다.

이때, 상기 각각의 서브게이트구동회로(G11,G12)에는 게이트구동 박막트랜지스터(t1,t2)가 연결되어 있으며, 상기 게이트구동 박막트랜지스터(t1,t2)의 게이트전극은 각각 게이트구동라인(C1,C2)에 접속되어 있다.

도 6에 도시된 바와 같이, 게이트구동신호(P1,P2)가 상기 게이트구동라인(C1,C2)을 통해 입력되면, 상기 게이트구동라인(P1,P2)에 접속된 게이트구동 박막트랜지스터(t1,t2)가 턴온되며, 이 턴온과 동시에 서브게이트라인(G11,G12)을 통해 주사신호가 입력된다. 상기 제1게이트구동신호(P1)가 입력됨에 따라 제1박막트랜지스터(t1)가 작동하여 상기 제1서브게이트라인(G11)에는 도 3에 도시된 주사신호(S1)이 입력되며, 이 신호에 의해 제1화소(209a)의 박막트랜지스터(T11) 및 제2화소(209b)의 박막트랜지스터(T2)가 작동한다. 또한, 상기 제2게이트구동신호(P2)가 입력됨에 따라 제1박막트랜지스터(t2)가 작동하여 상기 제2서브게이트라인(G12)에는 도 3에 도시된 주사신호(S2)이 입력되며, 이 신호에 의해 제1화소(209a)의 박막트랜지스터(T12) 및 제3화소(209c)의 박막트랜지스터(T3)가 작동한다. 다시 말해서, 상기 게이트구동회로(P1,P2)에 의해 박막트랜지스터(t1,t2)가 구동하며, 그에 따라 서브게이트라인(G11,G12)에는 도 3에 도시된 바와 같은 주사신호가 인가되어, 도 2 및 도 3에서 설명한 바와 같은 동작에 의해 화소에 신호가 인가되는 것이다.

상기한 설명에서는 3개의 화소에 동일한 화상신호가 인가되어 데이터구동회로를 감소시키는 것에 대해 설명하고 있지만, 본 발명이 이러한 구조에만 한정되는 것이 아니다. 예를 들어, 하나의 화상신호가 2개의 화소에 의해 공유되거나 4개의 화소에 의해 공유될 수도 있을 것이다. 또한, 본 발명의 설명에서는 주로 3도트 인버전 방식에 대해 설명하고 있지만, 2도트 인버전방식이나 1도트인버전방식에도 훌륭하게 적용될 수 있을 것이다.

발명의 효과

상술한 바와 같이, 본 발명에서는 복수의 화소에 하나의 화상신호가 인가되므로, 고가의 데이터구동회로의 숫자를 감소시킬 수 있게 되어 제조비용을 대폭 감소할 있게 된다. 또한, 데이터구동회로가 액정패널에 일체로 형성되는 경우 데이터구동회로의 숫자감소에 의해 액정패널의 크기를 감소할 수 있게 된다.

(57) 청구의 범위

청구항 1.

복수의 화소;

각각의 화소에 주사신호를 인가하는 제1게이트라인 및 제2게이트라인;

상기 화소에 화상신호를 인가하며, 인접한 복수의 화소에 동일한 화상신호가 입력되는 복수의 데이터라인; 및

각각의 화소에 형성되고 상기 제1게이트라인 및 제2게이트라인중 적어도 하나에 연결되어 화상신호를 화소에 인가하는 적어도 하나의 박막트랜지스터로 구성된 액정표시소자.

청구항 2.

제1항에 있어서, 상기 인접하는 데이터라인이 연결되는 주데이터라인을 추가로 포함하는 것을 특징으로 하는 액정표시소자.

청구항 3.

제2항에 있어서, 상기 주데이터라인에 접속되어 화상신호를 출력하는 데이터구동회로를 추가로 포함하는 것을 특징으로 하는 액정표시소자.

청구항 4.

제2항에 있어서, 상기 주데이터라인에 3개의 데이터라인에 연결된 것을 특징으로 하는 액정표시소자.

청구항 5.

제4항에 있어서, 상기 박막트랜지스터는,

상기 제1화소에 배치되며, 게이트전극이 제1게이트라인에 접속되고 소스전극이 해당 화소의 데이터라인에 접속된 제1박막트랜지스터와, 게이트전극이 제2게이트라인에 접속되고 소스전극 및 드레인전극이 제1박막트랜지스터의 드레인전극 및 화소에 접속된 제2박막트랜지스터;

상기 제1화소와 인접한 제2화소에 배치되며, 게이트전극이 제1게이트라인에 연결되고 소스전극 및 드레인전극이 해당 화소의 데이터라인 및 화소에 접속된 제3박막트랜지스터; 및

상기 제2화소와 인접한 제3화소에 배치되며, 게이트전극이 제2게이트라인에 연결되고 소스전극 및 드레인전극이 해당 화소의 데이터라인 및 화소에 접속된 제4박막트랜지스터로 이루어진 것을 특징으로 하는 액정표시소자.

청구항 6.

제5항에 있어서, 상기 제1-3화소의 박막트랜지스터는 순차적으로 온오프되어 제1-3화소에는 순차적으로 신호가 인가되는 것을 특징으로 하는 액정표시소자.

청구항 7.

제1항에 있어서, 제1게이트라인과 제2게이트라인과 연결되어 상기 제1게이트라인과 제2게이트라인에 동일한 주사신호를 인가하는 주게이트라인 추가로 포함하는 것을 특징으로 하는 액정표시소자.

청구항 8.

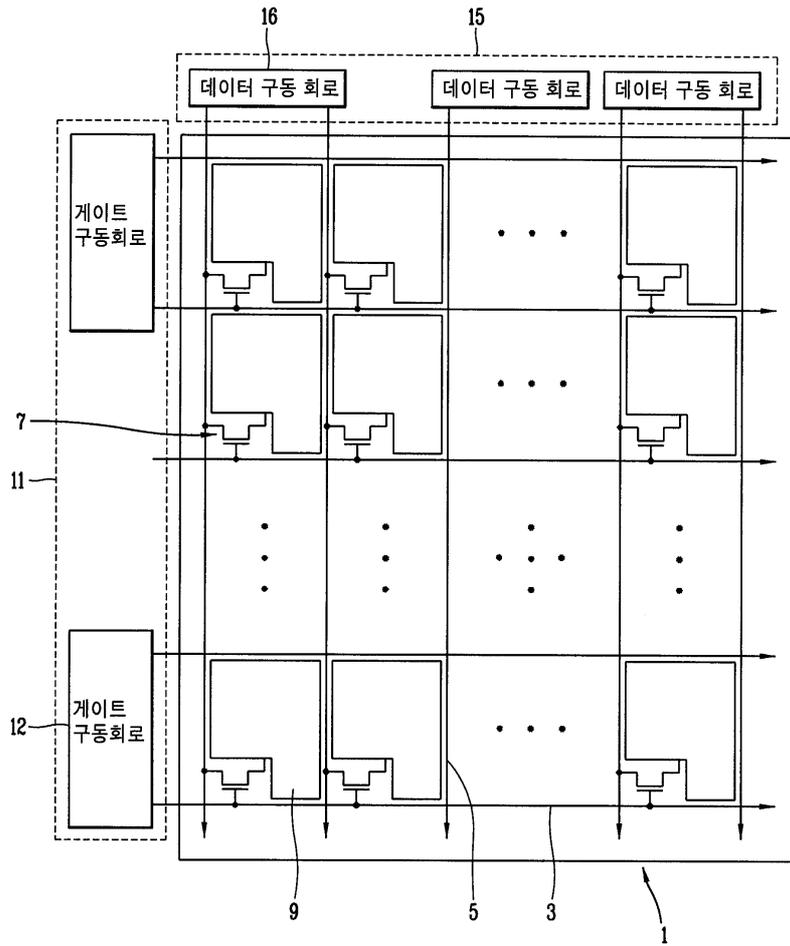
제7항에 있어서,

상기 제1게이트라인 및 제2게이트라인에 형성되어 신호가 입력됨에 따라 턴온되어 제1게이트라인 및 제2게이트라인에 주사신호를 입력시키는 제1게이트구동 박막트랜지스터 및 제2게이트구동 박막트랜지스터; 및

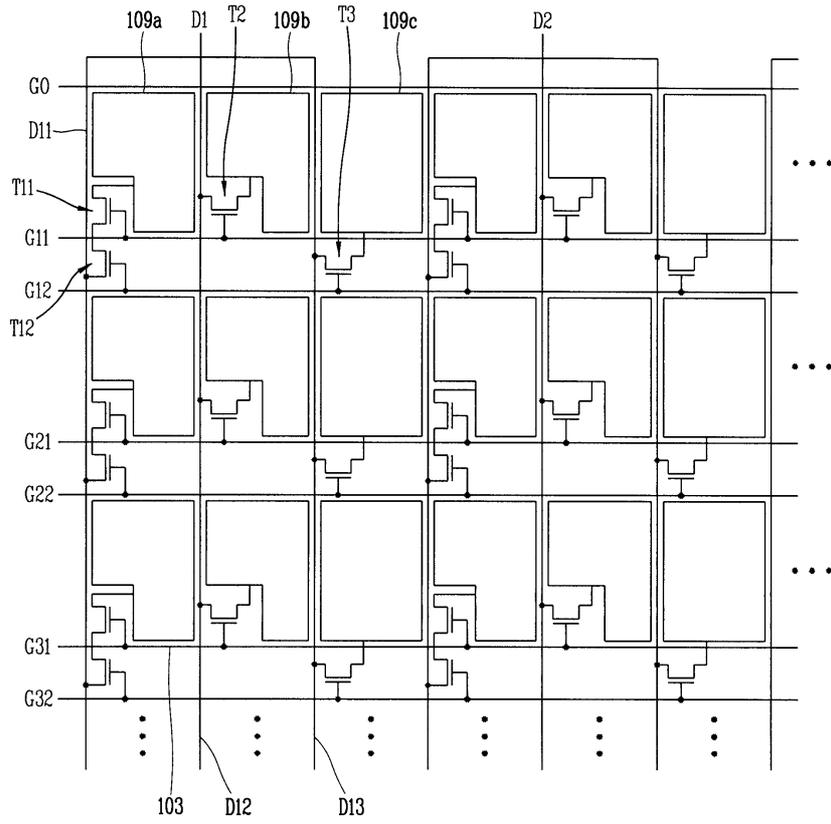
제1게이트구동 박막트랜지스터 및 제2게이트구동 박막트랜지스터에 신호를 인가하여 상기 제1게이트구동 박막트랜지스터 및 제2게이트구동 박막트랜지스터를 턴온시키는 게이트구동신호를 출력하는 제1게이트구동라인 및 제2게이트구동라인을 추가로 포함하는 것을 특징으로 하는 액정표시소자.

도면

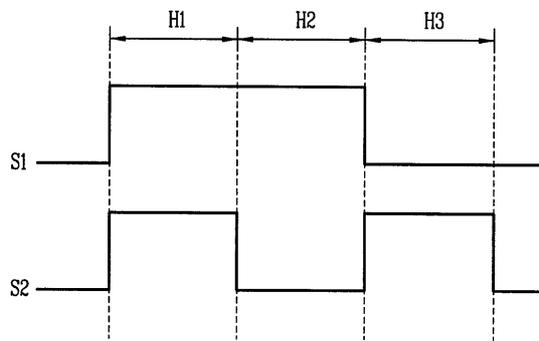
도면1



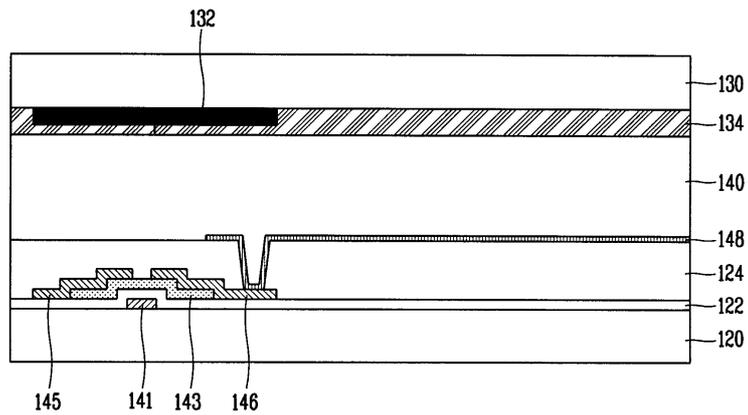
도면2



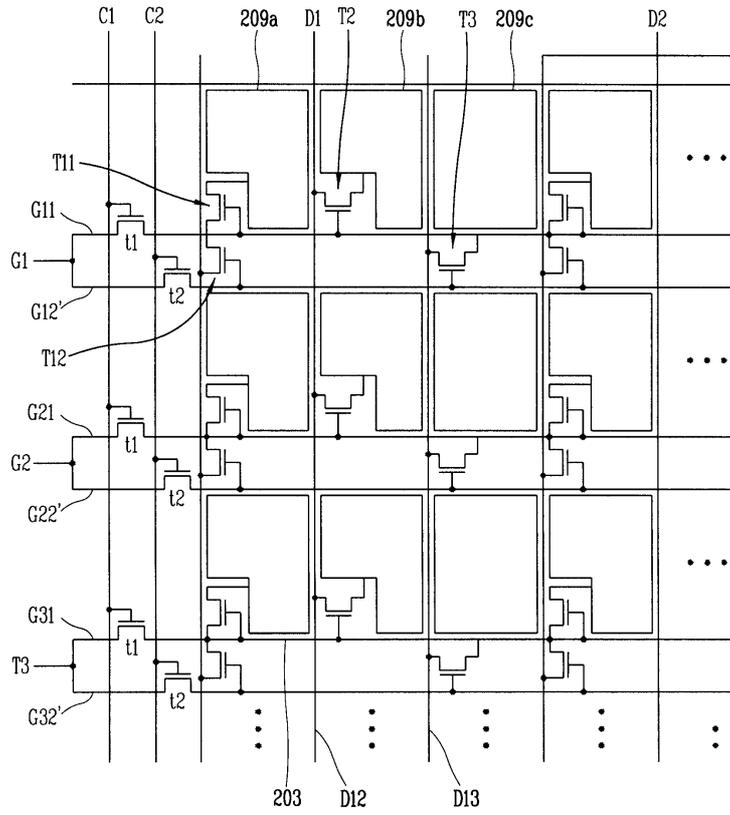
도면3



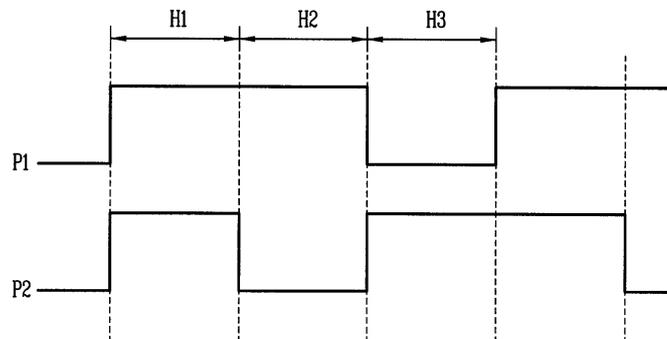
도면4



도면5



도면6



专利名称(译)	液晶显示元件		
公开(公告)号	KR1020060078703A	公开(公告)日	2006-07-05
申请号	KR1020040117391	申请日	2004-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JO NAMWOOK 조남욱 JO SUNGHAK 조성학		
发明人	조남욱 조성학		
IPC分类号	G02F1/133		
CPC分类号	G09G3/3677 G02F1/13306		
代理人(译)	PARK, JANG WON		
外部链接	Espacenet		

摘要(译)

本发明的液晶显示元件包括多个像素，用于向每个像素施加扫描信号的第一栅极线和第二栅极线，以及将图像信号施加到多个像素的第二栅极线，并且至少一个薄膜晶体管形成在每个像素中并连接到第一栅极线和第二栅极线中的至少一个，以将图像信号施加到像素。2 指数方面 液晶显示元件，数据线，薄膜晶体管，图像信号，

