



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년02월14일
(11) 등록번호 10-0803163
(24) 등록일자 2008년02월04일

(51) Int. Cl.

G09G 3/36 (2006.01)

(21) 출원번호 10-2001-0053920

(22) 출원일자 2001년09월03일

심사청구일자 2006년08월31일

(65) 공개번호 10-2003-0020185

(43) 공개일자 2003년03월08일

(56) 선행기술조사문헌

KR1020010067469 A

(뒷면에 계속)

전체 청구항 수 : 총 17 항

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이동호

서울특별시동대문구회기동65신현대아파트1-1004

전진

경기도안양시동안구갈산동대우아파트110-306

(74) 대리인

박영우

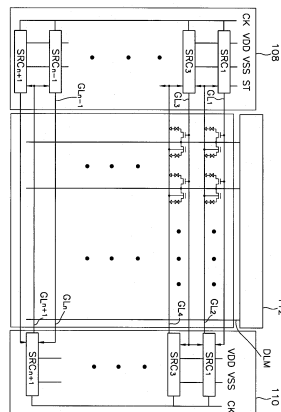
심사관 : 박부식

(54) 액정표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것으로서, 특히 본 발명의 장치는 기판 상의 표시영역에 매트릭스상으로 배열된 복수의 픽셀전극들과, 복수의 픽셀전극들에 각각 대응하는 복수의 박막 트랜지스터들과, 복수의 픽셀전극들 중 홀수번째 컬럼과 짝수번째 컬럼 사이에 각각 배치되고, 대응하는 홀수번째 컬럼과 짝수번째 컬럼의 박막 트랜지스터들이 공통으로 연결된 복수의 데이터 라인들과, 복수의 픽셀전극들 중 각 로우들에 대응하여 배치되고, 대응하는 로우 중 홀수번째 박막트랜지스터들이 공통으로 연결된 복수의 제 1 게이트 라인들과, 복수의 픽셀전극들 중 각 로우들에 대응하여 배치되고, 대응하는 로우 중 짝수번째 박막트랜지스터들이 공통으로 연결된 복수의 제 2 게이트 라인들과, 복수의 데이터 라인들을 구동하기 위한 데이터 구동회로와, 표시영역의 일측 주변영역에 배치되고, 복수의 제 1 게이트 라인들을 구동하기 위한 제 1 게이트 구동회로와, 제 1 게이트 구동회로와 표시영역을 중심으로 좌우 대칭되도록 상기 표시영역의 타측 주변영역에 배치되고, 복수의 제 2 게이트라인들을 구동하기 위한 제 2 게이트 구동회로를 포함한다.

대표도 - 도4



(56) 선행기술조사문헌

JP03056928 A

KR1020000026582 A

KR1020000055633 A

US5410583 A

특허청구의 범위

청구항 1

기관 상의 표시영역에 매트릭스상으로 배열된 복수의 픽셀전극들;

상기 복수의 픽셀전극들에 각각 대응하고, 대응하는 픽셀전극에 제 1 전류전극이 각각 연결된 복수의 박막 트랜지스터들;

상기 복수의 픽셀전극들 중 홀수번째 컬럼과 짝수번째 컬럼 사이에 각각 배치되고, 대응하는 홀수번째 컬럼과 짝수번째 컬럼의 박막 트랜지스터들의 제 2 전류전극들이 공통으로 연결된 복수의 데이터 라인들;

상기 복수의 픽셀전극들 중 각 로우들에 대응하여 배치되고, 대응하는 로우 중 홀수번째 박막트랜지스터들의 게이트 전극들이 공통으로 연결된 복수의 제 1 게이트 라인들;

상기 복수의 픽셀전극들 중 각 로우들에 대응하여 배치되고, 대응하는 로우 중 짝수번째 박막트랜지스터들의 게이트 전극들이 공통으로 연결된 복수의 제 2 게이트 라인들;

상기 복수의 데이터 라인들을 구동하기 위한 데이터 구동회로;

상기 표시영역의 일측 주변영역에 배치되고, 상기 복수의 제 1 게이트 라인들을 구동하기 위한 제 1 게이트 구동회로; 및

상기 제 1 게이트 구동회로와 상기 표시영역을 중심으로 좌우 대칭되도록 상기 표시영역의 타측 주변영역에 배치되고, 상기 복수의 제 2 게이트라인들을 구동하기 위한 제 2 게이트 구동회로를 구비한 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 제 1 및 제 2 게이트 구동회로는 상기 제 1 및 제 2 게이트라인들을 통하여 전파된 시프트신호에 응답하여 서로 지그재그로 복수의 로우라인들이 순차적으로 스캔되도록 구동하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서, 상기 제 1 및 제 2 게이트 구동회로 각각은

복수의 스테이지들을 포함하고, 각 스테이지들의 출력신호에 의해 상기 복수의 게이트 라인들을 순차적으로 선택하고, 제 1 게이트 구동회로에는 제 1 클럭신호가 제공되고, 제 2 게이트 구동회로에는 상기 제 1 클럭신호와 위상이 반전된 제 2 클럭신호가 제공되며,

상기 각 스테이지는,

이전 게이트 라인이 연결된 입력단자;

대응하는 게이트 라인이 연결된 출력단자;

다음 게이트 라인이 연결된 제어단자;

대응하는 클럭신호가 입력되는 클럭단자;

상기 클럭단자와 상기 출력단자 사이에 연결되고, 턴온시에 클럭신호의 듀티 기간동안 상기 대응하는 게이트 라인을 풀업시키는 풀업수단;

상기 출력단자와 제 1 전원전압 사이에 연결되고, 턴온시에 상기 대응하는 게이트 라인을 상기 제 1 전원전압으로 풀다운시키는 풀다운수단;

상기 풀업수단의 입력노드에 연결되고, 상기 입력단자에 공급되는 입력신호의 선단에 응답하여 상기 풀업수단을 턴온시키고, 상기 제어단자에 공급되는 제어신호의 선단에 응답하여 상기 풀업수단을 턴오프시키는 풀업구동수단;

상기 풀다운수단의 입력노드에 연결되고, 상기 입력신호의 선단에 응답하여 상기 풀다운수단을 턴오프시키고,

상기 제어신호의 선단에 응답하여 상기 풀다운수단을 턴온시키는 풀다운구동수단; 및

상기 풀다운수단의 입력노드와 제 2 전원전압 사이에 연결되고, 상기 풀다운수단의 입력노드에 항상 제 2 전원전압을 연결하여 상기 풀다운 수단의 입력노드가 플로팅되는 것을 방지하는 플로팅 방지수단을 구비한 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서, 상기 각 스테이지는

상기 풀다운수단의 입력노드와 제 1 전원전압 사이에 연결되고, 상기 출력단자의 출력신호에 응답하여 상기 풀다운수단의 입력노드에 상기 제 1 전원전압을 연결하여 상기 풀다운수단이 턴온되는 것을 방지하는 턴온방지수단을 더 구비한 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서, 상기 턴온방지수단은

상기 풀다운수단의 입력노드에 드레인이 연결되고, 상기 출력단자에 게이트가 연결되고, 소오스가 제 1 전원전압에 연결된 NMOS 트랜지스터로 구성된 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서, 상기 풀업구동수단은

상기 풀업수단의 입력노드와 상기 출력단자 사이에 연결된 캐패시터;

상기 입력단자에 드레인 및 게이트가 공통으로 연결되고, 상기 풀업수단의 입력노드에 소오스가 연결된 제 1 트랜지스터;

상기 풀업수단의 입력노드에 드레인이 연결되고, 상기 풀다운수단의 입력노드에 게이트가 연결되고 소오스가 제 1 전원전압에 연결된 제 2 트랜지스터; 및

상기 풀업수단의 입력노드에 드레인이 연결되고, 상기 제어단자에 게이트가 연합되고 소오스가 제 1 전원전압에 연결된 제 3 트랜지스터를 구비한 것을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서, 상기 풀다운구동수단은

제 2 전원전압에 드레인이 결합되고, 상기 제어단자에 게이트가 연결되고, 상기 풀다운수단의 입력노드에 소오스가 결합된 제 4 트랜지스터; 및

상기 풀다운수단의 입력노드에 드레인이 연결되고, 상기 입력단자에 게이트가 결합되고, 소오스가 제 1 전원전압에 연결된 제 5 트랜지스터를 구비한 것을 특징으로 하는 액정표시장치.

청구항 8

제 7 항에 있어서, 상기 플로팅 방지수단은

상기 제 2 전원전압에 드레인 및 게이트가 연결되고, 상기 풀다운수단의 입력노드에 소오스가 연결된 제 6 트랜지스터로 구성되고,

상기 제 6 트랜지스터는 상기 제 5 트랜지스터의 사이즈에 비해 상대적으로 충분히 작은 사이즈로 구성된 것을 특징으로 하는 액정표시장치.

청구항 9

제 8 항에 있어서, 상기 제 5 트랜지스터와 제 6 트랜지스터의 사이즈 비는 약 20 : 1 정도인 것을 특징으로 하는 액정표시장치.

청구항 10

제 1 항에 있어서, 상기 표시영역의 박막트랜지스터와 게이트 구동회로의 박막 트랜지스터들은 a-Si NMOS TFT로 구성된 것을 특징으로 하는 액정표시장치.

청구항 11

제 1 항에 있어서, 상기 제 1 및 제 2 게이트 구동회로 각각은

복수의 스테이지들이 종속 연결되고, 각 스테이지들의 출력신호에 의해 상기 복수의 게이트 라인들을 순차적으로 선택하는 쉬프트 레지스터로 구성하고, 제 1 게이트 구동회로에는 제 1 클럭신호가 제공되고, 제 2 게이트 구동회로에는 상기 제 1 클럭신호와 위상이 반전된 제 2 클럭신호가 제공되며,

상기 각 스테이지는,

이전 게이트 라인이 연결된 입력단자;

대응하는 게이트 라인이 연결된 출력단자;

다음 게이트 라인이 연결된 제어단자;

대응하는 클럭신호가 입력되는 클럭단자;

상기 출력단자에 상기 제 1 및 제 2 클럭신호 중 대응되는 클럭신호를 제공하는 풀업수단;

상기 출력단자에 제 1 전원전압을 제공하는 풀다운수단;

상기 풀업수단의 입력노드에 연결되고, 입력신호의 선단에 응답하여 캐패시터를 충전하여 상기 풀업수단을 턴온시키고, 다음 게이트 라인의 구동신호의 선단에 응답하여 상기 캐패시터를 방전시켜서 상기 풀업수단을 턴오프시키는 풀업구동수단; 및

상기 풀다운수단의 입력노드에 연결되고, 상기 풀업수단의 입력 노드와 연결되어 상기 풀다운수단을 턴오프시키고, 다음 게이트 라인의 구동신호의 선단에 응답하여 상기 풀다운수단을 턴온시키는 풀다운구동수단을 구비한 것을 특징으로 하는 액정표시장치.

청구항 12

제 11 항에 있어서, 상기 풀업구동수단은

상기 풀업수단의 입력 노드와 상기 출력단자에 연결된 캐퍼시터;

드레인이 제 2 전원 전압에 연결되고, 입력신호에 게이트가 연결되고, 상기 풀업수단의 입력노드에 소오스가 연결된 제 1 트랜지스터;

상기 풀업수단의 입력노드에 드레인이 연결되고, 다음 게이트라인의 구동신호에 게이트가 결합되고, 소오스가 제 1 전원전압에 연결된 제 2 트랜지스터; 및

상기 풀업수단의 입력노드에 드레인이 연결되고, 상기 풀다운수단의 입력노드에 게이트가 연결되고, 소오스가 제 1 전원전압에 연결된 제 3 트랜지스터를 구비한 것을 특징으로 하는 액정표시장치.

청구항 13

제 12 항에 있어서, 상기 제 1 트랜지스터와 제 3 트랜지스터의 사이즈 비는 약 2 : 1 정도인 것을 특징으로 하는 액정표시장치.

청구항 14

제 13 항에 있어서, 상기 풀다운구동수단은

제 2 전원전압에 드레인과 게이트가 공통으로 결합되고, 소오스가 상기 풀다운수단의 입력노드에 연결된 제 4 트랜지스터; 및

상기 풀다운수단의 입력노드에 드레인이 결합되고, 상기 풀업수단의 입력노드에 게이트가 연결되고, 소오스가 제 1 전원전압에 연결된 제 5 트랜지스터를 구비한 것을 특징으로 하는 액정표시장치.

청구항 15

제 14 항에 있어서, 상기 제 4 트랜지스터와 제 5 트랜지스터의 사이즈 비는 약 16 : 1 정도인 것을 특징으로 하는 액정표시장치.

청구항 16

기판 상의 표시영역에 매트릭스상으로 배열된 복수의 픽셀전극들;

상기 복수의 픽셀전극들에 각각 대응하고, 대응하는 픽셀전극에 제 1 전류전극이 각각 연결된 복수의 박막 트랜지스터들;

상기 복수의 픽셀전극들 중 홀수번째 컬럼과 짝수번째 컬럼 사이에 각각 배치되고, 대응하는 홀수번째 컬럼과 짝수번째 컬럼의 박막 트랜지스터들의 제 2 전류전극들이 공통으로 연결된 복수의 데이터 라인들;

상기 복수의 픽셀전극들 중 각 로우들에 대응하여 배치되고, 대응하는 로우 중 홀수번째 박막트랜지스터들의 게이트 전극들이 공통으로 연결된 복수의 제 1 게이트 라인들;

상기 복수의 픽셀전극들 중 각 로우들에 대응하여 배치되고, 대응하는 로우 중 짝수번째 박막트랜지스터들의 게이트 전극들이 공통으로 연결된 복수의 제 2 게이트 라인들;

상기 표시영역의 제 1 주변영역에 배치되어 상기 복수의 데이터 라인들을 구동하기 위한 데이터 구동회로;

상기 데이터 구동회로와 상기 표시영역을 중심으로 대칭되도록 상기 표시영역의 제 2 주변영역의 일측에 배치되고, 상기 복수의 제 1 게이트 라인들을 구동하기 위한 제 1 게이트 구동회로; 및

상기 제 1 게이트 구동회로와 상기 표시영역을 중심으로 좌우 대칭되도록 상기 표시영역의 제 2 주변영역의 타측에 배치되고, 상기 복수의 제 2 게이트라인들을 구동하기 위한 제 2 게이트 구동회로를 구비한 것을 특징으로 하는 액정표시장치.

청구항 17

기판 상의 표시영역에 매트릭스상으로 배열된 복수의 픽셀전극들;

상기 복수의 픽셀전극들에 각각 대응하고, 대응하는 픽셀전극에 제 1 전류전극이 각각 연결된 복수의 박막 트랜지스터들;

상기 복수의 픽셀전극들 중 홀수번째 컬럼과 짝수번째 컬럼 사이에 각각 배치되고, 대응하는 홀수번째 컬럼과 짝수번째 컬럼의 박막 트랜지스터들의 제 2 전류전극들이 공통으로 연결된 복수의 데이터 라인들;

상기 복수의 픽셀전극들 중 각 로우들에 대응하여 배치되고, 대응하는 로우 중 홀수번째 박막트랜지스터들의 게이트 전극들이 공통으로 연결된 복수의 제 1 게이트 라인들;

상기 복수의 픽셀전극들 중 각 로우들에 대응하여 배치되고, 대응하는 로우 중 짝수번째 박막트랜지스터들의 게이트 전극들이 공통으로 연결된 복수의 제 2 게이트 라인들;

상기 표시영역의 제 1 주변영역에 배치되어 상기 복수의 데이터 라인들을 구동하기 위한 데이터 구동회로;

상기 데이터 구동회로의 일측에 배치되고, 상기 복수의 제 1 게이트 라인들을 구동하기 위한 제 1 게이트 구동회로; 및

상기 제 1 게이트 구동회로와 상기 데이터 구동회로를 중심으로 좌우 대칭되도록 상기 데이터 구동회로의 타측에 배치되고, 상기 복수의 제 2 게이트라인들을 구동하기 위한 제 2 게이트 구동회로를 구비한 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <23> 본 발명은 액정표시장치에 관한 것으로서, 특히 a-Si(아몰퍼스 실리콘) AM-LCD(Active Matrix Liquid Crystal Display)의 글라스 기판 상에 표시영역을 중심으로 제 1 및 제 2 게이트 구동회로를 좌우 대칭이 되도록 배치함으로써 설치의 편리성을 향상시킬 수 있는 액정표시장치에 관한 것이다.
- <24> 최근 들어 정보 처리 기기는 다양한 형태, 다양한 기능, 더욱 빨라진 정보 처리 속도를 갖도록 급속하게 발전되고 있다. 이러한 정보 처리 기기는 사용자 인터페이스를 위하여 디스플레이 장치를 필요로 한다.
- <25> 최근에 액정표시장치가 대표적인 CRT방식의 디스플레이 장치에 비하여, 경량, 소형이면서, 고해상도, 저전력 및 친환경적인 잇점을 가지며 풀컬러화가 가능하여 차세대 디스플레이 장치로 부각되고 있다.
- <26> 도 1에 도시한 바와 같이, AM-LCD는 픽셀 어레이가 형성된 유리기판(10) 상의 표시영역(11)의 주변에 데이터 구동회로(12) 및 게이트 구동회로(14)를 형성하고, 단자부(16)와 통합 인쇄회로기판(20)을 필름 케이블(18)로 연결한다. 이와 같은 구조는 제조 원가를 절감하고 구동회로의 일체화로 전력손실을 최소화할 수 있다.
- <27> 그러나, 표시영역(11)의 일측에만 게이트 구동회로(14)가 배치되므로 표시영역(11)을 중심으로 좌우 비대칭적인 구조를 가지게 된다.
- <28> 따라서, 이와 같은 액정표시모듈의 비대칭적인 구조 때문에 좌우 대칭적인 구조를 가진 세트의 좌우 폭이 커질 수밖에 없는 문제점이 있다. 특히, 노트북 컴퓨터, 휴대폰 또는 PDA와 같은 휴대장치의 디스플레이로 상기와 같은 액정표시모듈이 제공될 경우에는 세트의 경박단소화를 방해하는 큰 요인으로 작용하게 된다.

발명이 이루고자 하는 기술적 과제

- <29> 본 발명의 제 1 목적은 이와 같은 종래 기술의 문제점을 해결하기 위하여 글래스 기판의 표시영역 주변의 주변 회로부의 배치에 있어서 주변회로들을 좌우 대칭적으로 배치함으로써 세트에 설치시 편리성을 도모할 수 있는 액정표시장치를 제공하는 데 있다.
- <30> 본 발명의 제 2 목적은 좌우 대칭성을 고려하여 듀얼 게이트 구동회로를 채택한 액정표시장치를 제공하는 데 있다.
- <31> 본 발명의 제 3 목적은 듀얼 게이트 구동회로의 채택으로 게이트 라인을 두 배로 확장함으로써 데이터 구동회로의 채널 수를 절반으로 줄일 수 있으므로 데이터 구동회로의 침수를 줄일 수 있는 액정표시장치를 제공하는 데 있다.

발명의 구성 및 작용

- <32> 상기한 본 발명의 목적들을 달성하기 위하여 본 발명의 장치는 기판 상의 표시영역에 매트릭스상으로 배열된 복수의 픽셀전극들과, 상기 복수의 픽셀전극들에 각각 대응하고, 대응하는 픽셀전극에 제 1 전류전극이 각각 연결된 복수의 박막 트랜지스터들과, 상기 복수의 픽셀전극들 중 홀수번째 컬럼과 짝수번째 컬럼 사이에 각각 배치되고, 대응하는 홀수번째 컬럼과 짝수번째 컬럼의 박막 트랜지스터들의 제 2 전류전극들이 공통으로 연결된 복수의 데이터 라인들과, 상기 복수의 픽셀전극들 중 각 로우들에 대응하여 배치되고, 대응하는 로우 중 홀수번째 박막트랜지스터들의 게이트 전극들이 공통으로 연결된 복수의 제 1 게이트 라인들과, 상기 복수의 픽셀전극들 중 각 로우들에 대응하여 배치되고, 대응하는 로우 중 짝수번째 박막트랜지스터들의 게이트 전극들이 공통으로 연결된 복수의 제 2 게이트 라인들을 구비한다. 상기 표시영역의 주변영역에는 상기 복수의 데이터 라인들을 구동하기 위한 데이터 구동회로와, 상기 표시영역의 일측 주변영역에 배치되고, 상기 복수의 제 1 게이트 라인들을 구동하기 위한 제 1 게이트 구동회로와, 상기 제 1 게이트 구동회로와 상기 표시영역을 중심으로 좌우 대칭되도록 상기 표시영역의 타측 주변영역에 배치되고, 상기 복수의 제 2 게이트라인들을 구동하기 위한 제 2 게이트 구동회로를 구비한다.
- <33> 본 발명에서 제 1 및 제 2 게이트 구동회로는 상기 제 1 및 제 2 게이트라인들을 통하여 전파된 시프트신호에 응답하여 서로 지그재그로 복수의 로우라인들이 순차적으로 스캔되도록 구동한다.
- <34> 본 발명에서 제 1 게이트 구동회로는 상기 데이터 구동회로와 상기 표시영역을 중심으로 대칭되도록 상기 표시영역의 제 2 주변영역의 일측에 배치되고 제 2 게이트 구동회로는 상기 제 1 게이트 구동회로와 상기 표시영역을 중심으로 좌우 대칭되도록 상기 표시영역의 제 2 주변영역의 타측에 배치될 수도 있다.

- <35> 본 발명에서 제 1 게이트 구동회로는 데이터 구동회로의 일측에 배치되고, 제 2 게이트 구동회로는 제 1 게이트 구동회로와 상기 데이터 구동회로를 중심으로 좌우 대칭되도록 상기 데이터 구동회로의 타측에 배치될 수도 있다.
- <36> 이하, 첨부한 도면을 참조하여, 본 발명의 일 실시예를 통해 본 발명을 보다 상세하게 설명하고자 한다.
- <37> 도 2는 본 발명에 의한 듀얼 게이트 구동회로가 집적된 대칭형 액정표시모듈의 바람직한 일 실시예를 나타낸다. 도 2에서 액정표시모듈은 하부기관(100)과 상부기관(102)을 포함한다. 하부기관(100)은 상부기관(102)이 포개지는 제 1 영역(100a)과 포개지지 않은 제 2 영역(100b)으로 구분된다.
- <38> 제 1 영역(100a)은 표시영역(104)과 주변영역(106)을 포함하고, 표시영역(104)과 주변영역(106)에는 액정이 주입된 다음에 그 주변부가 실링재로 실링된다. 표시영역(104)의 좌우 주변영역(106)에는 제 1 및 제 2 게이트 구동회로들(108, 110)이 좌우 대칭적으로 각각 배치된다.
- <39> 제 2 영역(100b)에는 데이터 구동회로(112)와 외부연결단자(114)가 형성되고 외부연결단자(114)에는 필름 케이블(116)의 일단이 부착된다. 필름 케이블(116)의 타단은 미도시된 통합인쇄회로기판에 부착된다. 데이터 구동회로(112)는 칩 형태로 제작되어 하부기관 상에 마운팅된다.
- <40> 도 3에 도시한 바와 같이, 외부연결단자(114)의 개시신호 입력단자(ST), 제 1 클럭신호 입력단자(CK), 제 1 전원전압단자(VOFF or VSS), 제 2 전원전압단자(VON or VDD)의 4개의 단자들(114a)은 제 1 게이트 구동회로(108)에 연결되고, 제 2 클럭신호 입력단자(CKB), 제 1 전원전압단자(VOFF or VSS), 제 2 전원전압단자(VON or VDD)의 3개의 단자들(114b)은 제 2 게이트 구동회로(110)에 연결된다. 외부연결단자(114)의 채널단자들(114c)은 데이터 구동회로에 연결된다.
- <41> 도 4를 참조하면, 게이트 구동회로(108)는 홀수번째 게이트 라인들(GL1~GLn+1)이 연장된 표시영역의 좌측주변영역에 배치되고 각각 출력단자가 연결된 복수의 쉬프트 레지스터(SRC1~SRCn+1)로 구성된다. 게이트 구동회로(110)는 짝수번째 게이트 라인들(GL2~GLn)이 연장된 표시영역의 우측주변영역에 배치되고 각각 출력단자가 연결된 복수의 쉬프트 레지스터(SCR2~SCRn)로 구성된다.
- <42> 홀수번째 쉬프트레지스터(SRCi)의 출력은 홀수번째 게이트 라인을 통하여 표시영역 건너편에 배치된 다음 짝수번째 쉬프트 레지스터(SRCj)의 입력단자에 개시신호로 제공되고, 동시에 이전 짝수번째 쉬프트 레지스터(SRCj-1)의 제어단자에 제어신호로 제공된다. 마찬가지로, 짝수번째 쉬프트 레지스터(SCRj)의 출력은 다음 홀수번째 쉬프트 레지스터(SRCi+1)의 입력단자에 개시신호로 제공되고, 동시에 이전 홀수번째 쉬프트 레지스터(SRCi)의 제어단자에 제어신호로 제공된다.
- <43> 마지막 홀수번째 쉬프트 레지스터(SRCn+1)는 더미 레지스터로 마지막 짝수번째 쉬프트 레지스터(SRCn)의 제어단자에 제어신호를 제공하기 위하여 추가된다.
- <44> 도 5는 도 4의 각 회로의 타이밍관계를 나타낸다. 즉, 홀수번째 게이트라인들과 짝수번째 게이트 라인들이 개시신호(ST)에 의해 순차적으로 시프트되면서 클럭신호(CK, CKB)에 동기되어 서로 교호로 액티브되면서 스캔되는 것을 알 수 있다.
- <45> 하나의 수평라인을 이루는 복수의 픽셀들 중 홀수번째 픽셀들은 대응되는 홀수번째 게이트 라인(GL1)에 의해 구동되고, 짝수번째 픽셀들은 대응하는 짝수번째 게이트 라인(GL2)에 의해 구동된다.
- <46> 그러므로, 하나의 수평라인의 모든 픽셀들이 표시되기 위해서는 2개의 게이트 라인들(GL1, GL2)이 구동된다. 따라서, 게이트 라인수는 2배로 증가되어 수직해상도가 160 수평라인인 경우에는 320 게이트 라인들이 배치된다.
- <47> 이와 같은 게이트 구동방식에 의해 수평방향으로 인접한 두 개의 박막트랜지스터들이 하나의 데이터 라인을 공유하고 두 개의 박막 트랜지스터들은 서로 분리된 게이트 라인에 연결된다. 따라서, 같은 수평라인에 있는 픽셀이라도 홀수번째 픽셀들은 제 1 게이트 구동회로에 의해 먼저 충전되고, 짝수번째 픽셀들은 제 2 게이트 구동회로에 의해 1클럭 지연되어 충전된다.
- <48> 그러므로, 데이터 구동회로는 1수평라인의 컬러 픽셀수가 240개라면 각 픽셀당 RGB 3개의 단위 픽셀을 포함하므로 총 720개의 데이터라인이 필요하게 된다. 따라서, 720개의 데이터 라인을 구동하기 위해서는 데이터 출력단자수가 360개인 데이터 구동칩을 2개 사용하지 않으면 안된다.
- <49> 그러나, 본 발명에서는 상술한 듀얼 게이트 구동방식에 의해 먼저 홀수번째 360개의 단위픽셀들을 충전시키고, 1클럭 지연 후에 짝수번째 360개의 단위픽셀들을 충전시킬 수 있으므로 데이터 구동라인 수를 720개에서 360개

로 줄일 수 있고, 이에 360 데이터 출력단자 수를 가진 하나의 데이터 구동칩만 사용할 수 있다. 그러므로, 데이터 구동칩과 데이터 라인을 연결하기 위한 주변영역의 라인패턴의 설계가 용이해진다.

- <50> 도 6은 도 4의 게이트 구동회로의 각 스테이지의 바람직한 일 실시예의 회로도를 나타낸다.
- <51> 도 4의 각 스테이지는 풀업수단(120), 풀다운수단(122), 풀업구동수단(124), 풀다운 구동수단(126), 플로팅 방지수단(128), 턴온방지수단(130)을 포함한다.
- <52> 풀업수단(120)은 클럭신호 입력단자(CK)에 드레인이 연결되고, 제 1 노드(N1)에 게이트가 연결되고, 출력단자(OUT)에 소오스가 연결된 풀업 NMOS 트랜지스터(NT1)로 구성된다.
- <53> 풀다운수단(122)은 출력단자(OUT)에 드레인이 연결되고, 제 2 노드(N2)에 게이트가 연결되고 소오스가 제 1 전원전압(VSS)에 연결된 풀다운 NMOS 트랜지스터(NT2)로 구성된다.
- <54> 풀업구동수단(124)은 캐패시터(C), NMOS 트랜지스터(NT3~NT5)로 구성된다. 캐패시터(C)는 제 1 노드(N1)와 출력단자(OUT) 사이에 연결된다. 트랜지스터(NT3)는 입력단자(IN)에 드레인 및 게이트가 공통으로 결합되고, 제 1 노드에 소오스가 연결된다. 트랜지스터(NT4)는 제 1 노드(N1)에 드레인이 연결되고, 제 2 노드(N2)에 게이트가 연결되고 소오스가 제 1 전원전압(VSS)에 연결된다. 트랜지스터(NT5)는 제 1 노드(N1)에 드레인이 연결되고, 제어단자(CT)에 게이트가 연결되고 소오스가 제 1 전원전압(VSS)에 연결된다.
- <55> 풀다운구동수단(126)은 두 개의 NMOS 트랜지스터들(NT6, NT7)로 구성된다. 트랜지스터(NT6)는 제 2 전원전압(VDD)에 드레인이 결합되고, 제어단자(CT)에 게이트가 연결되고, 제 2 노드(N2)에 소오스가 연결된다. 트랜지스터(NT7)는 제 2 노드(N2)에 드레인이 연결되고, 입력단자(IN)에 게이트가 연결되고, 소오스가 제 1 전원전압(VSS)에 결합된다.
- <56> 플로팅 방지수단(128)은 제 2 전원전압(VDD)에 드레인 및 게이트가 공통 연결되고, 제 2 노드(N2)에 소오스가 연결된 NMOS 트랜지스터(NT8)로 구성된다. 트랜지스터(NT8)는 상기 트랜지스터(NT7)의 사이즈에 비해 상대적으로 충분히 작은 사이즈, 예컨대 1 : 20 정도의 사이즈 비로 구성된다.
- <57> 턴온 방지수단(130)은 제 2 노드(N2)에 드레인이 연결되고, 출력단자(OUT)에 게이트가 연결되고, 제 1 전원전압(VSS)에 소오스가 연결된 NMOS 트랜지스터(NT9)로 구성된다. 트랜지스터(NT9)의 사이즈는 트랜지스터(NT7)의 사이즈에 비해 약 1 : 2의 비를 가진다.
- <58> 도 5에 도시한 바와 같이, 제 1 클럭신호(CK)와 스캔개시신호(ST)가 게이트 구동회로(108)의 쉬프트 레지스터(170)에 공급되면, 첫 번째 스테이지(SRC1)에서는 스캔개시신호(ST)의 선단에 응답하여 제 1 클럭신호(CK)의 하이레벨구간을 소정 시간 지연시켜서 출력단자에 연결된 게이트 라인(GL1)에 출력신호로 발생한다.
- <59> 스캔개시신호(ST)의 액티브구간은 제 1 클럭신호(CK)의 하이레벨구간에 비하여 약 1/4주기 앞선 위상을 가진다. 개시신호(ST)의 액티브구간은 펄스 선단, 즉 상승 에지로부터의 셋업타임과 펄스 후단, 즉 하강 에지까지의 홀드타임으로 분할된다.
- <60> 따라서, 출력신호(OUT1)의 선단은 홀드타임의 시작시점으로부터 소정시간 약 2~4 μ s 지연된 선단, 즉 상승 에지를 가진다. 즉, 제 1 클럭신호(CK)의 액티브구간, 하이레벨구간이 소정 시간만큼 지연되어 출력단자에 나타나게 된다.
- <61> 풀업구동수단(124)의 캐패시터(C)가 개시신호(ST)의 선단에서 트랜지스터(NT4)가 턴오프된 상태에서부터 트랜지스터(NT3)를 통하여 충전되기 시작하고, 캐패시터(NT3)의 충전전압이 풀업 트랜지스터(NT1)의 게이트 소오스 간 문턱전압 이상으로 충전된 이후에 풀업 트랜지스터(NT1)가 턴온되고, 제 1 클럭신호(CK)의 하이레벨구간이 출력단자에 나타나기 시작하기 때문이다.
- <62> 출력단자(OUT)에 클럭신호의 하이레벨구간이 나타나기 시작하면, 이 출력전압이 캐패시터(C)에 부트스트랩(BOOTSTRAP)되어 풀업 트랜지스터(NT1)의 게이트 전압이 턴온전압(VDD) 이상으로 상승하게 된다. 따라서, NMOS 트랜지스터인 풀업 트랜지스터(NT1)가 완전(FULL) 도통상태를 유지하게 된다.
- <63> 한편, 풀다운구동수단(126)은 트랜지스터(NT6)가 턴오프된 상태에서 개시신호(ST)의 선단에서 트랜지스터(NT7)가 턴온되므로, 제 2 노드(N2)의 전위가 제 1 전원전압(VSS)으로 다운된다. 이 때, 플로팅 방지수단(128)의 트랜지스터(NT8)는 턴온상태를 유지하지만, 턴온된 트랜지스터(NT7)의 사이즈가 트랜지스터(NT8)의 사이즈 보다 약 20 배정도 크기 때문에 제 2 노드(N2)는 제 2 전원전압(VDD) 상태에서 제 1 전원전압(VSS)으로 다운되게 된다. 그러므로, 풀다운 트랜지스터(NT2)는 턴온상태에서 턴오프상태로 천이된다.

- <64> 출력단자(OUT)에 턴온전압(VON=VDD)이 나타나게 되면, 턴온방지수단(130)의 트랜지스터(NT9)가 턴온되어, 제 2 노드(N2)를 제 1 전원전압(VSS)으로 구동하는 능력이 대략 50% 정도 더 증가되게 된다. 그러므로, 출력신호의 상승천이 시에 풀다운 트랜지스터의 드레인 소오스 간 기생 캐패시터에 의해 제 2 노드(N2)의 전압이 상승하게 되는 것을 방지할 수 있다. 따라서, 출력신호의 상승천이 시 풀다운 트랜지스터가 턴온되는 오동작을 확실하게 방지할 수 있다.
- <65> 출력단자(OUT)의 출력신호(OUT1)는 제 1 클럭신호(CK)의 듀티 기간만큼 지연되어 나타나게 된다.
- <66> 출력단자(OUT)의 출력신호의 전압이 턴오프전압(VOFF=VSS)상태로 떨어지게 되면, 트랜지스터(NT9)가 턴오프되므로 이에, 트랜지스터(NT8)를 통하여 제 2 노드에 제 2 전원전압(VDD)만 공급되는 상태이므로 제 2 노드(N2)의 전위는 제 1 전원전압(VSS)에서 제 2 전원전압(VDD)으로 상승되기 시작한다. 제 2 노드(N2)의 전위가 상승되기 시작하면, 트랜지스터(NT4)가 턴온되기 시작하고, 이에 캐패시터의 충전전압은 트랜지스터(NT4)를 통하여 방전되기 시작한다. 그러므로, 풀업 트랜지스터(NT1)도 턴오프되기 시작한다.
- <67> 이어서, 제어단자(CT)에 제공되는 다음 스테이지의 출력신호가 턴온전압으로 상승하게 되므로 이에, 트랜지스터(NT5, NT6)가 턴온된다. 그러므로, 제 2 노드(N2)의 전위는 트랜지스터(NT6, NT8)에 의해 제공되는 제 2 전원전압(VDD)으로 빠르게 상승되기 시작하고, 제 1 노드(N1)의 전위는 트랜지스터(NT4, NT5)를 통하여 빠르게 제 1 전원전압(VSS)으로 다운되게 된다.
- <68> 그러므로, 풀업 트랜지스터(NT1)는 턴오프되고, 풀다운 트랜지스터(NT2)는 턴온되어 출력단자(OUT)는 턴온전압(VON)에서 제 2 전원전압(VDD)의 턴오프전압(VOFF)으로 다운된다.
- <69> 제어단자(CT)에 인가되는 다음 스테이지의 출력신호가 로우 레벨로 하강되어 트랜지스터(NT6)가 턴오프되더라도 제 2 노드(N2)는 트랜지스터(NT8)를 통하여 제 2 전원전압(VDD)으로 바이어스된 상태를 유지하게 되고, 제 1 노드(N1)는 턴온상태를 유지하는 트랜지스터(NT4)를 제 1 전원전압(VSS)으로 바이어스된 상태를 유지한다. 그러므로, 장시간 사용으로 트랜지스터(NT2, NT4)의 스톱밴드 전압이 상승되더라도 제 2 노드(N2)의 전위가 제 2 전원전압(VDD)으로 유지되므로 풀다운 트랜지스터(NT2)가 턴오프되는 오동작의 우려가 없이 안정된 동작이 확보된다.
- <70> 상술한 바와 동일한 동작으로 각 스테이지들(SRC1~SRC4)이 지그재그로 동작하여 게이트 라인들이 순차적으로 구동하게 된다.
- <71> 도 7은 게이트 구동회로의 각 스테이지의 다른 실시예의 회로 구성을 나타낸다.
- <72> 도 7을 참조하면, 스테이지는 풀업수단(132), 풀다운수단(134), 풀업구동수단(136), 풀다운 구동수단(138)을 포함한다.
- <73> 풀업수단(132)은 클럭신호 입력단자(CK)에 드레인이 연결되고, 제 3 노드(N3)에 게이트가 연결되고, 출력단자(OUT)에 소오스가 연결된 풀업 NMOS 트랜지스터(NT11)로 구성된다.
- <74> 풀다운수단(134)은 출력단자(OUT)에 드레인이 연결되고, 제 4 노드(N4)에 게이트가 연결되고, 소오스가 제 1 전원전압(VSS)에 연결된 풀다운 NMOS 트랜지스터(NT12)로 구성된다.
- <75> 풀업구동수단(194)은 캐패시터(C), NMOS 트랜지스터(NT13~NT15)로 구성된다. 캐패시터(C)는 제 3 노드(N3)와 출력단자(OUT) 사이에 연결된다. 트랜지스터(NT13)는 제 2 전원 전압(VDD)에 드레인이 연결되고, 입력단자(IN)에 게이트가 연결되고, 제 3 노드(N3)에 소오스가 연결된다. 트랜지스터(NT14)는 제 3 노드(N3)에 드레인이 연결되고, 제어단자(CT)에 게이트가 연결되고, 소오스가 제 1 전원전압(VSS)에 연결된다. 트랜지스터(NT15)는 제 3 노드(N3)에 드레인이 연결되고, 제 4 노드(N4)에 게이트가 연결되고, 소오스가 제 1 전원전압(VSS)에 연결된다. 이때, 트랜지스터(NT13)의 사이즈는 트랜지스터(NT15)의 사이즈보다 약 2배 정도 크게 형성된다.
- <76> 풀다운구동수단(138)은 두 개의 NMOS 트랜지스터들(NT16, NT17)로 구성된다. 트랜지스터(NT16)는 제 2 전원전압(VDD)에 드레인과 게이트가 공통으로 결합되고, 제 4 노드(N4)에 소오스가 연결된다. 트랜지스터(NT17)는 제 4 노드(N4)에 드레인이 연결되고, 제 3 노드(N3)에 게이트가 연결되고, 소오스가 제 1 전원전압(VSS)에 결합된다. 이때, 트랜지스터(NT16)의 사이즈는 트랜지스터(NT17)의 사이즈보다 약 16배 정도 크게 형성된다.
- <77> 제 1 클럭신호(CK)와 스캔개시신호(ST)가 공급되면, 첫 번째 스테이지에서는 스캔개시신호(ST)의 선단에 응답하여 제 1 클럭신호(CK)의 하이레벨구간을 소정 시간 지연시켜서 출력단자에 출력신호로 발생한다.
- <78> 스캔개시신호(ST)의 액티브구간은 제 1 클럭신호(CK)의 하이레벨구간에 비하여 약 1/4주기 앞선 위상을 가진다.

개시신호(ST)의 액티브구간은 펄스 선단, 즉 상승 에지로부터의 셋업타임(Ts1)과 펄스 후단, 즉 하강 에지까지의 홀드타임(Ts2)으로 분할된다.

- <79> 이와 같은 지연특성은 풀업구동수단(194)의 캐패시터(C)가 개시신호(ST)의 선단에서 트랜지스터(NT13)를 통하여 충전되기 시작하고, 캐패시터(C)의 충전전압이 풀업 트랜지스터(NT11)의 게이트 소오스 간 문턱전압 이상으로 충전된 이후에 풀업 트랜지스터(NT11)가 턴온되고, 제 1 클럭신호(CK)의 하이레벨구간이 출력단자에 나타나기 시작하기 때문이다.
- <80> 출력단자(OUT)에 클럭신호의 하이레벨구간이 나타나기 시작하면, 이 출력전압이 캐패시터(C)에 부트스트랩(BOOTSTRAP)되어 풀업 트랜지스터(NT11)의 게이트 전압이 턴온전압(VDD) 이상으로 상승하게 된다. 따라서, NMOS 트랜지스터인 풀업 트랜지스터(NT11)가 완전(FULL) 도통상태를 유지하게 된다. 이때, 트랜지스터(NT13)의 사이즈는 트랜지스터(NT15)의 사이즈보다 약 2배정도 크기 때문에 개시신호(ST)에 의해 트랜지스터(NT15)가 턴온되더라도 트랜지스터(NT11)를 턴온상태로 천이시킨다.
- <81> 한편, 풀다운구동수단(138)은 입력신호에 의하여 트랜지스터(NT17)가 턴오프되어 제 4 노드(N4)가 제 2 전원전압(VDD)으로 상승되어 트랜지스터(NT12)를 턴온시킨다. 따라서 출력단자(OUT)의 출력신호의 전압이 제 1 전원전압(VSS) 상태에 있다. 이때, 개시신호에 의하여 트랜지스터(NT17)가 턴온되므로 제 4 노드(N4)의 전위가 제 1 전원전압(VSS)으로 다운된다. 이후 트랜지스터(N16)가 턴온되더라도, 트랜지스터(N17)의 사이즈가 트랜지스터(N16)의 사이즈 보다 약 16배정도 크기 때문에 제 4 노드(N4)는 제 1 전원전압(VSS) 상태로 계속 유지된다. 따라서, 풀다운 트랜지스터(NT12)는 턴온상태에서 턴오프상태로 천이된다.
- <82> 출력단자(OUT)의 출력신호(OUT1)는 제 1 클럭신호(CK)의 듀티 기간만큼 지연되어 나타나게 된다.
- <83> 출력단자(OUT)의 출력신호의 전압이 턴오프전압(VOFF=VSS)상태로 떨어지게 되면, 트랜지스터(NT17)가 턴오프되므로 이에, 트랜지스터(NT16)를 통하여 제 4 노드(N4)에 제 2 전원전압(VDD)만 공급되는 상태이므로 제 4 노드(N4)의 전위는 제 1 전원전압(VSS)에서 제 2 전원전압(VDD)으로 상승되기 시작한다. 제 4 노드(N4)의 전위가 상승되기 시작하면, 트랜지스터(NT15)가 턴온되기 시작하고, 이에 캐패시터의 충전전압은 트랜지스터(NT15)를 통하여 방전되기 시작한다. 그러므로, 풀업 트랜지스터(NT11)도 턴오프되기 시작한다.
- <84> 이어서, 제어단자(CT)에 제공되는 다음 스테이지의 출력신호가 턴온전압으로 상승하게 되므로 이에, 트랜지스터(NT14)가 턴온된다. 이때, 트랜지스터(NT14)의 사이즈는 트랜지스터(NT15)보다 약 2배정도 크기 때문에 제 3 노드(N3)의 전위는 트랜지스터(NT15)만 턴온되었을 때보다 더욱 빠르게 제 1 전원전압(VSS)으로 다운되게 된다.
- <85> 그러므로, 풀업 트랜지스터(NT11)는 턴오프되고, 풀다운 트랜지스터(NT12)는 턴온되어 출력단자(OUT)는 턴온전압(VON)에서 제 2 전원전압(VDD)의 턴오프전압(VOFF)으로 다운된다.
- <86> 제어단자(CT)에 인가되는 다음 스테이지의 출력신호가 로우 레벨로 하강되어 트랜지스터(NT14)가 턴오프되더라도 제 4 노드(N4)는 트랜지스터(NT16)를 통하여 제 2 전원전압(VDD)으로 바이어스된 상태를 유지하게 되고, 제 3 노드(N3)는 턴온상태를 유지하는 트랜지스터(NT15)를 제 1 전원전압(VSS)으로 바이어스된 상태를 유지한다. 그러므로, 제 4 노드(N4)의 전위가 제 2 전원전압(VDD)으로 유지되므로 풀다운 트랜지스터(NT12)가 턴오프되는 오동작의 우려가 없이 안정된 동작이 확보된다.
- <87> 상술한 바와 같이, 다른 실시예에서는 트랜지스터(NT15) 및 트랜지스터(NT17)를 래치 형태로 배치함으로써 제 3 노드(N3) 및 제 4 노드(N4)에서 안정된 상태를 유지할 수 있다. 또한, 일 실시예와 비교하여 두 개의 트랜지스터를 제거할 뿐만 아니라 트랜지스터의 사이즈도 줄임으로써 주변영역에서 쉬프트 레지스터가 차지하는 면적을 10% 정도로 감소시킬 수 있다.
- <88> 또한, 다른 실시예는 일 실시예에 비하여 스캔개시신호(ST)의 펄스폭에 관계없이 안정된 동작이 가능하다.
- <89> 즉, 일 실시예는 스캔개시신호(ST)의 펄스폭이 클럭신호의 펄스폭 보다 좁을 경우에는 클럭신호가 들어오기 전에 캐패시터가 방전을 개시한다. 이 때문에 풀다운 트랜지스터가 턴온되므로 출력이 발생되지 않게 된다. 그러므로, 출력신호가 다음 단계 쉬프트되지 못하므로 동작 불능상태가 될 수 있다.
- <90> 그러나, 다른 실시예는 스캔개시신호(ST)를 래치하기 때문에 스캔개시신호(ST)의 펄스폭의 광협에 관계없이 안정된 동작이 가능하다.
- <91> 도 8은 본 발명에 의한 바람직한 일 실시예의 대형형 액정표시장치의 표시영역 및 게이트 구동회로의 레이아웃도를 나타내고, 도 9 내지 도 13은 도 8의 액정표시장치의 각 층의 레이아웃도를 나타낸다.

- <92> 도 8의 레이아웃의 각 부분은 도 6의 게이트 구동회로와 동일한 부분은 동일 부호로 처리한다. 제 1 게이트 구동회로(108)의 표시영역에 인접한 부분에 게이트 라인 구동트랜지스터(NT1, NT2)를 배치하고, 가장 멀리 떨어진 부분에 외부신호라인들(CK, VDD, VSS, ST)이 배치된다.
- <93> 구동트랜지스터 배치영역과 신호라인 배치영역 사이에 제어용 트랜지스터들(NT3, NT4, NT5, NT6, NT7, NT8, NT9)등이 배치된다.
- <94> 캐패시터(C)는 구동트랜지스터(NT1, NT2)들의 사이에 배치되고, 구동 트랜지스터(NT1)의 게이트 전극 하부 연장부로 제공된 하부전극과, 구동트랜지스터(NT2)의 드레인 전극의 상부 연장부로 제공된 상부전극과 이들 사이에 제공된 게이트 절연막(SiNx)을 포함한다.
- <95> 유리기판 상에 도 9의 게이트 금속패턴이 배치된다. 게이트 금속패턴은 표시영역의 게이트 라인(GL)과 게이트 구동회로영역의 각 트랜지스터의 게이트 전극과, 캐패시터의 하부전극, 신호라인들, 쉬프트 레지스터의 각 스테이지를 상호 연결하기 위한 일부 신호라인들을 구성한다.
- <96> 게이트 금속패턴은 게이트 절연층인 SiNx 물질로 도포된다. 도포된 SiNx 물질층 상에 도 10의 아몰퍼스 실리콘 재질의 액티브 패턴이 하부 패턴과 얼라인되어 배치된다. 도 10에서 액티브 패턴 중 SP 표시된 조각들은 하부의 게이트 패턴과 교차되는 소스 패턴을 보호하기 위해 부가되는 더미 패턴들이다. 이러한 부가패턴들은 상부 구조물인 소스패턴이 형성될 표면의 기울기를 완화시킴으로써 상부 소스 금속라인이 끊어지는 것을 방지한다.
- <97> 도 10의 액티브 패턴 상에 도 11의 소스패턴이 얼라인되어 배치된다. 소스패턴은 표시영역에서 데이터라인 및 화소전극 콘택영역, 게이트 구동영역에서 트랜지스터의 소스 및 드레인전극, 신호라인 일부, 캐패시터의 상부전극을 구성한다.
- <98> 구동 트랜지스터의 소스 및 드레인 전극은 각각 빗살형으로 서로 마주보며 빗살들이 서로 사이사이에 배치되도록 형성된다.
- <99> 이와 같은 구동 트랜지스터(NT1, NT2)의 소스 드레인 전극구조는 한정된 면적 내에서 구동 트랜지스터의 채널폭을 증가시킴으로 아몰퍼스 실리콘으로 제작된 트랜지스터의 구동능력을 충분히 확보할 수 있도록 한다.
- <100> 도 12의 레이아웃은 게이트 금속패턴과 소스패턴을 전기적으로 상호 연결하기 위하여 각 패턴의 콘택홀 영역을 나타낸다. 본 발명에서는 게이트 구동회로영역에서는 서로 대응하는 게이트 콘택영역과 소스 콘택영역을 서로 인접하여 형성한다.
- <101> 이와 같이 인접하여 형성된 콘택쌍(CA, CB)은 도 13에 도시한 바와 같이 표시영역에 제공되는 화소전극패턴(P E)와 동시에 제공되는 콘택 패턴(CP)에 의해 상호 전기적으로 연결된다.
- <102> 즉, 본 발명에서는 게이트 금속패턴과 소스패턴으로 이루어진 신호라인들을 서로 전기적으로 연결하기 위하여 콘택홀을 형성하고 이 콘택홀을 통하여 화소전극 패턴과 동일 재질의 도전물질로 콘택패턴을 형성하여 연결한다.
- <103> 통상적으로 투과형 액정표시장치에서는 화소전극이 투명도전막(ITO)로 구성되고, 반사형 액정표시장치에서는 금속 반사막으로 구성된다.
- <104> 그러므로, 투과형인 경우에는 투명 도전막이 콘택패턴으로 제공되므로 금속패턴에 비하여 상대적으로 전기전도도가 떨어진 투명도전막을 사용하더라도 콘택저항으로 인한 게이트 구동회로의 전기적 특성 영향을 최소화하기 위하여 서로 연결되는 콘택홀들을 최대한 인접하여 배치하는 것이 바람직하다.
- <105> 또한, 미스 얼라인먼트로 인한 콘택저항 증가나 접촉 불량을 방지하기 위하여 콘택홀을 충분히 커버할 수 있도록 콘택 패턴의 사이즈에 충분한 마진을 확보하는 것이 바람직하다.
- <106> 도 14는 본 발명에 의한 듀얼 게이트 구동회로가 집적된 대칭형 액정표시모듈의 다른 실시예의 개략도를 나타낸다. 다른 실시예의 액정표시모듈은 하부기판(100)과 상부기판(102)을 포함한다. 하부기판(100)은 상부기판(102)이 포개지는 제 1 영역(100a)과 포개지지 않은 제 2 영역(100b)으로 구분된다.
- <107> 제 1 영역(100a)은 표시영역(104)과 주변영역(106)을 포함하고, 표시영역(104)과 주변영역(106)에는 액정이 주입된 다음에 그 주변부가 실링재로 실링된다. 표시영역(104)의 좌우 주변영역(106)에는 표시영역의 게이트 라인들과 제 1 및 제 2 게이트 구동회로(108a, 110b)를 연결하기 위한 라인패턴들이 좌우 대칭적으로 각각 배치된다.

- <108> 제 2 영역(100b)에는 데이터 구동회로(112), 제 1 및 제 2 게이트 구동회로(108a, 110a)와 외부연결단자(114)가 형성되고 외부연결단자(114)에는 필름 케이블(116)의 일단이 부착된다. 필름 케이블(116)의 타단은 미도시된 통합인쇄회로기판에 부착된다. 데이터 구동회로(112)는 칩형태로 제작되어 하부기판상에 마운팅된다.
- <109> 즉, 상술한 다른 실시예는 제 1 및 제 2 게이트 구동회로(108a, 110a)들이 데이터 구동회로(112)의 좌우에 대칭적으로 배치된 점이 일 실시예의 배치와 다르다.
- <110> 도 15는 본 발명에 의한 듀얼 게이트 구동회로가 집적된 대칭형 액정표시모듈의 또 다른 실시예의 개략도를 나타낸다. 도 15에서 액정표시모듈은 하부기판(100)과 상부기판(102)을 포함한다. 하부기판(100)은 상부기판(102)이 포개지는 제 1 영역(100a)과 포개지지 않은 제 2 영역(100b)으로 구분된다.
- <111> 제 1 영역(100a)은 표시영역(104)과 주변영역(106)을 포함하고, 표시영역(104)과 주변영역(106)에는 액정이 주입된 다음에 그 주변부가 실링재로 실링된다. 표시영역(104)의 상부 주변영역(104)에는 제 1 및 제 2 게이트 구동회로(108b, 110b)들이 하나로 통합되어 배치된다. 표시영역(104)의 좌우 주변영역(106)에는 제 1 및 제 2 게이트 구동회로들(108b, 110b)과 표시영역(104)의 게이트 라인들을 연결하기 위한 라인패턴들이 좌우 대칭적으로 각각 배치된다.
- <112> 제 2 영역(100b)에는 데이터 구동회로(112)와 외부연결단자(114)가 형성되고 외부연결단자(114)에는 필름 케이블(116)의 일단이 부착된다. 필름 케이블(116)의 타단은 미도시된 통합인쇄회로기판에 부착된다. 데이터 구동회로(112)는 칩형태로 제작되어 하부기판상에 마운팅된다.
- <113> 게이트 구동회로(108b, 110b)들은 하부로부터 상부로 연장된 외부연결단자(114)를 통하여 필름 케이블(116)에 연결된다.
- <114> 또 다른 실시예는 게이트 구동회로들이 데이터 구동회로와는 반대되는 영역, 즉 상부 주변영역에 배치된다는 점이 일 실시예 및 다른 실시예와 다르다.
- <115> 전체적으로 본 발명의 액정표시모듈은 제 1 및 제 2 게이트 구동회로를 각각 구비하고 이들이 표시영역의 주변영역에 좌우 대칭되게 배치된다는 것이다.
- <116> 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

- <117> 이상, 설명한 바와 같이 본 발명에서는 액정표시모듈의 표시영역의 주변영역에 게이트 구동회로를 배치함에 있어서 좌우 대칭적으로 배치하여 좌우 대칭형 액정표시모듈을 구성함으로써, 액정표시모듈이 실장되는 세트의 좌우 폭을 최소화할 수 있도록 한다.

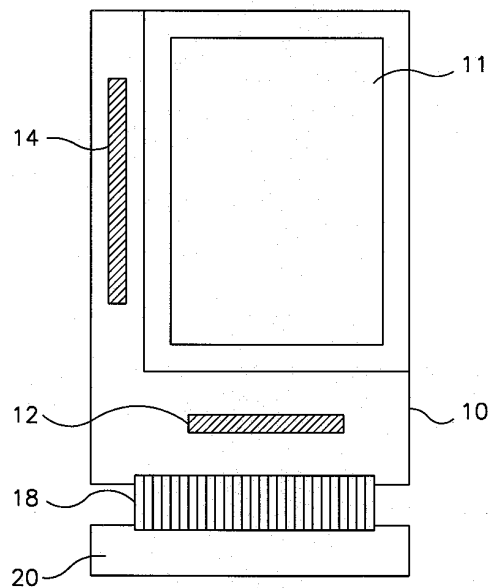
도면의 간단한 설명

- <1> 도 1은 종래의 게이트 구동회로가 집적된 비대칭형 액정표시모듈의 개략도.
- <2> 도 2는 본 발명에 의한 듀얼 게이트 구동회로가 집적된 대칭형 액정표시모듈의 바람직한 일 실시예의 개략도.
- <3> 도 3은 도 2의 필름케이블과 연결하기 위한 외부단자부의 레이아웃도.
- <4> 도 4는 도 2의 액정표시모듈의 블록도.
- <5> 도 5는 도 4의 각부 파형도.
- <6> 도 6은 도 4의 게이트 구동회로의 각 스테이지의 바람직한 일 실시예의 회로도.
- <7> 도 7은 도 4의 게이트 구동회로의 각 스테이지의 바람직한 다른 실시예의 회로도.
- <8> 도 8은 본 발명에 의한 대칭형 액정표시장치의 표시영역 및 게이트 구동회로의 레이아웃도.
- <9> 도 9 내지 도 13은 도 8의 각 층 레이아웃도.
- <10> 도 14는 본 발명에 의한 듀얼 게이트 구동회로가 집적된 대칭형 액정표시모듈의 다른 실시예의 개략도.

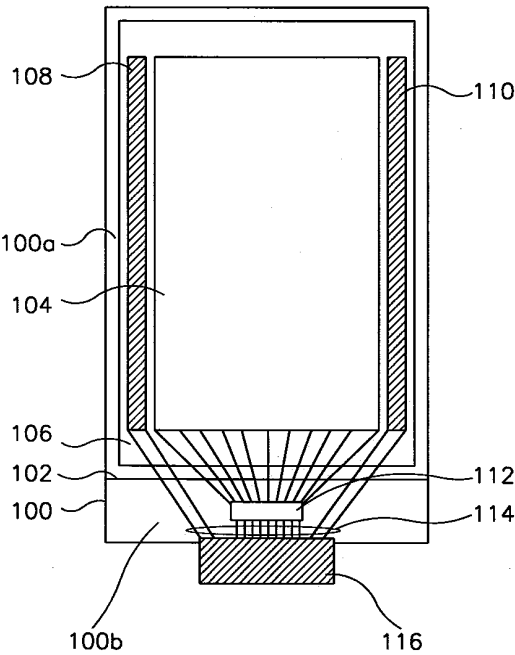
- <11> 도 15는 본 발명에 의한 듀얼 게이트 구동회로가 집적된 대칭형 액정표시모듈의 또 다른 실시예의 개략도.
- <12> <도면의 주요부분에 대한 부호의 설명>
- <13> 100 : 하부기판
- <14> 102 : 상복시판
- <15> 104 : 표시영역 106 : 주변영역
- <16> 108, 108a, 108b : 제 1 게이트 구동회로
- <17> 110, 110a, 110b : 제 2 게이트 구동회로
- <18> 112 : 데이터 구동회로 114 : 외부연결단자
- <19> 116 : 필름 케이블 120, 132 : 폴업수단
- <20> 122, 134 : 폴다운수단 124, 136 : 폴업구동수단
- <21> 126, 138 : 폴다운구동수단 128 : 플로팅 방지수단
- <22> 130 : 턴온방지수단

도면

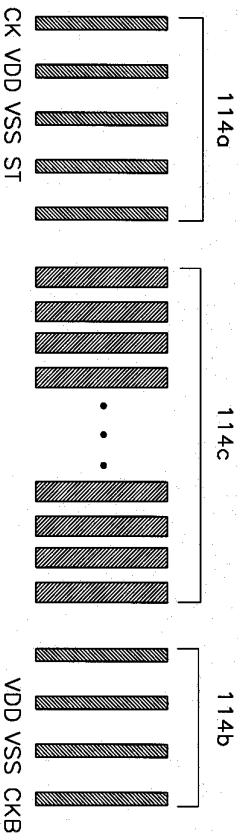
도면1



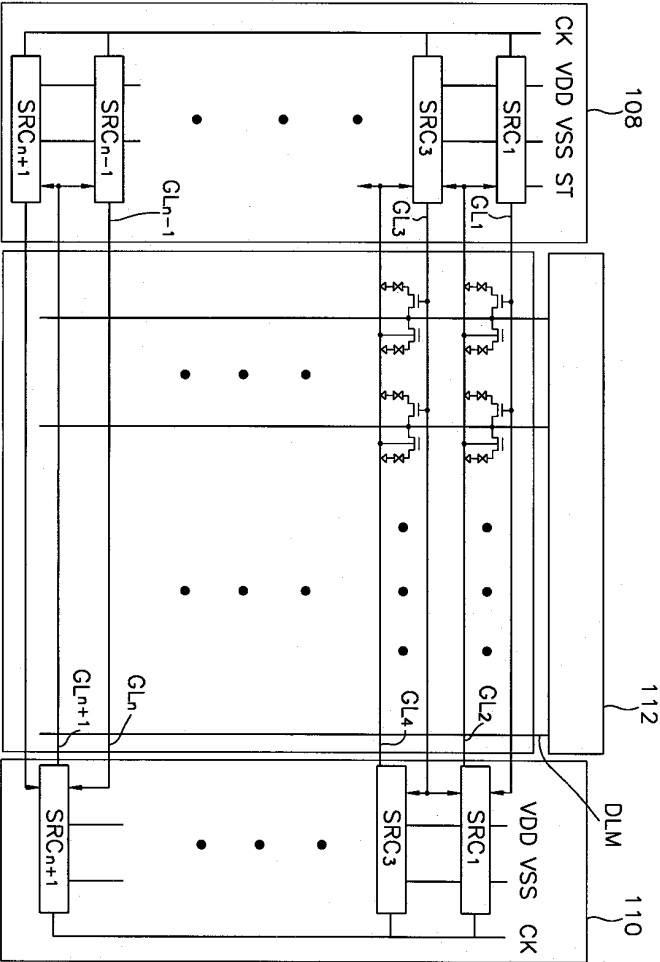
도면2



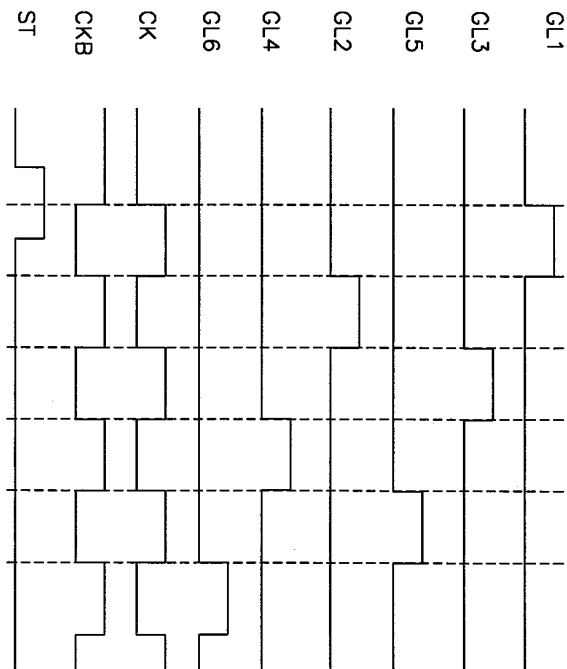
도면3



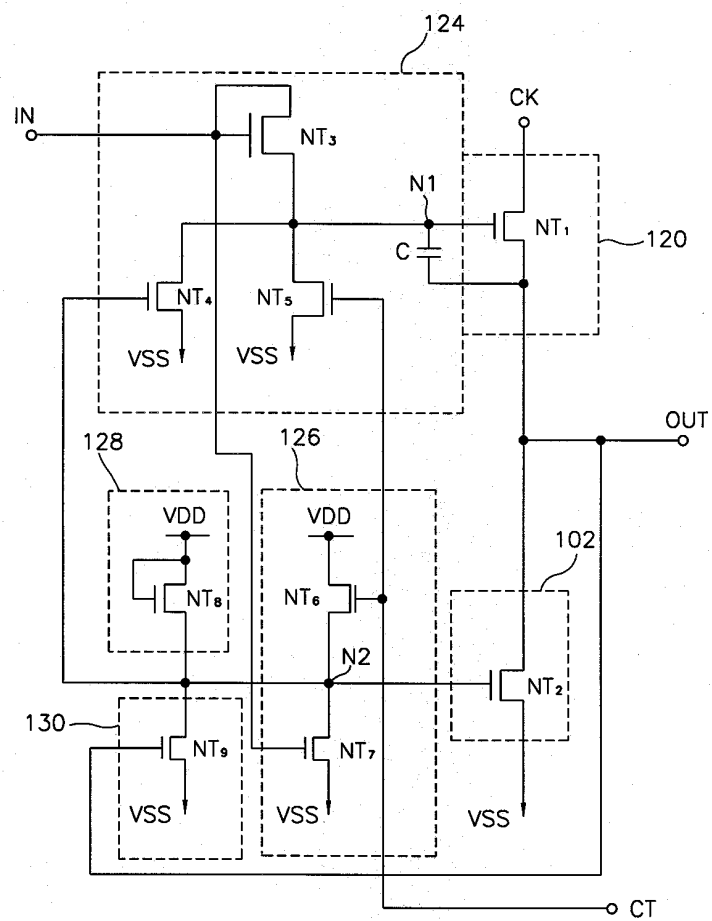
도면4



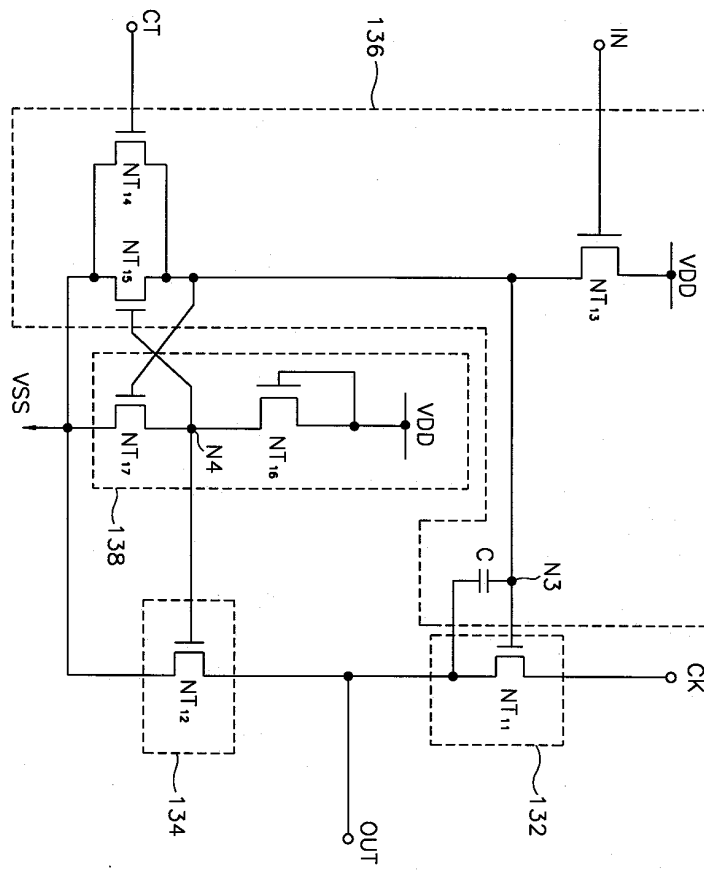
도면5



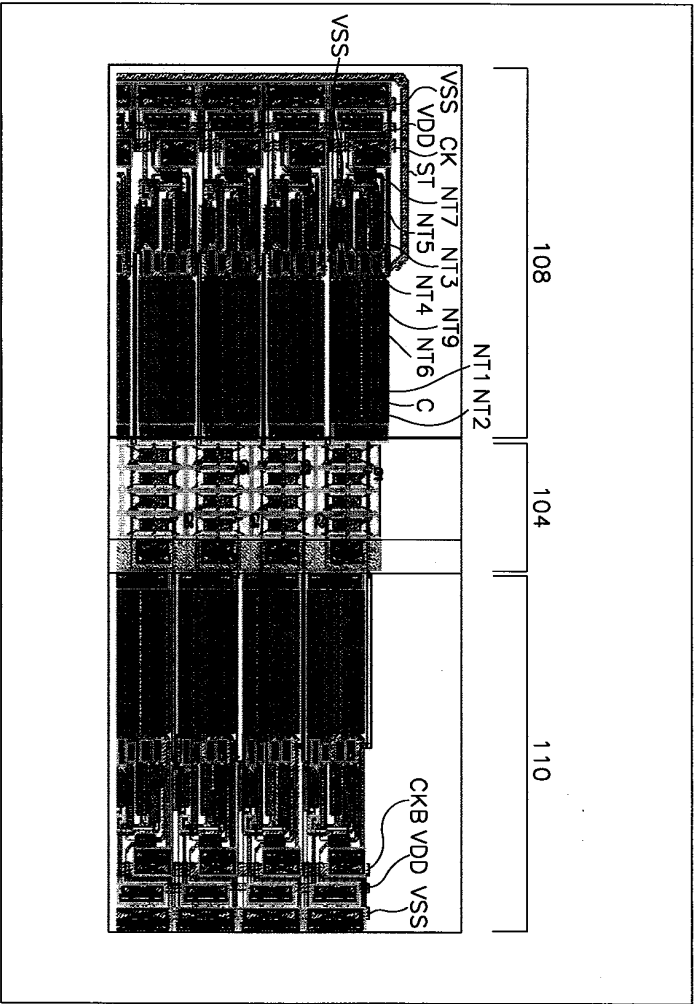
도면6



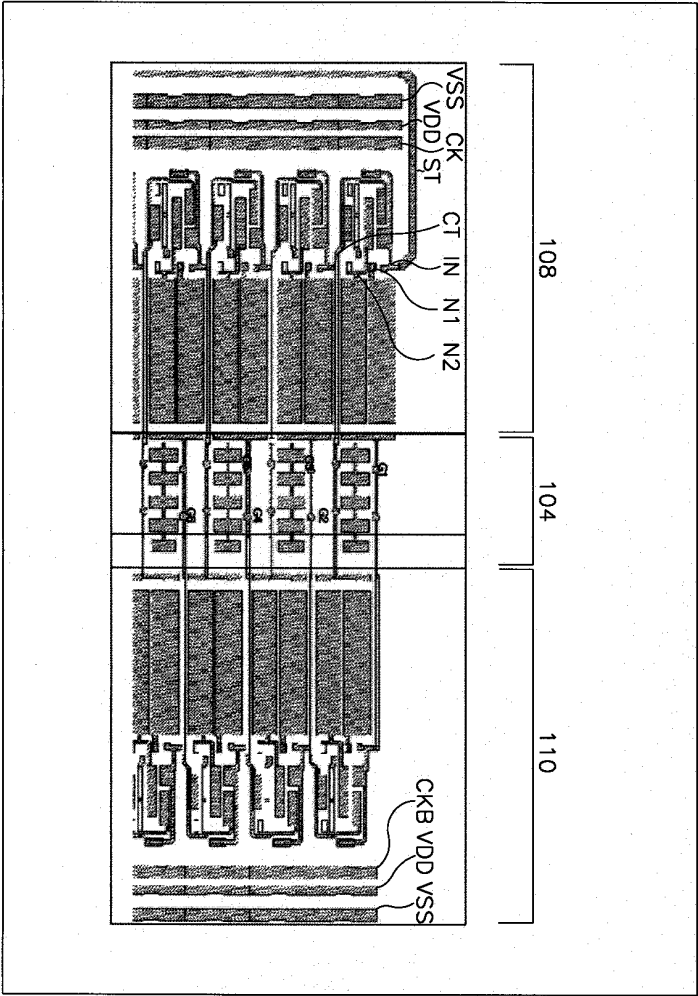
도면7



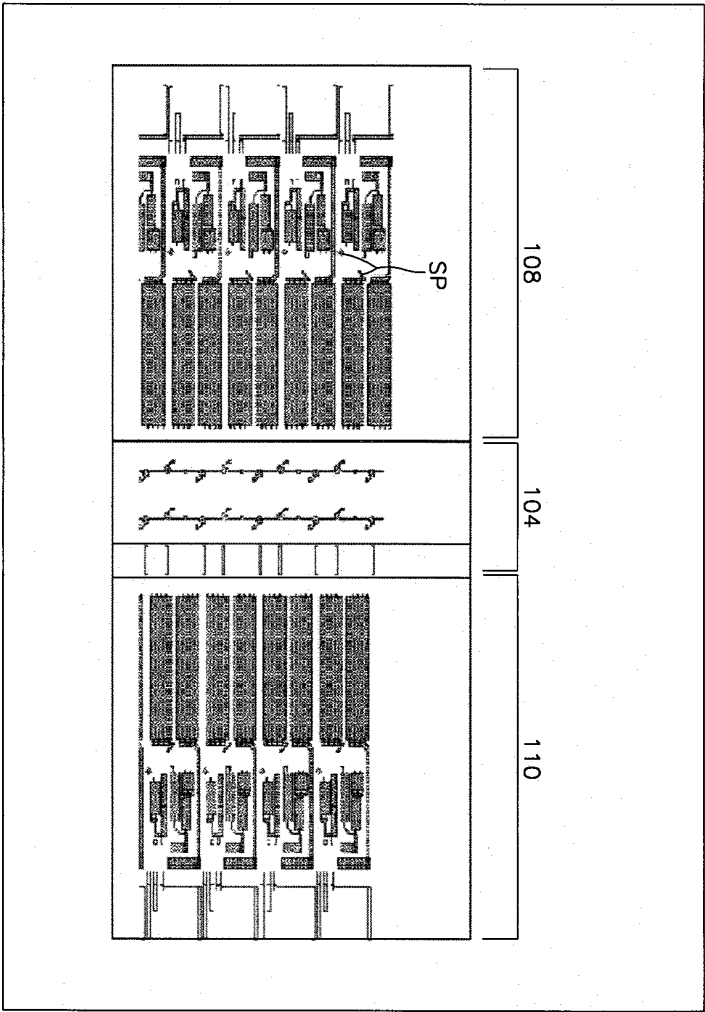
도면8



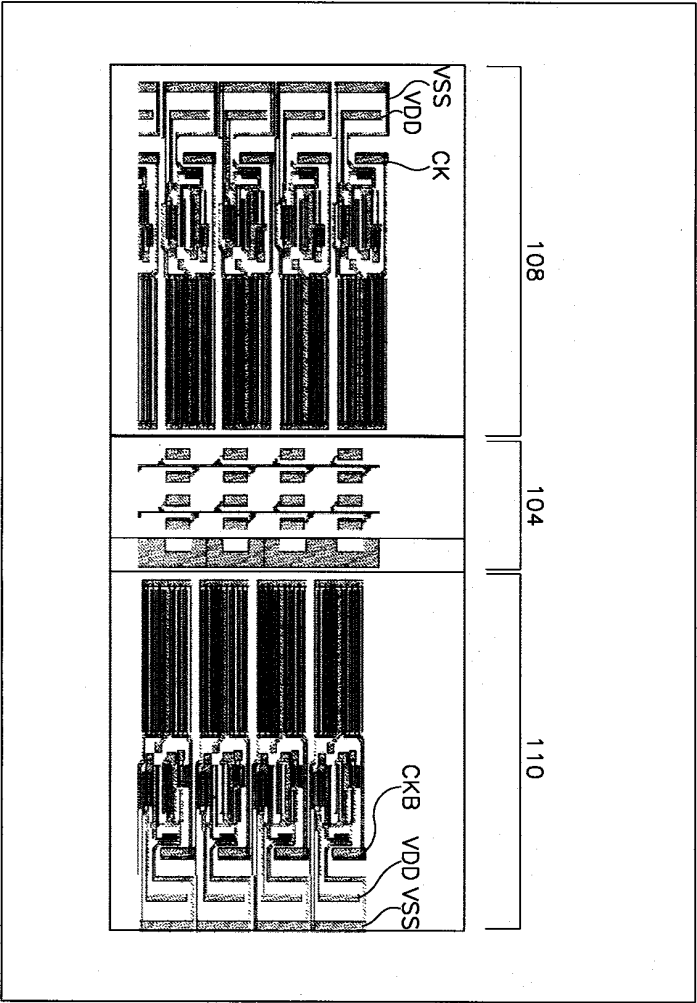
도면9



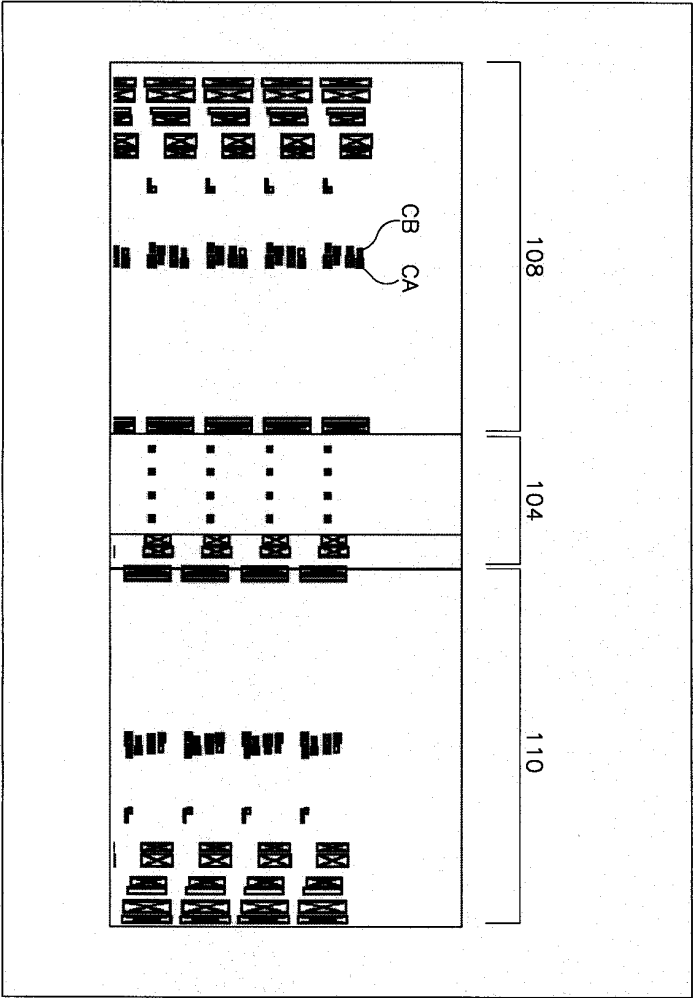
도면10



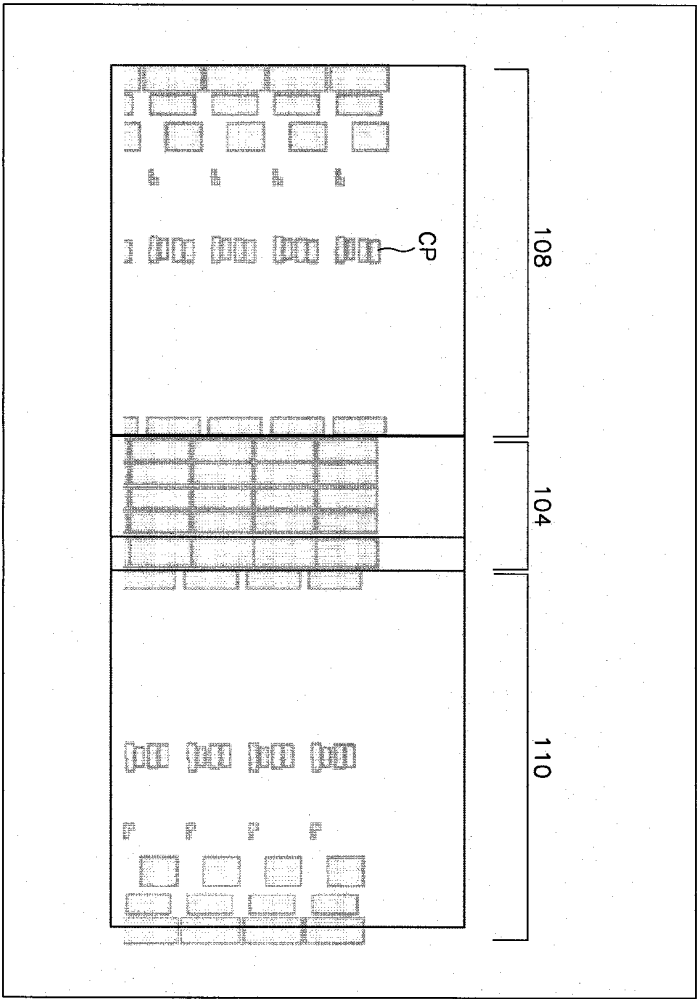
도면11



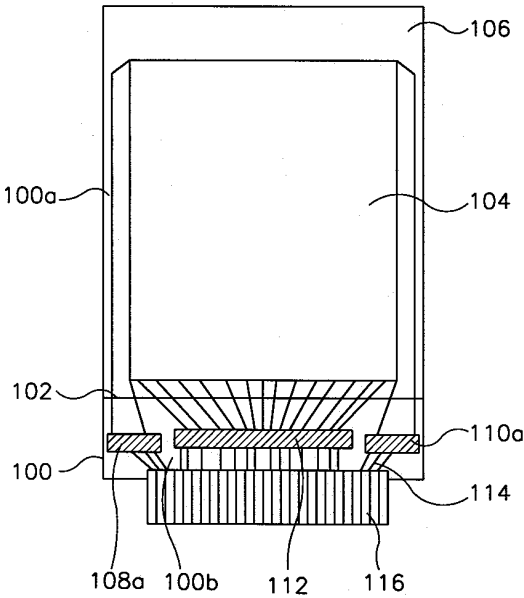
도면12



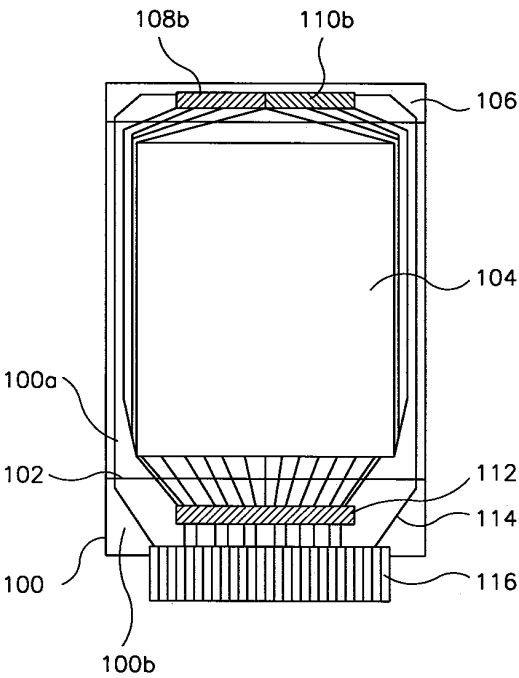
도면13



도면14



도면15



专利名称(译)	液晶显示器		
公开(公告)号	KR100803163B1	公开(公告)日	2008-02-14
申请号	KR1020010053920	申请日	2001-09-03
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE DONGHO 이동호 JEON JIN 전진		
发明人	이동호 전진		
IPC分类号	G09G3/36 G02F1/1343 G02F1/133 G02F1/1345 G02F1/1368 G09F9/00 G09F9/35 G09G3/20 G11C8/04 G11C19/00 G11C19/18 G11C19/28 H01L29/786		
CPC分类号	G11C19/00 G11C19/28 G11C19/184 G11C8/04 G09G3/3677 G02F2001/13456 G09G2310/0281 G09G3/3648 G02F1/1345		
代理人(译)	PARK , YOUNG WOO		
其他公开文献	KR1020030020185A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示装置，但本发明的具有多个分别对应于所述多个布置在所述显示区域的矩阵，并且在基板上的像素电极的多个像素电极的薄膜晶体管中的特别的装置，以及多个并且每个设置在奇数列和偶数列之间的像素电极，其特征在于，在相应的奇数列和偶数列中的薄膜晶体管是常见设置为对应于多条数据线和多个像素电极的每一行中的一个连接，该行的奇数薄膜晶体管共同连接到所述多个像素电极的相应的多个第一栅极线中的一条它对应设置于每一行，和对应的多条第二栅极线的行的偶数薄膜晶体管共同连接到所述多个用于驱动数据线的的数据驱动电路，布置在显示区域的一个外围区域中的第一栅极驱动电路，用于驱动多条第一栅极线，第二栅极驱动电路，设置在显示区域的另一个外围区域中，以便对称以驱动多个第二栅极线，它包括。

