



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년01월22일
 (11) 등록번호 10-0796787
 (24) 등록일자 2008년01월15일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2001-0000420
 (22) 출원일자 2001년01월04일
 심사청구일자 2005년12월15일
 (65) 공개번호 10-2002-0057408
 (43) 공개일자 2002년07월11일
 (56) 선행기술조사문헌
 KR1019990016183 A

(뒷면에 계속)

전체 청구항 수 : 총 10 항

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

박행원

경기도성남시수정구신흥2동한신아파트3동708호

이중희

경기도수원시장안구울전동삼성아파트203동204호

(74) 대리인

김원근, 팬코리아특허법인

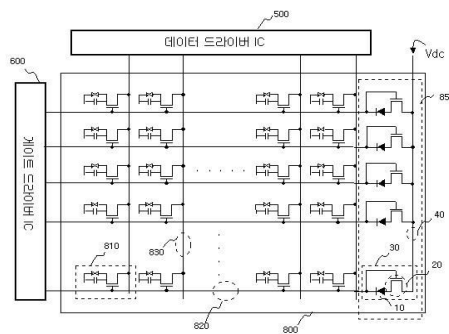
심사관 : 이동윤

(54) 게이트 신호 지연 보상 액정 디스플레이 장치, 패널 및 방법

(57) 요약

본 발명은 게이트 신호 지연 보상 액정 디스플레이 장치, 패널 및 방법에 관한 것으로, 생산비용의 상승을 초래하는 별도 구동 IC의 부가 없이 기존의 액정 디스플레이 패널의 제조와 더불어 용이하게 형성시킬 수 있으며, 간단한 회로로 구성되어 액정 디스플레이 패널의 특성에 불필요한 영향을 미치지 않고 게이트라인의 저항 및 용량에 의한 게이트 온 신호의 지연을 보상하기 위한 게이트 신호 지연 보상 액정 디스플레이 장치, 패널 및 방법을 제공하기 위한 것이며, 본 발명의 액정 디스플레이 장치 및 패널에 포함된 지연 보상부 내의 지연 보상 요소는 전류 출력 단자가 상기 게이트라인의 끝단에 연결되며, 전류 입력 단자가 박막 트랜지스터의 소스와 연결되어 상기 전류 입력 단자로부터 상기 전류 출력단자의 방향으로만 전류가 흐르도록 하는 다이오드 소자 및 게이트가 상기 다이오드 소자의 전류 출력 단자 및 상기 게이트라인의 공통단에 연결되며, 소스가 상기 다이오드 소자의 전류 입력 단자에 연결되며, 드레인이 보상 전압 전달 라인에 연결되어 상기 게이트와 상기 소스간의 전압 차에 의하여 상기 드레인으로부터 상기 소스로 전압 보상을 위한 전류가 흐르도록 하는 지연 보상 박막 트랜지스터를 포함한다.

대표도 - 도2



(56) 선행기술조사문헌

JP07013526 A

JP02312371 A

JP07218896 A

KR100239092 B1

KR1019970066649 A

특허청구의 범위

청구항 1

다수의 게이트라인, 상기 다수의 게이트라인과 절연되어 교차하는 다수의 데이터라인, 상기 게이트라인에 연결되는 게이트 전극과 상기 데이터라인에 연결되는 소스전극을 가지는 다수의 박막 트랜지스터와, 상기 박막 트랜지스터의 드레인 전극에 연결되는 화소 전극 및 상기 화소 전극에 대향되어 공통 전압을 인가하기 위한 공통 전극이 형성되어 있고, 상기 화소 전극과 상기 공통 전극사이에 액정이 채워져 있으며, 상기 각 게이트라인의 끝단에 연결되어 있고 상기 게이트라인의 끝단으로부터 지연된 게이트 신호가 입력되면 역방향의 전압이 걸리는 다이오드와 상기 다이오드를 스위칭하는 박막 트랜지스터를 포함하며, 게이트 신호가 하이 레벨로 변하는 시점의 게이트 신호 지연을 보상하기 위한 신호 지연 보상부를 포함하는 액정 디스플레이 패널;

상기 액정 디스플레이 패널을 구동시키기 위하여 상기 게이트라인에 박막 트랜지스터를 온/오프 시키는 게이트 신호를 인가하는 게이트 드라이버;

상기 액정 디스플레이 패널을 구동시키기 위하여 상기 데이터라인에 화상신호를 나타내는 데이터 전압을 인가하는 데이터 드라이버; 및

신호원, 상기 게이트 드라이버 및 데이터 드라이버에 연결되며, 상기 신호원으로부터의 화상 신호를 처리하여 상기 게이트 드라이버에서 상기 박막 트랜지스터를 온 시키기 위한 신호를 인가하도록 하며, 상기 데이터 드라이버에서 상기 화소에 데이터 전압을 인가하도록 하는 신호 제어부를 포함하는 것을 특징으로 하는 게이트 신호 지연 보상 액정 디스플레이 장치.

청구항 2

제1항에 있어서,

상기 신호 지연 보상부는

상기 각 게이트라인 끝단에 존재하는 박막 트랜지스터의 드레인을 하나로 연결하며, 상기 액정 디스플레이 패널의 외부로부터 소정의 직류 전압을 전달하는 보상 전압 전달 라인을 더 포함하는 것을 특징으로 하는 게이트 신호 지연 보상 액정 디스플레이 장치.

청구항 3

제2항에 있어서,

상기 다이오드는 전류 출력 단자가 상기 게이트라인의 끝단과 연결되어 있고, 전류 입력 단자가 상기 박막 트랜지스터의 소스와 연결되어 있으며, 상기 박막 트랜지스터의 게이트는 상기 다이오드 소자의 전류 출력 단자 및 상기 게이트라인의 공통단에 연결되어 있는 게이트 신호 지연 보상 액정 디스플레이 장치.

청구항 4

다수의 게이트라인;

상기 다수의 게이트라인과 절연되어 교차하는 다수의 데이터라인;

상기 게이트라인에 연결되는 게이트 전극과 상기 데이터라인에 연결되는 소스전극을 가지는 다수의 박막 트랜지스터;

상기 박막 트랜지스터의 드레인 전극에 연결되는 화소 전극;

상기 화소 전극에 대향되어 공통 전압을 인가하기 위한 공통 전극;

상기 화소 전극과 상기 공통 전극사이에 채워지는 액정;

상기 각 게이트라인의 끝단에 연결되어 있고 상기 게이트라인의 끝단으로부터 지연된 게이트 신호가 입력되면 역방향의 전압이 걸리는 다이오드와 상기 다이오드를 스위칭하는 박막 트랜지스터를 포함하며, 게이트 신호가 하이 레벨로 변하는 시점의 게이트 신호 지연을 보상하기 위한 신호 지연 보상부를 포함하는 것을 특징으로 하는 게이트 신호 지연 보상 액정 디스플레이 패널.

청구항 5

제4항에 있어서,

상기 신호 지연 보상부는

상기 각 게이트라인 끝단에 존재하는 박막 트랜지스터의 드레인을 하나로 연결하며, 상기 액정 디스플레이 패널의 외부로부터 소정의 직류 전압을 전달하는 보상 전압 전달 라인을 더 포함하는 것을 특징으로 하는 게이트 신호 지연 보상 액정 디스플레이 패널.

청구항 6

제5항에 있어서,

상기 다이오드는 전류 출력 단자가 상기 게이트라인의 끝단과 연결되어 있고, 전류 입력 단자가 상기 박막 트랜지스터의 소스와 연결되어 있으며, 상기 박막 트랜지스터의 게이트는 상기 다이오드 소자의 전류 출력 단자 및 상기 게이트라인의 공통단에 연결되어 있는게이트 신호 지연 보상 액정 디스플레이 패널.

청구항 7

액정 디스플레이 패널에 부가되어 게이트 신호가 하이 레벨로 변하는 시점의 게이트 신호 지연을 보상하기 위한 신호 지연 보상회로에 있어서,

다수의 게이트라인의 각각의 끝단에 연결되어 있으며, 상기 게이트라인의 끝단으로부터 지연된 게이트 신호가 입력되면 역방향의 전압이 걸리는 다이오드와 상기 다이오드를 스위칭하는 박막 트랜지스터를 포함하는 다수의 지연 보상 요소; 및

상기 지연 보상 요소와 연결되며, 상기 액정 디스플레이 패널의 외부로부터 소정의 직류 전압을 공급받아 상기 다수의 지연 보상 요소 각각에 전달하기 위한 보상 전압 전달 라인을 포함하는 것을 특징으로 하는 신호 지연 보상 회로.

청구항 8

제7항에 있어서,

상기 다이오드는 전류 출력 단자가 상기 게이트라인의 끝단과 연결되어 있고, 전류 입력 단자가 상기 박막 트랜지스터의 소스와 연결되어 있으며, 상기 박막 트랜지스터의 게이트는 상기 다이오드 소자의 전류 출력 단자 및 상기 게이트라인의 공통단에 연결되어 있고 상기 박막 트랜지스터의 드레인은 상기 보상 전압 전달 라인과 연결되어 있는 신호 지연 보상 회로.

청구항 9

액정 디스플레이 패널에 부가되어 게이트 신호가 하이 레벨로 변하는 시점의 게이트 신호 지연을 보상하기 위한 각 게이트 라인 끝단에 연결되어 상기 게이트라인의 끝단으로부터 지연된 게이트 신호가 입력되면 역방향의 전압이 걸리는 다이오드와 상기 다이오드를 스위칭하는 박막 트랜지스터를 포함하는 다수의 지연 보상 요소와 보상 전압 전달 라인을 포함하는 신호 지연 보상 회로를 사용하는 게이트 신호 지연 보상 방법에 있어서,

상기 보상 전압 전달 라인에 소정의 직류 전압을 인가하는 제1 단계; 및

상기 각각의 지연 보상 요소에 의하여 지연된 게이트 신호가 입력되고 있는 게이트라인 만을 상기 보상 전압 전달 라인과 도통되도록 하여 상기 지연된 게이트 신호가 상기 소정의 직류 전압에 의해 상승하도록 하는 제2 단계를 포함하는 것을 특징으로 하는 게이트 신호 지연 보상 방법.

청구항 10

제9항에 있어서,

상기 다이오드는 전류 출력 단자가 상기 게이트라인의 끝단과 연결되어 있고, 전류 입력 단자가 상기 박막 트랜지스터의 소스와 연결되어 있으며, 상기 박막 트랜지스터의 게이트는 상기 다이오드 소자의 전류 출력 단자 및 상기 게이트라인의 공통단에 연결되어 있고 상기 박막 트랜지스터의 드레인은 상기 보상 전압 전달 라인과 연결

되어 있는 게이트 신호 지연 보상 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <4> 본 발명은 게이트 신호 지연 보상 액정 디스플레이 장치, 패널 및 방법에 관한 것으로, 보다 상세하게는 생산비용의 상승을 초래하는 별도 구동 IC의 부가 없이 기존의 액정 디스플레이 패널의 제조와 더불어 용이하게 형성시킬 수 있으며, 간단한 회로로 구성되어 액정 디스플레이 패널의 특성에 불필요한 영향을 미치지 않고 게이트 라인의 저항 및 용량에 의한 게이트 온 신호의 지연을 보상하기 위한 게이트 신호 지연 보상 액정 디스플레이 장치, 패널 및 방법을 제공하기 위한 것이다.
- <5> 박막 트랜지스터형 액정 표시 장치(TFT-LCD)는 현재 생산되고 있는 주종을 이루는 액정 디스플레이 장치이며, 액정 디스플레이 패널의 대형화와 고해상도화가 향후의 가장 큰 과제이다. 이와 같이 액정 디스플레이 패널이 대형화되고 해상도가 높아질수록 패널 내의 데이터라인과 게이트라인이 길어져 라인 저항이 증가하며, 각 라인 간에 교차(crossover)되는 지점이 많아지므로 각 라인의 기생 용량(capacitance)도 증가하며, 특히, 향후에 요구되는 고 개구율의 패널 설계 시에는 화소와 각 라인간의 중첩(overlap)이 증가하여 신호 지연이 매우 심각해진다.
- <6> 도3에서는 종래 기술의 액정 디스플레이 패널에서의 상기 게이트 신호 지연을 도시하고 있다. 상기 도3을 참조하면, 게이트 신호는 입력지점에서 구형파이지만, 패널 상의 해당 라인으로 전송되면서 게이트라인의 끝단에서는 상기 라인 저항과 용량으로 인하여 신호 지연이 발생하고, 그에 따라 상기 구형파가 왜곡되는 결과를 가져오게 된다. 상기 도3에 도시된 바와 같이, 게이트라인 끝단의 게이트 신호는 왜곡으로 인해 지연된 파형을 가지며, 이러한 게이트 신호 지연은 액정 디스플레이 패널 내의 각 화소에서의 충전 특성을 악화시키게 되는데, 신호 지연이 심할수록 게이트 신호의 게이트 온 구간이 짧아지고, 이로 인해 각 화소의 충전량이 불충분해지기 때문이다.
- <7> 고해상도의 대형 액정 디스플레이 패널에서는 이러한 신호 지연으로 인해 화질이 저하되는 문제를 해결하기 위하여, 액정 디스플레이 패널 내의 게이트라인의 양쪽에서 신호를 인가하는 구동방법이 주로 사용되고 있다. 그러나, 이러한 방법은 구동 집적회로(Driver IC)의 수가 두 배로 증가하기 때문에 제품의 가격 경쟁력이 떨어지게 되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <8> 본 발명은 이와 같은 문제점을 해결하기 위한 것으로, 생산비용의 상승을 초래하는 별도 구동 IC의 부가 없이 기존의 액정 디스플레이 패널의 제조와 더불어 용이하게 형성시킬 수 있으며, 간단한 회로로 구성되어 액정 디스플레이 패널의 특성에 불필요한 영향을 미치지 않고 게이트라인의 저항 및 용량에 의한 게이트 온 신호의 지연을 보상하기 위한 게이트 신호 지연 보상 액정 디스플레이 장치, 패널 및 방법을 제공하기 위한 것이다.

발명의 구성 및 작용

- <9> 이와 같은 목적을 달성하기 위하여, 본 발명의 한 특징에 의한 게이트 신호 지연 보상 액정 디스플레이 장치는, 다수의 게이트라인, 상기 다수의 게이트라인과 절연되어 교차하는 다수의 데이터라인, 상기 게이트라인에 연결되는 게이트 전극과 상기 데이터라인에 연결되는 소스전극을 가지는 다수의 박막 트랜지스터와, 상기 박막 트랜지스터의 드레인 전극에 연결되는 화소 전극 및 상기 화소 전극에 대향되어 공통 전압을 인가하기 위한 공통 전극이 형성되어 있고, 상기 화소 전극과 상기 공통 전극사이에 액정이 채워져 있으며, 상기 다수의 게이트라인의 끝단에 연결되어 게이트 신호 지연을 보상하기 위한 신호 지연 보상부를 포함하는 액정 디스플레이 패널과, 상기 액정 디스플레이 패널을 구동시키기 위하여 상기 게이트라인에 박막 트랜지스터를 온/오프 시키는 게이트 신호를 인가하는 게이트 드라이버와, 상기 액정 디스플레이 패널을 구동시키기 위하여 상기 데이터라인에 화상신호를 나타내는 데이터 전압을 인가하는 데이터 드라이버 및 신호원, 상기 게이트 드라이버 및 데이터 드라이버에 연결되며, 상기 신호원으로부터의 화상 신호를 처리하여 상기 게이트 드라이버에서 상기 박막 트랜지스터를 온 시키기 위한 신호를 인가하도록 하며, 상기 데이터 드라이버에서 상기 화소에 데이터 전압을 인가하도록 하

는 신호 제어부를 포함한다.

- <10> 본 발명의 다른 한 가지 특징에 의한 게이트 신호 지연 보상 액정 디스플레이 패널은, 다수의 게이트라인, 상기 다수의 게이트라인과 절연되어 교차하는 다수의 데이터라인, 상기 게이트라인에 연결되는 게이트 전극과 상기 데이터라인에 연결되는 소스전극을 가지는 다수의 박막 트랜지스터, 상기 박막 트랜지스터의 드레인 전극에 연결되는 화소 전극, 상기 화소 전극에 대향되어 공통 전압을 인가하기 위한 공통 전극, 상기 화소 전극과 상기 공통 전극사이에 채워지는 액정, 상기 다수의 게이트라인의 끝단에 연결되어 게이트 신호 지연을 보상하기 위한 신호 지연 보상부를 포함한다.
- <11> 바람직하게는 상기 신호 지연 보상부는, 상기 다수의 게이트라인의 각각의 끝단에 연결되는 다수의 지연 보상 요소 및 상기 지연 보상 요소와 연결되며, 상기 액정 디스플레이 패널의 외부로부터 소정의 직류 전압을 공급받아 상기 다수의 지연 보상 요소 각각에 전달하기 위한 보상 전압 전달 라인을 포함하는 것을 특징으로 한다.
- <12> 본 발명의 또 다른 한 가지 특징에 의한 신호 지연 보상 회로는, 액정 디스플레이 패널에 부가되어 게이트라인의 신호 지연을 보상하기 위한 신호 지연 보상회로이며, 다수의 게이트라인의 각각의 끝단에 연결되는 다수의 지연 보상 요소 및 상기 지연 보상 요소와 연결되며, 상기 액정 디스플레이 패널의 외부로부터 소정의 직류 전압을 공급받아 상기 다수의 지연 보상 요소 각각에 전달하기 위한 보상 전압 전달 라인을 포함한다.
- <13> 본 발명의 또 다른 한 가지 특징에 의한 게이트 신호 지연 보상 방법은, 액정 디스플레이 패널에 부가되어 게이트라인의 신호 지연을 보상하기 위한 다수의 지연 보상 요소와 보상 전압 전달 라인을 포함하는 신호 지연 보상 회로를 사용하는 게이트 신호 지연 보상 방법이며, 상기 보상 전압 전달 라인에 소정의 직류 전압을 인가하는 제1 단계 및 상기 각각의 지연 보상 요소에 의하여 지연된 게이트 신호가 입력되고 있는 게이트라인만을 상기 보상 전압 전달 라인과 도통되도록 하여 상기 지연된 게이트 신호가 상기 소정의 직류 전압에 의해 상승하도록 하는 제2 단계를 포함한다.
- <14> 바람직하게는, 상기 지연 보상 요소는 전류 출력 단자가 상기 게이트라인의 끝단에 연결되며, 전류 입력 단자가 박막 트랜지스터의 소스와 연결되어 상기 전류 입력 단자로부터 상기 전류 출력단자의 방향으로만 전류가 흐르도록 하는 다이오드 소자 및 게이트가 상기 다이오드 소자의 전류 출력 단자 및 상기 게이트라인의 공통단에 연결되며, 소스가 상기 다이오드 소자의 전류 입력 단자에 연결되며, 드레인이 상기 보상 전압 전달 라인에 연결되어 상기 게이트와 상기 소스간의 전압 차에 의하여 상기 드레인으로부터 상기 소스로 전압 보상을 위한 전류가 흐르도록 하는 지연 보상 박막 트랜지스터를 포함하는 것을 특징으로 한다.
- <15> 이하에서는 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명한다.
- <16> 도1은 본 발명의 게이트 신호 지연 보상 액정 디스플레이 장치의 바람직한 한 실시예의 구성을 나타낸다.
- <17> 상기 도1에 나타난 바와 같이, 본 발명의 게이트 신호 지연 보상 액정 디스플레이 장치의 바람직한 한 실시예는, 다수의 게이트라인(820), 다수의 데이터라인(830), 게이트 전극과 소스 전극을 가지는 다수의 박막 트랜지스터(TFT)와, 화소 전극 및 공통 전극이 형성되어 있고, 화소 전극과 공통 전극사이에 액정이 채워져 있으며, 다수의 게이트라인(820)의 끝단에 연결되어 게이트 신호 지연을 보상하기 위한 신호 지연 보상부(850)를 포함하는 액정 디스플레이 패널(800)과, 게이트 드라이버(600)와, 데이터 드라이버(500), 신호원(100) 및 신호 제어부(300)를 포함한다.
- <18> 도2는 본 발명의 게이트 신호 지연 보상 액정 디스플레이 패널의 바람직한 한 실시예의 구성을 나타낸다.
- <19> 상기 도2에 나타난 바와 같이, 게이트 신호 지연 보상 액정 디스플레이 패널의 바람직한 한 실시예는 다수의 게이트라인(820), 다수의 데이터라인(830), 다수의 박막 트랜지스터, 화소 전극, 공통 전극, 액정 및 상기 다수의 게이트라인의 끝단에 연결되어 게이트 신호 지연을 보상하기 위한 신호 지연 보상부(850)를 포함하는데, 여기서, 상기 신호 지연 보상부(850)는, 상기 다수의 게이트라인(820)의 각각의 끝단에 연결되는 다수의 지연 보상 요소(30) 및 상기 지연 보상 요소(30)와 연결되며, 상기 액정 디스플레이 패널의 외부로부터 소정의 직류 전압을 공급받아 상기 다수의 지연 보상 요소 각각에 전달하기 위한 보상 전압 전달 라인(40)을 포함한다.
- <20> 또한, 여기서 상기 지연 보상 요소(30)는 전류 출력 단자가 상기 게이트라인(820)의 끝단에 연결되며, 전류 입력 단자가 박막 트랜지스터(20)의 소스와 연결되어 상기 전류 입력 단자로부터 상기 전류 출력단자의 방향으로만 전류가 흐르도록 하는 다이오드 소자(10) 및 게이트가 상기 다이오드 소자(10)의 전류 출력 단자 및 상기 게이트라인의 공통단에 연결되며, 소스가 상기 다이오드 소자(10)의 전류 입력 단자에 연결되며, 드레인이 상기 보상 전압 전달 라인(40)에 연결되어 상기 게이트와 상기 소스간의 전압 차에 의하여 상기 드레인으로부터 상기

소스로 전압 보상을 위한 전류가 흐르도록 하는 지연 보상 박막 트랜지스터(20)를 포함한다.

- <21> 도3은 본 발명에 의하여 신호 지연이 보상된 게이트 신호를 종래 기술의 지연된 게이트 신호와 비교하여 나타낸다.
- <22> 상기 도3에 나타난 바와 같이 본 발명에 의한 게이트 신호 지연 보상 액정 디스플레이 장치, 패널 및 방법에 의하여 게이트 신호 지연이 보상되며, 게이트가 하이 레벨로 유지되는 게이트 온 구간이 상기 도3의 상단의 게이트 라인 입력 파형과 동등한 정도로 회복이 가능하며, 그에 따라 상기 게이트 신호 지연에 의한 충전 시간의 부족 문제를 극복할 수 있다.
- <23> 게이트 라인의 끝단으로부터 상기 지연된 게이트 신호가 입력되면 상기 지연 보상 요소(30)내의 다이오드 소자(10)에는 역방향의 전압이 걸리게 되고 전류는 상기 다이오드 소자(10)를 통하여 흐를수 없으며, 그에 따라 게이트라인에 연결된 지연 보상 박막 트랜지스터(20)의 게이트 전압만이 상승하여 상기 지연 보상 박막 트랜지스터(20)의 게이트와 소스간의 전압차가 발생하게 되며, 일반적인 MOS 트랜지스터의 특성상 상기 게이트와 소스간의 전압차가 문턱전압(threshold voltage)를 넘는 경우에 상기 지연 보상 박막 트랜지스터(20)는 도통 상태로 들어가게 된다.
- <24> 그에 따라, 상기 지연 보상 박막 트랜지스터(20)의 드레인에 연결된 보상 전압 전달 라인(40)으로부터 상기 드레인의 전위와 상기 소스의 전위가 동등하여 질 때까지 보상 전류가 흐르게 되고, 이 전류에 의하여 상기 게이트 라인의 전위가 상승하여 상기 게이트 신호 지연은 보상되어 최종적으로 상기 도3의 하단과 같은 게이트 신호의 파형을 얻게 된다.
- <25> 또한, 상기 게이트 신호가 전혀 인가되지 않는 다른 게이트라인에 연결된 지연 보상 박막 트랜지스터(20)의 게이트에서는 상기 지연된 신호 정도의 전압 상승마저도 일어나지 않으므로 지연 보상 박막 트랜지스터(20)가 도통 될 수 없으며, 그 결과, 상기 지연된 게이트 신호가 인가되는 게이트라인 만이 선택적으로 상기 보상 전압 전달 라인(40)과 도통되므로, 구동되지 말아야 할 다른 게이트 라인이 동시에 구동되어 화상의 질을 저하시키는 문제는 발생하지 않는다.
- <26> 본 발명에 의한 게이트 신호 지연 보상 액정 디스플레이 장치, 패널 및 방법은 본 발명의 기술적 사상의 범위 내에서 다양한 형태로 변형, 응용 가능하며 상기 바람직한 실시예에 한정되지 않는다.
- <27> 또한, 상기 실시예와 도면은 발명의 내용을 상세히 설명하기 위한 목적일 뿐, 발명의 기술적 사상의 범위를 한정하고자 하는 목적이 아니며, 이상에서 설명한 본 발명은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 있어 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하므로 상기 실시예 및 첨부된 도면에 한정되는 것은 아님은 물론이다.

발명의 효과

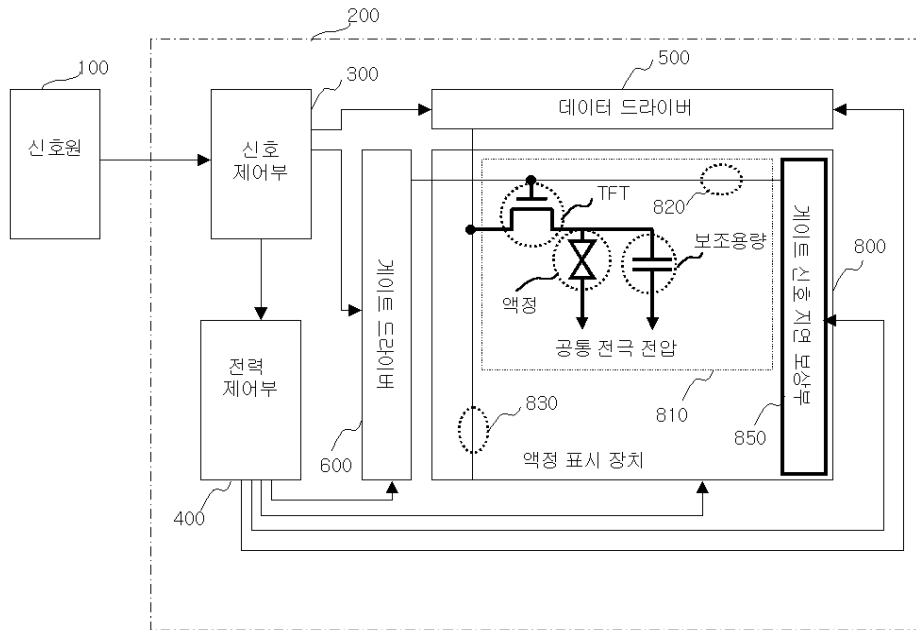
- <28> 본 발명에 의한 게이트 신호 지연 보상 액정 디스플레이 장치, 패널 및 방법에 의하여, 생산비용의 상승을 초래하는 별도 구동 IC의 부가 없이 기존의 액정 디스플레이 패널의 제조와 더불어 용이하게 형성시킬 수 있으며, 간단한 회로로 구성되어 액정 디스플레이 패널의 특성에 불필요한 영향을 미치지 않고 게이트라인의 저항 및 용량에 의한 게이트 온 신호의 지연을 보상하기 위한 게이트 신호 지연 보상 액정 디스플레이 장치, 패널 및 방법을 제공할 수 있다.

도면의 간단한 설명

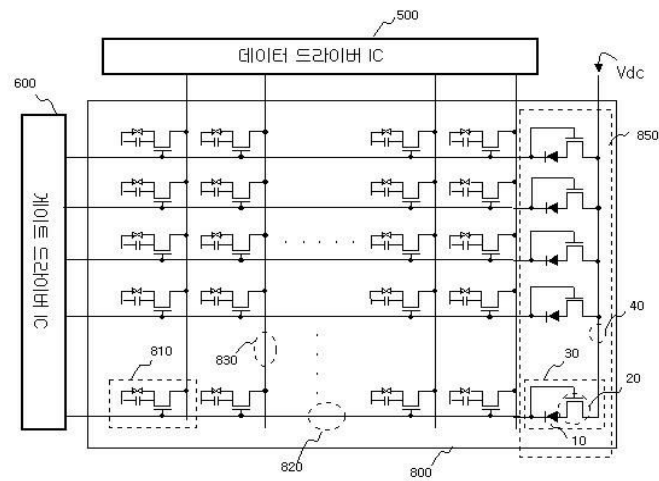
- <1> 도1은 본 발명의 게이트 신호 지연 보상 액정 디스플레이 장치의 바람직한 한 실시예의 구성을 나타낸다.
- <2> 도2는 본 발명의 게이트 신호 지연 보상 액정 디스플레이 패널의 바람직한 한 실시예의 구성을 나타낸다.
- <3> 도3은 본 발명에 의하여 신호 지연이 보상된 게이트 신호를 종래 기술의 지연된 게이트 신호와 비교하여 나타낸다.

도면

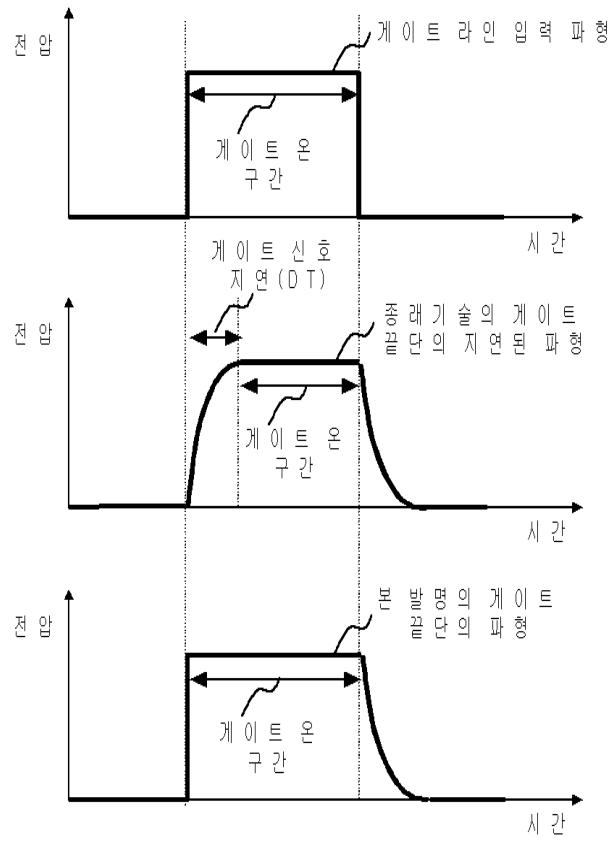
도면1



도면2



도면3



专利名称(译)	栅极信号延迟补偿液晶显示装置，面板和方法		
公开(公告)号	KR100796787B1	公开(公告)日	2008-01-22
申请号	KR1020010000420	申请日	2001-01-04
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	PARK HAENGWON 박행원 LEE JUNGHEE 이중희		
发明人	박행원 이중희		
IPC分类号	G02F1/133 G02F1/1368 G09G3/20 G09G3/36		
CPC分类号	G09G3/3688 G09G3/3648 G09G2320/0223		
代理人(译)	KIM , WON GUN		
其他公开文献	KR1020020057408A		
外部链接	Espacenet		

摘要(译)

本发明涉及栅极信号延迟补偿LCD，以及面板和方法。并且它由简单的电路组成，它可以很容易地形成，而不需要增加单独的驱动器IC，从而导致生产成本随着现有液晶显示板的制造而上升。并且补偿延迟部分内的延迟补偿元件是提供不必要的栅极信号延迟补偿LCD，用于通过栅极线的电阻和容量来影响和补偿栅极导通信号的延迟，以及面板和方法。液晶显示面板的特性和包含在本发明的液晶显示装置和面板中的电流输出连接终端是门线的末端。并且二极管元件的电流输入端口，其中电流输出端子的方向从电流输入端口连接到电流源和薄膜晶体管的栅极连接到二极管元件的电流输出端子和栅极线的公共端口。并且源极连接到二极管元件的电流输入端口延迟补偿薄膜晶体管，其中源极的电流由漏极通过栅极和源极之间的电压差补偿漏极连接到补偿电压包括送货线流量。栅极信号延迟，液晶显示，充电时间，薄膜晶体管。

