(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
G02F 1/133

(45) 공고일자 2003년12월18일
(11) 등록번호 10-0410671
(24) 등록일자 2003년12월01일

(21) 출원번호 10-2001-0067330 (분할)
(22) 출원일자 2001년10월31일
(62) 원출원 특허 특1996-0052243
원출원일자 : 1996년11월06일

(65) 공개번호 특0000-0000000
(43) 공개일자 0000년00월00일

심사청구일자 2001년10월31일

(30) 우선권주장 JP-P-1995-00313626 1995년11월07일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 히라카타요시하루
일본국243가나가와켄아쓰기시하세306그래이스우드하우스201

(74) 대리인 황의만

심사관 : 고종욱

(54) 액정장치

요약

단일 극성을 갖는 데이터 신호가 면내(面內) 스위칭형 액정표시장치의 데이터 드라이버로부터 출력된다. 단위 화소에서, 액정소자의 한 전극에 입력 트랜지스터와 배출 트랜지스터가 접속되고, 다른 전극에도 입력 트랜지스터와 배출 트랜지스터가 접속되어 있다. 동일 주사선에 접속된 하나의 입력 트랜지스터와 하나의 배출 트랜지스터가 쌍을 이루고, 다른 동일 주사선에 접속된 다른 하나의 입력 트랜지스터와 다른 하나의 배출 트랜지스터가 쌍을 이룬다. 이들 쌍을 이룬 트랜지스터들이 교대로 구동되어, 데이터 신호의 극성이 단일일 때라도 액정소자의 전극들 사이의 전위를 반전시킬 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1(A) 및 도 1(B)는 본 발명의 기본 구성을 나타내는 도면.
도 2(A) 및 도 2(B)는 본 발명의 구성을 갖는 단위 화소의 동작원리를 나타내는 도면.
도 3은 일 실시예의 동작(필드 반전 모드)을 나타내는 도면.
도 4는 일 실시예의 동작(라인 반전 모드)을 나타내는 도면.
도 5(A) 도 5(C)는 본 발명의 다른 구성을 나타내는 도면.
도 6은 종래의 IPS 방식의 단위 화소를 나타내는 도면.
도 7은 종래의 IPS 방식의 동작원리를 나타내는 도면.

도 8은 종래의 액티브 매트릭스형 액정표시장치의 단위 화소의 구성을 나타내는 도면.
도 9는 종래의 액티브 매트릭스형 액정표시장치의 동작(필드 반전 모드)을 나타내는 도면.
도 10은 종래의 액티브 매트릭스형 액정표시장치의 동작(라인 반전 모드)을 나타내는 도면.
도 11(A) 도 11(D)는 필드 반전(프레임 반전), 라인 반전 및 도트 반전의 개념을 나타내는 도면.
* 도면의 주요부분에 대한 부호의 설명
1: 데이터선 2: 주사선 3: 접지선
4: 화소전극 5: TFT 14: X-주사 드라이버
15: Y-주사 드라이버 16: 데이터 드라이버 17: 접지선
SW_1 SW_4 : 스위칭 회로 T_1 T_4 : 트랜지스터 P_m : 데이터선
X_n : 주사선 Y_n : 주사선 Z_m 접지선
LC: 액정소자 S_p : 펄스

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 신호(데이터)의 전위 변동을 억제하여 전력소비의 저감을 도모하는 액티브 매트릭스형 액정표시장치에 관한 것이고, 또한, 면내(面內)(in-plane) 스위칭("IPS"라 불림) 모드를 사용한 액티브 매트릭스형 액정표시장치의 표시 방법에 관한 것이다.
액정표시장치에서는, 액정소자에 인가되는 전압의 반전이 요구되었다. 이 동작은, 단일 극성을 갖는 전계가 장시간 인가되면 액정재료 또는 배향막의 열화(劣化) 또는 불순물에 의한 기생전하가 생기기 때문에 잔상현상과 같은 표시 악화를 방지하기 위해 행해진다. 이 동작이 "a.c.동작"이라고 불리며, 1 프레임(필드)마다 또는 여러 프레임에 대하여 1회의 반전이 요구되었다. 이 동작에는 각종 방식 이 있다. 즉, 1 프레임의 전체 표시화면이 동일 극성을 가지는 프레임 반전(필드 반전)(도 11(A)), 동일 라인에서는 극성이 같지만, 인접한 라인의 극성과는 다른 라인 반전(도 11(B) 및 도 11(C)), 서로 인접한 모든 화소가 서로 다른 극성을 가지는 도트 반전(도 11(D)) 등이 있다.
종래에는, 이러한 반전을 행하기 위해, 극성을 반전시키는 신호가 데이터 드라이버(신호 드라이버)로부터 화소에 공급되었다. 도 8은 종래의 액티브 매트릭스형 액정표시장치의 단위 화소를 나타내는데, 여기서, 박막트랜지스터(T)가 주사선(X_n)으로부터의 신호에 의해 제어되고, 온(on) 상태에서 데이터선(P_m)으로부터의 신호가 액정소자(LC) 및 필요에 따라서는 액정소자와 병렬로 배치된 보조용량(C)으로 보내져 전하가 축적된다.
상기 타입의 단위 화소가 매트릭스 형태로 배치되어 있는 표시장치에 있어서의 구동신호가 도 9에 나타내어져 있다. 이 도면에서, CLK는 표시장치의 최소 시간을 나타내는 클럭 신호(동기신호)이다. CLK에 대응하여 신호가 발생된다. 도면에 도시된 바와 같이, 펄스들이 주사선(X_1, X_2, X_3, ... X_{N-1}, X_N)에 순차적으로 인가된다. 한편, 각 라인의 화상신호에 대응하는 데이터가 데이터선(P_1)에 인가된다. 이것은 필드 반전(도 11(A))의 일례를 보여준다. 비교를 위해, 화상정보는 항상 서로 같도록 설정된다. 즉, 제2 필드의 데이터가 제1 필드의 데이터를 접지 레벨(기준전위)에 대하여 반전시킨다. 제2 필드의 데이터와 제3 필드의 데이터에서도 마찬가지이다. 또한, 라인 반전(도 11(C))의 데이터의 일례가 도 10에 나타내어져 있다. 각 라인에 대응하는 데이터를 비교하면, 제1 필드의 극성이 제2 필드의 것과 반대이다.
종래의 액정표시장치는 기판들 사이에 기판에 수직인 전압을 인가함으로써 표시를 행하는 반면에, 상기 표시장치는 기판 내에서 기판 면에 평행한 전압을 인가함으로써 표시를 행한다. 이런 타입의 구동방식이 "면내(in-plane) 스위칭"(IPS)이라고 불린다. 스위칭 소자로서 박막트랜지스터를 사용하는 액티브 매트릭스형 액정표시장치에 상기 방식이 적용되는 경우의 기본적인 개념이 일본국 특허공고 소63-21907호 공보에 개시되어 있다.
또한, 상기 방식의 응용이 일본국 공개특허공고 평7-43744호, 평7-43716호, 평7-36058호, 평6-160878호, 평6-202073호, 평7-134301호 및 평6-214244호 공보에도 개시되어 있다. 또한, 단순 매트릭스형 액정표시장치에의 상기 방식의 적용이 일본국 공개특허공고 평7-72491호 공보에 개시되어 있고, 스위칭 소자로서 박막 다이오드를 갖는 액티브 매트릭스형 액정표시장치에의 상기 방식의 적용이 일본국 공개특허공고 평7-120791호 공보에 개시되어 있다.
상기 공보들에 개시된 IPS 방식의 원리를 도 6 및 도 7에 의거하여 간단히 설명한다. 도 6은 IPS 방식을 사용하는 액티브 매트릭스형 액정표시장치의 단위 화소를 나타낸다. 통상의 액티브 매트릭스형 액정표시장치에서와 같이, 다수의 데이터선(1)과 다수의 주사선(2)이 매트릭스 형태로 배치되어 있다. 이것에 추가하여, 다수의 접지선(3)(접지선 또는 대향전극선)이 배치되어 있다. 종래의 표시장치에서는, 대향기판의 전극이 배치되어 있기 때문에, 접지선(3)이 필요하지 않았 다. 한편, IPS 방식에서는 대향기판에는 전극이 배치되어 있지 않기 때문에, 대향기판의 전극과 동일한 기능을 갖는 배선을 제공할 필요가 있다.
접지선(3)은 통상적으로 전위가 일정하게 유지된다. 또한, 접지선(3)이 주사선(2)과 동시에 형성되어 있기 때문에, 접지선이 주사선과 교차하지 않는다. 즉, 평행한 구성이 제공된다. 이것은, 접지선(3)의 일부를 데이터선(1)과 동시에 형성되는 화소전극(4)의 일부와 부분적으로 겹치게 하여 보조용량(C)을 형성하기 때문이다. 즉, 주사선(2)과 접지선(3)이 동시에 형성되고, 데이터선(1)과 화소전극(4)이 동시에 형성된다. 주사선(2)의 일부를 게이트 전극으로서 가지는

TFT(5)가 도면에 도시된 바와 같이 형성된다. 각 TFT(5)의 소스는 데이터선(1)과 접촉하고, 드레인은 화소전극(4)과 접촉한다.(도 6)
이와 같이 접지선(3)이 화소전극(4)의 반대측에 배치되는 구성에서는, 화소전극(4)과 접지선(3) 사이에는 화살표로 나타낸 바와 같이 전계가 발생한다. 액정분자들은 당초에는, 도 7에서 a로 나타낸 바와 같이, 예정된 전계에 대하여 소정의 각도, 예를 들어, 45 ° 로 배향된다. 그 다음, 전계가 인가되면, 액정분자들이 도 7에서 b로 나타낸 바와 같이 전계에 평행하게 된다. 액정분자의 경사를 잘 이용하면, 농담(濃淡)을 표현할 수 있다. 이상이 IPS 방식의 원리이다.(도 7)
상기한 바와 같이, 종래의 액티브 매트릭스형 액정표시장치에서는, 화상정보로부터만 요구되는 신호의 변동의 2배의 변동량을 갖는 데이터가 드라이버에 의해 생성되는 것을 필요로 한다. 즉, 액정에는 5 V의 실효전압이 인가되는 것만이 요구되지만, 반전의 필요성 때문에, +5 V로부터 -5 V까지의 10 V 범위의 구동능력이 요구되었다. 이것은, 드라이버의 구동전압의 저하와 전력소비의 감소에 가장 큰 방해가 된다.
마찬가지로, 상기 표시장치는 초과 전압을 액티브 매트릭스 회로에 인가함으로써 야기되는 트랜지스터의 파괴 및 특성의 열화와 같은 문제를 가진다.

발명이 이루고자 하는 기술적 과제

본 발명은 종래의 표시장치에서의 상기 문제들을 해결하기 위해 이루어진 것으로, 본 발명의 목적은, 데이터의 변동을 최소한으로 하면서도, 필요한 반전을 행하는 액정표시장치의 구조 및 그 표시장치를 구동하는 방법을 제공하는데 있다.
또한, 종래의 IPS 방식은 시야각이 종래의 액정표시장치에서보다 넓은 특징을 가지고 액정의 배향이 기판에 평행하도록 설계된다. 그러나, 상기 종래기술은 데이터 드라이버의 부담을 감소시키는 것에 대해서는 특별히 주목하고 있지 않고, 데이터는 종래의 방식의 것과 동일하다.
본 발명의 다른 목적은, 전압이 주로 동일 면내에서 인가되는 IPS 방식의 특징을 사용하여 데이터의 극성반전 없이 액정분자에 인가되는 전계를 반전시키는데 있다.

발명의 구성 및 작용

상기 문제를 해결하기 위해, 본 발명의 제1 실시형태에 따르면, 액정을 사이에 보유하는 1쌍의 제1 및 제2 전극과; 그 제1 및 제2 전극에 접속되고, 소정 기간에 상기 제1 및 제2 전극중 하나에 화상기입신호를 교대로 공급하고, 상기 제1 및 제2 전극중 다른 전극을 기준전위로 설정하여, 단일 극성의 화상신호에 따라 표시 를 행하는 회로를 포함하는 극성제어수단을 포함하는 것을 특징으로 하는 액티브 매트릭스형 액정표시장치가 제공된다.
또한, 본 발명의 제2 실시형태에 따르면, 서로 교차하지 않는 제1 및 제2 주사선과; 상기 제1 및 제2 주사선과 교차하는 데이터선과; 상기 제1 및 제2 주사선과 교차하지만 상기 데이터선과는 교차하지 않는 접지선과; 액정을 사이에 보유하는 1쌍의 제1 및 제2 전극과; 동일 기판 상에서 상기 제1 및 제2 주사선과 상기 데이터선 및 상기 접지선에 의해 둘러싸인 영역 내에 상기 제1 및 제2 전극과 함께 배치되는 제1 제4 스위칭 회로를 포함하고; 상기 제1 제4 스위칭 회로가 각각 직렬로 접속된 적어도 하나의 트랜지스터를 갖는 회로를 포함하고, 상기 제1 스위칭 회로에서 직렬로 접속된 트랜지스터들중 제1 트랜지스터의 소스가 상기 데이터선에 접속되고, 모든 트랜지스터들의 게이트가 상기 제1 주사선에 접속되며, 상기 제2 스위칭 회로에서 직렬로 접속된 트랜지스터들중 제1 트랜지스터의 소스가 상기 접지선에 접속되고, 모든 트랜지스터들의 게이트가 상기 제2 주사선에 접속되며, 상기 제1 및 제2 스위칭 회로에서 최종 트랜지스터의 드레인이 각각 상기 제1 전극에 접속되며, 상기 제3 스위칭 회로에서 직렬로 접속된 트랜지스터들중 제1 트랜지스터의 소스가 상기 데이터선에 접속되고, 모든 트랜지스터들의 게이트가 상기 제2 주사선에 접속되며, 상기 제4 스위칭 회로에서 직렬로 접속된 트랜지스터들중 제1 트랜지스터의 소스가 상기 접지선에 접속되고, 모든 트랜지스터들의 게이트가 상기 제1 주사선에 접속되며, 상기 제3 및 제4 스위칭 회로에서 최종 트랜지스터의 드레인이 각각 상기 제2 전극에 접속되는 것을 특징으로 하는 면내 스위칭형 액티브 매 트릭스형 액정표시장치가 제공된다.
또한, 본 발명의 제3 실시형태에 따르면, 상기 제2 실시형태의 면내 스위칭형 액티브 매트릭스형 액정표시장치를 구동하는 방법으로서, 제1 및 제2 주사선에 펄스들이 동시에 공급되지 않는 것을 특징으로 하는 면내 스위칭형 액티브 매트릭스형 액정표시장치의 구동방법이 제공된다.
또한, 본 발명의 제4 실시형태에 따르면, 상기 제2 실시형태의 면내 스위칭형 액티브 매트릭스형 액정표시장치를 구동하는 방법으로서, 데이터선에 입력된 신호의 전위 레벨이 항상 단일 극성인 것을 특징으로 하는 면내 스위칭형 액티브 매트릭스형 액정표시장치의 구동방법이 제공된다.
이하, 첨부 도면에 의거하여 본 발명을 더욱 상세히 설명한다.
본 발명의 실시형태를 도 1(A) 및 도 1(B)를 참조하여 설명한다.
본 발명에 따른 액정표시장치에서의 단위 화소(n번째 행, m번째 열)의 회로구성이 도 1(A)에 나타내어져 있다. 도 1(A)에 도시된 구성에서, 제1 제4 스위칭 회로(SW1 SW4)가 각각 단일의 트랜지스터(T_1 T_4)로 이루어져 있다. 종래의 IPS 방식에서와 같이, 데이터선(P_m)과 접지선(Z_m)이 배치되어 있지만, 종래의 IPS 방식과는 달리, 접지선은 데이터선과 교차하지 않도록 설계되어 있다. 이것은, 본 발명에서는 접지선이 다른 트랜지스터의 드레인에 접속될 필요가 있기 때문이다. 본 발명에서는, 트랜지스터의 소스와 드레인이 전적으로 임의적으로 정의될 수 있다. 따라서, 한쪽이 소스(또는 드레인)로서 정의될 수 있고, 이 경우, 다른 쪽은 드레인(또는 소스)이 된다. 통상적으로 정의되는 바와 같이, 전위의 레벨에 따라 소스와 드레인이 구별되는 것이 아니다.

본 발명에서는, 종래의 IPS 방식과 달리, 각 라인에 대하여 2개의 주사선이 배치되어 있다. 트랜지스터(T_1, T_3)들의 소스가 데이터선(P_m)과 접촉한다. 데이터선(P_m)에 접속된 트랜지스터(T_1, T_3)들을 "입력 트랜지스터"라고 부른다. 그 입력 트랜지스터(T_1, T_3)들의 게이트가 각각 다른 주사선에 접속되어, 이들 트랜지스터가 독립적으로 제어된다. 즉, 트랜지스터(T_1)는 주사선(X_n)에 의해 제어되고, 트랜지스터(T_3)는 주사선(Y_n)에 의해 제어된다.

또한, 트랜지스터(T_2, T_4)들의 소스는 동일한 접지선(Z_m)과 접촉한다. 이들 트랜지스터(T_2, T_4)를 "배출 트랜지스터"라고 부른다. 트랜지스터(T_1, T_2)들의 드레인이 서로 접속되고, 트랜지스터(T_3, T_4)들의 드레인이 서로 접속되며, IPS 방식의 액정소자(LC)가 드레인들 사이에 배치된다. 액정소자(LC)는 액정을 사이에 보유하는 한 쌍의 제1 및 제2 전극으로 구성되고, 트랜지스터(T_1, T_2)들의 드레인이 액정소자(LC)의 한쪽 전극에 접속되고, 트랜지스터(T_3, T_4)들의 드레인이 액정소자(LC)의 다른 쪽 전극에 접속된다. 액정소자(LC)에 병렬로 보조용량(C)이 배치될 수 있다.

트랜지스터(T_2)의 게이트가 주사선(Y_n)에 접속되고, 트랜지스터(T_4)의 게이트 가 주사선(X_n)에 접속되어, 트랜지스터(T_2)가 주사선(Y_n)에 의해 제어되고, 트랜지스터(T_4)가 주사선(X_n)에 의해 제어된다.(도 1(A))

상기 구성을 가지는 결과, 트랜지스터(T_1, T_4)들이 동시에 구동되고, 트랜지스터(T_2, T_3)들이 동시에 구동된다.

상기 구성을 갖는 단위 소자가 다수 배치된 매트릭스의 모양이 도 1(B)에 도시되어 있다. X-주사선(11)(X_1, X_2, X_3, ... X_{N-1}, X_N)과 Y-주사선(12)(Y_1, Y_2, Y_3, ... Y_{N-1}, Y_N) 및 데이터선(13)(P_1, P_2, P_3, ... P_{M-1}, P_M)이 각각 X-주사 드라이버(14)와 Y-주사 드라이버(15) 및 데이터 드라이버(16)에 의해 제어된다(N행 및 M열의 매트릭스의 경우).

접지선(17)은, 그 접지선에는 특별히 전압이 인가되지 않기 때문에, 소정의 전위로 고정되도록 구성될 수 있다. 예를 들어, 접지전위로 고정될 수 있다. 도 1(B)에서, X-주사 드라이버(14) 및 Y-주사 드라이버(15)는 별개의 부품으로서 기재되어 있지만, 일체화될 수도 있다.(도 1(B))

도 1(A) 및 도 1(B)에 도시된 단위 화소의 동작을 도 2(A) 및 도 2(B)를 참조하여 설명한다. 설명의 편의상, 데이터선(P_m)은 소정의 정(正)전위로 일정하게 유지되는 것으로 가정한다. 실제로는, 화상정보에 대응하는 신호가 데이터선(P_m)에 인가된다. 한편, 접지선(Z_m)은 부(負)의 전위로 일정하게 유지되는 것으로 가정한 다. 주사선(X_n)에 펄스(S_p)가 인가되는 상태를 고려하면, 트랜지스터(T_1, T_4)는 온(on)으로 되고, 다른 트랜지스터는 오프(off)로 유지된다. 따라서, 도 2(A)에 도시된 바와 같이, 액정소자(LC)의 전위는 도면의 상측(트랜지스터(T_1)에 접속된 측)의 전극에서는 정(+)이고, 하측(트랜지스터(T_3)에 접속된 측)의 전극에서는 부(-)이다.(도 2(A))

주사선(X_n)으로부터의 펄스(S_p)의 인가가 정지된 때, 모든 트랜지스터(T_1 T_2)가 오프로 되지만, 액정소자(LC)에 축적된 전하는 유지된다. 이어서, 주사선(Y_n)에 펄스가 인가되는 상태를 고려하면, 트랜지스터(T_2, T_3)가 온으로 되고, 다른 트랜지스터는 오프로 유지된다. 따라서, 도 2(B)에 도시된 바와 같이, 액정소자(LC)의 전위는 도면의 상측(트랜지스터(T_1)에 접속된 측)의 전극에서는 부(-)이고, 하측(트랜지스터(T_2)에 접속된 측)의 전극에서는 정(+)이다. 즉, 극성이 도 2(A)의 경우와 반대이다.(도 2(B))

상기한 바와 같이, 데이터선(P_m)에 인가되는 화상신호의 극성이 변화하지 않고, 액정소자(LC)에 인가되는 전계의 방향이 역전될 수 있다는 것이 본 발명의 특징이다. 따라서, 데이터 전위의 변동이 절반으로 감소될 수 있고, 이것이 본 발명에 의해 해결될 문제이다.

본 발명에서는, X-주사선과 Y-주사선에 동시에 펄스를 인가함으로써 모든 트 랜지스터가 동시에 온으로 될 가능성이 없다.

또한, 본 발명에 따른 액티브 매트릭스형 표시장치에서는, 제1 주사선과 제2 주사선이 선택되지 않으면, 모든 스위칭 회로가 오프로 되고, 제1 및 제2 전극이 데이터선 및 접지선으로부터 단절되어, 제1 및 제2 전극 사이에 보유된 전하의 누설이 억제될 수 있다.

이 효과는, 제1 제4 스위칭 회로(SW_1 SW_4)가 각각 단일의 트랜지스터로 구성되는 경우에도 만족스럽게 얻어질 수 있다.

또한, 제1 제4 스위칭 회로(SW_1 SW_4) 각각이, 직렬로 접속된 다수의 박막트랜지스터로 이루어진 구성에서는, 제1 또는 제2 전극에 레지스터가 직렬로 접속되기 때문에, 제1 및 제2 전극 사이에 보유된 전하의 누설이 더욱 억제될 수 있다.

도 5(A) 도 5(C)는 본 발명의 다른 실시형태를 나타낸다. 도 1(A) 및 도 1(B)에 도시된 단위 화소에서는, 스위칭 회로(SW_1 SW_4)가 단일의 박막트랜지스터로 이루어져 있다. 도 5(A) 도 5(C)는 스위칭 회로(SW_1 SW_4)가 직렬로 접속된 다수의 박막트랜지스터로 이루어져 있다.

본 명세서에서, 직렬로 접속된 다수의 박막트랜지스터는, 모든 게이트가 동일 주사선에 접속되고 인접한 트랜지스터의 소스 및 드레인이 서로 접속되도록 설계된다.

또한, 본 발명의 또 다른 실시형태를 도 1(A) 및 도 1(B)를 참조하여 설명한다.

도 1(A) 및 도 1(B)는, 액정을 사이에 보유하는 1쌍의 제1 및 제2 전극으로 구성된 액정소자(LC)와, 상기 제1 및 제2 전극에 접속되고, 소정 기간 상기 제1 및 제2 전극중 하나에 화상기입신호를 교대로 공급하고, 다른 전극을 기준전위로 설정하여, 단일 극성의 화상신호에 따라 표시를 행하도록 하는 회로를 포함하는 극성제어수단을 포함하는 액티브 매트릭스형 액정표시장치를 나타낸다.

도 5(A)는, 제1 및 제3 스위칭 회로(SW_1, SW_3) 각각이, 직렬로 접속된 3개의 박막트랜지스터(T_{11}, T_{12}, T_{13})와 3개의 박막트랜지스터(T_{15}, T_{16}, T_{17})로 이루어진 것을 나타낸다. 또한, 박막트랜지스터(T_{14}, T_{18})는 제2 및 제4 스위칭 회로(SW_2, SW_4)에 대응한다.

도 5(B)는, 제2 및 제4 스위칭 회로(SW_2, SW_4) 각각이, 직렬로 접속된 3개의 박막트랜지스터(T_{22}, T_{23}, T_{24})와 3개의 박막트랜지스터(T_{26}, T_{27}, T_{28})로 이루어진 것을 나타낸다. 또한, 박막트랜지스터(T_{21}, T_{25})는 제1 및 제3 스위칭 회로(SW_1, SW_3)에 대응한다.

도 5(C)는, 제1 및 제3 스위칭 회로(SW_1, SW_3) 각각이, 직렬로 접속된 3개의 박막트랜지스터(T_{31}, T_{32}, T_{33})와 3개의 박막트랜지스터(T_{37}, T_{38}, T_{39})로 이루어지고, 제2 및 제4 스위칭 회로(SW_2, SW_4) 각각이, 직렬로 접속된 3개의 박막트랜지스터(T_{34}, T_{35}, T_{36})와 3개의 박막트랜지스터(T_{40}, T_{41}, T_{42})로 이루어진 것 을 나타낸다.

[실시예 1]

도 3은 본 발명에 따라 n행 매트릭스의 액정표시장치에서 필드 반전이 행해지는 예를 나타낸다. 도 3에 나타낸 바와 같이, 제1 필드에서는, 펄스가 X-주사선(X_1, X_2, X_3, ... X_{N-1}, X_N)에 순차적으로 인가된다. 그러나, Y-주사선(Y_1, Y_2, Y_3, ... Y_{N-1}, Y_N)에는 펄스가 인가되지 않는다. 한편, 데이터선(본 실시예에서는, P_1 만이 나타내어져 있으나, 다른 데이터선도 마찬가지이다)에는 접지 레벨(접지선의 전위) 이상의 전위의 신호가 인가된다. 이 경우, 도 2(A)에 나타낸 상태가 실현된다.

한편, 제2 필드에서는, 제1 필드와는 반대로, 펄스가 Y-주사선(Y_1, Y_2, Y_3, ... Y_{N-1}, Y_N)에 순차적으로 인가된다. 그러나, X-주사선(X_1, X_2, X_3, ... X_{N-1}, X_N)에는 펄스가 인가되지 않는다. 데이터선 상의 데이터는 제1 필드의 것과 같다.

이 경우, 도 2(B)에 나타낸 상태가 실현된다. 즉, 액정소자(LC)에 인가되는 전계가 제1 필드와 제2 필드 사이에서 반전된다. 제2 필드와 제3 필드 사이에서도 마찬가지이다. 본 실시예에서는, 도 2(A)와 도 2(B)중 어느 한 상태가 모든 라인에서 실현되기 때문에, 필드 반전이 행해진다.(도 3)

[실시예 2]

도 4는 본 발명에 따라 n행 매트릭스의 액정표시장치에서 라인 반전이 행해 지는 예를 나타낸다. 도 4에 나타낸 바와 같이, 제1 필드에서는, X-주사선중 X_1, X_3, ... X_N 의 홀수 라인에만 펄스가 인가되고, Y-주사선중 Y_2, Y_4 (도시되지 않음), ... Y_{N-1} 의 짝수 라인에만 펄스가 인가되어, 다른 주사선에는 펄스가 인가되지 않는다. 한편, 접지 레벨(접지선의 전위) 이상의 전위의 신호가 데이터선(본 실시예에서는, P_1 만이 나타내어져 있으나, 다른 데이터선도 마찬가지이다)에 인가된다.

이 경우, 홀수 라인(첫번째, 세번째, ... n번째 라인)에서는 도 2(A)에 나타낸 상태가 실현되고, 짝수 라인(두번째, 네번째, ... n-1번째 라인)에서는 도 2(B)에 나타낸 상태가 실현된다.

한편, 제2 필드에서는, 제1 필드와는 반대로, 펄스가 Y-주사선중 Y_1, Y_3, ... Y_N 의 홀수 라인에만 인가되고, X-주사선중 X_2, X_4, ... X_{N-1} 의 짝수 라인에만 펄스가 인가되어, 다른 주사선에는 펄스가 인가되지 않는다. 데이터선 상의 데이터는 제1 필드의 것과 같다.

이 경우, 홀수 라인(첫번째, 세번째, ... n번째 라인)에서는 도 2(B)에 나타낸 상태가 실현되며, 짝수 라인(두번째, 네번째, ... n-1번째 라인)에서는 도 2(A)에 나타낸 상태가 실현된다. 즉, 특정 라인에 주목하면, 액정소자(LC)에 인가되는 전계의 방향이 제1 필드와 제2 필드 사이에서 반전된다. 또한, 본 실시예에서는, 액정소자(LC)에 인가되는 전계의 방향이 짝수 라인과 홀수 라인 사이에서 반전되기 때문에, 라인 반전이 행해진다.(도 4)

[실시예 3]

도 1에 나타낸 단위 화소에서는, 스위칭 회로(SW_1 SW_4)가 각각 단일의 박막트랜지스터(T_1 T_4)로 구성되어 있으나, 본 실시예에서는, 스위칭 회로(SW_1 SW_4)가 직렬로 접속된 다수의 박막트랜지스터로 구성되어 있다.

도 5(A) 도 5(C)는 본 실시예의 회로구성을 나타내는 도면이다. 도 1에서와 동일한 부호가 도 5(A) 도 5(C)에서 동일한 부품을 나타낸다. 또한, 도 5(A) 도 5(C)에서, 부호 T_{r1} T_{r4} 는 도 1에 나타낸 박막트랜지스터(T_1 T_4)의 것과 동일한 기능을 가지는 박막트랜지스터를 나타낸다.

도 5(A)는 제1 및 제3 스위칭 회로(SW_1, SW_3)가 각각 직렬로 접속된 3개의 박막트랜지스터(T_{11}, T_{12}, T_{13})와 3개의 박막트랜지스터(T_{15}, T_{16}, T_{17})로 구성된 것을 나타낸다.

3개의 박막트랜지스터(T_{11}, T_{12}, T_{13})와 3개의 박막트랜지스터(T_{15}, T_{16}, T_{17})의 게이트들이 각각 동일한 주사선(Xn, Yn)에 접속되어 있기 때문에, 모든 박막트랜지스터 그룹(T_{11}, T_{12}, T_{13}),(T_{15}, T_{16}, T_{17})이 동시에 온/오프 된다. 따라서, 도 5(A)에 나타낸 스위칭 회로가 구동되는 타이밍은 도 1에 나타낸 회로와 동일하다.

박막트랜지스터 그룹(T_{11}, T_{12}, T_{13}),(T_{15}, T_{16}, T_{17})의 게이트들이 각각 동일한 주사선(X_n, Y_n)에 접속되어 있기 때문에, 구동 타이밍이 도 1에 나타낸 입력 트랜지 스터(T_1, T_3)의 것과 동일하다.

도 5(A)에서, 데이터선(P_m)에 접속되는 박막트랜지스터 그룹(T_{11}, T_{12}, T_{13}), (T_{15}, T_{16}, T_{17})이 동일 수의 박막트랜지스터로 구성되어 있기 때문에, 즉, 동일 기능을 가지는 스위칭 회로가 동일 수의 박막트랜지스터로 구성되어 있기 때문에, 액정소자(LC)의 전계의 방향이 변하더라도, 전계의 어떤 상태에서도 동일한 특성으로 표시가 행해질 수 있다.

도 5(B)는 제2 및 제4 스위칭 회로(SW_2, SW_4)가 각각 직렬로 접속된 3개의 박막트랜지스터(T_{22}, T_{23}, T_{24})와 3개의 박막트랜지스터(T_{26}, T_{27}, T_{28})로 구성되는 것을 나타낸다. 또한, 박막트랜지스터(T_{21}, T_{25})는 제1 및 제3 스위칭 회로(SW_1, SW_3)에 대응한다.

박막트랜지스터(T_{22}, T_{23}, T_{24}) 및 박막트랜지스터(T_{26}, T_{27}, T_{28})의 게이트들이 각각 동일한 주사선(X_n, Y_n)에 접속되어 있기 때문에, 구동 타이밍이 도 1에 나타낸 배출 트랜지스터(T_2, T_4)의 것과 동일하다.

도 5(B)에서, 접지선(Z_m)에 접속되는 박막트랜지스터 그룹(T_{22}, T_{23}, T_{24}),(T_{26}, T_{27}, T_{28})이 동일 수의 박막트랜지스터로 구성되어 있기 때문에, 즉, 동일한 기능을 가지는 스위칭 회로가 동일 수의 박막트랜지스터로 구성되어 있기 때문에, 액정소자(LC)의 전계의 방향이 변하더라도, 전계의 어떤 상태에서도 동일한 특 성으로 표시가 행

해질 수 있다.
도 5(C)는 제1 및 제3 스위칭 회로(SW_1, SW_3)가 각각 직렬로 접속된 3개의 박막트랜지스터(T_{31}, T_{32}, T_{33})와 3개의 박막트랜지스터(T_{37}, T_{38}, T_{39})로 구성되고, 제2 및 제4 스위칭 회로(SW_2, SW_4)가 각각 직렬로 접속된 3개의 박막트랜지스터(T_{34}, T_{35}, T_{36})와 3개의 박막트랜지스터(T_{40}, T_{41}, T_{42})로 구성되는 것을 나타낸다.
또한, 도 5(C)에서는, 모든 스위칭 회로가 각각 동일 수의 박막트랜지스터로 구성되어 있다.
따라서, 액정소자(LC)에 접속된 스위칭 회로의 특성이 보다 균일하게 될 수 있다.

발명의 효과

상기한 바와 같이, 본 발명에 따르면, 액정소자에 인가되는 전계의 방향이 데이터의 극성의 반전 없이 반전될 수 있다. 그 결과, 데이터 드라이버의 구동전압이 종래의 표시장치에 요구되는 구동전압의 절반으로 감소될 수 있어, 본 발명의 액티브 매트릭스형 액정표시장치는 소비전력의 감소에 효과적이다. 또한, 본 발명의 적용에 의해 얻어지는 효과는 주사 드라이버의 구동회로 또는 액티브 매트릭스에 사용되는 트랜지스터에서도 나타난다.
예를 들어, 종래의 구동방식을 사용하는 액티브 매트릭스 회로(도 8 참조)에서는, 화소의 대향기판의 전극의 전위가 일정하게 유지되기 때문에, 예를 들어, 대향기판의 전극의 전위가 0 V로 설정되고, 화상표시를 위한 데이터가 5 V내이면, 데 이터 드라이버로부터 출력되는 데이터의 전위는 +5 V로부터 -5V까지인 10 V의 전위차로 변동한다. 즉, 트랜지스터의 소스와 드레인 사이의 전위차가 최대 10 V가 된다.
그 결과, 비선택시에 트랜지스터를 안정하게 오프 시키기 위해서는, 트랜지스터의 게이트 전극의 전위는 -5 V 이하(이후, NMOS에 대해서만 설명하고, PMOS의 경우에는 전위가 +5 V 이상이다), 바람직하게는, -7 V 이하, 통상적으로는, 약 -8 V로 설정되는 것이 요구되었다.
또한, 선택시에 트랜지스터를 확실하게 온(on) 상태로 하기 위해서는, 게이트 전극의 전위는 +5 V에 스레시홀드 전압(Vth)을 더한 값, 즉, +(Vth + 5) 이상, 바람직하게는, +(Vth + 7) 이상, 통상적으로는, 약 +8 V로 설정되는 것이 요구되었다. 이 때문에, 트랜지스터의 소스와 드레인 사이의 최대 전위차는 10 V가 되고, 트랜지스터의 게이트와 소스 사이(게이트와 드레인 사이)의 최대 전위차는 13 V가 되며, 이로부터, 화상정보로부터 요구되는 전압에 비하여 비정상적으로 높은 응력(stress)이 트랜지스터에 인가됨을 알게 되었다. 따라서, 액티브 매트릭스에 사용되는 트랜지스터는 높은 내전압 트랜지스터일 필요가 있다.
마찬가지로, 주사 드라이버로부터 출력되는 전위는 ±8 V이고, 즉, 그 전위차는 16 V이어서, 비정상적으로 높은 전압을 필요로 한다. 마찬가지로, 데이터 드라이버의 출력전압도 10 V이다.
그러나, 본 발명이 적용되는 경우에는, 동일한 트랜지스터를 사용하고 동일한 표시를 실시하는 경우라도, 데이터의 전위는 0 V로부터 +5 V까지이다. 즉, 전 위차는 5 V이다. 따라서, 이러한 상황에서는, 비선택시에 트랜지스터를 안정하게 오프 시키기 위해서는, 트랜지스터의 게이트 전극의 전위는 0 V 이하, 바람직하게는, -2 V 이하, 통상적으로는, 약 -3 V로 설정된다. 또한, 선택시에 트랜지스터를 확실하게 온 상태로 하기 위해서는, 게이트 전극의 전위는 +5 V에 스레시홀드 전압(Vth)을 더한 값, 즉, +(Vth + 5) 이상, 바람직하게는, +(Vth + 7) 이상, 통상적으로는, 약 +8 V로 설정된다.
즉, 본 발명에 따른 액티브 매트릭스 회로의 트랜지스터에서는, 소스와 드레인 사이의 최대 전위차는 5 V이고, 게이트와 소스 사이(게이트와 드레인 사이)의 최대 전위차는 8 V이다. 따라서, 전위차는 종래의 예의 전위차 13 V로부터 감소될 수 있다. 전위차의 감소가 5 V인 것은 그렇게 큰 효과를 제공하지 않는 것으로 간주될 수 있다.
그러나, 전위차의 감소에 의해, 트랜지스터에 부여되는 부담을 충분히 감소시킬 수 있다. 즉, 이것은 트랜지스터 제조 수율의 향상에 현저한 효과를 제공한다. 본 발명자의 경험에 따르면, 게이트 절연막으로서 두께 1200 Å의 산화규소막을 사용하는 경우, 게이트와 소스 사이의 전압이 10 V까지인 단계에서 파괴되는 소자는 매우 적다. 그러나, 10 V 이상인 경우에는, 파괴되는 소자의 수는 전압이 1 V씩 증가할 때마다 지수적으로 증가한다. 따라서, 게이트와 소스 사이의 전압이 10 V 이하라는 사실은 산업적인 관점에서 매우 중요한 의미를 갖는다.
마찬가지로, 주사 드라이버로부터 출력되는 전위차는 11 V이고, 이것은 종래의 예에서 얻어진 16 V보다 낮아서, 주사 드라이버에 부여되는 부담을 감소시킬 수 있다. 이와 같이, 본 발명은 데이터 드라이버뿐만 아니라 주사 드라이버의 소비전력을 줄일 수 있어, 액티브 매트릭스 회로에 사용되는 트랜지스터의 부담을 줄일 수 있다. 특히, 후자에 관해서는, 어느 정도 질이 낮은 트랜지스터라도 충분히 동작될 수 있다.
또한, 주사 드라이버와 데이터 드라이버의 출력전압이 감소될 수 있다는 사실은 이들 회로에 사용되는 트랜지스터의 부담도 감소될 수 있다는 것을 의미한다. 이것은, 액티브 매트릭스 회로의 것과 동일한 기판에 주사 드라이버와 데이터 드라이버가 일체적으로 조립되는 소위 모놀리식형 액티브 매트릭스 회로에서 특히 효과적이다. 이것은, 일반적으로 모놀리식형 액티브 매트릭스 회로에 사용되는 회로에서는, 액티브 매트릭스 회로와 마찬가지로 박막트랜지스터가 사용되고, 이것은 내전압의 점에서 난점이 있기 때문이다.
상기 실시예들에서는, n형의 트랜지스터(NMOS)가 예로서 설명되었지만, p형의 트랜지스터(PMOS)도 마찬가지로 구동될 수 있음은 말할 필요도 없다. 또한, 본 발명의 구성은 통상의 TN과 같은 모드에도 적용될 수 있다. 상기한 바와 같이, 본 발명은 액티브 매트릭스형 액정표시장치에 대하여 다양한 효과를 가지며, 공업적인 관점에서 유익한 발명이다.

(57) 청구의 범위

청구항 1.
한 쌍의 기판;
상기 기판들중 하나의 기판 위에 제공된 주사 드라이버;
상기 기판들중 상기 하나의 기판 위에 제공된 데이터 드라이버;
상기 기판들 사이에 제공된 액정; 및
면내(in-plane) 스위칭 모드로 상기 액정에 전압을 인가하도록 상기 기판들중 상기 하나의 기판 위에 제공되어 상기 전압을 인가하기 위한 다수 쌍의 제1 및 제2 전극을 가지고 상기 액정을 포함하는 다수의 화소를 포함하고;
상기 화소들의 상기 액정이 필드 반전으로 상기 전압에 응답하고,
상기 전압의 인가가, 상기 쌍들중 해당 쌍의 상기 제1 및 제2 전극들중 하나에 화상기입신호를 인가하고 상기 쌍들중 상기 해당 쌍의 상기 제1 및 제2 전극들중 다른 하나를 기준전위로 설정함으로써 실행되고,
상기 화상기입신호의 전위 레벨이 항상 단일 극성인 것을 특징으로 하는 액정장치.

청구항 2.
한 쌍의 기판;
상기 기판들중 하나의 기판 위에 제공된 주사 드라이버;
상기 기판들중 상기 하나의 기판 위에 제공된 데이터 드라이버;
상기 기판들 사이에 제공된 액정; 및
면내 스위칭 모드로 상기 액정에 전압을 인가하도록 상기 기판들중 상기 하나의 기판 위에 제공되어 상기 전압을 인가하기 위한 다수 쌍의 제1 및 제2 전극을 가지고 상기 액정을 포함하는 다수의 화소를 포함하고;
상기 화소들의 상기 액정이 라인 반전으로 상기 전압에 응답하고,
상기 전압의 인가가, 상기 쌍들중 해당 쌍의 상기 제1 및 제2 전극들중 하나에 화상기입신호를 인가하고 상기 쌍들중 상기 해당 쌍의 상기 제1 및 제2 전극들중 다른 하나를 기준전위로 설정함으로써 실행되고,
상기 화상기입신호의 전위 레벨이 항상 단일 극성인 것을 특징으로 하는 액정장치.

청구항 3.
한 쌍의 기판;
상기 기판들 사이에 제공된 액정; 및
면내 스위칭 모드로 상기 액정에 전압을 인가하도록 상기 기판들중 상기 하나의 기판 위에 제공되어 상기 전압을 인가하기 위한 다수 쌍의 제1 및 제2 전극을 가지고 상기 액정을 포함하는 다수의 화소를 포함하고;
상기 화소들의 상기 액정이 필드 반전으로 상기 전압에 응답하고,
상기 전압의 인가가, 상기 쌍들중 해당 쌍의 상기 제1 및 제2 전극들중 하나에 화상기입신호를 인가하고 상기 쌍들중 상기 해당 쌍의 상기 제1 및 제2 전극들중 다른 하나를 기준전위로 설정함으로써 실행되고,
상기 화상기입신호의 전위 레벨이 항상 단일 극성인 것을 특징으로 하는 액 정장치.

청구항 4.
한 쌍의 기판;
상기 기판들 사이에 제공된 액정; 및
면내 스위칭 모드로 상기 액정에 전압을 인가하도록 상기 기판들중 상기 하나의 기판 위에 제공되어 상기 전압을 인가하기 위한 다수 쌍의 제1 및 제2 전극을 가지고 상기 액정을 포함하는 다수의 화소를 포함하고;
상기 화소들의 상기 액정이 라인 반전으로 상기 전압에 응답하고,
상기 전압의 인가가, 상기 쌍들중 해당 쌍의 상기 제1 및 제2 전극들중 하나에 화상기입신호를 인가하고 상기 쌍들중 상기 해당 쌍의 상기 제1 및 제2 전극들중 다른 하나를 기준전위로 설정함으로써 실행되고,
상기 화상기입신호의 전위 레벨이 항상 단일 극성인 것을 특징으로 하는 액정장치.

청구항 5.
한 쌍의 기판;
상기 기판들 사이에 제공된 액정; 및
면내 스위칭 모드로 상기 액정에 전압을 인가하도록 상기 기판들중 상기 하나의 기판 위에 제공되어 상기 전압을 인가하기 위한 다수 쌍의 제1 및 제2 전극을 가지고 상기 액정을 포함하는 다수의 화소를 포함하고;
상기 화소들의 상기 액정이 필드 반전으로 상기 전압에 응답하고,
상기 전압의 인가가, 상기 쌍들중 해당 쌍의 상기 제1 및 제2 전극들중 하나에 화상기입신호를 인가하고 상기 쌍들중 상기 해당 쌍의 상기 제1 및 제2 전극들중 다른 하나를 기준전위로 설정함으로써 실행되고,
상기 화상기입신호의 인가와 상기 기준전위로의 설정이 상기 제1 전극과 상기 제2 전극에 교대로 행해지는 것을 특징으로 하는 액정장치.

청구항 6.
한 쌍의 기판;
상기 기판들 사이에 제공된 액정; 및
면내 스위칭 모드로 상기 액정에 전압을 인가하도록 상기 기판들중 상기 하나의 기판 위에 제공되어 상기 전압을 인가하기 위한 다수 쌍의 제1 및 제2 전극을 가지고 상기 액정을 포함하는 다수의 화소를 포함하고;
상기 화소들의 상기 액정이 라인 반전으로 상기 전압에 응답하고,
상기 전압의 인가가, 상기 쌍들중 해당 쌍의 상기 제1 및 제2 전극들중 하나에 화상기입신호를 인가하고 상기 쌍들중 상기 해당 쌍의 상기 제1 및 제2 전극들중 다른 하나를 기준전위로 설정함으로써 실행되고,

상기 화상기입신호의 인가와 상기 기준전위로의 설정이 상기 제1 전극과 상기 제2 전극에 교대로 행해지는 것을 특징으로 하는 액정장치.

청구항 7.

한 쌍의 기판;
상기 기판들 사이에 제공된 액정;
상기 액정을 사이에 보유하는 한 쌍의 제1 및 제2 전극을 가지는 화소;
상기 화소에 제공되고, 소스영역과 드레인영역중 하나에서 상기 제1 전극에 접속된 제1 박막트랜지스터;
상기 화소에 제공되고, 소스영역과 드레인영역중 하나에서 상기 제2 전극에 접속된 제2 박막트랜지스터;
상기 제1 박막트랜지스터의 소스영역과 드레인영역중 다른 하나에 접속된 화상기입신호선;
상기 제2 박막트랜지스터의 소스영역과 드레인영역중 다른 하나에 접속된 깁준전위선; 및
상기 제1 박막트랜지스터의 게이트 전극과 상기 제2 박막트랜지스터의 게이트 전극에 접속된 게이트선을 포함하고;
상기 제1 전극에 화상기입신호를 인가하고 상기 제2 전극을 기준전위로 설정함으로써 상기 제1 전극과 상기 제2 전극 사이에 단일 극성을 가지는 전압이 인가되고,
상기 전압의 인가를 면내 스위칭 모드로 실행하도록 상기 기판들중 하나의 기판 위에 상기 제1 및 제2 전극이 제공된 것을 특징으로 하는 표시장치.

청구항 8.

한 쌍의 기판;
상기 기판들중 하나의 기판 위에 제공된 주사 드라이버;
상기 기판들중 상기 하나의 기판 위에 제공된 데이터 드라이버;
상기 기판들 사이에 제공된 액정;
상기 액정을 사이에 보유하는 한 쌍의 제1 및 제2 전극을 가지는 화소;
상기 화소에 제공되고, 소스영역과 드레인영역중 하나에서 상기 제1 전극에 접속된 제1 박막트랜지스터;
상기 화소에 제공되고, 소스영역과 드레인영역중 하나에서 상기 제2 전극에 접속된 제2 박막트랜지스터;
상기 제1 박막트랜지스터의 소스영역과 드레인영역중 다른 하나에 접속된 화상기입신호선;
상기 제2 박막트랜지스터의 소스영역과 드레인영역중 다른 하나에 접속된 깁준전위선; 및
상기 제1 박막트랜지스터의 게이트 전극과 상기 제2 박막트랜지스터의 게이트 전극에 접속된 게이트선을 포함하고;
상기 제1 전극에 화상기입신호를 인가하고 상기 제2 전극을 기준전위로 설정함으로써 상기 제1 전극과 상기 제2 전극 사이에 단일 극성을 가지는 전압이 인가되고,
상기 전압의 인가를 면내 스위칭 모드로 실행하도록 상기 기판들중 상기 하나의 기판 위에 상기 제1 및 제2 전극이 제공된 것을 특징으로 하는 표시장치.

청구항 9.

한 쌍의 기판;
상기 기판들 사이에 제공된 액정;
상기 액정을 사이에 보유하는 한 쌍의 제1 및 제2 전극을 가지는 화소;
상기 화소에 제공되고, 소스영역과 드레인영역중 하나에서 상기 제1 전극에 접속된 제1 박막트랜지스터;
상기 화소에 제공되고, 소스영역과 드레인영역중 하나에서 상기 제2 전극에 접속된 제2 박막트랜지스터;
상기 제1 박막트랜지스터의 소스영역과 드레인영역중 다른 하나에 접속된 화상기입신호선;
상기 제2 박막트랜지스터의 소스영역과 드레인영역중 다른 하나에 접속된 깁준전위선; 및
상기 제1 박막트랜지스터의 게이트 전극과 상기 제2 박막트랜지스터의 게이트 전극에 접속된 게이트선을 포함하고;
상기 제1 전극에 화상기입신호를 인가하고 상기 제2 전극을 기준전위로 설정함으로써 상기 제1 전극과 상기 제2 전극 사이에 단일 극성을 가지는 전압이 인가되고,
상기 전압의 인가를 면내 스위칭 모드로 실행하도록 상기 기판들중 하나의 기판 위에 상기 제1 및 제2 전극이 제공되고,
상기 화상기입신호의 전위 레벨이 항상 단일 극성인 것을 특징으로 하는 표시장치.

청구항 10.

한 쌍의 기판;
상기 기판들중 하나의 기판 위에 제공된 주사 드라이버;
상기 기판들중 상기 하나의 기판 위에 제공된 데이터 드라이버;
상기 기판들 사이에 제공된 액정;
상기 액정을 사이에 보유하는 한 쌍의 제1 및 제2 전극을 가지는 화소;
상기 화소에 제공되고, 소스영역과 드레인영역중 하나에서 상기 제1 전극에 접속된 제1 박막트랜지스터;
상기 화소에 제공되고, 소스영역과 드레인영역중 하나에서 상기 제2 전극에 접속된 제2 박막트랜지스터;
상기 제1 박막트랜지스터의 소스영역과 드레인영역중 다른 하나에 접속된 화상기입신호선;
상기 제2 박막트랜지스터의 소스영역과 드레인영역중 다른 하나에 접속된 깁준전위선; 및
상기 제1 박막트랜지스터의 게이트 전극과 상기 제2 박막트랜지스터의 게이트 전극에 접속된 게이트선을 포함하고;
상기 제1 전극에 화상기입신호를 인가하고 상기 제2 전극을 기준전위로 설정함으로써 상기 제1 전극과 상기 제2 전극 사이에 단일 극성을 가지는 전압이 인가되고,
상기 전압의 인가를 면내 스위칭 모드로 실행하도록 상기 기판들중 상기 하나의 기판 위에 상기 제1 및 제2 전극이 제공되고,

상기 화상기입신호의 전위 레벨이 항상 단일 극성인 것을 특징으로 하는 표 시장치.

청구항 11.

제 8 항 또는 제 10 항에 있어서, 상기 데이터 드라이버가 상기 화상기입신호선에 접속된 것을 특징으로 하는 표시장치.

청구항 12.

제 8 항 또는 제 10 항에 있어서, 상기 주사 드라이버가 상기 게이트선에 접속된 것을 특징으로 하는 표시장치.

청구항 13.

제 8 항 또는 제 10 항에 있어서, 상기 주사 드라이버와 상기 데이터 드라이버가 상기 제1 및 제2 박막트랜지스터와 모놀리식(monolithic)적으로 상기 기판들중 상기 하나의 기판 위에 제공된 것을 특징으로 하는 표시장치.

청구항 14.

제 7 항 내지 제 10 항중 어느 한 항에 있어서, 상기 제1 및 제2 박막트랜지스터가 n형 박막트랜지스터인 것을 특징으로 하는 표시장치.

청구항 15.

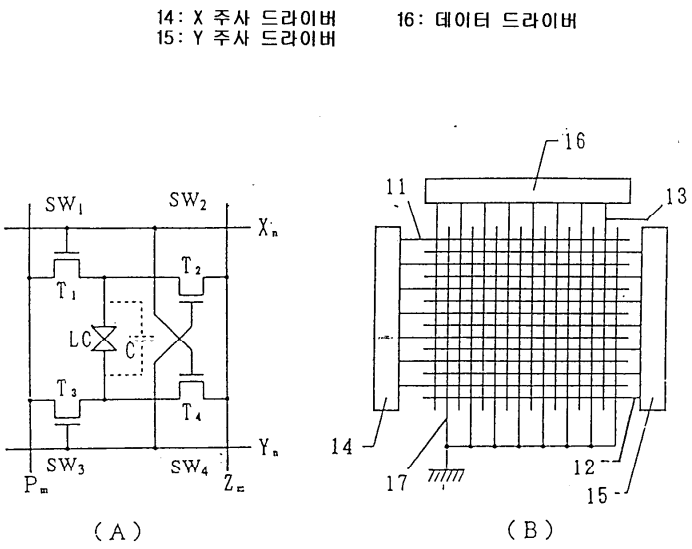
제 7 항 내지 제 10 항중 어느 한 항에 있어서, 상기 제1 및 제2 박막트랜지스터가 p형 박막트랜지스터인 것을 특징으로 하는 표시장치.

청구항 16.

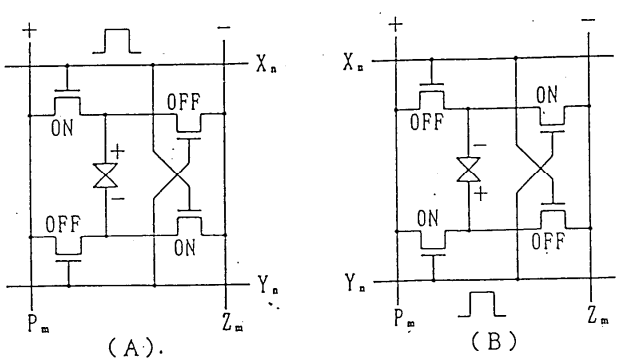
제 7 항 내지 제 10 항중 어느 한 항에 있어서, 상기 액정이 TN 액정을 포함하는 것을 특징으로 하는 표시장치.

도면

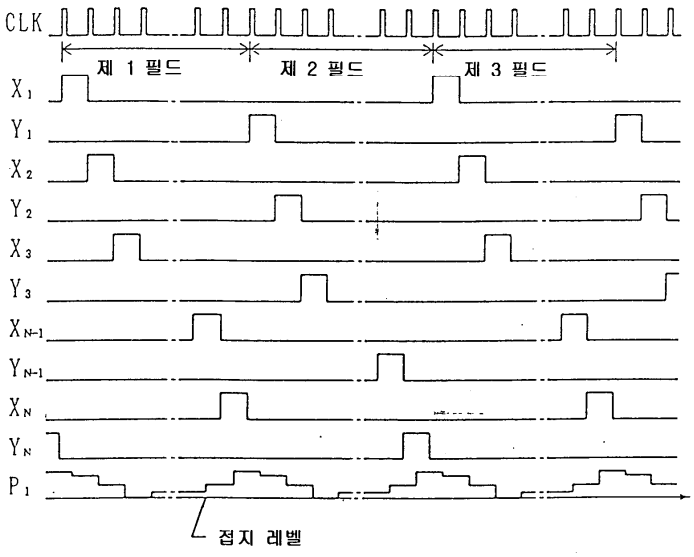
도면1



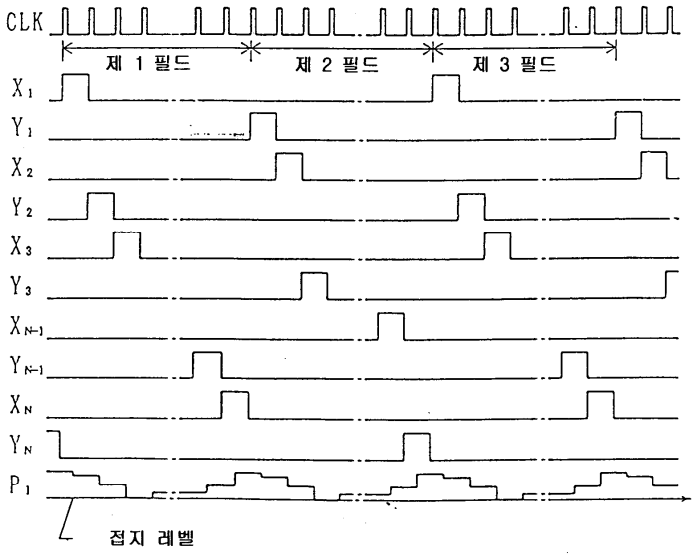
도면2



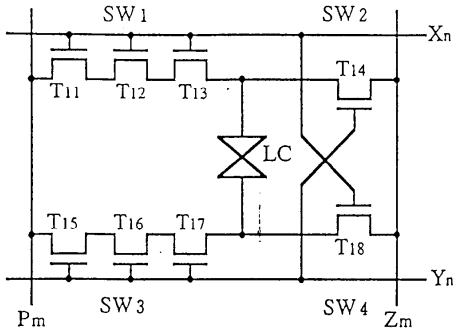
도면3


CLK
제 1 필드
제 2 필드
제 3 필드
X1
Y1
X2
Y2
X3
Y3
XN-1
YN-1
XN
YN
P1
접지 레벨

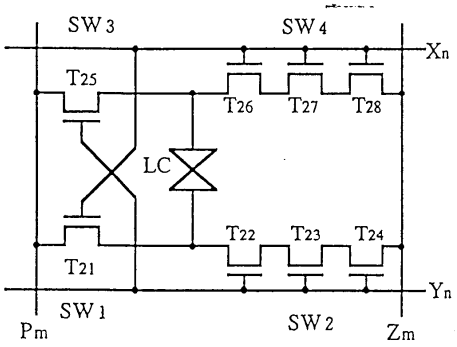
도면4


CLK
제 1 필드
제 2 필드
제 3 필드
X1
Y1
X2
Y2
X3
Y3
XN-1
YN-1
XN
YN
P1
접지 레벨

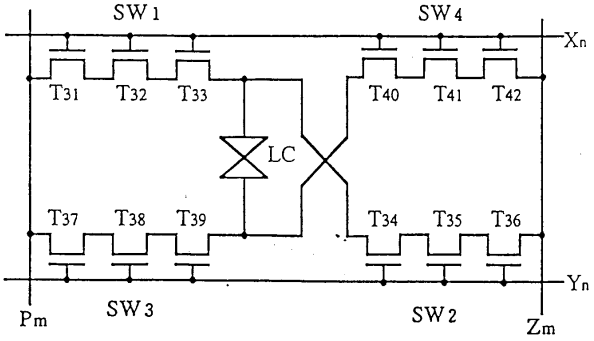
도면5


SW1
SW2
Xn
T11
T12
T13
T14
LC
T15
T16
T17
T18
Yn
Pm
SW3
SW4
Zm

(A)

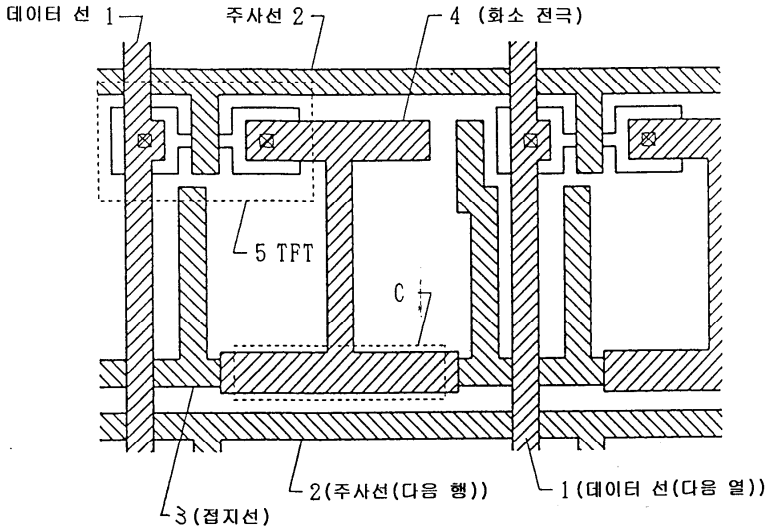

SW3
SW4
Xn
T25
T26
T27
T28
LC
T22
T23
T24
T21
Yn
Pm
SW1
SW2
Zm

(B)

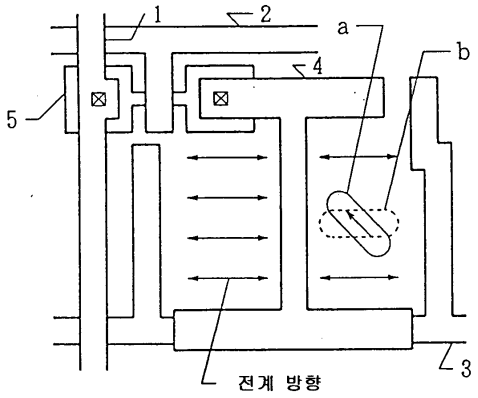

SW1
SW4
Xn
T31
T32
T33
T40
T41
T42
LC
T37
T38
T39
T34
T35
T36
Yn
Pm
SW3
SW2
Zm

(C)

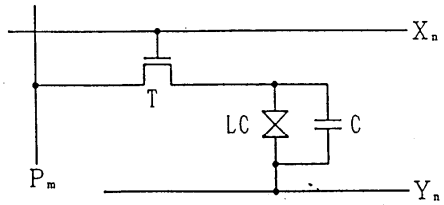
도면6


데이터 선 1
주사선 2
4 (화소 전극)
5 TFT
C
3(접지선)
2(주사선(다음 행))
1(데이터 선(다음 열))

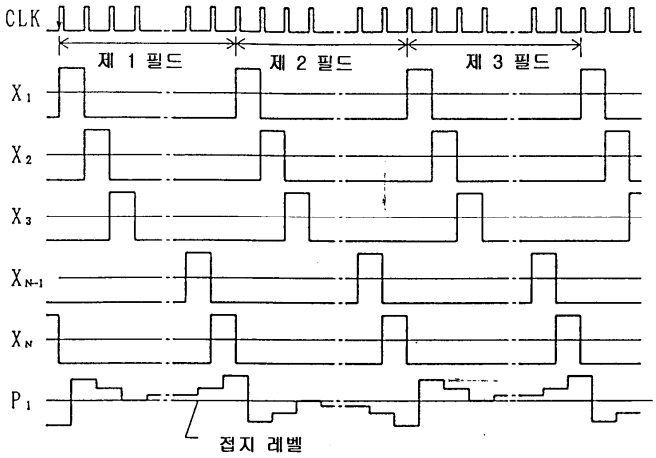
도면7



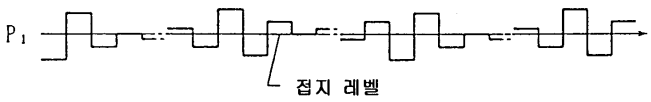
도면8



도면9

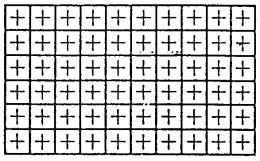


도면10



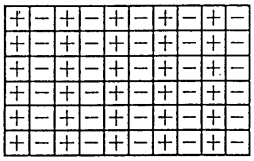
도면11

필드(프레임)반전



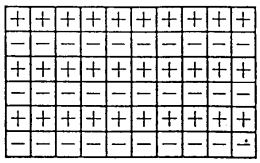
(A)

라인 반전



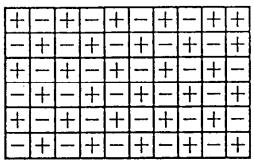
(B)

라인 반전



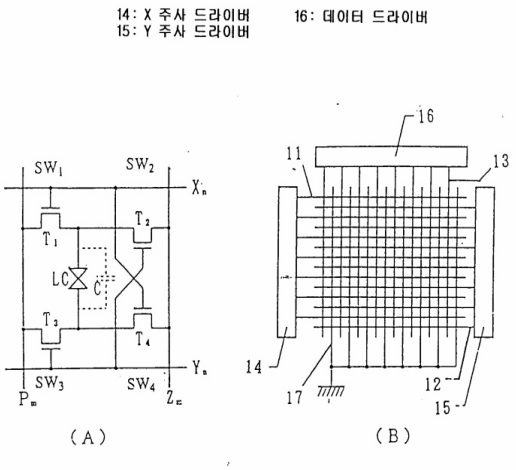
(C)

도트 반전



(D)

专利名称(译)	液晶装置		
公开(公告)号	KR100410671B1	公开(公告)日	2003-12-01
申请号	KR1020010067330	申请日	2001-10-31
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	HIRAKATA YOSHIHARU		
发明人	HIRAKATA YOSHIHARU		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G2300/0434 G09G2300/0814 G09G2300/0823 G09G3/3659		
优先权	1995313626 1995-11-07 JP		
外部链接	Espacenet		

摘要(译)

目的：提供一种LCD（液晶显示器）器件，用于进行必要的反转，同时根据需要使数据变化最小。组成：有源矩阵LCD单元包括一对在其间保持液晶的第一和第二电极，和包括连接到第一和第二电极的电路的极性控制单元，交替地向第一和第二电极中的任何一个提供图像写入信号在预定时段中的第二电极和第二电极，并将另一电极设置为参考电位，以根据单极性的图像信号进行显示。面内切换型有源矩阵LCD单元包括彼此不相交的第一和第二扫描线（Xn，Yn），与第一和第二扫描线相交的数据线（Pm），以及地线（Zm）与第一和第二扫描线相交但不与数据线相交。面内切换型LCD单元还包括在其间保持液晶的一对第一和第二电极，以及第一至第四切换电路（SW1，SW2，SW3，SW4）。第一和第二电极以及第一至第四开关电路设置在由第一和第二扫描线，数据线和地线围绕的区域中，并且设置在同一基板上。版权所有KIPO 2004