



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0029875
(43) 공개일자 2009년03월24일

(51) Int. Cl.

G02F 1/133 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호 10-2007-0095029

(22) 출원일자 2007년09월19일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

장용호

경기 성남시 분당구 분당동 셋별마을삼부아파트
414-806

김성기

서울 강북구 수유2동 270-78

(뒷면에 계속)

(74) 대리인

허용특

전체 청구항 수 : 총 18 항

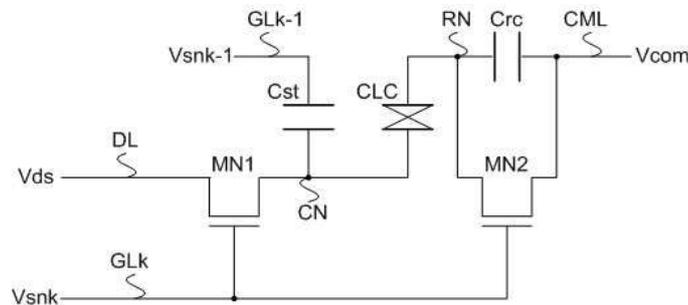
(54) 액정 화소 및 그를 포함하는 패널

(57) 요약

화소 구동 신호의 충전 종료 시의 전압 강하를 방지하기에 적합한 액정 화소가 개시된다.

액정 화소는, 충전 노드 및 기준 노드 사이에 접속된 액정 셀; 기준 노드 및 공통 전압 라인 사이에 접속된 제1 캐패시터; 대응하는 게이트 라인 상의 스캔 신호에 응답하여 대응하는 데이터 라인으로부터 충전 노드에 공급된 화소 구동 신호를 절환하는 제1 박막 트랜지스터; 및 대응하는 게이트 라인 상의 스캔 신호에 응답하여 기준 노드를 상기 공통 전압 라인에 전기적으로 접속시키는 제2 박막 트랜지스터를 구비한다.

대표도 - 도2



(72) 발명자

최승찬

경북 경산시 와촌면 계당리 266번지

유창일

서울 동대문구 답십리1동 162-4

윤수영

경기 고양시 덕양구 행신2동 무원마을10단지 서광
아파트 1010-802

특허청구의 범위

청구항 1

충전 노드 및 기준 노드 사이에 접속된 액정 셀;

기준 노드 및 공통 전압 라인 사이에 접속된 제1 캐패시터;

대응하는 게이트 라인 상의 스캔 신호에 응답하여 대응하는 데이터 라인으로부터 상기 충전 노드에 공급된 화소 구동 신호를 절환하는 제1 박막 트랜지스터; 및

상기 대응하는 게이트 라인 상의 상기 스캔 신호에 응답하여 상기 기준 노드를 상기 공통 전압 라인에 전기적으로 접속시키는 제2 박막 트랜지스터를 구비하는 것을 특징으로 하는 액정 화소.

청구항 2

제 1 항에 있어서,

상기 제1 박막 트랜지스터는 상기 제2 박막 트랜지스터와 동일 크기의 채널을 가지는 것을 특징으로 하는 액정 화소.

청구항 3

제 1 항에 있어서,

상기 제2 박막 트랜지스터는 제1 박막 트랜지스터와 동시에 턴-온되었다가 턴-오프되는 것을 특징으로 하는 액정 화소.

청구항 4

제 1 항에 있어서,

상기 충전 노드 및 이전 게이트 라인 사이에 접속된 제2 캐패시터를 추가로 구비하는 것을 특징으로 하는 액정 화소.

청구항 5

제1 방향으로 배열된 다수의 게이트 라인 및 제1 방향과 교차하는 제2 방향으로 배열된 다수의 데이터 라인에 의하여 구분된 다수의 화소 영역들에 형성된 다수의 액정 화소들을 구비하고, 상기 액정 화소들 각각이

액정 물질에 전계를 인가하기 위한 화소 전극 및 기준 전극;

상기 기준 전극의 일부와 중첩됨과 아울러 공통 전압 라인과 전기적으로 접속된 보정 전극;

대응하는 게이트 라인, 대응하는 데이터 라인 및 상기 화소 전극 사이에 접속된 제1 박막 트랜지스터; 및

상기 대응하는 게이트 라인, 상기 공통 전압 라인 및 상기 기준 전극 사이에 접속된 제2 박막 트랜지스터를 구비하는 액정 패널.

청구항 6

제 5 항에 있어서,

상기 기준 전극이 상기 화소 전극과 같은 층에 형성되고,

상기 보정 전극 및 상기 공통 전압 라인이 상기 데이터 라인과 같은 층에 형성된 것을 특징으로 하는 액정 패널.

청구항 7

제 6 항에 있어서,

상기 보정 전극이 공통 전압 라인과 일체화되게 형성된 것을 특징으로 하는 액정 패널.

청구항 8

제 5 항에 있어서,
 상기 보정 전극이 화소 전극과 같은 층에 형성되고,
 상기 기준 전극이 상기 데이터 라인과 같은 층에 형성된 것을 특징으로 하는 액정 패널.

청구항 9

제 8 항에 있어서,
 상기 기준 전극이 상기 제2 박막 트랜지스터의 드레인 및 소스 전극 중 어느 하나와 일체화되게 형성된 것을 특징으로 하는 액정 패널.

청구항 10

제 5 항에 있어서,
 상기 공통 전압 라인은 대응하는 데이터 라인과 나란하게 신장된 것을 특징으로 하는 액정 패널.

청구항 11

제 5 항에 있어서,
 상기 기준 전극이 상기 게이트 라인과 같은 층에 형성되고,
 상기 보정 전극이 상기 공통 전압 라인 및 상기 화소 전극 중 어느 하나와 같은 층에 형성된 것을 특징으로 하는 액정 패널.

청구항 12

제1 방향으로 배열된 다수의 게이트 라인 및 제1 방향과 교차하는 제2 방향으로 배열된 다수의 데이터 라인에 의하여 구분된 다수의 화소 영역들에 형성된 다수의 액정 화소들을 구비하고, 상기 액정 화소들 각각이 액정 물질에 전계를 인가하기 위한 화소 전극 및 기준 전극;
 대응하는 게이트 라인, 대응하는 데이터 라인 및 상기 화소 전극 사이에 접속된 제1 박막 트랜지스터; 및
 상기 대응하는 게이트 라인, 상기 기준 전극 및 공통 전압 라인에 접속된 제2 박막 트랜지스터를 구비하고,
 상기 공통 전압 라인의 일부가 상기 기준 전극의 일부와 중첩되는 것을 특징으로 액정 패널.

청구항 13

제 12 항에 있어서,
 상기 공통 전압 라인은 대응하는 데이터 라인과 나란하게 신장된 것을 특징으로 하는 액정 패널.

청구항 14

투과성 기관 상에 게이트 라인을 형성하는 단계;
 상기 게이트 라인을 가지는 상기 기관의 표면에 절연막을 형성하는 단계;
 상기 절연막 상에, 데이터 라인, 공통 전압 라인, 상기 데이터 라인 및 상기 게이트 라인과 전기적으로 접속된 제1 박막 트랜지스터, 및 상기 게이트 라인 및 상기 공통 전압 라인과 전기적으로 접속된 제2 박막 트랜지스터를 형성하는 단계; 및
 상기 제1 박막 트랜지스터에 전기적으로 접속된 화소 전극, 상기 제2 박막 트랜지스터와 전기적으로 접속된 기준 전극, 및 상기 공통 전압 라인 및 상기 기준 전극 사이에 접속되는 보정용 캐패시터를 형성하는 단계를 포함하는 것을 특징으로 하는 액정 패널 제조 방법.

청구항 15

제 14 항에 있어서,

상기 보정 캐패시터는, 상기 공통 전압 라인의 일부와 중첩되게 신장된 상기 기준 전극의 확장 부분을 구비하는 것을 특징으로 하는 액정 패널 제조 방법.

청구항 16

제 14 항에 있어서,

상기 보정 캐패시터는, 상기 기준 전극의 일부와 중첩하게 상기 공통 전압 라인으로부터 신장된 보정 전극을 구비하는 것을 특징으로 하는 액정 패널 제조 방법.

청구항 17

제 14 항에 있어서, 상기 보정 캐패시터는,

상기 기준 전극의 일부 및 상기 공통 전압 라인의 일부와 중첩하는 보정 전극; 및

상기 보정 전극을 상기 공통 전압 라인과 전기적으로 접속시키는 콘택을 구비하는 것을 특징으로 하는 액정 패널 제조 방법.

청구항 18

제 14 항에 있어서,

상기 공통 전압 라인은 대응하는 데이터 라인과 나란하게 신장된 것을 특징으로 하는 액정 패널 제조 방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 액정의 광 투과율을 조절하여 화상을 표시하는 액정 패널에 관한 것이다.

배경기술

<2> 통상의 액정 패널(Liquid Crystal Panel)은, 음극선관(Cathode Ray Tube)에 비하여 현저하게 작은 부피 및 무게를 가진다. 이에 따라, 액정 패널은 음극선관을 대신하여 컴퓨터 시스템의 표시 장치, 텔레비전 수상기의 표시 장치 및 이동 단말기의 표시 장치 등에 사용되고 있다.

<3> 액정 패널은 비디오 데이터에 해당하는 전계에 따라 투과 광량을 조절하여 화상이 표시되게 한다. 화점 별로 투과 광량을 제어하기 위하여, 액정 패널은 액티브 매트릭스 형태로 배열된 액정 화소들을 구비한다. 액정 화소들 각각은 액정 셀에 공급될 화소 구동 신호를 스위칭하기 위한 박막 트랜지스터와 같은 스위치 소자를 구비한다. 액정 셀은 스위치 소자를 경유하여 공급되는 화소 구동 신호의 전압에 해당하는 량의 광을 통과시켜 화점이 표시되게 한다.

<4> 그러나, 화소 구동 신호의 충전 종료 시, 액정 셀에 충전된 전압이 스위치 소자에 공급되는 화소 구동 신호의 전압보다 낮아지게 된다. 이러한 전압 강하(Kick Voltage) 현상은, 스위치 소자(즉, 박막 트랜지스터)의 캐생 용량에 의하여 액정 셀이 데이터 라인(또는 소스 라인) 및 게이트 라인(또는 스캔 라인)과 커플링되는 것에 기인한다. 액정 셀들에서의 강하 전압들 사이에는, 화소 구동 신호의 전압 및 스위치 소자의 기생 용량에 따라 편차가 있을 수밖에 없다. 액정 셀들에서의 강하 전압들 간의 편차는 액정 패널에서의 휘도의 불균일 및 화상의 열화 등을 초래한다. 이로 인하여, 액정 패널은 양질이 화상을 표시하기 곤란하였다.

발명의 내용

해결하고자하는 과제

<5> 따라서, 본 발명의 목적은 화소 구동 신호의 충전 종료 시의 전압 강하를 방지하기에 적합한 실시 예의 액정 화소를 제공하는 것이다.

<6> 본 발명의 다른 목적은 양질의 화상을 표시하기에 적합 액정 패널 및 그 제조 방법을 제공하는 것이다.

과제 해결수단

<7> 일 실시 예에 따른 액정 화소는, 충전 노드 및 기준 노드 사이에 접속된 액정 셀; 기준 노드 및 공통 전압 라인 사이에 접속된 제1 캐패시터; 대응하는 게이트 라인 상의 스캔 신호에 응답하여 대응하는 데이터 라인으로부터 상기 충전 노드에 공급된 화소 구동 신호를 절환하는 제1 박막 트랜지스터; 및 상기 대응하는 게이트 라인 상의 상기 스캔 신호에 응답하여 상기 기준 노드를 상기 공통 전압 라인에 전기적으로 접속시키는 제2 박막 트랜지스터를 구비한다.

<8> 다른 실시 예에 다른 액정 패널은, 제1 방향으로 배열된 다수의 게이트 라인 및 제1 방향과 교차하는 제2 방향으로 배열된 다수의 데이터 라인에 의하여 구분된 다수의 화소 영역들에 형성된 다수의 액정 화소들을 구비한다.

<9> 상기 액정 화소들 각각은, 액정 물질에 전계를 인가하기 위한 화소 전극 및 기준 전극; 상기 기준 전극의 일부와 중첩됨과 아울러 공통 전압 라인과 전기적으로 접속된 보정 전극; 대응하는 게이트 라인, 대응하는 데이터 라인 및 상기 화소 전극 사이에 접속된 제1 박막 트랜지스터; 및 상기 대응하는 게이트 라인, 상기 공통 전압 라인 및 상기 보정 전극 사이에 접속된 제2 박막 트랜지스터를 구비할 수 있다.

<10> 상기 기준 전극이 상기 화소 전극과 같은 층에 형성되는 반면, 상기 보정 전극 및 상기 공통 전압 라인이 상기 데이터 라인과 같은 층에 형성될 수 있다. 상기 보정 전극이 공통 전압 라인과 일체화되게 형성될 것이다.

<11> 상기 보정 전극이 화소 전극과 같은 층에 형성되는 반면, 상기 기준 전극이 상기 데이터 라인과 같은 층에 형성될 수도 있다. 이 경우, 상기 기준 전극이 상기 제2 박막 트랜지스터의 드레인 및 소스 전극 중 어느 하나와 일체화되게 형성될 것이다.

<12> 상기 액정 화소들 각각은, 액정 물질에 전계를 인가하기 위한 화소 전극 및 기준 전극; 대응하는 게이트 라인, 대응하는 데이터 라인 및 상기 화소 전극 사이에 접속된 제1 박막 트랜지스터; 및 상기 대응하는 게이트 라인, 상기 기준 전극 및 공통 전압 라인에 접속된 제2 박막 트랜지스터를 구비할 수도 있다. 이 경우, 상기 공통 전압 라인의 일부가 상기 기준 전극의 일부와 중첩될 것이다.

<13> 또 다른 실시 예에 따른 액정 패널 제조 방법은, 투과성 기관 상에 게이트 라인을 형성하는 단계; 상기 게이트 라인을 가지는 상기 기관의 표면에 절연막을 형성하는 단계; 상기 절연막 상에, 데이터 라인, 공통 전압 라인, 상기 데이터 라인 및 상기 게이트 라인과 전기적으로 접속된 제1 박막 트랜지스터, 및 상기 게이트 라인 및 상기 공통 전압 라인과 전기적으로 접속된 제2 박막 트랜지스터를 형성하는 단계; 및 상기 제1 박막 트랜지스터에 전기적으로 접속된 화소 전극, 상기 제2 박막 트랜지스터와 전기적으로 접속된 기준 전극, 및 상기 공통 전압 라인 및 상기 기준 전극 사이에 접속되는 보정용 캐패시터를 형성하는 단계를 포함한다.

<14> 상기 실시 예들 외에도, 본 명세서의 다른 목적들, 다른 특징들 및 다른 이점들은 첨부한 도면과 결부된 실시 예의 상세한 설명을 통하여 명백하게 드러나게 될 것이다.

효과

<15> 상기와 같은 구성의 실시 예에 따른 액정 화소에서는, 화소 구동 신호(Vds)의 충전 종료 시에, 액정 셀(CLC)의 화소 전극 상의 전압(Vcn)이 ΔVp 만큼 강하하는 만큼, 액정 셀(CLC)의 다른 전극 상의 전압(Vrn)도 ΔVp 만큼 강하한다. 이에 따라, 액정 셀(CLC)에는 화소 구동 신호(Vds)의 전압이 정확하게 충전될 수 있다. 또한, 실시 예에 따른 액정 화소를 포함하는 액정 패널에서는, 액정 화소의 액정 셀들이 화소 구동 신호에 정확하게 응답하기 때문에, 휘도의 불균일 및 화상의 열화가 거의 발생하지 않게 된다. 이 결과, 실시 예에 따른 액정 화소를 포함하는 액정 패널은 향상된 화질의 화상을 표시할 수 있다.

발명의 실시를 위한 구체적인 내용

<16> 본 발명의 실시 예들의 설명 전에, 액티브 매트릭스 방식의 액정 패널 상에 배열된 관련 기술의 액정 화소를 살펴보기로 한다. 도 1은 관련 기술의 액정 화소를 상세하게 설명하는 회로도이다. 도 1를 참조하면, 관련 기술의 액정 화소는 대응하는 게이트 라인(GL) 상의 스캔 신호(Vsn)에 응답하여 대응하는 데이터 라인(DL)으로부터 액정 셀(CLC) 및 저장 캐패시터(Cst)에 공급될 화소 구동 신호(Vds)를 스위칭하는 박막 트랜지스터(MN)를 구비한다. 액정 셀(CLC) 및 저장 캐패시터(Cst)는 공통 전압 라인(CML)과 박막 트랜지스터(MN) 사이에 병렬 접속된

다. 공통 전압 라인(CML)에는 공통 전압(Vcom)이 공급된다. 박막 트랜지스터(MN)는, 제어용 스위치 소자로서, 대응하는 게이트 라인(GL) 상의 스캔 신호(Vsn)가 고 전위 전압(즉, 하이 논리)을 유지하는 기간에, 대응하는 데이터 라인(DL) 상의 화소 구동 신호(Vds)를 액정 셀(CLC) 및 저장 캐패시터(Cst)에 전달한다. 액정 셀(CLC) 및 저장 캐패시터(Cst)는, 박막 트랜지스터(MN)가 턴-온(Turn-on)된 기간에, 화소 구동 신호(Vds)와 공통 전압(Vcom)과의 차 전압을 충전한다. 액정 셀(CLC) 및 저장 캐패시터(Cst)에 충전된 전압(즉, 충전 노드(CN) 상의 전압(Vcn))은 박막 트랜지스터(MN)가 다시 턴-온 될 때까지 유지된다.

- <17> 이와 같은 관련 기술의 액정 화소에서는, 박막 트랜지스터(MN)가 턴-온된 기간에 액정 셀(CLC)에 충전된 전압은 박막 트랜지스터(MN)가 턴-오프(Turn-off) 되는 순간에 강해진다. 이는 박막 트랜지스터(MN)에 존재하는 기생 캐패시터의 의하여 순간적으로 데이터 라인(DL) 및 게이트 라인(GL)과 커플링 됨으로 인하여 야기된다. 박막 트랜지스터(MN)의 턴-오프 시점에서 강해지는 액정 셀(CLC)의 충전 전압 폭은 화소 구동 신호(Vds)의 전압에 따라 달라진다. 액정 셀(CLC)에서의 강하 전압의 폭은 박막 트랜지스터의 기생 용량에 따라서도 달라진다. 이로 인하여, 액정 셀들에서의 강하 전압들 사이에는 편차가 있을 수밖에 없다. 이러한 액정 셀들 사이에서의 강하 전압의 편차는 액정 패널의 휘도의 불균일 및 화상의 열화를 초래함은 물론 나아가 액정 패널 상에 표시되는 화상의 질을 떨어뜨린다.
- <18> 다음으로, 화소 구동 신호의 충전 종료 시의 전압 강하를 방지하기에 적합한 액정 화소와 화질 향상 가능한 액정 패널의 실시 예들이 첨부된 도면들과 결부되어 상세하게 설명될 것이다.
- <19> 도 2는 실시 예에 따른 화소 구동 신호의 충전 종료 시의 전압 강하 방지 가능한 액정 화소를 상세하게 설명하는 회로도이다. 도 2의 액정 화소는, 대응하는 게이트 라인(GLk) 상의 스캔 신호(Vsnk)에 공통적으로 응답하는 제1 및 제2 박막 트랜지스터(MN1, MN2)를 구비한다. 제1 박막 트랜지스터(MN1)는, 제어용 스위치 소자로서, 대응하는 데이터 라인(DL)으로부터 충전 노드(CN) 쪽으로 전송될 화소 구동 신호(Vds)를 스위칭한다. 제2 박막 트랜지스터(MN2)도, 제어용 스위치 소자로서, 기준 노드(RN)를 공통 전압 라인(CML)에 선택적으로 접속시킨다. 충전 노드(CN) 및 기준 노드(RN) 사이에는 액정 셀(CLC)이 접속되고, 기준 노드(RN) 및 공통 전압 라인(CML) 사이에는 전압 보정 기능의 제1 캐패시터(Crc)가 접속된다. 공통 전압 라인(CML)에는 공통 전압(Vcom)이 공급된다.
- <20> 대응하는 게이트 라인(GLk)에 고 전위 전압(즉, 하이 논리)의 스캔 신호(Vsnk)가 인가되는 동안, 제1 박막 트랜지스터(MN1)는 대응하는 데이터 라인(DL) 상의 화소 구동 신호(Vds)를 충전 노드(CN)를 경유하여 액정 셀(CLC)에 공급한다. 한편, 제2 박막 트랜지스터(MN2)는, 기준 노드(RN)와 공통 전압 라인(CML)을 전기적으로 접속시켜, 공통 전압 라인(CML) 상의 공통 전압(Vcom)이 기준 노드(RN)에 공급되게 한다. 이 기간 동안, 액정 셀(CLC)은 충전 노드(CN) 상의 화소 구동 신호(Vds)의 전압과 공통 전압(Vcom)과의 차 전압을 충전한다.
- <21> 대응하는 게이트 라인(GLk) 상의 스캔 신호(Vsnk)가 고 전위 전압(즉, 하이 논리)에서 저 전위 전압(즉, 로우 논리)로 천이할 때, 제1 박막 트랜지스터(MN1)는 대응하는 데이터 라인(DL)을 충전 노드(CN)로부터 전기적으로 분리시키고, 제2 박막 트랜지스터(MN2)는 기준 노드(RN)를 공통 전압 라인(CML)으로부터 전기적으로 분리시킨다. 이때, 액정 셀(CLC)에 충전된 전압은, 제1 박막 트랜지스터(MN1)의 기생 캐패시터에 의해 대응하는 데이터 라인(DL) 및 대응하는 게이트 라인(GLk)과 커플링됨으로 인하여, 화소 구동 신호(Vds)의 전압 및 제1 박막 트랜지스터(MN1)의 기생 용량에 따른 전압만큼 낮아지게 된다. 반면, 제1 캐패시터(Crc)는, 제2 박막 트랜지스터(MN2)의 기생 캐패시터에 의해 커플링된 대응하는 게이트 라인(GLk)로부터의 전압 및 액정 셀(CLC)에서 강하 전압의 일부를 역방향으로 충전한다. 또한, 액정 셀(CLC)의 강하된 충전 전압 및 제1 캐패시터(Crc)에 역방향 충전된 전압은 제1 및 제2 박막 트랜지스터(MN1, MN2)가 다시 턴-온될 때까지 유지된다.
- <22> 이렇게 제1 캐패시터(Crc)에 역방향 충전된 전압은, 액정 셀(CLC)에 충전된 전압이 제1 박막 트랜지스터(MN1)가 턴-오프되는 순간에 강해진 전압을 높여지게끔, 보정한다. 제1 캐패시터(Crc)에 충전된 전압 만큼, 액정 셀(CLC)에 충전된 전압은 높아지게 된다. 결과적으로, 실시 예에 따른 액정 화소에서는, 화소 구동 신호의 충전 종료 시점에서의 전압 강하가 방지될 수 있다. 이렇게 액정 셀(CLC)이 화소 구동 신호(Vds)와 공통 전압(Vcom)과의 차 전압에 정확하게 응답할 수 있기 때문에, 액정 셀(CLC)을 통과하는 광량은 화소 구동 신호(Vds)의 전압에 상응하게 되고 화소 구동 신호(Vds)에 해당하는 화점이 정확하게 표시될 수 있다. 화소 구동 신호의 충전 종료 시의 전압 강하 방지 가능한 액정 화소를 포함하는 액정 패널에서는, 휘도의 불균일 및 화상의 열화가 최소화될 수 있음은 물론이거니와 향상된 화질의 화상이 표시될 수 있다.
- <23> 실제로, 도 1의 관련 기술의 액정 화소에서는, 화소 구동 신호(Vds)의 충전 종료 시에, 액정 셀(CLC)에 충전된 전압(즉, 충전 노드(CN)의 전압(Vcn))은 ΔV_p 만큼 강해진다. 이로 인하여, 관련 기술의 액정 화소의 액정 셀

(CLC)는 ΔV_p 만큼 강하된 화소 구동 전압에 해당하는 광량을 통과시킨다. 이 결과, 관련 기술의 액정 화소를 포함하는 액정 패널에서는 휘도의 불균일 및 화상의 열화가 발생 될 수밖에 없다. 반면, 도 2의 액정 화소에서는, 화소 구동 신호(V_{ds})의 충전 종료 시에, 액정 셀(CLC)의 화소 전극에 해당하는 충전 노드(CN) 상의 전압(V_{cn})이 ΔV_p 만큼 강하하는 만큼, 액정 셀(CLC)의 다른 전극인 기준 전극에 해당하는 기준 노드(RN) 상의 전압(V_{rn})도 ΔV_p 만큼 강하한다. 이에 따라, 액정 셀(CLC)에 충전된 전압은 화소 구동 신호(V_{ds})와 공통 전압(V_{com})의 차 전압에 해당하게 된다. 다시 말하여, 도 2의 액정 화소의 액정 셀(CLC)에는 화소 구동 신호(V_{ds})의 전압이 정확하게 충전될 수 있다. 이 결과, 도 2의 액정 화소를 포함하는 액정 패널에서는, 휘도의 불균일 및 화상의 열화가 거의 발생하지 않게 된다. 나아가, 도 2의 액정 화소를 포함하는 액정 패널은 향상된 화질의 화상을 표시할 수 있다.

<24> 도 2의 액정 화소는 충전 노드(CN)와 이전 게이트 라인(Glk-1) 사이에 접속된 보조 저장용의 제2 캐패시터(C_{st})를 추가로 구비한다. 이전 게이트 라인(Glk-1)에 공급되는 이전 스캔 신호(V_{snk-1})는 대응하는 스캔 신호(V_{snk})의 고 전위 전압을 가지는 시점 이후에 저 전위 전압(즉, 로우 논리)을 가진다. 따라서, 제2 캐패시터(C_{st})는, 제1 및 제2 박막 트랜지스터(MN1, MN2)가 턴-온된 기간동안, 화소 구동 신호(V_{ds})의 전압과 저 전위 전압의 이전 스캔 신호(V_{snk-1})와의 차 전압을 충전한다. 제2 캐패시터(C_{st})에 충전된 전압은 제1 및 제2 박막 트랜지스터(MN1, MN2)가 다시 턴-온 될 때까지 유지된다. 또한, 제2 캐패시터(C_{st})에 저장된 전압은 액정 셀(CLC)에서의 누설 전압을 보충한다.

<25> 도 5는 화소 구동 신호의 충전 종료 시의 전압 강하 방지 가능한 액정 화소를 구비하는 일 실시 예에 따른 횡전계 방식의 액정 패널용 어레이 기관의 레이-아웃을 상세하게 설명하는 평면도이다. 도 5가 횡전계 방식의 액정 패널용 어레이 중 단지 하나의 액정 화소의 레이-아웃을 도시하고 있으나, 실시 예에 따른 액정 패널이 속하는 기술 분야에 대한 통상의 지식을 가진 자라면 누구나 도시된 화소가 수직 및 수평 방향으로 반복-배열됨에 의하여 횡전계 방식의 액정 패널이 액티브 매트릭스 형태로 배열된 다수의 액정 화소들을 구비한다는 것을 알 수 있을 것이다.

<26> 도 5의 횡전계 방식의 액정 패널용 어레이 기관은, 제1 방향(예를 들면, 수직 방향)에서 일정한 간격으로 배열된 다수의 게이트 라인(20)을 구비한다. 다수의 게이트 라인(20)은 제1 방향에서의 액정 화소의 길이(예를 들면, 액정 화소의 세로(또는 가로) 폭)를 결정한다. 또한, 다수의 게이트 라인(20)은 다수의 데이터 라인(50) 및 다수의 공통 전압 라인(52)과 교차한다. 다수의 데이터 라인(50)은 수직 방향으로 배열된 1 컬럼의 액정 화소들의 일측(예를 들면, 좌측) 경계부에 위치한다. 다수의 데이터 라인(50) 각각은 제2 방향(예를 들면, 수평 방향)에서 일정한 간격으로 배열된다. 이들 공통 전압 라인(52) 각각은 수직 방향으로 배열된 1 컬럼의 액정 화소들의 타측(예를 들면, 우측) 경계부에 위치한다. 다시 말하여, 데이터 라인(50)과 공통 전압 라인(52)은, 1 컬럼의 액정 화소들을 기준으로 서로 대향하게 배치되어, 제2 방향에서의 액정 화소의 길이(예를 들면, 액정 화소의 가로(또는 세로) 폭)를 결정한다. 결과적으로, 다수의 게이트 라인(20)과 교차하는 다수의 데이터 라인(50) 및 다수의 공통 전압 라인(52)은 액정 패널을 액티브 매트릭스 형태로 다수의 화소 영역들(PA)로 구분한다. 다수의 공통 전압 라인(52)은, 도시하지 않았지만, 액정 패널의 상측 또는 하측 가장자리에서 서로 전기적으로 연결된다.

<27> 대응하는 게이트 라인(20k)과 대응하는 데이터 라인(50)이 교차하는 화소 영역의 코너 부분에는 제1 박막 트랜지스터(MN1)가 형성되고, 대응하는 게이트 라인(20)과 대응하는 공통 전압 라인(52)이 교차하는 화소 영역의 다른 코너 부분에는 제2 박막 트랜지스터(MN2)가 형성된다. 제1 박막 트랜지스터(MN1)에는, 대응하는 게이트 라인(20k)으로부터 위쪽 방향으로 돌출된 제1 게이트 전극(20A), 대응하는 데이터 라인(50)으로부터 우측 방향으로 돌출된 제1 드레인(또는 소스) 전극(50A), 및 제1 드레인(또는 소스) 전극(50A)과 일정한 간격을 두고 대향하게 형성된 제1 소스(또는 드레인) 전극(50B)이 포함된다. 제1 드레인 및 소스 전극(50A, 50B)은 제1 게이트 전극(20A)과 부분적으로 중첩되게 배열된다. 제1 박막 트랜지스터(MN1)는 제1 게이트 전극(20A)과 제1 드레인 및 소스 전극들(50A, 50B) 사이에 위치하는 제1 반도체 물질 패턴(40)을 구비한다. 제2 박막 트랜지스터(MN2)는, 대응하는 게이트 라인(20k)으로부터 위쪽 방향으로 돌출된 제2 게이트 전극(20B), 대응하는 공통 전압 라인(52)으로부터 좌측 방향으로 돌출된 제1 소스(또는 드레인) 전극(52B), 및 이 제2 소스(또는 드레인) 전극(50B)과 일정한 간격을 두고 대향하게 형성된 제2 드레인(또는 소스) 전극(52A)을 구비한다. 제2 드레인 및 소스 전극(52A, 52B)은 제2 게이트 전극(20A)과 부분적으로 중첩되게 배열된다. 제2 박막 트랜지스터(MN2)는 제2 게이트 전극(20B)과 제2 드레인 및 소스 전극들(52A, 52B) 사이에 위치하는 제2 반도체 물질 패턴(42)을 구비한다. 제1 및 제2 반도체 물질 패턴(40, 42)은 제1 및 제2 박막 트랜지스터(MN1, MN2)가 동일한 크기의 폭 및 길이의 채널을 가지게 형성된다. 이에 따라, 제1 및 제2 박막 트랜지스터(MN1, MN2)에 존재하는 기생 용량이 동일하게 될 수

있다.

- <28> 화소 영역(PA)에는, 제1 박막 트랜지스터(MN1)의 제1 소스 전극(50B)의 일부와 중첩되는 화소 전극(70)과, 제2 박막 트랜지스터(MN2)의 제2 드레인 전극(52A)의 일부와 중첩되는 기준 전극(72)이 배열된다. 화소 전극(70)은 대응하는 데이터 라인(50)과 인접하게 위치하는 몸체부와 이 몸체부로부터 대응하는 공통 전압 라인(52) 쪽으로 신장된 다수의 화소 전극 가지들을 구비한다. 화소 전극(70)은 제1 콘택(76A)에 의하여 제1 소스 전극(50B) (즉, 제1 박막 트랜지스터(MN1)의 소스 전극)에 전기적으로 접속된다. 한편, 기준 전극(72)은 대응하는 공통 전압 라인(52)와 중첩하게 형성된 몸체부와 이 몸체부로부터 대응하는 데이터 라인(50) 쪽으로 신장된 다수의 기준 전극 가지들을 구비한다. 다수의 화소 전극(70)의 가지들은, 대응하는 데이터 라인(50) 및 대응하는 공통 전압 라인(52)의 진행 방향에서, 기준 전극(72)의 가지들과 서로 교번하게 배열된다. 기준 전극(72)은 제2 콘택(76B)에 의하여 제2 드레인 전극(52A)(즉, 제2 박막 트랜지스터(MN2)의 드레인 전극)과 전기적으로 연결된다. 제2 화소 전극(70)과 기준 전극(72)은 자신들의 상부에 위치할 액정 물질과 함께 도 2에서의 액정 셀(CLC)을 구성한다.
- <29> 대응하는 공통 전압 라인(52)과 중첩된 기준 전극(72)의 몸체부의 가장자리 부분(72A)는 대응하는 공통 전압 라인(52)의 중첩 부분과 함께 도 2에서의 보정용의 제1 캐패시터(Crc)를 구성한다. 기준 전극(72)은 화소 전극(70)과 함께 자신들의 상부에 위치할 액정 물질(도시하지 않은)에 전계를 인가하기 위해 사용된다.
- <30> 나아가, 화소 영역(PA)에는 이전 게이트 라인(20k-1)으로부터 신장되어진 스토리지 전극(20C)이 추가로 포함된다. 이 스토리지 전극(20C)은, 이전 게이트 라인(20k-1)과 인접한 화소 전극(70)의 전극 가지(70A)와 중첩되어, 화소 전극(70)의 중첩 전극 가지(70A)와 함께 도 2에서의 보조 저장용의 제2 캐패시터(Cst)를 구성한다.
- <31> 도 6은 도 5의 횡 전계 방식의 액정 패널용 어레이 기관을 I-I'선을 따라 절단한 단면을 상세하게 설명하는 단면도이다. 도 6의 어레이 기관은 제1 도전 패턴들이 형성된 투과성 절연 기관(10)을 구비한다. 투과성 절연 기관(10)으로는, 광의 투과율이 양호한 유리 기관 및 투명한 가요성 플라스틱 필름 등이 사용될 수 있으나, 유리 기관이 투과성 절연 기관(10)으로 사용되는 것이 바람직하다. 제1 도전 패턴들은 제1 및 제2 게이트 전극(20A)과 스토리지 전극(20C)을 비롯하여 도시하지 않은 게이트 라인(20)을 포함한다. 제1 및 제2 게이트 전극(20A, 20B)과 스토리지 전극(20C)은 도시하지 않은 게이트 라인(20)과 전기적으로 접속되게 형성된다. 이러한 제1 도전 패턴들은, 투과성 절연 기관(10) 상에 금속 물질 층을 형성하고 그 금속 물질 층을 패터닝 함에 의하여, 형성된다. 제1 도전 패턴들을 형성하는 금속 물질로는 불투명한 Cu, Al, AlNd 및 Mo 중 어느 하나가 사용될 수 있다.
- <32> 제1 도전 패턴들이 형성된 투과성 절연 기관(10)의 전 표면에는 증착 공정에 의하여 절연막(30)이 형성된다. 절연막(30)은 자신의 상부에 형성된 도전성 패턴들로부터 제1 도전 패턴(즉, 게이트 라인(20), 제1 및 제2 게이트 전극(20A, 20B), 및 스토리지 전극(20C))을 전기적으로 분리하는 게이트 절연막으로 사용된다. 절연막(30)으로는, 균일한 두께를 가지는 실리콘 질화막 또는 실리콘 산화막이 사용된다.
- <33> 이어서, 반도체 물질 패턴들이, 제1 및 제2 게이트 전극(20A, 20B)의 상부에 위치하게끔, 절연막(30) 상에 형성된다. 반도체 물질 패턴들은, 증착 공정을 통해 반도체 물질 층을 절연막(30) 상에 형성하고 반도체 물질 층을 패터닝 함에 의하여, 형성된다. 반도체 물질 패턴들은 진성 반도체 물질 층과 n형 또는 p형 불순물이 포함된 옴믹 콘택 층을 포함한다. 또한, 반도체 물질 패턴들에는, 제1 게이트 전극(20A)의 상부에 위치하는 제1 반도체 물질 패턴(40)과 그리고 제2 게이트 전극(20B)의 상부에 위치하는 제2 반도체 물질 패턴(42)이 포함된다.
- <34> 반도체 물질 패턴들이 형성된 절연막(30) 상에는 제2 도전 패턴들이 형성된다. 제2 도전 패턴들은, 제1 도전 패턴들과 마찬가지로, 반도체 물질 패턴들 및 그들에 의해 노출된 절연막(30) 상에 금속 물질 층을 증착하고 그 금속 물질 층을 패터닝 함에 의하여, 형성된다. 제2 도전 패턴용의 금속 물질로는 불투명한 Cu, Al, AlNd 및 Mo 중 어느 하나가 사용될 수 있다. 제2 도전 패턴들에는, 데이터 라인(50), 제1 드레인(또는 소스) 및 소스(또는 드레인) 전극(50A, 50B), 제2 드레인(또는 소스) 및 소스(또는 드레인) 전극(52A, 52B), 및 공통 전압 라인(52)이 포함된다. 제1 드레인 및 소스 전극(50A, 50B)은, 제1 게이트 전극(20A)과 부분적으로 중첩됨과 아울러 서로 이격되게끔, 제1 반도체 물질 패턴(40) 상에 배열된다. 제1 드레인 (또는 소스) 전극(50A)은 인접한 데이터 라인(50)과 직접 연결되게(일체화 되게) 형성된다. 제1 드레인 및 소스 전극(50A, 50B)은, 제1 반도체 물질 패턴(40) 및 제1 게이트 전극(20A)과 함께, 도 2에 도시된 제1 박막 트랜지스터(MN1)를 구성한다. 마찬가지로, 제2 드레인 및 소스 전극(50A, 50B)도, 제2 게이트 전극(20B)과 부분적으로 중첩됨과 아울러 서로 이격되게끔, 제2 반도체 물질 패턴(42) 상에 배열된다. 제2 소스(또는 드레인) 전극(52B)은 인접한 공통 전압 라인(52)과

직접 연결되게(일체화 되게) 형성된다. 제2 드레인 및 소스 전극(52A,52B)도, 제2 반도체 물질 패턴(42) 및 제2 게이트 전극(20B)과 함께, 도 2에 도시된 제2 박막 트랜지스터(MN2)를 구성한다. 제1 및 제2 반도체 물질 패턴(40,42)은 제1 및 제2 박막 트랜지스터(MN1,MN2)가 동일한 폭 및 길이의 채널을 가지게끔 형성된다.

<35> 제2 도전 패턴들과 그들에 의하여 노출된 반도체 물질 패턴들 및 절연막(30) 상에는, 보호층(Passivation Layer, 60)이 형성된다. 보호층(60)은, 하부의 박막 트랜지스터들, 게이트 라인(20), 데이터 라인(50) 및 공통 전압 라인(52)을 보호하기 위하여, 균일한 두께로 형성된다. 보호층(60)으로는 실리콘 질화막, 실리콘 산화막 및 아크릴계 수지 중 어느 하나가 사용될 수 있다. 보호층(60)에는 제2 도전 패턴들을 노출시키는 콘택 홀들이 형성된다. 콘택 홀들에는, 제1 소스 전극(50B)의 일부를 노출시키는 제1 콘택 홀 및 제2 드레인 전극(52A)의 일부를 노출시키는 제2 콘택 홀이 포함된다.

<36> 보호층(60) 및 콘택 홀들(60A,60B)에 통하여 노출된 제2 도전 패턴들 상에는 제3 도전 패턴들이 형성된다. 제3 도전 패턴들은, 보호층(60) 및 콘택 홀들(60A,60B)에 통해 노출된 제2 도전 패턴들 상에 도전 물질을 증착하고 그 도전 물질을 패터닝함에 의하여, 형성된다. 제3 도전 패턴들은 인듐-틴-옥사이드(Indium-Tin-Oxide) 및 인듐-징크-옥사이드(Indium-Zinc-Oxide) 들과 같은 투명 도전 물질들 중 어느 하나로 형성될 수 있다. 제3 도전 패턴들에는, 제1 콘택(76A)을 통해 제1 소스(또는 드레인) 전극(50A)에 전기적으로 접속된 빗(Comb) 형상의 화소 전극(70) 및 제2 콘택(76B)을 경유하여 제2 드레인 전극(52A)에 전기적으로 접속된 빗(Comb) 형상의 기준 전극(72)이 포함된다. 화소 전극(70)의 가지들은 기준 전극(72)의 가지들과 교번하게 보호층(60) 상의 화소 영역(PA) 상에 배열된다. 화소 전극(70)의 가지들은 인접한 데이터 라인(50)과 나란하게 위치한 몸체부로부터 공통 전압 라인(52) 쪽으로 신장되어 있고, 반면, 기준 전극(72)의 가지들은 인접한 공통 전압 라인(52)과 중첩된 몸체부로부터 데이터 라인(50) 쪽으로 신장되어 있다. 이러한 화소 전극(70) 및 기준 전극(72)은 상부에 위치할 액정 물질과 함께 도 2에 도시된 액정 셀(CLC)을 구성한다. 화소 전극(70)의 가지들 중 이전 게이트 라인(20k-1)과 인접한 가지(70A)는, 이전 게이트 라인(20k-1)로부터 신장된 스토리지 전극(20C)과 중첩되어, 그 스토리지 전극(20C)과 함께 도 2에서의 보조 저장용의 제2 캐패시터(Cst)를 구성한다. 한편, 기준 전극(72)의 몸체부의 가장자리 부분(72A)은, 공통 전극 라인(52)과 중첩되어, 그 공통 전압 라인(52)의 중첩 부분과 함께 도 2에서의 보정용의 제1 캐패시터(Crc)를 구성한다.

<37> 도 6의 단면 구조와는 달리, 도 5의 횡 전계 방식의 액정 패널용 어레이 기판은 도 6에서의 기준 전극(72)이 게이트 라인(20), 제1 및 제2 게이트 전극(20A,20B), 및 스토리지 전극(20C)과 동일한 층에 형성될 수 있다. 이 경우, 기준 전극(72)은 제1 도전 물질로 형성된다. 다시 말하여, 제1 도전 물질 패턴들은 기준 전극(72)이 게이트 라인(20), 제1 및 제2 게이트 전극(20A,20B), 스토리지 전극(20C) 및 기준 전극(72)을 포함한다. 이 경우, 제1 도전 물질로 형성된 기준 전극(72)은 절연막(30)에 형성된 콘택 홀을 경유하는 제2 콘택(76B)에 의하여 제2 드레인(또는 소스) 전극(52A)과 전기적으로 접속된다.

<38> 이러한 액정 화소 회로들이 액티브 매트릭스 형태로 형성된 어레이 기판은, 밀봉재에 의하여, 블랙 매트릭스를 가지는 블랙 매트릭스 기판 또는 블랙 매트릭스 및 칼라 필터들이 형성된 칼라 필터 기판과 일정한 간격을 두고 합착된다. 합착-밀봉된 어레이 기판 및 블랙 매트릭스 기판(또는 칼라 필터 기판)의 사이에는 액정 물질이 주입됨으로써, 액정 패널이 완성되게 한다.

<39> 도 7은 화소 구동 신호의 충전 종료 시의 전압 강하 방지 가능한 액정 화소를 구비하는 다른 실시 예에 따른 횡 전계 방식의 액정 패널용 어레이 기판의 레이-아웃을 상세하게 설명하는 평면도이다. 도 7이 횡 전계 방식의 액정 패널 중 단지 하나의 액정 화소의 레이-아웃을 도시하고 있으나, 실시 예의 액정 패널이 속하는 기술 분야에 대한 통상의 지식을 가진 자라면 누구나 도시된 화소가 수직 및 수평 방향으로 반복-배열됨에 의하여 횡 전계 방식의 액정 패널이 액티브 매트릭스 형태로 배열된 다수의 액정 화소들을 구비한다는 것을 알 수 있을 것이다. 또한, 도 7의 어레이 기판은, 기준 전극(72)이 화소 영역(PA) 내에만 위치하게 형성됨과 아울러 공통 전압 라인(52)으로부터 화소 영역(PA) 내부로 신장된 보정 전극(52C)을 추가로 구비하는 것을 제외하고는, 도 5의 어레이 기판과 동일한 레이-아웃을 가진다. 도 5에 도시된 것들과 동일한 기능, 구조 및 배치 상태를 가지는 도 7의 구성 요소들은 동일한 참조 번호 및 명칭으로 인용될 것이다. 또한, 도 5에 도시된 것들과 동일한 도 7의 구성 요소들은 이미 도 5의 설명을 통하여 명백하게 드러났기 때문에, 그들에 관한 설명은 생략될 것이다.

<40> 도 7에 있어서, 화소 전극(70)과 교번하게끔 화소 영역(PA) 내에 배열된 기준 전극(72)은 인접한 공통 전압 라인(52)과 중첩되지 않는다. 반면, 공통 전압 라인(52)으로부터 화소 영역(PA) 내부로 신장된 보정 전극(52C)은 기준 전극(72)의 몸체부의 일부(도 7에서는 가장자리 부분)(72B)와 중첩된다. 보정 전극(52C)과 중첩된 기준 전극(72)의 몸체부의 일부분(72B)은 보정 전극(52C)과 함께 도 2에서의 보정용의 제1 캐패시터(Crc)를

구성한다.

- <41> 도 8은 도 7의 횡 전계 방식의 액정 패널용 어레이 기판을 II-II'선을 따라 절단한 단면을 상세하게 설명하는 단면도이다. 도 8에 어레이 기판은, 제2 도전 패턴들 및 제3 도전 패턴들의 형상에서의 차이가 있다는 것을 제외하고는, 도 6의 어레이 기판과 동일한 제조 공정에 의하여 제조될 수 있다. 따라서, 도 8의 어레이 기판의 제조 공정에 대한 상세한 설명은, 도 6의 설명문을 통하여 명확하게 드러나 있기 때문에, 생략될 것이다.
- <42> 도 8의 제2 도전 패턴들은, 도 6의 도전 패턴들에 비하여, 공통 전압 라인(52)으로부터 화소 영역(PA) 내부로 신장된 보정 전극(52C)을 추가로 포함한다. 반면, 도 8의 제3 도전 패턴들 중 기준 전극(72)은, 공통 전압 라인(52)과 중첩되지 않게끔, 화소 영역(PA) 내부에만 위치한다. 공통 전압 라인(52)와 인접한 기준 전극(72)의 몸체부의 가장자리 부분(72B)은 보정 전극(52C)과 함께 도 2에서의 보정용의 제1 캐패시터(Crc)를 구성한다.
- <43> 도 9는 화소 구동 신호의 충전 종료 시의 전압 강하 방지 가능한 액정 화소를 구비하는 또 다른 실시 예에 따른 횡 전계 방식의 액정 패널용 어레이 기판의 레이-아웃을 상세하게 설명하는 평면도이다. 도 9가 횡 전계 방식의 액정 패널용 어레이 기판 중 단지 하나의 액정 화소의 레이-아웃을 도시하고 있으나, 또 다른 실시 예의 액정 패널이 속하는 기술 분야에 대한 통상의 지식을 가진 자라면 누구나 도시된 화소가 수직 및 수평 방향으로 반복-배열됨에 의하여 횡 전계 방식의 액정 패널용 어레이 기판이 액티브 매트릭스 형태로 배열된 다수의 액정 화소들을 구비한다는 것을 알 수 있을 것이다.
- <44> 도 9의 어레이 기판은, 기준 전극(54)이 제2 콘택(76B) 없이 제2 드레인 전극(52A)에 직접 전기적으로 접속되고 (제2 드레인 전극(52A)와 일체화되고) 제3 콘택(76C)에 의하여 공통 전압 라인(52)에 접속되는 보정 전극(74)을 추가로 구비하는 것을 제외하고는, 도 5의 어레이 기판과 동일한 레이-아웃을 가진다. 도 5에 도시된 것들과 동일한 기능, 구조 및 배치 상태를 가지는 도 9의 구성 요소들은 동일한 참조 번호 및 명칭으로 인용될 것이다. 또한, 도 5에 도시된 것들과 동일한 도 9의 구성 요소들은 이미 도 5의 설명을 통하여 명백하게 드러났기 때문에, 그들에 관한 설명은 생략될 것이다.
- <45> 도 9에 있어서, 제2 드레인(또는 소스) 전극(52A)과 직접 전기적으로 접속된(제2 드레인(또는 소스) 전극(52A)와 일체화 된) 기준 전극(54)은 화소 영역(PA) 내에만 위치하여 인접한 공통 전압 라인(52)과는 중첩되지 않는다. 또한, 기준 전극(54)은 화소 전극(70)의 가지들과 교번하게 배열된 가지들을 가진다. 이들 기준 전극(54)의 가지들은 공통 전압 라인(52)과 나란하게 형성된 기준 전극(54)의 몸체부로부터 신장된다. 이러한 기준 전극(54)은, 화소 전극(70) 및 상부에 위치할 액정 물질(도시하지 않음)과 함께 도 2에서의 액정 셀(CLC)을 구성한다.
- <46> 제3 콘택(76C)을 경유하여 공통 전압 라인(52)과 전기적으로 접속된 보정 전극(74)은, 화소 영역(PA) 내부로까지 신장되어 기준 전극(54)의 몸체부의 일부분(54A)과 중첩된다. 이 보정 전극(74)과 중첩된 기준 전극(54)의 몸체부의 일부분(54A)은 보정 전극(74)과 함께 도 2에 도시된 보정용의 제1 캐패시터(Crc)를 구성한다.
- <47> 도 8의 단면 구조와는 달리, 도 7의 횡 전계 방식의 액정 패널용 어레이 기판은 도 8에서의 기준 전극(72)이 게이트 라인(20), 제1 및 제2 게이트 전극(20A, 20B), 및 스토리지 전극(20C)과 동일한 층에 형성될 수 있다. 이 경우, 기준 전극(72)은 제1 도전 물질로 형성된다. 다시 말하여, 제1 도전 물질 패턴들은 기준 전극(72)이 게이트 라인(20), 제1 및 제2 게이트 전극(20A, 20B), 스토리지 전극(20C) 및 기준 전극(72)을 포함한다. 이 경우, 제1 도전 물질로 형성된 기준 전극(72)은 절연막(30)에 형성된 콘택 홀을 경유하는 제2 콘택(76B)에 의하여 제2 드레인(또는 소스) 전극(52A)과 전기적으로 접속된다.
- <48> 도 10은 도 9의 횡 전계 방식의 액정 패널용 어레이 기판을 III-III'선을 따라 절단한 단면을 상세하게 설명하는 단면도이다. 도 10의 어레이 기판은 제1 도전 패턴들이 형성된 투과성 절연 기판(10)을 구비한다. 투과성 절연 기판(10)으로는, 광의 투과율이 양호한 유리 기판 및 투명한 가요성 플라스틱 필름 등이 사용될 수 있으나, 유리 기판이 투과성 절연 기판(10)으로 사용되는 것이 바람직하다. 제1 도전 패턴들은 제1 및 제2 게이트 전극(20A)과 스토리지 전극(20C)을 비롯하여 도시하지 않은 게이트 라인(20)을 포함한다. 제1 및 제2 게이트 전극(20A, 20B)과 스토리지 전극(20C)은 도시하지 않은 게이트 라인(20)과 전기적으로 접속되게 형성된다. 이러한 제1 도전 패턴들은, 투과성 절연 기판(10) 상에 금속 물질 층을 형성하고 그 금속 물질 층을 패터닝함에 의하여, 형성된다. 제1 도전 패턴들을 형성하는 금속 물질로는, 불투명한 Cu, Al, AlNd 및 Mo 중 어느 하나가 사용될 수 있다.
- <49> 제1 도전 패턴들이 형성된 투과성 절연 기판(10)의 전 표면에는 절연막(30)이 증착 공정에 의하여 형성된다. 절연막(30)은 자신의 상부에 형성될 도전성 패턴들로부터 제1 도전 패턴들(즉, 게이트 라인(20), 제1 및 제2 게

이트 전극(20A,20B), 및 스토리지 전극(20C))을 전기적으로 분리하는 게이트 절연막으로 사용된다. 절연막(30)으로는, 균일한 두께를 가지는 실리콘 질화막 또는 실리콘 산화막이 사용된다.

<50> 이어서, 반도체 물질 패턴들이, 제1 및 제2 게이트 전극(20A,20B)의 상부에 위치하게끔, 절연막(30) 상에 형성된다. 반도체 물질 패턴들은, 증착 공정을 통해 반도체 물질 층을 절연막(30) 상에 형성하고 반도체 물질 층을 패터닝함에 의하여, 형성된다. 반도체 물질 패턴들은 진성 반도체 물질 층과 n형 또는 p형 불순물이 포함된 옴릭 콘택 층을 포함한다. 또한, 반도체 물질 패턴들에는, 제1 게이트 전극(20A)의 상부에 위치하는 제1 반도체 물질 패턴(40)과 그리고 제2 게이트 전극(20B)의 상부에 위치하는 제2 반도체 물질 패턴(42)이 포함된다.

<51> 반도체 물질 패턴들이 형성된 절연막(30) 상에는 제2 도전 패턴들이 형성된다. 제2 도전 패턴들은, 제1 도전 패턴들과 마찬가지로, 증착 공정을 통해 반도체 물질 패턴들 및 그들에 의해 노출된 절연막(30) 상에 금속 물질 층을 형성하고 그 금속 물질 층을 패터닝 함에 의하여, 형성된다. 제2 도전 패턴용의 금속 물질로는 불투명한 Cu, Al, AlNd 및 Mo 중 어느 하나가 사용될 수 있다. 제2 도전 패턴들에는, 데이터 라인(50), 제1 드레인(또는 소스) 및 소스(또는 드레인) 전극(50A,50B), 제2 드레인(또는 소스) 및 소스(또는 드레인) 전극(52A,52B), 공통 전압 라인(52) 및 기준 전극(54)이 포함된다. 제1 드레인 및 소스 전극(50A,50B)은, 제1 게이트 전극(20A)과 부분적으로 중첩됨과 아울러 서로 이격되게끔, 제1 반도체 물질 패턴(40) 상에 배열된다. 제1 드레인(또는 소스) 전극(50A)은 인접한 데이터 라인(50)과 직접 연결되게(일체화되게) 형성된다. 제1 드레인 및 소스 전극(50A,50B)은, 제1 반도체 물질 패턴(40) 및 제1 게이트 전극(20A)과 함께, 도 2에 도시된 제1 박막 트랜지스터(MN1)를 구성한다. 마찬가지로, 제2 드레인(또는 소스) 및 소스(또는 드레인) 전극(52A,52B)도, 제2 게이트 전극(20B)과 부분적으로 중첩됨과 아울러 서로 이격되게끔, 제2 반도체 물질 패턴(42) 상에 배열된다. 제2 소스(또는 드레인) 전극(52B)은 인접한 공통 전압 라인(52)과 직접 전기적으로 연결되게(일체화되게) 형성되고, 제2 드레인(또는 소스) 전극(52A)도 인접한 기준 전극(54)과 직접 전기적으로 연결된다(일체화 된다). 제2 드레인 및 소스 전극(52A,52B)도, 제2 반도체 물질 패턴(42) 및 제2 게이트 전극(20B)과 함께, 도 2에 도시된 제2 박막 트랜지스터(MN2)를 구성한다. 제2 드레인(또는 소스) 전극(52A 또는 52B)과 직접 연결된(일체화된) 기준 전극(54)은 화소 영역(PA) 내에만 위치하게 빗(Comb)의 형태로 형성된다. 기준 전극(54)은 공통 전압 라인(52)과 나란하게 위치하는 몸체부와 그리고 이 몸체부로부터 데이터 라인(50) 쪽으로 신장된 다수의 가지들을 가진다.

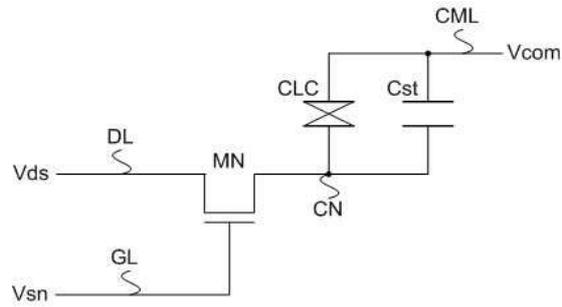
<52> 제2 도전 패턴들과 그들에 의하여 노출된 반도체 물질 패턴들 및 절연막(30) 상에는, 보호층(Passivation Layer, 60)이 형성된다. 보호층(60)은, 하부의 박막 트랜지스터들, 게이트 라인(20), 데이터 라인(50), 공통 전압 라인(52) 및 기준 전극(54)을 보호하기 위하여, 균일한 두께로 형성된다. 이러한 보호층(60)으로는 실리콘 질화막, 실리콘 산화막 및 아크릴계 수지 중 어느 하나가 사용될 수 있다. 보호층(60)에는 제2 도전 패턴들을 노출시키는 콘택 홀들이 형성된다. 콘택 홀들에는, 제1 소스 전극(50B)의 일부를 노출시키는 제1 콘택 홀 그리고 공통 전압 라인(52)의 일부를 노출시키는 제2 콘택 홀이 포함된다.

<53> 보호층(60) 및 콘택 홀들에 통하여 노출된 제2 도전 패턴들 상에는 제3 도전 패턴들이 형성된다. 제3 도전 패턴들은, 보호층(60) 및 콘택 홀들에 통해 노출된 제2 도전 패턴들 상에 도전 물질을 증착하고 그 도전 물질을 패터닝함에 의하여, 형성된다. 제3 도전 패턴들을 형성하는 금속 물질로는 인듐-틴-옥사이드(Indium-Tin-Oxide) 및 인듐-징크-옥사이드(Indium-Zinc-Oxide) 등과 같은 투명한 도전 물질들 중 어느 하나가 사용된다. 제3 도전 패턴들에는, 제1 콘택(76A)을 통해 제1 소스(또는 드레인) 전극(50B)에 전기적으로 접속된 빗(Comb) 형상의 화소 전극(70) 및 제3 콘택(76C)을 경유하여 공통 전압 라인(52)에 전기적으로 접속된 보정 전극(74)이 포함된다. 화소 전극(70)은 화소 영역(PA) 내에만 위치하게 형성된다. 화소 전극(70)은 데이터 라인(50)과 나란하게 위치하는 몸체부와 그리고 이 몸체부로부터 공통 전압 라인(52) 쪽으로 신장된 다수의 가지들을 가진다. 이들 화소 전극(70)의 가지들은 기준 전극(54)의 가지들과 교번하는 형태로 배열된다. 이러한 화소 전극(70)은 기준 전극(54) 그리고 상부에 위치할 액정 물질과 함께 도 2에 도시된 액정 셀(CLC)을 구성한다. 화소 전극(70)의 가지들 중 이전 게이트 라인(20k-1)과 인접한 가지(70A)는, 이전 게이트 라인(20k-1)으로부터 신장된 스토리지 전극(20C)과 중첩되어, 그 스토리지 전극(20C)과 함께 도 2에서의 보조 저장용의 제2 캐패시터(Cst)를 구성한다. 제3 콘택(76C)을 경유하여 공통 전압 라인(52)과 전기적으로 접속된 보정 전극(74)은, 기준 전극(54)의 몸체부의 일부분(54A)과 중첩되게 형성되어, 중첩된 기준 전극(54)의 몸체부의 일부분(54A)과 함께 도 2에서의 보정용의 제1 캐패시터(Crc)를 구성한다.

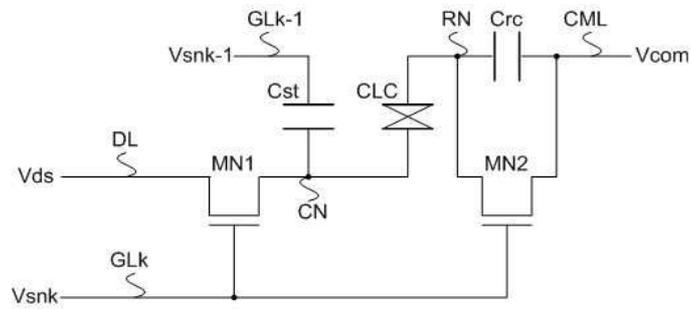
<54> 도 10의 단면 구조와는 달리, 도 9의 횡 전계 방식의 액정 패널용 어레이 기판은 도 10에서의 보정 전극(74)이 게이트 라인(20), 제1 및 제2 게이트 전극(20A,20B), 및 스토리지 전극(20C)과 동일한 층에 형성될 수 있다. 이 경우, 보정 전극(74)은 제1 도전 물질로 형성된다. 다시 말하여, 제1 도전 물질 패턴들은 기준 전극(72)이 게이트 라인(20), 제1 및 제2 게이트 전극(20A,20B), 스토리지 전극(20C) 및 보정 전극(74)을 포함한다. 이 경

도면

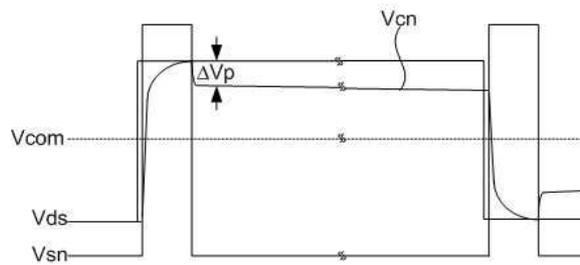
도면1



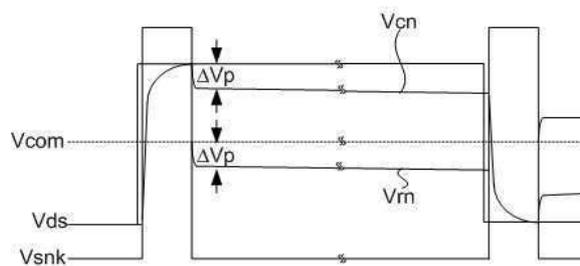
도면2



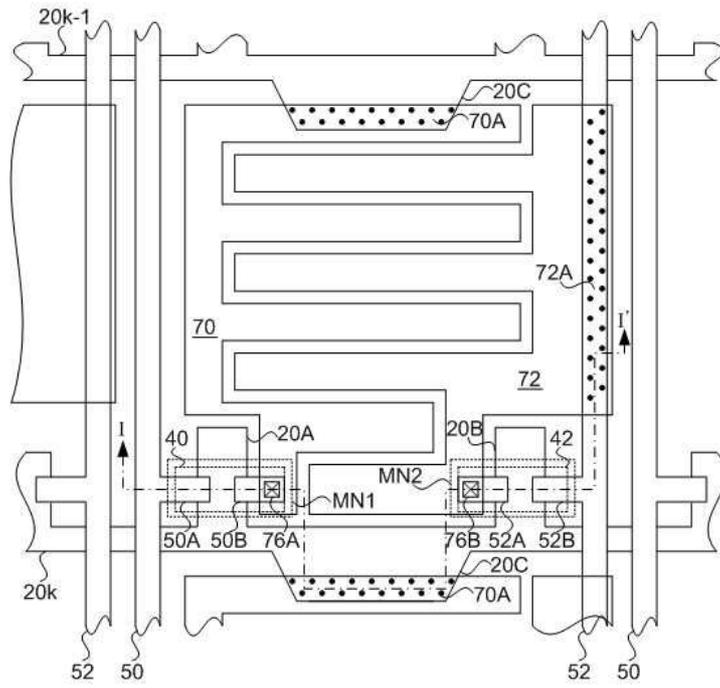
도면3



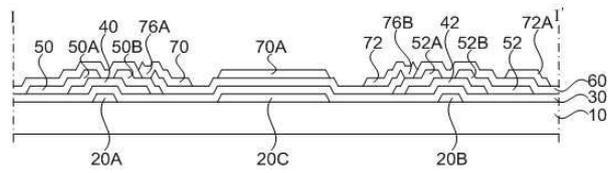
도면4



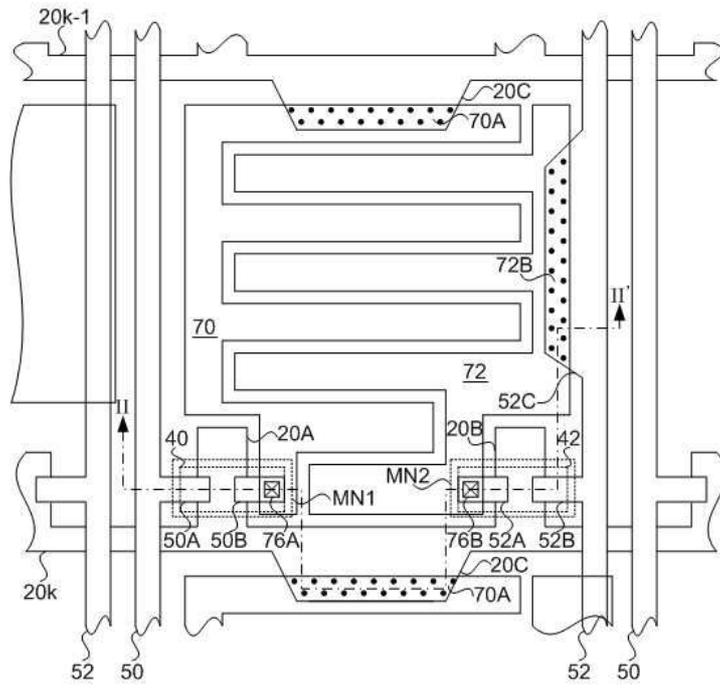
도면5



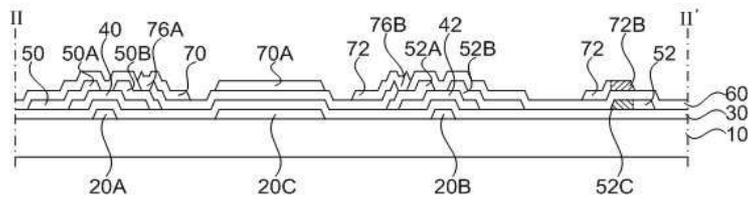
도면6



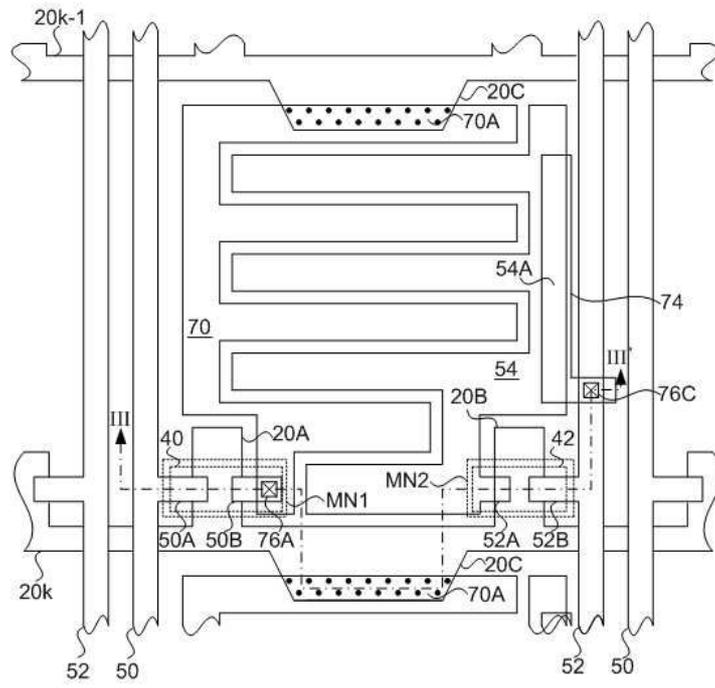
도면7



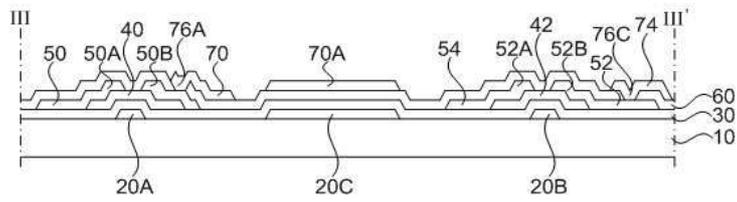
도면8



도면9



도면10



专利名称(译)	液晶像素和面板		
公开(公告)号	KR1020090029875A	公开(公告)日	2009-03-24
申请号	KR1020070095029	申请日	2007-09-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JANG YONG HO 장용호 KIM SUNG KI 김성기 CHOI SEUNG CHAN 최승찬 RYOO CHANG IL 유창일 YOON SOO YOUNG 윤수영		
发明人	장용호 김성기 최승찬 유창일 윤수영		
IPC分类号	G02F1/133 G02F1/136		
CPC分类号	G02F1/136286 G02F1/0123 G02F2201/123 H01L29/786		
外部链接	Espacenet		

摘要(译)

开始适合于防止像素驱动信号充电结束时的电压降的液晶像素。液晶像素包括：连接在充电节点和参考节点之间的液晶单元；第一电容器连接在参考节点和公共电压线之间；第一薄膜晶体管，用于响应相应栅极线上的扫描信号，从相应的数据线切换提供给充电节点的像素驱动信号；以及第二薄膜晶体管，用于响应相应栅极线上的扫描信号将参考节点电连接到公共电压线。

