



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0039004  
(43) 공개일자 2008년05월07일

(51) Int. Cl.

G02F 1/1343 (2006.01) G02F 1/1335 (2006.01)

(21) 출원번호 10-2006-0106619

(22) 출원일자 2006년10월31일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

이명호

경기 안양시 동안구 호계동811 (20/4) 호계2차 현대홈타운아파트210-304

김봉철

대구 북구 팔달동 52-1번지 두산청구 2002 (113동 703호)

(뒷면에 계속)

(74) 대리인

특허법인로알

전체 청구항 수 : 총 11 항

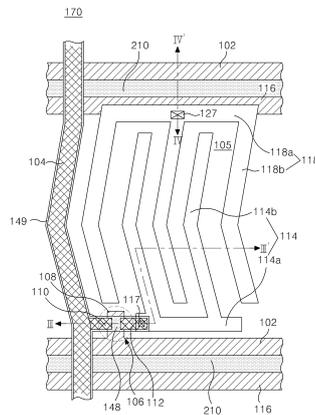
**(54) 수평 전계 인가형 액정표시패널 및 그 제조방법**

**(57) 요약**

본 발명은 화질 저하를 방지할 수 있는 수평 전계 인가형 액정표시패널 및 그 제조방법에 관한 것이다.

본 발명에 따른 수평 전계 인가형 액정표시패널은 컬러필터 어레이 기판과; 액정을 사이에 두고 상기 컬러필터 어레이 기판과 합착된 박막 트랜지스터 어레이 기판을 구비하고, 상기 박막 트랜지스터 어레이 기판은 기판 상에 서로 교차되게 형성되는 게이트 라인 및 데이터 라인과; 상기 게이트 라인 및 데이터 라인의 교차영역에 형성된 박막 트랜지스터와; 상기 박막 트랜지스터와 접속된 화소전극과; 상기 화소전극과 나란하게 형성되어 상기 화소전극과 수평전계를 이루는 공통전극과; 상기 게이트 라인과 동일 평면에서 상기 게이트 라인과 나란하게 형성되며 상기 공통전극에 기준전압을 공급하는 공통 라인과; 상기 공통 라인과 상기 게이트 라인 사이에 위치하는 더미 패턴을 구비하는 것을 특징으로 한다.

**대표도** - 도4



(72) 발명자

**이승현**

경기 용인시 기흥구 동백동 어은목마을 대원칸타빌  
아파트4102-1601

**구교용**

경북 구미시 진평동 주공미래아파트 104동 101호

**서현진**

경북 구미시 구평동 대우푸르지오아파트 101동100  
1호

**이정훈**

경북 칠곡군 북삼면 송오4리 현대아파트 103동  
1003호

**권당**

대전 서구 월평1동 월평타운아파트 102동 205호

**조항섭**

충남 태안군 원북면 양산리 334번지

## 특허청구의 범위

### 청구항 1

컬러필터 어레이 기판과;  
 액정을 사이에 두고 상기 컬러필터 어레이 기판과 합착된 박막 트랜지스터 어레이 기판을 구비하고,  
 상기 박막 트랜지스터 어레이 기판은  
 기판 상에 서로 교차되게 형성되는 게이트 라인 및 데이터 라인과;  
 상기 게이트 라인 및 데이터 라인의 교차영역에 형성된 박막 트랜지스터와;  
 상기 박막 트랜지스터와 접속된 화소전극과;  
 상기 화소전극과 나란하게 형성되어 상기 화소전극과 수평전계를 이루는 공통전극과;  
 상기 게이트 라인과 동일 평면에서 상기 게이트 라인과 나란하게 형성되며 상기 공통전극에 기준전압을 공급하는 공통 라인과;  
 상기 공통 라인과 상기 게이트 라인 사이에 위치하는 더미 패턴을 구비하는 것을 특징으로 하는 수평 전계 인가형 액정표시패널.

### 청구항 2

제 1 항에 있어서,  
 상기 컬러필터 어레이 기판과 상기 박막 트랜지스터 어레이 기판 사이의 간격을 유지시키는 불 스페이서를 구비하고,  
 상기 불 스페이서는  
 상기 게이트 라인, 공통 라인 및 더미 패턴 중 적어도 어느 하나와 중첩되는 것을 특징으로 하는 수평 전계 인가형 액정표시패널.

### 청구항 3

제 1 항에 있어서,  
 상기 박막 트랜지스터는  
 상기 게이트 라인과 접속된 게이트 전극;  
 상기 데이터 라인과 접속된 소스전극;  
 상기 소스전극과 마주보는 드레인 전극;  
 상기 소스전극 및 드레인 전극 사이에 채널을 형성하는 활성층을 구비하는 것을 특징으로 하는 수평 전계 인가형 액정표시패널.

### 청구항 4

제 3 항에 있어서,  
 상기 더미 패턴은 상기 활성층과 동일물질인 것을 특징으로 하는 수평 전계 인가형 액정표시패널.

### 청구항 5

제 1 항에 있어서,  
 상기 더미 패턴은 상기 게이트 라인 및 공통 라인과 동일 두께를 가지는 것을 특징으로 하는 수평 전계 인가형 액정표시패널.

### 청구항 6

제 1 항에 있어서,

상기 더미 패턴은 라인 형태인 것을 특징으로 하는 수평 전계 인가형 액정표시패널.

**청구항 7**

제 1 항에 있어서,

상기 박막 트랜지스터 어레이 기판은

상기 기판 위에서 상기 게이트 라인 및 공통 라인을 덮도록 형성된 게이트 절연막을 더 포함하고,

상기 더미 패턴은 상기 게이트 라인 및 공통라인 사이에서 상기 게이트 절연막 위에 형성된 것을 특징으로 하는 수평 전계 인가형 액정표시패널.

**청구항 8**

컬러필터 어레이 기판을 형성하는 단계와;

박막 트랜지스터 어레이 기판을 형성하는 단계와;

액정을 사이에 두고 상기 컬러필터 어레이 기판과 상기 컬러필터 어레이 기판을 합착하는 단계를 포함하고,

상기 박막 트랜지스터 어레이 기판을 형성하는 단계는

기판 위에 상기 게이트 전극, 상기 게이트 전극과 접속된 게이트 라인, 상기 게이트 라인 및 상기 게이트 라인 과 나란한 공통 라인을 포함하는 게이트 패턴을 형성하는 단계와;

상기 게이트 패턴을 덮도록 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위에 상기 게이트 라인과 교차되는 데이터 라인, 상기 데이터 라인과 접속된 소스전극 및 상기 소스전극과 마주보는 드레인 전극을 포함하는 소스/드레인 패턴과, 상기 소스전극 및 드레인 전극 사이에 채널을 형성하는 활성층과, 상기 게이트 라인과 상기 공통 라인 사이에 위치하는 더미 패턴을 형성하는 단계와;

상기 드레인 전극을 노출시키는 제1 접착홀 및 상기 공통라인을 노출시키는 제2 접착홀을 가지는 보호막을 형성 하는 단계와;

상기 제1 접착홀을 통해 상기 드레인 전극과 접촉되는 화소전극과, 상기 제2 접착홀을 통해 상기 공통라인과 접 촉된 공통전극을 구비하는 것을 특징으로 하는 수평전계인가형 액정표시패널의 제조방법.

**청구항 9**

제 8 항에 있어서,

상기 박막 트랜지스터 어레이 기판 상에 볼 스페이서를 형성하는 단계를 더 포함하고,

상기 볼 스페이서는 상기 게이트 라인, 공통 라인 및 더미 패턴 중 적어도 어느 하나와 중첩되는 것을 특징으로 하는 수평 전계 인가형 액정표시패널의 제조방법.

**청구항 10**

제 8 항에 있어서,

상기 소스/드레인 패턴, 활성층 및 더미 패턴을 형성하는 단계는

상기 게이트 절연막이 형성된 기판 위에 제1 반도체층, 제2 반도체층 및 제1 금속층을 순차적으로 형성하는 단 계와;

반투과 마스크를 이용한 포토리소그래피 공정에 의해 상기 더미 패턴과 채널이 형성될 영역이 소스전극 및 드레 인 패턴이 형성될 영역에 비하여 상대적으로 낮은 높이를 가지는 포토레지스트 패턴을 형성하는 단계와;

상기 포토레지스트 패턴과 비중첩되는 제1 반도체층, 제2 반도체층 및 제1 금속층을 제거하는 단계와;

애싱공정에 의해 포토레지스트 패턴을 부분적으로 제거하여 채널영역 및 상기 더미 패턴이 형성될 영역에만 제1 금속층을 노출시키는 단계와;

상기 노출된 제1 금속층을 제거하여 데이터 라인, 소스전극 및 드레인 전극을 포함하는 소스/드레인 패턴을 형성하고 제2 반도체층을 노출시키는 단계와;

상기 잔류하는 포토레지스트 패턴을 제거하는 단계와;

상기 소스/드레인 패턴과 비중첩되는 제2 반도체층을 제거하여 상기 채널영역을 포함하는 제1 반도체층을 노출 시킴과 아울러 상기 더미 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 수평 전계 인가형 액정표시패널의 제조방법.

**청구항 11**

제 10 항에 있어서,

상기 제1 반도체층의 두께는 상기 게이트 패턴의 높이와 동일한 높이를 가지는 것을 특징으로 하는 수평 전계 인가형 액정표시패널의 제조방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <20> 본 발명은 액정표시패널에 관한 것으로, 특히 화질 저하를 방지할 수 있는 수평 전계 인가형 액정표시패널 및 그 제조방법에 관한 것이다.
- <21> 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정표시장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계형과 수평 전계형으로 대별된다.
- <22> 수직 전계 인가형 액정표시장치는 상부기관 상에 형성된 공통전극과 하부기관 상에 형성된 화소전극이 서로 대향되게 배치되어 이들 사이에 형성되는 수직 전계에 의해 TN(Twisted Nematic) 모드의 액정을 구동하게 된다. 이러한 수직 전계형 액정표시장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다.
- <23> 수평 전계 인가형 액정표시장치는 하부 기관에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 인 플레인 스위치(In Plane Switch; 이하, IPS라 함) 모드의 액정을 구동하게 된다. 이러한 수평 전계 인가형 액정표시장치는 시야각이 160도 정도로 넓은 장점을 가진다. 이하, 수평 전계 인가형 액정표시장치에 대하여 상세히 살펴보기로 한다.
- <24> 수평 전계 인가형 액정표시장치는 서로 대향하여 합착된 박막 트랜지스터 어레이 기관(하부 기관) 및 칼러 필터 어레이 기관(상부 기관)과, 두 기관 사이에서 셀갭을 일정하게 유지시키기 위한 스페이서와, 스페이서에 의해 마련된 액정공간에 채워진 액정을 구비한다.
- <25> 박막 트랜지스터 어레이 기관은 화소 단위의 수평 전계 형성을 위한 다수의 신호 라인들 및 박막 트랜지스터와, 그들 위에 액정 배향을 위해 도포된 배향막으로 구성된다. 칼라 필터 어레이 기관은 칼러 구현을 위한 칼라 필터 및 빛샘 방지를 위한 블랙 매트릭스와, 그들 위에 액정 배향을 위해 도포된 배향막으로 구성된다.
- <26> 도 1은 종래의 수평 전계 인가형 액정표시패널의 박막 트랜지스터 어레이 기관만을 나타낸 평면도이며, 도 2a는 도 1에서 선 I-I'를 따라 절취한 박막 트랜지스터 어레이 기관과 컬러필터 어레이 기관을 포함하는 액정표시패널의 일부를 나타내는 단면도이고, 도 2b는 도 1에서 선 II-II'를 따라 절취한 박막 트랜지스터 어레이 기관과 컬러필터 어레이 기관을 포함한 액정표시패널의 일부를 나타내는 단면도이다.
- <27> 도 1, 도 2a 및 도 2b에 도시된 액정표시패널(90)은 액정(72)을 사이에 두고 서로 마주보는 박막 트랜지스터 어레이 기관(70)과 컬러필터 어레이 기관(80)으로 구성된다.
- <28> 박막 트랜지스터 어레이 기관(70)은 하부 기관(45) 상에 교차되게 형성된 게이트 라인(2) 및 데이터 라인(4)과, 게이트 라인(2) 및 데이터 라인(4)의 교차부마다 형성된 박막 트랜지스터(6)와, 게이트 라인(2) 및 데이터 라인(4)에 의해 정의되는 화소 영역(5)에 수평 전계를 이루도록 형성된 화소 전극(14) 및 공통 전극(18)과, 공통 전

극(18)들이 접속된 공통 라인(16)을 구비한다.

- <29> 게이트라인(2)은 박막트랜지스터(6)의 게이트전극(8)에 게이트신호를 공급한다. 데이터라인(4)은 박막트랜지스터(6)의 드레인전극(12)을 통해 화소전극(14)에 화소신호를 공급한다. 게이트라인(2)과 데이터라인(4)은 교차 구조로 형성되어 화소영역(5)을 정의한다.
- <30> 공통라인(16)은 화소영역(5)을 사이에 두고 게이트라인(2)과 나란하게 형성되며 액정 구동을 위한 기준전압을 공통전극(18)에 공급한다.
- <31> 박막 트랜지스터(6)는 게이트 라인(2)의 게이트 신호에 응답하여 데이터 라인(4)의 화소 신호가 화소 전극(14)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(6)는 게이트 라인(2)에 접속된 게이트 전극(8)과, 데이터 라인(4)에 접속된 소스 전극(10)과, 화소 전극(14)에 접속된 드레인 전극(12)을 구비한다. 또한, 박막 트랜지스터(6)는 게이트 전극(8)과 게이트 절연막(46)을 사이에 두고 중첩되면서 소스 전극(10)과 드레인 전극(12) 사이에 채널을 형성하는 활성층(48)을 포함하는 반도체 패턴(49)이 더 구비된다. 반도체 패턴(49)에는 활성층(48)위에 위치하여 데이터 라인(4), 소스 전극(10), 드레인 전극(12)과 오믹 접촉을 위한 오믹 접촉층(50)이 더 포함된다.
- <32> 화소 전극(14)은 박막 트랜지스터(6)의 드레인 전극(12)과 제1 접촉홀(17)을 통해 접속되며 화소 영역(5)에 형성된다. 여기서, 화소 전극(14)은 드레인 전극(12)과 접속되고 인접한 게이트 라인(2)과 나란하게 형성된 수평부(14a)(이하, 화소전극의 수평부를 "제1 수평부"라 한다)와, 화소전극(14)의 제1 수평부(14a)와 접속되며 공통 전극(18)의 평거부(18b)(이하, 공통전극의 평거부를 "제2 평거부"라 한다)와 나란한 평거부(14b)(이하, 화소전극의 평거부를 "제1 평거부"라 한다)로 구분된다.
- <33> 공통 전극(18)은 공통 라인(16)과 접속되어 화소 영역(5)에 게이트라인(2) 및 게이트전극(8)과 동일금속으로 형성된다. 특히, 공통 전극(18)은 게이트 절연막(46) 및 보호막(51)을 관통하여 공통 라인(16)을 노출시키는 제2 접촉홀(27)을 통해 공통 라인(16)과 접속되며 공통 라인(16)과 부분적으로 중첩되는 수평부(18a)(이하, 공통전극의 수평부를 "제2 수평부"라 한다)와, 제2 수평부(18a)에서 신장되며 화소전극(14)의 제1 평거부(14b)와 나란한 제2 평거부(18b)를 구비한다.
- <34> 컬러필터 어레이 기관(80)은 각각의 화소영역(5)을 구획하는 블랙 매트릭스(56), 블랙 매트릭스(56)에 의해 구획된 화소영역(5)에 형성되는 컬러필터(58), 컬러필터(58)를 덮도록 형성된 오버코트층(59)을 구비한다.
- <35> 블랙 매트릭스(56)는 하부기관(55)의 박막 트랜지스터(6), 게이트라인(2), 데이터라인(4) 및 공통라인(16)과 중첩되게 형성되어 빛샘을 방지함과 아울러 외부광을 흡수하여 콘트라스트를 높이는 역할을 한다. 컬러필터(58)는 블랙 매트릭스(56)에 의해 구획되는 화소영역에 R,G,B 별로 형성되어 R, G, B 색상을 구현한다. 오버코트층(59)은 컬러필터(58)를 덮도록 형성되어 상부기관(55)을 평탄화한다. 볼 스페이서(62)는 게이트 라인(2) 또는 공통 라인(16)과 중첩되는 영역에 위치하여 컬러필터 어레이 기관(80)과 박막 트랜지스터 어레이 기관(70) 사이에 셀 갭을 유지하는 역할을 한다.
- <36> 그리고, 컬러필터 어레이 기관(80)과 박막 트랜지스터 어레이 기관(70)에는 액정배향을 위한 상부 및 하부 배향막(61,53)이 각각 위치하게 된다. 상부 및 하부 배향막(61,53)은 폴리이미드 등과 같은 배향물질이 도포된 후 러빙공정이 실시됨에 따라 형성된다.
- <37> 한편, 종래의 볼 스페이서(62)는 잉크젯(inkjet) 방식에 의해 박막 트랜지스터 어레이 기관 상에 도포된다. 여기서, 볼 스페이서(62)는 게이트 라인(2) 또는 공통라인(16)과 중첩되는 영역에 위치하게 된다. 그러나, 볼 스페이서(62)는 자체의 유동성 및 잉크젯 방식에 의해 도포되는 공정의 편차 등에 의해 볼 스페이서(62)가 게이트 라인(2) 또는 공통 라인(16)과 중첩되지 않게 되어 셀갭의 균일성이 저하되는 문제가 발생 된다.
- <38> 도 3을 참조하여 좀더 상세히 설명하면, 게이트 라인(2)과 공통 라인(16) 사이의 간격(d1)은 12  $\mu\text{m}$  정도이고, 볼 스페이서(62)의 지름(d2)은 2.5~4  $\mu\text{m}$  정도이다. 이에 따라, 볼 스페이서(62)는 작은 충격, 공정 편차 등에 의해 게이트 라인(2)과 공통 라인(16) 사이의 함입된 영역으로 미끄러지는 일이 빈번히 일어나게 된다. 볼 스페이서(62)가 게이트 라인(2)과 공통 라인(16) 사이의 함입된 영역에 위치하게 되면 볼 스페이서(62) 주변에서의 셀 갭은 상대적으로 작아지게 됨으로써 셀갭의 균일하지 않게 되고 컬러필터 어레이 기관(80) 또한 부분적으로 휘어지게 된다. 그 결과, 투과율이 불균일해지게 되어 휘도차가 발생됨으로써 화상에 얼룩이 나타나는 등 화질이 저하되는 문제가 발생된다.

**발명이 이루고자 하는 기술적 과제**

<39> 따라서, 본 발명의 목적은 화질 저하를 방지할 수 있는 수평 전계 인가형 액정표시패널 및 그 제조방법을 제공 하는데 있다.

**발명의 구성 및 작용**

<40> 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 수평 전계 인가형 액정표시패널은 컬러필터 어레이 기관과; 액정을 사이에 두고 상기 컬러필터 어레이 기관과 합착된 박막 트랜지스터 어레이 기관을 구비하고, 상기 박막 트랜지스터 어레이 기관은 기관 상에 서로 교차되게 형성되는 게이트 라인 및 데이터 라인과; 상기 게이트 라인 및 데이터 라인의 교차영역에 형성된 박막 트랜지스터와; 상기 박막 트랜지스터와 접속된 화소전극과; 상기 화소전극과 나란하게 형성되어 상기 화소전극과 수평전계를 이루는 공통전극과; 상기 게이트 라인과 동일 평면에서 상기 게이트 라인과 나란하게 형성되며 상기 공통전극에 기준전압을 공급하는 공통 라인과; 상기 공통 라인과 상기 게이트 라인 사이에 위치하는 더미 패턴을 구비하는 것을 특징으로 한다.

<41> 상기 컬러필터 어레이 기관과 상기 박막 트랜지스터 어레이 기관 사이의 간격을 유지시키는 볼 스페이서를 구비하고, 상기 볼 스페이서는 상기 게이트 라인, 공통 라인 및 더미 패턴 중 적어도 어느 하나와 중첩되는 것을 특징으로 한다.

<42> 상기 박막 트랜지스터는 상기 게이트 라인과 접속된 게이트 전극; 상기 데이터 라인과 접속된 소스전극; 상기 소스전극과 마주보는 드레인 전극; 상기 소스전극 및 드레인 전극 사이에 채널을 형성하는 활성층을 구비한다.

<43> 상기 더미 패턴은 상기 활성층과 동일물질인 것을 특징으로 한다.

<44> 상기 더미 패턴은 상기 게이트 라인 및 공통 라인과 동일 두께를 가지는 것을 특징으로 한다.

<45> 상기 더미 패턴은 라인 형태인 것을 특징으로 한다.

<46> 상기 박막 트랜지스터 어레이 기관은 상기 기관 위에서 상기 게이트 라인 및 공통 라인을 덮도록 형성된 게이트 절연막을 더 포함하고, 상기 더미 패턴은 상기 게이트 라인 및 공통라인 사이에서 상기 게이트 절연막 위에 형성된 것을 특징으로 한다.

<47> 본 발명에 따른 수평전계인가형 액정표시패널의 제조방법은 컬러필터 어레이 기관을 형성하는 단계와; 박막 트랜지스터 어레이 기관을 형성하는 단계와; 액정을 사이에 두고 상기 컬러필터 어레이 기관과 상기 컬러필터 어레이 기관을 합착하는 단계를 포함하고, 상기 박막 트랜지스터 어레이 기관을 형성하는 단계는 기관 위에 상기 게이트 전극, 상기 게이트 전극과 접속된 게이트 라인, 상기 게이트 라인 및 상기 게이트 라인과 나란한 공통 라인을 포함하는 게이트 패턴을 형성하는 단계와; 상기 게이트 패턴을 덮도록 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 위에 상기 게이트 라인과 교차되는 데이터 라인, 상기 데이터 라인과 접속된 소스 전극 및 상기 소스전극과 마주보는 드레인 전극을 포함하는 소스/드레인 패턴과, 상기 소스전극 및 드레인 전극 사이에 채널을 형성하는 활성층과, 상기 게이트 라인과 상기 공통 라인 사이에 위치하는 더미 패턴을 형성하는 단계와; 상기 드레인 전극을 노출시키는 제1 접촉홀 및 상기 공통라인을 노출시키는 제2 접촉홀을 가지는 보호막을 형성하는 단계와; 상기 제1 접촉홀을 통해 상기 드레인 전극과 접촉되는 화소전극과, 상기 제2 접촉홀을 통해 상기 공통라인과 접속된 공통전극을 구비하는 것을 특징으로 한다.

<48> 상기 박막 트랜지스터 어레이 기관 상에 볼 스페이서를 형성하는 단계를 더 포함하고, 상기 볼 스페이서는 상기 게이트 라인, 공통 라인 및 더미 패턴 중 적어도 어느 하나와 중첩되는 것을 특징으로 한다.

<49> 상기 소스/드레인 패턴, 활성층 및 더미 패턴을 형성하는 단계는 상기 게이트 절연막이 형성된 기관 위에 제1 반도체층, 제2 반도체층 및 제1 금속층을 순차적으로 형성하는 단계와; 반투과 마스크를 이용한 포토리소그래피 공정에 의해 상기 더미 패턴과 채널이 형성될 영역이 소스전극 및 드레인 패턴이 형성될 영역에 비하여 상대적으로 낮은 높이를 가지는 포토레지스트 패턴을 형성하는 단계와; 상기 포토레지스트 패턴과 비중첩되는 제1 반도체층, 제2 반도체층 및 제1 금속층을 제거하는 단계와; 애싱공정에 의해 포토레지스트 패턴을 부분적으로 제거하여 채널영역 및 상기 더미 패턴이 형성될 영역에만 제1 금속층을 노출시키는 단계와; 상기 노출된 제1 금속층을 제거하여 데이터 라인, 소스전극 및 드레인 전극을 포함하는 소스/드레인 패턴을 형성하고 제2 반도체층을 노출시키는 단계와; 상기 잔류하는 포토레지스트 패턴을 제거하는 단계와; 상기 소스/드레인 패턴과 비중첩되는 제2 반도체층을 제거하여 상기 채널영역을 포함하는 제1 반도체층을 노출시킴과 아울러 상기 더미 패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.

<50> 상기 제1 반도체층의 두께는 상기 게이트 패턴의 높이와 동일한 높이를 가지는 것을 특징으로 한다.

- <51> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- <52> 이하, 도 4 내지 도 7b를 참조하여 본 발명의 바람직한 실시 예들에 대하여 설명하기로 한다.
- <53> 도 4는 본 발명의 실시예에 따른 수평 전계 인가형 액정표시패널의 박막 트랜지스터 어레이 기관만을 나타낸 평면도이며, 도 5a는 도 4에서 선III-III'를 따라 절취한 박막 트랜지스터 어레이 기관과 컬러필터 어레이 기관을 포함하는 액정표시패널의 일부를 나타내는 단면도이고, 도 5b는 도 4에서 선VI-VI'를 따라 절취한 박막 트랜지스터 어레이 기관과 컬러필터 어레이 기관을 포함한 액정표시패널의 일부를 나타내는 단면도이다.
- <54> 도 4, 도 5a 및 도 5b에 도시된 액정표시패널(190)은 액정(172)을 사이에 두고 서로 마주보는 박막 트랜지스터 어레이 기관(170)과 컬러필터 어레이 기관(180)으로 구성된다.
- <55> 컬러필터 어레이 기관(180)은 각각의 화소영역(105)을 구획하는 블랙 매트릭스(156), 블랙 매트릭스(156)에 의해 구획된 화소영역(105)에 형성되는 컬러필터(158), 컬러필터(158)를 덮도록 형성된 오버코트층(159)을 구비한다.
- <56> 블랙 매트릭스(156)는 하부기관(145)의 박막 트랜지스터(106), 게이트라인(102), 데이터라인(104) 및 공통라인(116)과 중첩되게 형성되어 빛샘을 방지함과 아울러 외부광을 흡수하여 콘트라스트를 높이는 역할을 한다. 컬러필터(158)는 블랙 매트릭스(156)에 의해 구획되는 화소영역에 R,G,B 별로 형성되어 R, G, B 색상을 구현한다. 오버코트층(159)은 컬러필터(158)를 덮도록 형성되어 상부기관(155)을 평탄화한다.
- <57> 박막 트랜지스터 어레이 기관(170)은 하부 기관(145) 상에 교차되게 형성된 게이트 라인(102) 및 데이터 라인(104)과, 게이트 라인(102) 및 데이터 라인(104)의 교차부마다 형성된 박막 트랜지스터(106)와, 게이트 라인(102) 및 데이터 라인(104)에 의해 정의되는 화소 영역(105)에 수평 전계를 이루도록 형성된 화소 전극(114) 및 공통 전극(118)과, 공통 전극(118)들이 접속된 공통 라인(116)과, 공통 라인(116)과 게이트 라인(102) 사이에 위치하며 게이트 절연막(146) 위에 형성된 더미 패턴(210)을 구비한다.
- <58> 게이트 라인(102)은 박막 트랜지스터(106)의 게이트 전극(108)에 게이트신호를 공급한다. 데이터 라인(104)은 박막 트랜지스터(106)의 드레인 전극(112)을 통해 화소전극(114)에 화소신호를 공급한다. 게이트 라인(102)과 데이터 라인(104)은 교차구조로 형성되어 화소영역(105)을 정의한다.
- <59> 공통라인(116)은 화소영역(105)을 사이에 두고 게이트 라인(102)과 나란하게 형성되며 액정 구동을 위한 기준전압을 공통전극(118)에 공급한다.
- <60> 박막 트랜지스터(106)는 게이트 라인(102)의 게이트 신호에 응답하여 데이터 라인(104)의 화소 신호가 화소 전극(114)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(106)는 게이트 라인(102)에 접속된 게이트 전극(108)과, 데이터 라인(104)에 접속된 소스 전극(110)과, 화소 전극(114)에 접속된 드레인 전극(112)을 구비한다. 또한, 박막 트랜지스터(106)는 게이트 전극(108)과 게이트 절연막(146)을 사이에 두고 중첩되면서 소스 전극(110)과 드레인 전극(112) 사이에 채널을 형성하는 활성층(148)을 포함하는 반도체 패턴(149)이 더 구비된다. 반도체 패턴(149)에는 활성층(148)위에 위치하여 데이터 라인(104), 소스 전극(110), 드레인 전극(112)과 오믹 접촉을 위한 오믹접촉층(150)이 더 포함된다.
- <61> 화소 전극(114)은 박막 트랜지스터(106)의 드레인 전극(112)과 제1 접촉홀(117)을 통해 접속되며 화소 영역(105)에 형성된다. 여기서, 화소 전극(114)은 드레인 전극(112)과 접속되고 인접한 게이트 라인(102)과 나란하게 형성된 제1 수평부(114a)와, 화소전극(114)의 제1 수평부(114a) 접속되며 공통전극(118)의 제2 핑거부(118b)와 나란한 제1 핑거부(114b)로 구분된다.
- <62> 공통 전극(118)은 공통 라인(116)과 접속되어 화소 영역(105)에 게이트라인(102) 및 게이트전극(108)과 동일금속으로 형성된다. 특히, 공통 전극(118)은 게이트 절연막(146) 및 보호막(151)을 관통하여 공통 라인(116)을 노출시키는 제2 접촉홀(127)을 통해 공통 라인(116)과 접속되며 공통 라인(116)과 부분적으로 중첩되는 제2 수평부(118a)와, 제2 수평부(118a)에서 신장되며 화소전극(114)의 제1 핑거부(114b)와 나란한 제2 핑거부(118b)로 구분된다.
- <63> 더미 패턴(210)은 게이트 라인(102)과 공통라인(116) 사이에 위치하는 게이트 절연막(146) 위에 라인 형태로 형성된다. 이 더미 패턴은(210)은 반도체 패턴(49)의 활성층(48)과 동일물질로 동시에 형성되고, 게이트 라인(102) 및 공통라인(116) 들의 두께와 동일 높이를 갖는다.

- <64> 이에 따라, 종래 도 2b에서 게이트 라인(2) 및 공통라인(16) 사이에 형성되었던 함입 영역 즉, 단차가 제거될 수 있게 됨으로써 볼 스페이스(162)에 의한 셀갭 유지 기능이 정상적으로 이루어질 수 있게 된다.
- <65> 즉, 볼 스페이스(162)의 도포 공정에서의 편차 또는 외부충격 등에 의해 볼 스페이스(162)의 위치가 다소 달라지더라도 볼 스페이스(162) 하부에 단차 또는 함입영역이 없어지게 됨으로써 볼 스페이스(162)는 정상적으로 액정표시패널(190)의 셀갭을 유지시킬 수 있게 된다. 이에 따라, 종래 셀갭 불균일에 의한 화질 저하를 방지할 수 있게 된다.
- <66> 컬러필터 어레이 기관(180)과 박막 트랜지스터 어레이 기관(170)에는 액정배향을 위한 상부 및 하부 배향막(161,153)이 각각 위치하게 된다. 상부 및 하부 배향막(161,153)은 폴리이미드 등과 같은 배향물질이 도포된 후 러빙공정이 실시됨에 따라 형성될 수 있다.
- <67> 이러한, 수평 전계 인가형 액정표시패널(190)은 박막 트랜지스터(106)를 통해 화소 신호가 공급된 화소 전극(114)과 공통 라인(116)을 통해 기준 전압이 공급된 공통 전극(118) 사이에는 수평 전계가 형성된다. 특히, 화소 전극(114)의 제1 핑거부(114b)와 공통 전극(118)의 제2 핑거부(118b) 사이에는 수평 전계가 형성된다. 이러한 수평 전계에 의해 수평 방향으로 배열된 액정(172) 분자들이 유전 이방성에 의해 회전하게 된다. 액정 분자들의 회전 정도에 따라 화소 영역(105)을 투과하는 광 투과율이 달라지게 됨으로써 화상이 구현된다.
- <68> 도 6a 내지 도 7b는 본 발명에 따른 박막 트랜지스터 어레이 기관의 제조방법을 설명하면 다음과 같다.
- <69> 도 6a를 참조하면, 제1 마스크 공정이 실시됨에 따라 하부 기관(145) 위에 서로 나란한 게이트 라인(102) 및 공통 라인(116), 게이트 라인(102)과 접속된 게이트 전극(108)을 포함하는 게이트 패턴이 형성된다.
- <70> 하부기관(145) 위에 스퍼터링 등의 증착방법을 통해 게이트 금속층이 증착 된 후, 제1 마스크를 이용한 포토리쓰그래피 공정 및 식각 공정에 의해 게이트 금속층이 패터닝됨으로써 게이트 전극(108), 게이트 라인(102), 공통 라인(116)을 포함하는 게이트 패턴이 형성된다. 게이트 금속층으로는 알루미늄네오듐(AlNd), 알루미늄(Al) 등이 이용된다.
- <71> 게이트 패턴 등이 형성된 하부기관(145) 상에 무기절연물질이 PECVD 등의 증착방법을 통해 전면 증착됨으로써 게이트 절연막(146)이 형성된다. 게이트 절연막(146)의 재료로는 무기절연물질인 질화실리콘(SiNx) 또는 산화실리콘(SiOx) 등이 이용된다.
- <72> 도 6b를 참조하면, 제2 마스크 공정이 실시됨에 따라 게이트 절연막(146)이 형성된 하부기관(145) 상에 더미 패턴(210), 반도체 패턴(149)이 형성됨과 아울러 데이터 라인(104), 소스전극(110) 및 드레인 전극(112)를 포함하는 소스/드레인 패턴이 형성된다.
- <73> 이하, 도 7a 내지 도 7b를 참조하여 제2 마스크 공정을 좀더 상세히 설명한다.
- <74> 게이트 절연막(146)이 형성된 하부기관(145) 상에 비정질 실리콘층(148a), n+ 비정질 실리콘층(150a) 및 소스/드레인 금속층(104a)이 순차적으로 증착된 후 반투과 마스크 등을 이용한 포토리쓰그래피 공정이 실시됨으로써 도 7a에 도시된 바와 같이 단차를 가지는 포토레지스트 패턴(220)이 형성된다. 포토레지스트 패턴(220)은 더미 패턴(210) 및 채널이 형성될 영역이 소스전극 및 드레인 전극(110,112)이 형성될 영역에 비하여 상대적으로 낮은 높이를 가지게 된다.
- <75> 이후, 식각 공정에 의해 포토레지스트 패턴(220)과 비중첩되는 비정질 실리콘층(148a), n+ 비정질 실리콘층(150a) 및 소스/드레인 금속층(104a)이 제거된다. 이에 따라, 활성층(148) 및 오믹접촉층(150)을 포함하는 반도체 패턴(149)이 형성됨과 아울러 데이터 라인(104), 일체화된 소스전극(110) 및 드레인 전극(112)을 포함하는 소스/드레인 패턴이 형성된다.
- <76> 이후, 애싱 공정이 실시되어 포토레지스트 패턴(220)이 부분적으로 제거됨으로써 도 7b에 도시된 바와 같이 소스 및 드레인 전극(110,112)과 중첩되는 영역에만 포토레지스트 패턴(220)이 잔류하게 된다.
- <77> 이후, 잔류하는 포토레지스트 패턴(220)을 마스크로 이용하여 노출된 소스/드레인 금속층을 제거함으로써 소스 전극(110)과 드레인 전극(112)이 분리됨과 아울러 오믹접촉층(150)이 노출된다. 이후, 스트립 공정이 실시됨으로써 잔류하는 포토레지스트 패턴(220)이 제거된다.
- <78> 이후, 소스 및 드레인전극(110,112)을 마스크로 이용한 건식식각(150) 공정이 실시되어 오믹접촉층(150)이 제거됨으로써 활성층(148)이 노출된다. 그 결과, 도 6b에 도시된 바와 같이 게이트 라인(102)과 공통 라인(116) 사이에 위치하는 더미 패턴(210)이 형성된다. 여기서, 더미 패턴(210)은 비정질 실리콘으로 이루어지며 게이트 패

턴과 동일한 높이를 가지게 된다.

- <79> 데이터 금속물질로는 크롬(Cr), 몰리브덴(Mo), 티타늄(Ti) 등이 이용된다.
- <80> 도 6c를 참조하면, 제3 마스크 공정이 실시됨에 따라 소스/드레인 금속 등이 형성된 하부 기판(145) 상에 제1 및 제2 접촉홀(117,127)을 가지는 보호막(151)이 형성된다.
- <81> 소스/드레인 패턴 등이 형성된 하부기판(145) 상에 PECVD 등의 증착공정에 의해 무기 절연물질이 증착된다. 보호막(151)의 재료로는 무기절연물질인 질화실리콘(SiNx) 또는 산화실리콘(SiOx) 등이 이용된다. 이 후, 보호막(151)이 포토리쓰그래피 공정과 식각공정으로 패터닝됨으로써 드레인 전극(112)을 노출시키는 제1 접촉홀(117)과, 공통라인(116)을 노출시키는 제2 접촉홀(127)을 가지는 보호막(151)이 형성된다.
- <82> 도 6d를 참조하면, 제4 마스크 공정이 실시됨에 따라 보호막(151)이 형성된 하부 기판(145) 상에 화소전극(114) 및 공통전극(118)이 형성된다.
- <83> 보호막(151)이 형성된 하부기판(145) 상에 스퍼터링 등의 증착방법으로 투명전극물질이 증착된 후 포토리쓰그래피 공정 및 식각공정에 의해 패터닝된다. 이에 따라, 제1 접촉홀(117)을 통해 드레인 전극(112)과 접촉되는 화소전극(114)과, 제2 접촉홀(127)을 통해 공통 라인(116)과 접촉되는 공통 전극(118)이 형성된다.
- <84> 화소 전극(114)은 드레인 전극(112)과 접속되고 인접한 게이트 라인(102)과 나란하게 형성된 제1 수평부(114a)와, 화소전극(114)의 제1 수평부(114a)와 접속되며 공통전극(118)의 제2 핑거부(118b)와 나란한 제1 핑거부(114b)를 포함한다.
- <85> 공통 전극(118)은 공통 라인(116)과 부분적으로 중첩되는 제2 수평부(118a)와, 제2 수평부(118a)에서 신장되며 화소전극(114)의 제1 핑거부(114b)와 나란한 제2 핑거부(118b)를 구비한다.
- <86> 투명전극물질로는 인듐 턴 옥사이드(Indium Tin Oxide : 이하 "ITO" 라고 한다), 턴 옥사이드(Tin Oxide : 이하 "TO" 라고 한다), 인듐 징크 옥사이드(Indium Zinc Oxide : 이하 "IZO" 라고 한다) 또는 인듐 턴 징크 옥사이드(Indium Tin Zinc Oxide : 이하 "ITZO" 하고 한다) 등이 이용된다.
- <87> 이후, 인쇄공정에 의해 폴리이미드 등의 배향물질을 형성한 후 러빙공정이 실시됨으로써 도 6e에 도시된 바와 같이 하부 배향막(153)이 형성된다.
- <88> 상술한 박막 트랜지스터 어레이 기판(170)의 제조공정과 별도로 블랙 매트릭스(156), 컬러필터(158), 오버코트층(159) 및 상부 배향막(161) 등을 포함하는 컬러필터 어레이 기판(180)을 형성한다.
- <89> 이후, 볼 스페이서(162)를 박막 트랜지스터 어레이 기판(180)의 게이트 라인(102), 공통라인(118) 및 더미 패턴(210) 중 적어도 어느 하나와 중첩되는 영역에 형성시킨 후, 액정(172)을 사이에 두고 컬러필터 어레이 기판(170)과 박막 트랜지스터 어레이 기판(180)을 합착시킴에 따른 액정표시패널(190)이 형성된다.

**발명의 효과**

- <90> 상술한 바와 같이, 본 발명에 따른 수평 전계 인가형 액정표시패널 및 그 제조방법은 게이트 라인과 공통라인 사이에 더미 패턴을 형성한다. 더미 패턴은 게이트 절연막 위에서 반도체 패턴의 활성층과 동일물질로 동시에 형성됨과 아울러 게이트 라인 및 공통 라인 들의 두께와 동일 높이를 갖는다.
- <91> 이에 따라, 종래 게이트 라인 및 공통라인 사이의 단차가 제거될 수 있게 됨으로써 볼 스페이서에 의한 셀갭 유지 기능이 정상적으로 이루어질 수 있게 된다. 그 결과, 종래 셀갭 불균일에 의한 화질 저하를 방지할 수 있게 된다.
- <92> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

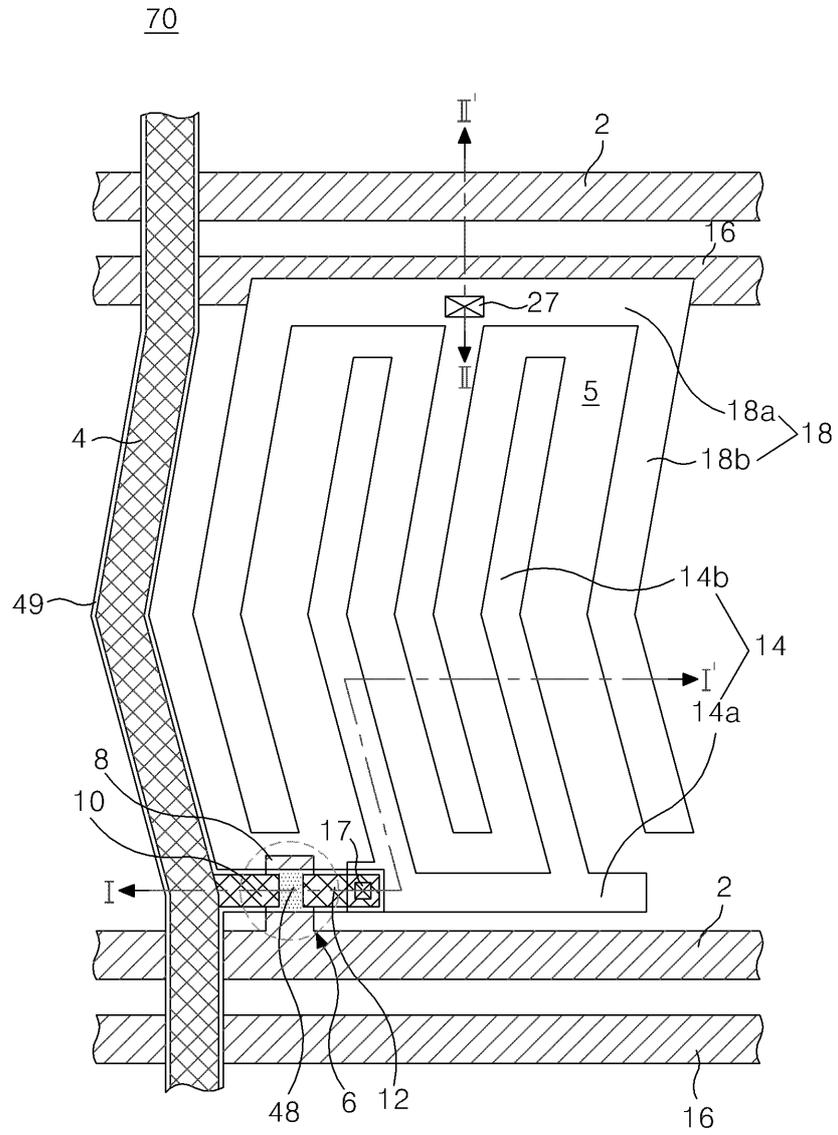
**도면의 간단한 설명**

- <1> 도 1은 종래의 수평 전계 인가형 액정표시패널의 박막 트랜지스터 어레이 기판을 나타내는 평면도.
- <2> 도 2a는 도 1에서 선 I-I'를 따라 절취한 박막 트랜지스터 어레이 기판과 컬러필터 어레이 기판을 포함하는 액정표시패널의 일부를 나타내는 단면도.

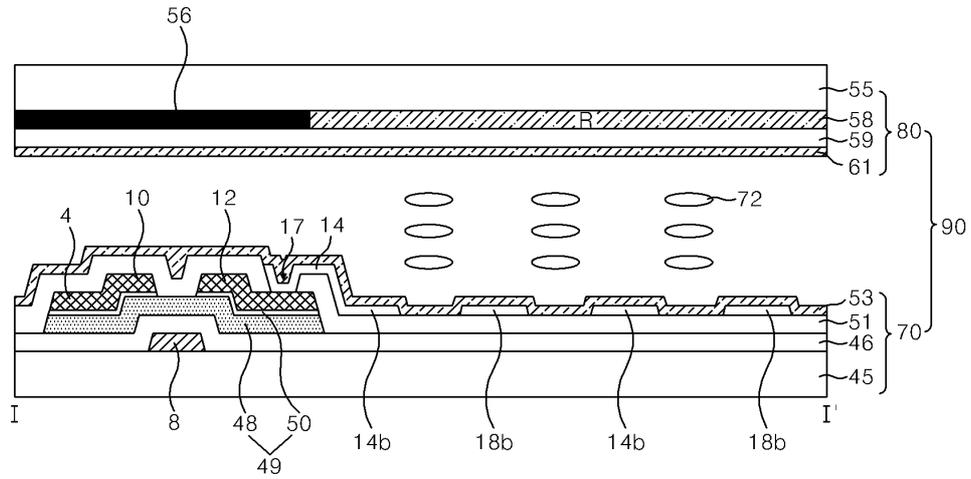
- <3> 도 2b는 도 1에서 선 II-II'를 따라 절취한 박막 트랜지스터 어레이 기판과 컬러필터 어레이 기판을 포함한 액정표시패널의 일부를 나타내는 단면도.
- <4> 도 3은 볼 스페이서가 비정상적으로 위치함에 따른 셀갭 불균일을 나타내는 도면.
- <5> 도 4는 본 발명에 따른 수평 전계 인가형 액정표시패널의 박막 트랜지스터 어레이 기판을 나타내는 평면도.
- <6> 도 5a는 도 1에서 선 III-III'를 따라 절취한 박막 트랜지스터 어레이 기판과 컬러필터 어레이 기판을 포함하는 액정표시패널의 일부를 나타내는 단면도.
- <7> 도 5b는 도 1에서 선 VI-VI'를 따라 절취한 박막 트랜지스터 어레이 기판과 컬러필터 어레이 기판을 포함한 액정표시패널의 일부를 나타내는 단면도.
- <8> 도 6a 내지 도 6e는 도 5a 및 도 5b에 도시된 박막 트랜지스터 어레이 기판의 제조방법을 나타내는 도면.
- <9> 도 7a 및 도 7b는 도 6b의 제2 마스크 공정을 구체적으로 나타내는 도면.
- <10> <도면의 주요 부분에 대한 부호의 설명>
- <11> 2, 102 : 게이트 라인                      4, 104 : 데이터 라인
- <12> 6, 106 : 박막 트랜지스터              8, 108 : 게이트 전극
- <13> 10 : 소스 전극                              12, 112 : 드레인 전극
- <14> 14, 114 : 화소전극                        16, 116 : 공통 라인
- <15> 18, 118 : 공통 전극                        51, 151 : 보호막
- <16> 46,146 : 게이트 절연막                  70,170 : 박막 트랜지스터 어레이 기판
- <17> 80,180 : 컬러필터 어레이 기판
- <18> 220 : 포토레지스트 패턴              210 : 더미 패턴
- <19> 17,117 : 제1 접착층                        27, 127 : 제2 접착층

도면

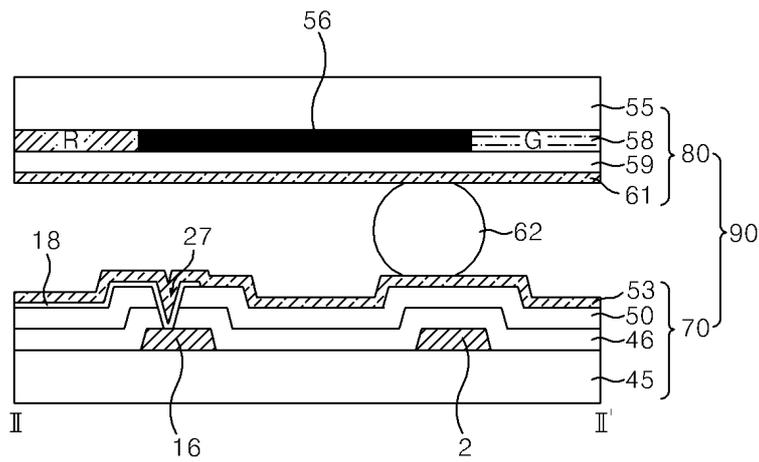
도면1



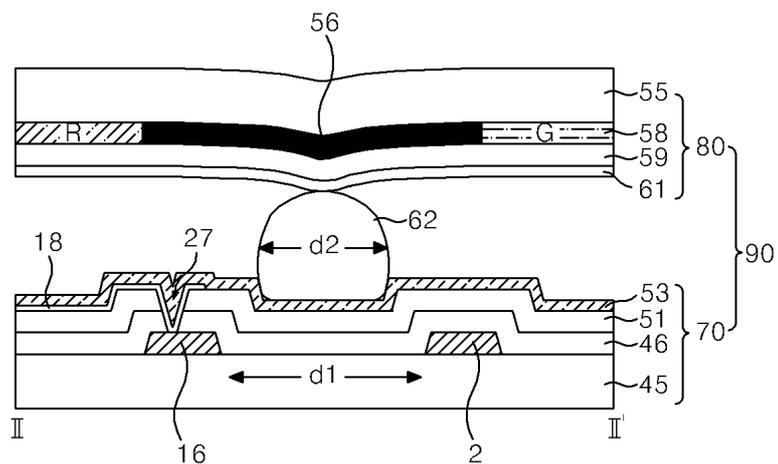
도면2a



도면2b

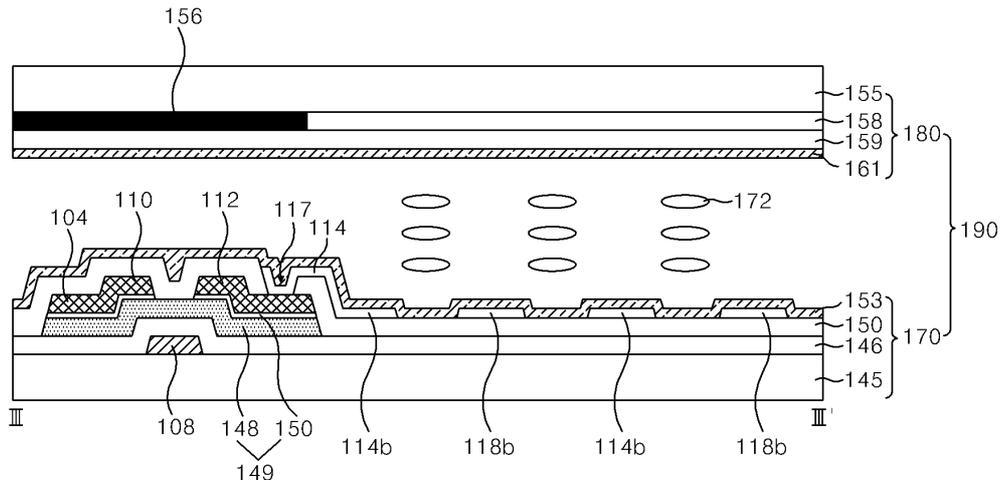


도면3

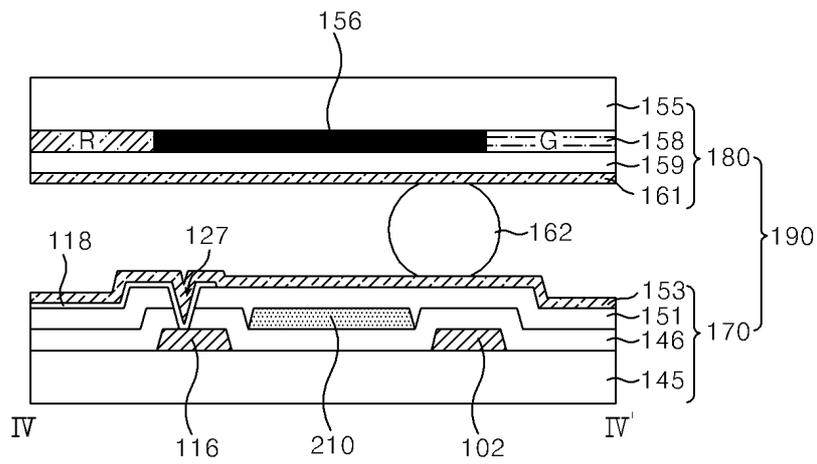




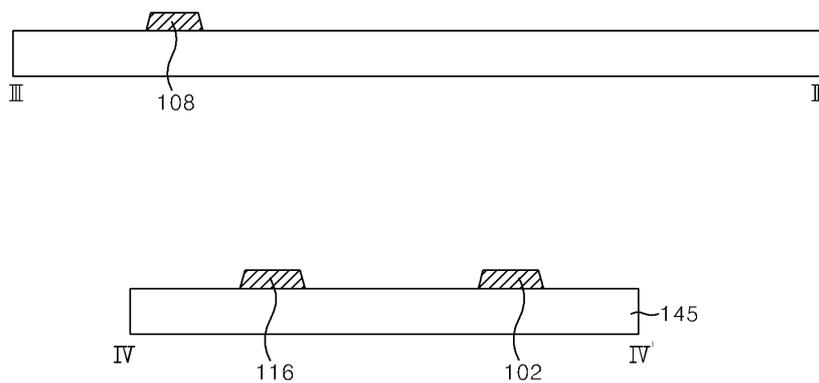
도면5a



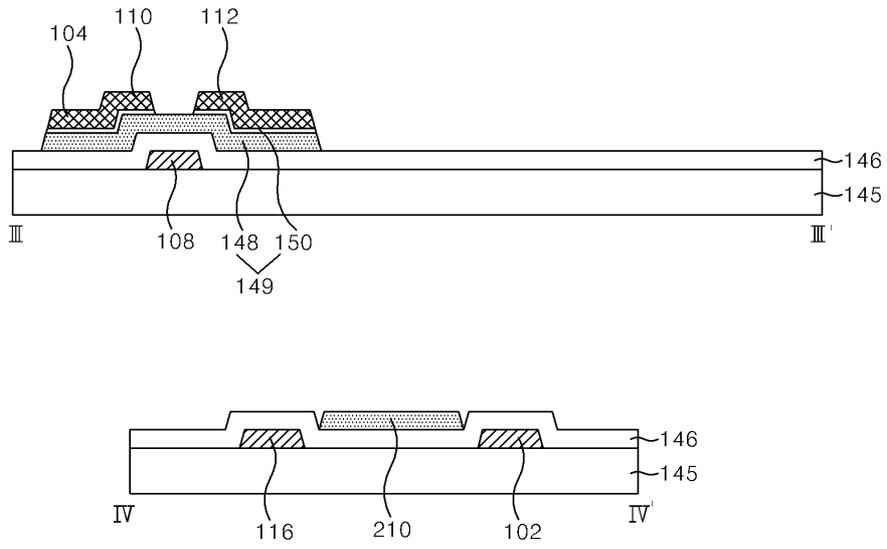
도면5b



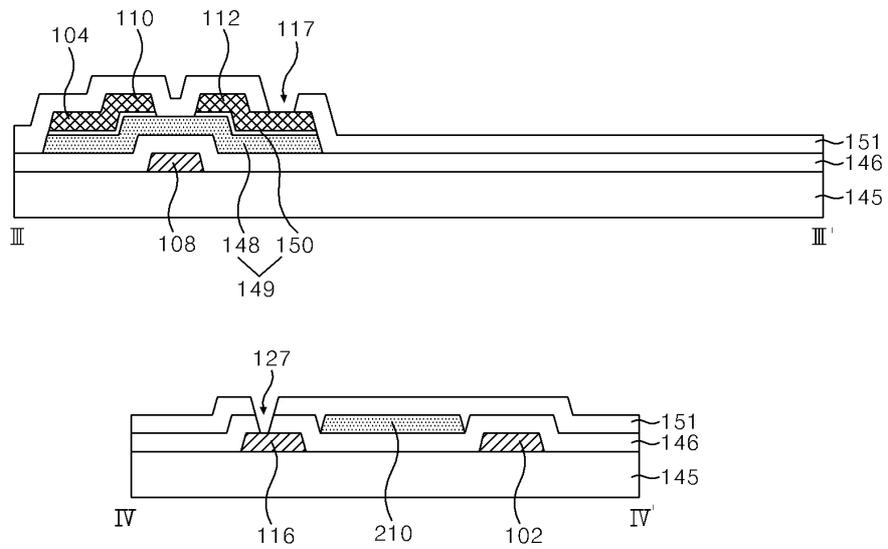
도면6a



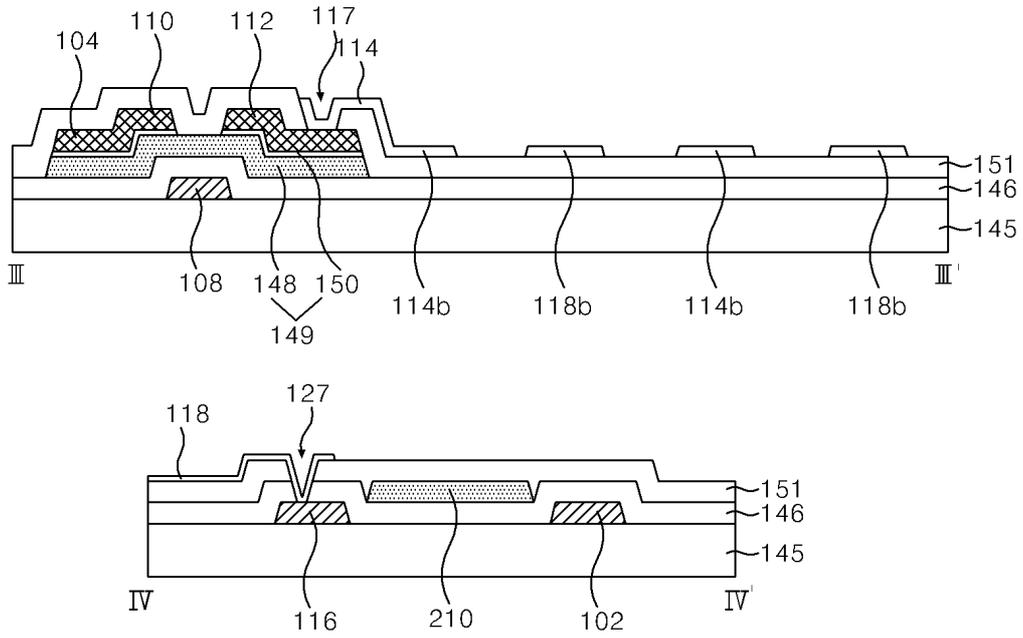
도면6b



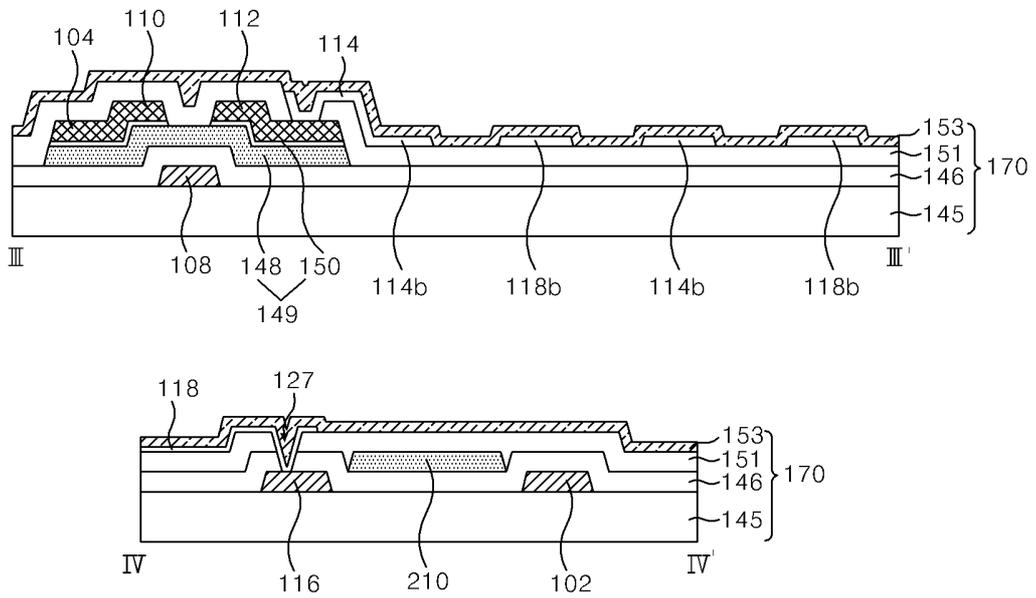
도면6c



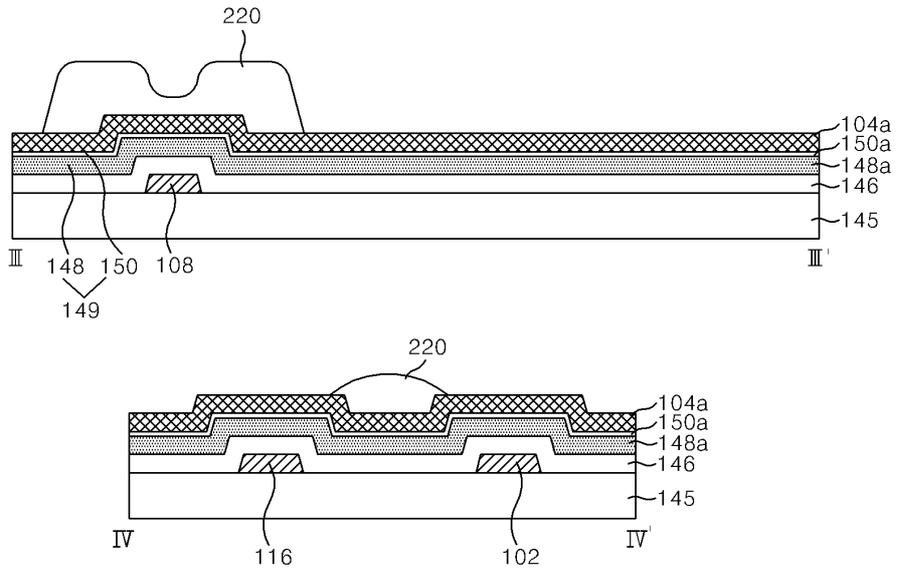
도면6d



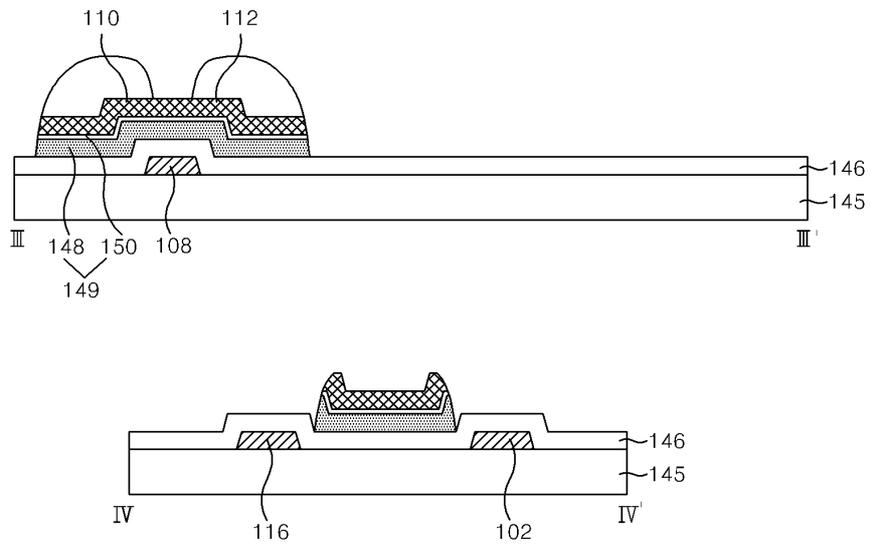
도면6e



도면7a



도면7b



专利名称(译)	水平场施加液晶显示面板及其制造方法		
公开(公告)号	<a href="#">KR1020080039004A</a>	公开(公告)日	2008-05-07
申请号	KR1020060106619	申请日	2006-10-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE MYOUNG HO 이명호 KIM BONG CHUL 김봉철 LEE SEUNG HYUN 이승현 KOO KYO YONG 구교용 SEO HYEON JIN 서현진 LEE JEONG HOON 이정훈 KWON DHANG 권당 CHO HANG SUP 조항섭		
发明人	이명호 김봉철 이승현 구교용 서현진 이정훈 권당 조항섭		
IPC分类号	G02F1/1343 G02F1/1335		
CPC分类号	G02F1/134363 G02F1/13392 G02F1/136286 G09G2300/0413		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明涉及一种能够防止图像质量下降的水平电场施加型液晶显示板及其制造方法。根据本发明的水平电子场的液晶显示面板包括滤色器阵列基板;栅极线和数据线, 其将液晶放置在间隔中并且包括附着的薄膜晶体管阵列基板和滤色器阵列基板, 并且其中薄膜晶体管阵列基板形成在基板上以彼此交叉;门线;形成在数据线的交叉域中的薄膜晶体管和位于用于向连接的像素电极提供参考电压的公共线之间的薄膜晶体管的虚设图案, 与像素成一直线的公共电极电极形成并包括像素电极和横向电场以及公共电极, 公共电极形成在与栅极线相同的平面上, 它与栅极线, 公共线和栅极线成一直线。

