



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/133 (2006.01)

(11) 공개번호 10-2006-0134253
(43) 공개일자 2006년12월28일

(21) 출원번호 10-2005-0053792
(22) 출원일자 2005년06월22일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 문국철
경기 용인시 신봉동 현대아파트 404동 301호
맹호석
서울 서초구 방배4동 방배현대아파트 106동 1802호
박태형
경기 용인시 풍덕천2동 성우현대아파트 신정마을 807동 1802호

(74) 대리인 조희원

전체 청구항 수 : 총 20 항

(54) 액정 표시 패널 및 이를 갖는 액정 표시 장치와 이 액정표시 장치의 구동방법

(57) 요약

본 발명은 소비전력을 감소시킴과 아울러 개구율을 높힐 수 있는 액정 표시 패널 및 이를 갖는 액정 표시 장치와 이 액정 표시 장치의 구동방법을 제공하는 것이다.

본 발명에 따른 액정 표시 패널은 적어도 하나의 제1 표시 영역, 상기 제1 표시 영역과 인접되게 위치하며 각 화소마다 적어도 두 개의 인버터의 조합으로 형성된 메모리를 가지는 적어도 하나의 제2 표시 영역으로 분할된 액정 표시 패널과; 상기 제1 및 제2 표시 영역의 게이트라인을 구동하기 위한 적어도 하나의 게이트 구동부와; 상기 제1 및 제2 표시 영역의 데이터라인을 구동하기 위한 적어도 하나의 데이터 구동부를 구비하는 것을 특징으로 한다.

대표도

도 4

특허청구의 범위

청구항 1.

적어도 하나의 제1 표시 영역, 상기 제1 표시 영역과 인접되게 위치하며 각 화소마다 적어도 두 개의 인버터의 조합으로 형성된 메모리를 가지는 적어도 하나의 제2 표시 영역으로 분할된 액정 표시 패널과;

상기 제1 및 제2 표시 영역의 게이트라인을 구동하기 위한 적어도 하나의 게이트 구동부와;

상기 제1 및 제2 표시 영역의 데이터라인을 구동하기 위한 적어도 하나의 데이터 구동부를 구비하는 것을 특징으로 하는 액정 표시 장치.

청구항 2.

제 1 항에 있어서,

상기 게이트 구동부는

상기 제1 표시 영역의 제1 게이트라인을 구동하기 위한 제1 게이트 구동부와;

상기 제2 표시 영역의 제2 게이트라인을 구동하기 위한 제2 게이트 구동부를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 3.

제 2 항에 있어서,

상기 제1 표시 영역은

상기 제1 게이트라인과 데이터라인에 접속된 제1 박막트랜지스터와;

상기 제1 박막트랜지스터와 접속된 제1 액정 셀과;

상기 제1 액정 셀의 화소전압을 유지하는 스토리지 캐패시터를 포함하며,

상기 제2 표시 영역은

상기 제2 게이트라인과 데이터라인에 접속되며 상기 메모리에 접속된 제2 박막트랜지스터와;

상기 제2 박막트랜지스터와 접속된 액정 셀을 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 4.

제 3 항에 있어서,

상기 메모리는

제1 노드의 전압에 따라 제1 공급 전압 라인과 제2 노드 사이의 도전 경로를 제어하는 N형 제1 트랜지스터와;

상기 제1 노드의 전압에 따라 제2 공급 전압 라인과 상기 제2 노드 사이의 도전 경로를 제어하는 P형 제2 트랜지스터와;

상기 제2 노드의 전압에 따라 상기 제1 공급 전압 라인과 상기 제2 박막트랜지스터의 드레인 전극 사이의 도전 경로를 제어하는 N형 제3 트랜지스터와;

상기 제2 노드의 전압에 따라 제2 공급 전압 라인과 상기 제2 박막트랜지스터의 드레인 전극 사이의 도전 경로를 제어하는 P형 제4 트랜지스터를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 5.

제 4 항에 있어서,

상기 제1 내지 제4 트랜지스터는 폴리-실리콘 박막 트랜지스터로 구성된 것을 특징으로 하는 액정 표시 장치.

청구항 6.

제 5 항에 있어서,

상기 게이트 구동부 및 데이터 구동부 중 적어도 어느 하나는 상기 액정 표시 패널 상에 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 7.

제 1 항에 있어서,

외부로부터 입력되는 데이터가 상기 제1 및 제2 표시 영역 중 적어도 어느 한 영역에서 표시될 데이터인지를 판별하는 영상신호 감지부를 추가로 구비하는 것을 특징으로 하는 액정 표시 장치.

청구항 8.

제 7 항에 있어서,

상기 영상신호 감지부의 출력신호에 응답하여 상기 게이트 구동부 및 데이터 구동부를 제어하기 위한 제어신호를 생성함과 아울러 상기 데이터 구동부에 데이터를 공급하는 타이밍 제어부를 추가로 구비하는 것을 특징으로 하는 액정 표시 장치.

청구항 9.

제 8 항에 있어서,

상기 데이터구동부는

상기 영상신호 감지부에서 제1 및 제2 표시 영역에 표시될 데이터로 판별되는 경우 상기 제1 및 제2 표시 영역의 데이터라인을 각각 구동하기 위한 제1 및 제2 데이터 구동부를 구비하는 것을 특징으로 하는 액정 표시 장치.

청구항 10.

제 8 항에 있어서,

상기 데이터구동부는

상기 영상신호 감지부에서 제1 및 제2 표시 영역 중 어느 한 영역에서 표시될 데이터로 판별되는 경우 해당 표시 영역의 데이터라인을 구동하는 것을 특징으로 하는 액정 표시 장치.

청구항 11.

적어도 하나의 제1 표시 영역과, 상기 제1 표시 영역과 인접되게 위치하며 각 화소마다 적어도 두 개의 인버터의 조합으로 형성된 메모리를 가지는 적어도 하나의 제2 표시 영역을 구비하는 것을 특징으로 하는 액정 표시 패널.

청구항 12.

제 11 항에 있어서,

상기 제1 표시 영역은

제1 게이트라인 및 데이터라인과 접속된 제1 박막트랜지스터와;

상기 박막트랜지스터와 접속된 액정셀과;

상기 액정셀의 화소전압을 유지하는 스토리지 캐패시터를 포함하며,

상기 제2 표시 영역은

상기 메모리에 접속되며 제2 게이트라인 및 데이터라인과 접속된 제2 박막트랜지스터와;

상기 박막트랜지스터와 접속된 액정셀을 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 13.

제 11 항에 있어서,

상기 제1 표시 영역은

제1 게이트라인 및 제1 데이터라인과 접속된 제1 박막트랜지스터와;

상기 제1 박막트랜지스터와 접속된 제1 액정셀과;

상기 제1 액정셀의 화소전압을 유지하는 스토리지 캐패시터를 포함하며,

상기 제2 표시 영역은

상기 메모리에 접속되며 제2 게이트라인 및 상기 제1 데이터라인과 분리된 제2 데이터라인과 접속된 제2 박막트랜지스터와;

상기 제2 박막트랜지스터와 접속된 제2 액정셀을 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 14.

제 12 항 및 제 13 항 중 어느 한 항에 있어서,

상기 메모리는

제1 노드의 전압에 따라 제1 공급 전압 라인과 제2 노드 사이의 도전 경로를 제어하는 N형 제1 트랜지스터와;

상기 제1 노드의 전압에 따라 제2 공급 전압 라인과 상기 제2 노드 사이의 도전 경로를 제어하는 P형 제2 트랜지스터와;

상기 제2 노드의 전압에 따라 상기 제1 공급 전압 라인과 상기 제2 박막트랜지스터의 드레인 전극 사이의 도전 경로를 제어하는 N형 제3 트랜지스터와;

상기 제2 노드의 전압에 따라 제2 공급 전압 라인과 상기 제2 박막트랜지스터의 드레인 전극 사이의 도전 경로를 제어하는 P형 제4 트랜지스터를 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 15.

제 14 항에 있어서,

상기 제1 내지 제4 트랜지스터는 폴리-실리콘 박막 트랜지스터로 구성된 것을 특징으로 하는 액정 표시 패널.

청구항 16.

적어도 하나의 제1 표시 영역, 상기 제1 표시 영역과 인접되게 위치하며 각 화소마다 적어도 두 개의 인버터의 조합으로 형성된 메모리를 가지는 적어도 하나의 제2 표시 영역으로 분할된 액정 표시 패널을 가지는 액정 표시 장치의 구동방법에 있어서,

상기 제1 및 제2 표시 영역의 게이트 라인을 구동하는 단계와;

상기 제1 및 제2 표시 영역의 데이터라인을 구동하는 단계를 포함하는 것을 특징으로 하는 액정 표시 장치의 구동방법.

청구항 17.

제 16 항에 있어서,

상기 데이터라인을 구동하는 단계는

상기 제1 표시 영역의 데이터라인들에 제1 기간의 수평기간동안 수평라인분씩의 화소 전압 신호를 공급하는 단계와;

상기 제2 표시 영역의 데이터라인들에 제1 기간보다 긴 제2 기간의 수평기간동안 수평라인분씩의 화소 전압 신호를 공급하는 단계를 포함하는 것을 특징으로 하는 액정 표시 장치의 구동방법.

청구항 18.

제 16 항에 있어서,

상기 게이트 라인을 구동하는 단계는

상기 제1 표시 영역의 게이트라인들에 제1 기간의 수평기간 동안 게이트 하이 전압을 공급하는 단계와;

상기 제2 표시 영역의 게이트라인들에 제1 기간보다 긴 제2 기간의 수평기간 동안 게이트 하이 전압을 공급하는 단계를 포함하는 것을 특징으로 하는 액정 표시 장치의 구동방법.

청구항 19.

제 18 항에 있어서,

상기 제2 표시 영역이 비활성화 되는 동안에 상기 서브 표시 영역의 메모리에 저장된 데이터에 의해 화상을 유지하는 단계를 더 포함하는 것을 특징으로 하는 액정 표시 장치의 구동방법.

청구항 20.

제 16 항에 있어서,

외부로부터 입력되는 데이터가 상기 제1 및 제2 영역 중 적어도 어느 한 영역에서 구현될 데이터인지를 감지부에서 판별하는 단계와;

상기 감지부의 판별결과에 따라서 상기 게이트 구동부 및 데이터 구동부에 제어신호 및 데이터신호를 타이밍 제어부에서 공급하는 단계를 추가로 포함하는 것을 특징으로 하는 액정 표시 장치의 구동방법.

명세서**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 액정 표시 패널에 관한 것으로, 특히 소비전력을 감소시킴과 아울러 개구율을 높일 수 있는 액정 표시 패널 및 이를 갖는 액정 표시 장치와 이 액정 표시 장치의 구동방법에 관한 것이다.

텔레비전(Television) 및 컴퓨터(Computer)의 표시 장치로 사용되는 액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정 표시 장치는 액정셀들이 매트릭스 형태로 배열되어진 액정 패널과, 액정 패널을 구동하기 위한 구동 회로를 구비한다.

구동 회로는 게이트 라인을 구동하는 게이트 구동부와, 데이터 라인을 구동하는 데이터 구동부를 구비한다. 게이트 구동부는 게이트 라인으로 스캔 신호를 순차적으로 공급한다. 데이터 구동부는 디지털 데이터를 아날로그 데이터 신호로 변환하여 스캔 신호가 공급될 때마다 데이터 라인으로 공급한다.

액정 패널은 게이트 라인과 데이터 라인의 교차로 정의된 영역마다 형성된 액정셀과, 게이트 라인 및 데이터 라인과 액정셀에 포함된 화소 전극 사이에 접속된 박막 트랜지스터(Thin Film Transistor; TFT)를 구비한다. TFT는 게이트 라인으로부터의 스캔 신호에 응답하여 데이터 라인으로부터 데이터 신호를 화소 전극에 공급한다. 액정셀은 화소 전극과 공통 전극과의 전압차에 따라 유전 이방성을 갖는 액정 분자들이 회전하여 광 투과율을 조절함으로써 계조를 표시한다.

이러한 액정 표시 장치는 휴대 단말기의 잔존 배터리 등의 정지 화상을 표시하는 경우에도 동화상을 표시하는 경우와 마찬가지로 스캔 신호를 이용하여 박막트랜지스터를 턴온시키고 액정셀에 화상 신호를 공급하여야 한다. 이 경우, 게이트 구동부와, 데이터 구동부와, 이들을 제어하는 타이밍 제어부는 동화상을 구동할 때와 동일하게 동작하여야 하므로 소비전력이 큰 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 소비전력을 감소시킴과 아울러 개구율을 높일 수 있는 액정 표시 패널 및 이를 갖는 액정 표시 장치와 이 액정 표시 장치의 구동방법을 제공하는 것이다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 액정 표시 장치는 적어도 하나의 제1 표시 영역, 상기 제1 표시 영역과 인접되게 위치하며 각 화소마다 적어도 두 개의 인버터의 조합으로 형성된 메모리를 가지는 적어도 하나의 제2 표시 영역으로 분할된 액정 표시 패널과; 상기 제1 및 제2 표시 영역의 게이트라인을 구동하기 위한 적어도 하나의 게이트 구동부와; 상기 제1 및 제2 표시 영역의 데이터라인을 구동하기 위한 적어도 하나의 데이터 구동부를 구비하는 것을 특징으로 한다.

여기서, 상기 게이트 구동부는 상기 제1 표시 영역의 제1 게이트라인을 구동하기 위한 제1 게이트 구동부와; 상기 제2 표시 영역의 제2 게이트라인을 구동하기 위한 제2 게이트 구동부를 포함하는 것을 특징으로 한다.

그리고, 상기 제1 표시 영역은 상기 제1 게이트라인과 데이터라인에 접속된 제1 박막트랜지스터와; 상기 제1 박막트랜지스터와 접속된 제1 액정셀과; 상기 제1 액정셀의 화소전압을 유지하는 스토리지 캐패시터를 포함하며, 상기 제2 표시 영역은 상기 제2 게이트라인과 데이터라인에 접속되며 상기 메모리에 접속된 제2 박막트랜지스터와; 상기 제2 박막트랜지스터와 접속된 액정셀을 포함하는 것을 특징으로 한다.

또한, 상기 메모리는 제1 노드의 전압에 따라 제1 공급 전압 라인과 제2 노드 사이의 도전 경로를 제어하는 N형 제1 트랜지스터와; 상기 제1 노드의 전압에 따라 제2 공급 전압 라인과 상기 제2 노드 사이의 도전 경로를 제어하는 P형 제2 트랜지스터와; 상기 제2 노드의 전압에 따라 상기 제1 공급 전압 라인과 상기 제2 박막트랜지스터의 드레인 전극 사이의 도전 경로를 제어하는 N형 제3 트랜지스터와; 상기 제2 노드의 전압에 따라 제2 공급 전압 라인과 상기 제2 박막트랜지스터의 드레인 전극 사이의 도전 경로를 제어하는 P형 제4 트랜지스터를 포함하는 것을 특징으로 한다.

여기서, 상기 제1 내지 제4 트랜지스터는 폴리-실리콘 박막 트랜지스터로 구성된 것을 특징으로 한다.

이로 인해, 상기 게이트 구동부 및 데이터 구동부 중 적어도 어느 하나는 상기 액정 표시 패널 상에 형성되는 것을 특징으로 한다.

한편, 상기 액정 표시 장치는 외부로부터 입력되는 데이터가 상기 제1 및 제2 표시 영역 중 적어도 어느 한 영역에서 표시될 데이터인지를 판별하는 영상신호 감지부를 추가로 구비하는 것을 특징으로 한다.

또한, 상기 액정 표시 장치는 상기 영상신호 감지부의 출력신호에 응답하여 상기 게이트 구동부 및 데이터 구동부를 제어하기 위한 제어신호를 생성함과 아울러 상기 데이터 구동부에 데이터를 공급하는 타이밍 제어부를 추가로 구비하는 것을 특징으로 한다.

이에 따라, 상기 데이터구동부는 상기 영상신호 감지부에서 제1 및 제2 표시 영역에 표시될 데이터로 판별되는 경우 상기 제1 및 제2 표시 영역의 데이터라인을 각각 구동하기 위한 제1 및 제2 데이터 구동부를 구비하는 것을 특징으로 한다.

이와 달리, 상기 데이터구동부는 상기 영상신호 감지부에서 제1 및 제2 표시 영역 중 어느 한 영역에서 표시될 데이터로 판별되는 경우 해당 표시 영역의 데이터라인을 구동하는 것을 특징으로 한다.

상기 목적을 달성하기 위하여, 본 발명에 따른 액정 표시 패널은 적어도 하나의 제1 표시 영역과, 상기 제1 표시 영역과 인접되게 위치하며 각 화소마다 적어도 두 개의 인버터의 조합으로 형성된 메모리를 가지는 적어도 하나의 제2 표시 영역을 구비하는 것을 특징으로 한다.

상기 목적을 달성하기 위하여, 본 발명에 따른 적어도 하나의 제1 표시 영역, 상기 제1 표시 영역과 인접되게 위치하며 각 화소마다 적어도 두 개의 인버터의 조합으로 형성된 메모리를 가지는 적어도 하나의 제2 표시 영역으로 분할된 액정 표시 패널을 가지는 액정 표시 장치의 구동방법은 상기 제1 및 제2 표시 영역의 게이트 라인을 구동하는 단계와; 상기 제1 및 제2 표시 영역의 데이터라인을 구동하는 단계를 포함하는 것을 특징으로 한다.

여기서, 상기 데이터라인을 구동하는 단계는 상기 제1 표시 영역의 데이터라인들에 제1 기간의 수평기간동안 수평라인분씩의 화소 전압 신호를 공급하는 단계와; 상기 제2 표시 영역의 데이터라인들에 제1 기간보다 긴 제2 기간의 수평기간동안 수평라인분씩의 화소 전압 신호를 공급하는 단계를 포함하는 것을 특징으로 한다.

그리고, 상기 게이트 라인을 구동하는 단계는 상기 제1 표시 영역의 게이트라인들에 제1 기간의 수평기간 동안 게이트 하이 전압을 공급하는 단계와; 상기 제2 표시 영역의 게이트라인들에 제1 기간보다 긴 제2 기간의 수평기간 동안 게이트 하이 전압을 공급하는 단계를 포함하는 것을 특징으로 한다.

또한, 상기 제2 표시 영역이 비활성화 되는 동안에 상기 서브 표시 영역의 메모리에 저장된 데이터에 의해 화상을 유지하는 단계를 더 포함하는 것을 특징으로 한다.

한편, 상기 액정 표시 장치의 구동방법은 외부로부터 입력되는 데이터가 상기 제1 및 제2 영역 중 적어도 어느 한 영역에서 구현될 데이터인지를 감지부에서 판별하는 단계와; 상기 감지부의 판별결과에 따라서 상기 게이트 구동부 및 데이터 구동부에 제어신호 및 데이터신호를 타이밍 제어부에서 공급하는 단계를 추가로 포함하는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예들을 도 1 내지 도 7을 참조하여 설명하기로 한다.

도 1은 본 발명의 제1 실시 예에 따른 액정 표시 장치를 나타내는 블록도이다.

도 1에 도시된 본 발명의 제1 실시 예에 따른 액정패널(110)과, 액정패널(110)의 데이터라인(DL)을 구동하기 위한 데이터 구동부(102)와, 액정패널(110)의 게이트라인(GL)을 구동하기 위한 게이트 구동부(104,108)와, 게이트 구동부(104,108) 및 데이터 구동부(102)를 제어하기 위한 타이밍 제어부(106)를 구비한다.

타이밍제어부(106)는 외부로부터 입력되어진 화소데이터 신호(R,G,B Data)를 데이터 구동부(102)에 공급한다. 또한, 타이밍 제어부(106)는 외부로부터 입력된 제어신호(H,V,DE,CLK)에 응답하여 게이트 구동부(104,108) 및 데이터 구동부(102) 각각을 제어하기 위한 게이트제어신호(GCS1,GCS2) 및 데이터제어신호(DCS)를 생성한다.

게이트 제어신호들(GCS1,GCS2)에는 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭신호(GSC), 게이트 출력 이네이블 신호(GOE) 등이 포함된다. 데이터 제어신호들(DCS)에는 소스 스타트 펄스(SSP), 소스 쉬프트 클럭신호(SSC), 소스 출력 이네이블 신호(SOE), 극성제어신호(POL) 등이 포함된다.

데이터 구동부(102)는 타이밍 제어부(106)로부터의 데이터 제어신호들(DDC)에 응답하여 수평기간(H1, H2, ...)마다 1 수평라인분씩의 화소 전압 신호를 데이터라인들(DL1 내지 DLm)에 공급한다. 즉, 데이터 구동부(102)는 제1 프레임 주파수, 예를 들어, 60Hz를 이용하여 1 수평기간마다 1 수평라인분씩의 화소 전압 신호를 메인 화상 표시 영역(MA)의 데이터라인(DL)에 공급한다. 그리고, 데이터 구동부(102)는 제1 프레임 주파수보다 낮은 제2 프레임 주파수를 이용하여 1 수평라인분씩의 화소 전압 신호를 서브 화상 표시 영역(SA)의 데이터라인(DL)에 공급한다.

게이트 구동부는 액정 표시 패널(110)의 메인 화상 표시 영역(MA)의 게이트라인들(MGL)을 구동하는 제1 게이트 구동부(104)와, 액정 표시 패널(110)의 서브 화상 표시 영역(SA)의 서브게이트라인들(SGL)을 구동하는 제2 게이트 구동부(108)를 구비한다.

제1 게이트 구동부(104)는 타이밍 제어부(106)로부터의 제1 게이트 제어신호들(GCS1)에 응답하여 수평기간(H)마다 메인 게이트라인들(MGL1 내지 MGLj)에 순차적으로 게이트 하이전압(VGH)을 공급한다. 이에 따라, 제1 게이트 구동부(104)는 메인 게이트라인(MGL1 내지 MGLj)에 접속된 박막트랜지스터(TFT)가 메인 게이트라인(MGL) 단위로 구동되게 한다.

제2 게이트 구동부(108)는 타이밍 제어부(106)로부터의 제2 게이트 제어신호들(GCS2)에 응답하여 서브 게이트라인들(SGL1 내지 SGLi)에 순차적으로 스캔펄스를 공급한다. 이에 따라, 제2 게이트 구동부(108)는 서브 게이트라인(SGL1 내지 SGLi)에 접속된 박막트랜지스터(TFT)가 서브 게이트라인(SGL) 단위로 구동되게 한다.

한편, 데이터 구동부(102)와 제1 및 제2 게이트 구동부(104,108)는 박막트랜지스터의 반도체층이 아몰퍼스 실리콘으로 형성되는 경우 도 1에 도시된 바와 같이 별도로 제작되어 액정 패널(110)에 실장되거나 도 2에 도시된 바와 같이 박막트랜지스터의 반도체층이 폴리 실리콘형으로 형성되는 경우 액정 패널(110)에 내장된다.

액정 패널(110)은 메인 게이트라인(MGL)이 위치하는 메인 화상 표시 영역(MA)과, 서브 게이트라인(SGL)이 위치하는 서브 화상 표시 영역(SA)을 포함한다.

메인 화상 표시 영역(MA)은 정지 영상 및 동영상 중 적어도 어느 하나의 영상을 풀 컬러 모드로 구현한다. 이러한 메인 화상 표시 영역(MA)은 메인 게이트라인들(MGL)과 데이터라인들(DL)의 교차부에 각각 형성된 박막 트랜지스터(TFT)와, 박막 트랜지스터(TFT)에 접속되고 매트릭스 형태로 배열되어진 액정 셀들(Clc)을 구비한다.

박막 트랜지스터(TFT)는 메인 게이트라인(MGL1 내지 MGLj)으로부터의 스캔신호에 응답하여 데이터라인(DL1 내지 DLm)으로부터의 데이터를 액정 셀(Clc)로 공급한다. 액정 셀(Clc)은 박막트랜지스터(TFT)와 접속된 화소전극과, 화소전극과 전계를 이루는 공통전극으로 구성되므로 등가적으로 액정 캐패시터(Clc)로 표시될 수 있다. 이러한 액정 셀은 액정 캐패시터(Clc)에 충전된 화소 데이터를 다음 데이터가 충전될 때까지 유지시키기 위한 스토리지 캐패시터(Cst)를 포함한다.

서브 화상 표시 영역(SA)은 정지 영상, 예를 들어 휴대용 단말기에 표시되는 현재 시각, 날짜, 요일, 안테나, 잔존 배터리량 등을 표시하므로 메인 화상 표시 영역(MA)에 비해 구현 컬러수가 적은 적어도 8 컬러 모드로 구현한다. 예를 들어, 서브 화상 표시 영역(SA)에 위치하는 각 화소가 적색(Red) 서브화소, 녹색(Green) 서브 화소 및 청색(Blue) 서브 화소로 이루어진 경우, 서브 화상 표시 영역은 1비트의 적색(R), 녹색(G) 및 청색(B) 데이터를 온/오프(On/Off)하여 8 컬러 모드로 구현된다. 또는 서브 화상 표시 영역(SA)에 위치하는 각 화소가 적색(Red) 서브화소, 녹색(Green) 서브 화소, 청색(Blue) 서브 화소, 자홍색(Magenta) 서브 화소, 노랑색(Yellow) 서브 화소, 청록색(Cyan) 서브 화소로 이루어진 경우, 서브 화상 표시 영역(SA)은 1비트의 적색(R), 녹색(G), 청색(B), 자홍색(M), 노랑색(Y) 및 청록색(C) 데이터를 온/오프(On/Off)하여 64 컬러 모드도 구현가능하다.

이러한 서브 화상 표시 영역(SA)은 서브 게이트라인들(SGL)과 데이터라인들(DL)의 교차부에 각각 형성된 박막 트랜지스터(TFT)와, 박막 트랜지스터(TFT)에 접속되고 매트릭스 형태로 배열되어진 액정 셀들(Clc)과, 액정 셀(Clc)에 충전된 화소 데이터를 유지시키기 위한 메모리(M)를 구비한다.

박막 트랜지스터(TFT)는 서브 게이트라인(SGL1 내지 SGLi)으로부터의 게이트신호에 응답하여 데이터라인(DL1 내지 DLm)으로부터의 화소 데이터를 액정 셀(Clc)로 공급한다. 액정 셀(Clc)은 박막트랜지스터(TFT)와 접속된 화소전극과, 화소전극과 전계를 이루는 공통전극으로 구성되므로 등가적으로 액정 캐패시터(Clc)로 표시될 수 있다.

메모리(M)는 도 3에 도시된 바와 같이 정귀한형태로 조합된 적어도 두 개의 인버터로 이루어진 스태틱 메모리(Static Random Access Memory ; SRAM)로 구성된다. 이 스태틱 메모리(M)는 등가적으로 도 4에 도시된 적어도 4개의 트랜지스터(Q1 내지 Q4)로 표시될 수 있다. 즉, 메모리(M)는 제1 공급 전압(VDD) 라인과 제2 노드(n2) 사이의 도전 경로를 박막트랜지스터(TFT)의 드레인 전극, 즉 제1 노드(n1)의 전압에 제어하는 N형 제1 트랜지스터(Q1)와, 제2 공급 전압(VSS) 라인과 제2 노드(n2) 사이의 도전 경로를 제1 노드(n1)의 전압에 따라 제어하는 P형 제2 트랜지스터(Q2)와, 제1 공급 전압(VDD) 라인과 제1 노드(n1) 사이의 도전 경로를 제2 노드(n2)의 전압에 따라 제어하는 N형 제3 트랜지스터(Q3)와, 제2 공급 전압(VSS) 라인과 제1 노드(n1) 사이의 도전 경로를 제2 노드(n2)의 전압에 따라 제어하는 P형 제4 트랜지스터(Q2)를 포함한다.

N형 제1 트랜지스터(Q1)는 도 5에 도시된 바와 같이 박막트랜지스터(TFT)의 드레인 전극, 즉 제1 노드(n1)에 접속된 게이트 단자(G1)와, 제1 공급 전압(VDD) 라인에 접속된 소스 단자(S1)와, 제3 및 제4 트랜지스터(Q3, Q4)의 게이트 단자(G3, G4), 즉 제2 노드(n2)에 접속된 드레인 단자(D1)와, 소스 단자(S1) 및 드레인 단자(D1)와 각각 접속되며 N형 불순물이 주입된 액티브층(A1)을 구비한다.

P형 제2 트랜지스터(Q2)는 박막트랜지스터의 드레인 전극, 즉 제1 노드(n1)에 접속된 게이트 단자(G2)와, 제3 및 제4 트랜지스터(Q3, Q4)의 게이트 단자(G3, G4), 즉 제2 노드(n2)에 접속된 소스 단자(S2)와, 제2 공급 전압(VSS) 라인에 접속된 드레인 단자(D2)와, 소스 단자(S2) 및 드레인 단자(D2)와 각각 접속되며 P형 불순물이 주입된 액티브층(A2)을 구비한다.

N형 제3 트랜지스터(Q3)는 제2 노드(n2)에 접속된 게이트 단자(G3)와, 제1 공급 전압(VDD) 라인에 접속된 소스 단자(S3)와, 제1 노드(n1)에 접속된 드레인 단자(D3)와, 소스 단자(S3) 및 드레인 단자(D3)와 각각 접속되며 N형 불순물이 주입된 액티브층(A3)을 구비한다.

P형 제4 트랜지스터(Q4)는 제2 노드(n1)에 접속된 게이트 단자(G4)와, 제1 노드(n1)에 접속된 소스 단자(S4)와, 제2 공급 전압(VSS) 라인에 접속된 드레인 단자(D4)와, 소스 단자(S4) 및 드레인 단자(D4)와 각각 접속되며 P형 불순물이 주입된 액티브층(A4)을 구비한다.

이러한 메모리(M)는 다음 화소 데이터가 박막트랜지스터를 통해 공급되기 전까지 해당 데이터라인으로부터의 화소 데이터를 유지하므로 스토리지 캐패시터가 없어도 무방하다. 또한, 메모리(M)는 정지화상과 같이 표시 화상에 변화가 없으면 메모리의 리프레시는 불필요하다. 이 메모리(M)에 의해 게이트 구동부(104,108), 데이터 구동부(102) 및 타이밍 제어부(106)가 비활성화되므로 소비전력을 줄일 수 있다.

이와 같이, 본 발명에 따른 서브 화소 영역(SA)의 각 서브화소는 박막트랜지스터(TFT)와, 4개의 트랜지스터(Q1 내지 Q4)를 가지는 메모리(M)를 포함한다. 이에 따라, 본 발명에 따른 서브 화소 영역(SA)의 각 서브화소는 종래 박막트랜지스터와, 5개~8개의 트랜지스터로 이루어진 메모리와, 스토리지 캐패시터를 가지는 각 서브화소에 비해 개구율이 향상된다.

도 6a 및 도 6b는 메인 서브 화소 영역과 서브 화소 영역의 구동 방법을 설명하기 위한 파형도이다.

메인 화상 표시 영역(MA)에 정지 영상 및/또는 동영상 구현할 경우, 도 6a에 도시된 바와 같이 메인 화상 표시 영역(MA)의 메인 게이트라인(MGL)에 제1 주기의 수평기간(H1)마다 게이트 하이 전압(Vgh)을 공급한다. 이 게이트 하이 전압(Vgh)에 의해 박막트랜지스터(TFT)가 턴온됨으로써 데이터라인(DL)으로부터의 화소 데이터를 제1 주기(H1)의 수평기간(H)마다 액정셀(Clc)에 공급한다. 액정셀(Clc)에는 박막트랜지스터(TFT)를 통해 화소 데이터가 충전되어 화상을 표시하게 된다. 그리고, 게이트 로우 전압(Vgl)에 의해 박막 트랜지스터(TFT)가 턴-오프되는 기간 동안 스토리지 캐패시터(Cst)에 의해 그 충전 전압 레벨을 유지하게 된다.

반면에 서브 화상 표시 영역(SA)에 정지 영상을 구현할 경우, 도 6b에 도시된 바와 같이 서브 화상 표시 영역(SA)의 서브 게이트라인(SGL)에 제1 주기보다 긴 제2 주기의 수평 기간(H2)마다 게이트 하이 전압(Vgh)을 공급한다. 이 게이트 하이 전압(Vgh)에 의해 박막트랜지스터(TFT)가 턴온됨으로써 데이터라인(DL)으로부터의 화소 데이터를 제1 주기보다 긴 제2 주기의 수평기간(H2)마다 액정셀(Clc)에 공급한다. 액정셀(Clc)에는 박막트랜지스터(TFT)를 통해 화소 데이터가 충전되어 화상을 표시하게 된다. 그리고, 게이트 로우 전압(Vgl)에 의해 박막 트랜지스터(TFT)가 턴-오프되는 기간 동안 메모리(M)에 의해 그 충전 전압 레벨을 유지하게 된다. 이 때, 서브 화상 표시 영역(SA)은 제1 주기보다 긴 제2 주기의 수평 기간(H2)마다 액정셀(Clc)에 화소 데이터를 공급하더라도 메모리(M)에 의해 화소 데이터 충전 및 유지 기간을 늘릴 수 있어 플리커(Flicker) 등의 화질 저하를 방지할 수 있다.

한편, 본 발명의 제1 실시 예에 따른 액정 표시 장치는 메모리에 의해 서브 화상 표시 영역의 리프레쉬주기를 상대적으로 늘릴 수 있어 소비 전력을 줄일 수 있다. 또한, 본 발명의 제1 실시 예에 따른 액정 표시 장치는 서브 화상 표시 영역(SA)을 메인 화상 표시 영역(MA)과 개별적으로 화상을 표시하는 경우 소비 전력을 줄일 수 있다. 그러나, 서브 화상 표시 영역(SA)과 메인 화상 표시 영역(MA)에 동시에 화상을 표시하는 경우, 서브 화상 표시 영역(SA)의 제2 프레임 주파수를 이용하여 1 수평라인분씩의 화소 데이터를 메인 화상 표시 영역(MA)에 공급하게 되면 플리커 등의 화질 저하가 발생할 수 있다. 또한, 메인 화상 표시 영역(MA)의 제1 프레임 주파수(Vsync1)를 이용하여 1 수평 라인분씩의 화소 데이터를 서브 화상 표시 영역(SA)에 공급하게 되면, 소비 전력을 줄일 수 없다.

도 7은 본 발명의 제2 실시 예에 따른 액정 표시 장치를 나타내는 블록도이다.

도 7에 도시된 본 발명의 제2 실시 예에 따른 액정 표시 장치는 도 1에 도시된 액정 표시 장치와 대비하여 적어도 두 개의 화상 표시 영역으로 분할된 액정패널(110)의 데이터라인(DL)을 구동하기 위한 적어도 두 개의 데이터 구동부(102a,102b)와, 액정 패널(110)의 화상 표시 영역을 선택적으로 구동하기 위한 영상 신호 감지부(112)를 추가로 구비하는 것을 제외하고는 동일한 구성요소를 구비한다. 이에 따라, 동일한 구성요소에 대한 상세한 설명은 생략하기로 한다.

영상 신호 감지부(112)는 외부로부터 입력되는 화소 데이터들(RGB)가 액정 패널(110)의 메인 화상 표시 영역(MA) 및/또는 서브 화상 표시 영역(SA)에서 구현될 화소 데이터들인지를 판단하여 제1 내지 제3 영역 선택 신호(PS1 내지 PS3)를 생성한다. 즉, 영상 신호 감지부(112)는 메인 화상 표시 영역(MA)에서 구현될 정지 영상 및/또는 동영상 신호인 경우 제1 영역 선택 신호(PS1)를, 서브 화상 표시 영역(SA)에서 구현될 정지 영상 신호, 예를 들어 휴대용 단말기에 표시되는 현재 시각, 날짜, 요일, 안테나, 잔존 배터리량 등의 신호인 경우 제2 영역 선택 신호(PS2)를, 메인 화상 표시 영역(MA)과 서브 화상 표시 영역(SA)에서 구현될 정지 영상 및/또는 동영상 신호인 경우 제3 영역 선택 신호(PS3)를 타이밍 제어부(106)에 공급한다.

타이밍제어부(106)는 외부로부터 입력되어진 화소데이터 신호(R,G,B Data)를 데이터 구동부(102)에 공급한다. 또한, 타이밍 제어부(106)는 외부로부터 입력된 제어신호(H,V,DE,CLK)와 제1 내지 제3 영역 선택 신호(PS1 내지 PS3)에 응답하여 게이트 구동부(104,108) 및 데이터 구동부(102a,102b) 각각을 제어하기 위한 제1 및 제2 게이트제어신호(GCS1,GCS2)와 제1 및 제2 데이터제어신호(DCS1,DCS2)를 생성한다.

제1 및 제2 게이트 제어신호들(GCS1,GCS2)에는 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭신호(GSC), 게이트 출력 이네이블 신호(GOE) 등이 포함된다. 제1 및 제2 데이터 제어신호들(DCS1,DCS2)에는 소스 스타트 펄스(SSP), 소스 쉬프트 클럭신호(SSC), 소스 출력 이네이블 신호(SOE), 극성제어신호(POL) 등이 포함된다.

제1 데이터 구동부(102a)는 타이밍 제어부(106)로부터의 제1 데이터 제어신호들(DCS1)에 응답하여 수평기간(H1, H2, ...)마다 1 수평라인분씩의 화소 데이터를 데이터라인들(DL1 내지 DLm)에 공급한다. 이 때, 제1 데이터 구동부(102a)는 제1 프레임 주파수(Vsync1), 예를 들어, 60Hz를 이용하여 1 수평기간마다 1 수평라인분씩의 화소 데이터를 메인 화상 표시 영역(MA)의 메인 데이터라인(MDL)에 공급한다.

제2 데이터 구동부(102b)는 타이밍 제어부(106)로부터의 제2 데이터 제어신호들(DCS2)에 응답하여 수평기간(H1, H2, ...)마다 1 수평라인분씩의 화소 데이터를 서브 데이터라인들(SDL1 내지 SDLm)에 공급한다. 이 때, 제2 데이터 구동부(102b)는 제1 프레임 주파수(Vsync1)보다 낮은 제2 프레임 주파수(Vsync2)를 이용하여 1 수평라인분씩의 화소 데이터를 서브 화상 표시 영역(SA)의 서브 데이터라인(SDL)에 공급한다.

한편, 데이터 구동부(102)와 제1 및 제2 게이트 구동부(104,108)는 박막트랜지스터의 반도체층이 아몰퍼스 실리콘으로 형성되는 경우 별도로 제작되어 액정 패널(110)에 실장되거나 박막트랜지스터의 반도체층이 폴리 실리콘형으로 형성되는 경우 액정 패널(110)에 내장된다.

이러한 액정 표시 장치의 구동 방법을 도 6을 결부하여 설명하기로 한다.

먼저, 영상 신호 감지부(112)에 의해 메인 화상 표시 영역(MA)에 구현될 화상으로 판별되면 타이밍 제어부(106)는 제1 게이트 제어신호(GCS1)를 제1 게이트 구동부(104)에, 제1 데이터 제어신호(DCS1) 및 화소 데이터(RGB Data)를 제1 데이터 구동부(102a)에 공급한다. 그러면, 제1 게이트 구동부(104)는 도 6a에 도시된 바와 같이 메인 화상 표시 영역(MA)의 메인 게이트라인(MGL)에 제1 주기의 수평기간(H1)마다 게이트 하이 전압(Vgh)을 공급한다. 이 게이트 하이 전압(Vgh)에 의해 박막트랜지스터(TFT)가 턴온된다. 그러면, 제1 데이터 구동부(102a)는 화소 데이터를 제1 주기의 수평기간(H1)마다 메인 데이터라인(MDL)에 공급한다. 메인 데이터라인(MDL)으로부터의 화소 데이터는 박막트랜지스터(TFT)를 통해 액정셀(Clc)에 충전되어 화상을 표시하게 된다. 그리고, 제1 게이트 구동부(104)에서 생성되어 메인 게이트라인(MGL)에 공급된 게이트 로우 전압(Vgl)에 의해 박막 트랜지스터(TFT)가 턴-오프되는 기간 동안 스토리지 캐패시터(Cst)에 의해 그 충전 전압 레벨을 유지하게 된다.

반면에 영상 신호 감지부(112)에 의해 서브 화상 표시 영역(SA)에 구현될 화상으로 판별되면 타이밍 제어부(106)는 제2 게이트 제어신호(GCS2)를 제2 게이트 구동부(108)에, 제2 데이터 제어신호(DCS2) 및 화소 데이터(RGB Data)를 제2 데이터 구동부(102b)에 공급한다. 그러면, 제2 게이트 구동부(108)는 도 6b에 도시된 바와 같이 서브 화상 표시 영역(SA)의 서브 게이트라인(SGL)에 제1 주기(H1)보다 긴 제2 주기의 수평기간(H2)마다 게이트 하이 전압(Vgh)을 공급한다. 이 게이트 하이 전압(Vgh)에 의해 박막트랜지스터(TFT)가 턴온된다. 그러면, 제2 데이터 구동부(102b)는 화소 데이터를 제1 주기보다 긴 제2 주기의 수평기간(H2)마다 서브 데이터라인(SDL)에 공급한다. 서브 데이터라인(SDL)으로부터의 화소 데이터는 박막트랜지스터(TFT)를 통해 액정셀(Clc)에 충전되어 화상을 표시하게 된다. 그리고, 제2 게이트 구동부(108)에서 생성되어 서브 게이트라인(SGL)에 공급된 게이트 로우 전압(Vgl)에 의해 박막 트랜지스터(TFT)가 턴-오프되는 기간 동안 메모리(M)에 의해 그 충전 전압 레벨을 유지하게 된다.

한편, 영상 신호 감지부(112)에 의해 메인 화상 표시 영역(MA)과 서브 화상 표시 영역(SA)에 구현될 화상으로 판별되면 타이밍 제어부(106)는 제1 및 제2 게이트 제어신호(GCS1,GCS2) 각각을 제1 및 제2 게이트 구동부(104,108)에, 제1 및 제2 데이터 제어신호(DCS1,DCS2) 및 화소 데이터(RGB Data) 각각을 제1 및 제2 데이터 구동부(102a,102b)에 공급한다. 그러면, 제1 게이트 구동부(104)는 도 6a에 도시된 바와 같이 메인 화상 표시 영역(MA)의 메인 게이트라인(MGL)에 제1 주기의 수평기간(H1)마다 게이트 하이 전압(Vgh)을 공급한다. 제2 게이트 구동부(108)는 도 6b에 도시된 바와 같이 서브 화상 표시 영역(SA)의 서브 게이트라인(SGL)에 제1 주기보다 긴 제2 주기의 수평기간(H2)마다 게이트 하이 전압(Vgh)을 공급한다. 이 제1 및 제2 게이트 구동부(104,108)에서 생성된 게이트 하이 전압(Vgh)에 의해 메인 화상 표시 영역(MA) 및 서브 화상 표시 영역(SA)에 위치하는 박막트랜지스터(TFT)가 턴온된다. 그러면, 제1 데이터 구동부(102a)는

도 6a에 도시된 바와 같이 화소 데이터를 제1 주기의 수평기간(H1)마다 메인 데이터라인(MDL)에 공급한다. 제2 데이터 구동부(102b)는 도 6b에 도시된 바와 같이 화소 데이터를 제1 주기보다 긴 제2 주기의 수평기간(H2)마다 서브 데이터라인(SDL)에 공급한다. 메인 데이터라인(MDL)과 서브 데이터라인(SDL)으로부터의 화소 데이터는 박막트랜지스터(TFT)를 통해 액정셀(Clc)에 충전되어 화상을 표시하게 된다. 그리고, 제1 게이트 구동부(104)에서 생성되어 메인 게이트라인(MGL)에 공급된 게이트 로우 전압(Vgl)에 의해 박막 트랜지스터(TFT)가 턴-오프되는 기간 동안 스토리지 캐패시터(Cst)에 의해 그 충전 전압 레벨을 유지하게 된다. 제2 게이트 구동부(108)에서 생성되어 서브 게이트라인(SGL)에 공급된 게이트 로우 전압(Vgl)에 의해 박막 트랜지스터(TFT)가 턴-오프되는 기간 동안 메모리(M)에 의해 그 충전 전압 레벨을 유지하게 된다.

한편, 본 발명에 따른 액정 표시 패널 및 이를 갖는 액정 표시 장치 및 이 액정 표시 장치의 구동방법은 서브 화상 표시 영역의 각 화소에 메모리를 내장하는 것으로 설명되었지만 메인 화상 표시 영역의 각 화소에 4개의 트랜지스터로 이루어진 메모리를 내장할 수도 있다.

또한, 본 발명에 따른 액정 표시 장치는 적어도 두 개의 표시영역으로 구분된 하나의 표시 패널을 포함하는 것을 예로 들어 설명하였지만 각각의 표시 영역을 가지는 적어도 두 개의 표시 패널을 포함하는 것도 적용 가능하다. 예를 들어, 듀얼 폴더형 휴대폰에서 메인 패널 및 서브 패널 중 적어도 어느 하나의 각 화소에 본 발명과 같이 메모리를 내장한다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정 표시 패널 및 이를 갖는 액정 표시 장치 및 이 액정 표시 장치의 구동방법은 액정 표시 패널을 적어도 두 개의 화상 표시 영역으로 분할하고 그 중 적어도 어느 하나의 표시 영역의 각 화소에 4개의 트랜지스터로 이루어진 메모리를 내장한다. 이에 따라, 본 발명에 따른 액정 표시 패널 및 이를 갖는 액정 표시 장치 및 이 액정 표시 장치의 구동방법은 종래에 비해 메모리를 구성하는 트랜지스터의 수를 줄일 수 있으며 메모리에 의해 스토리지 캐패시터가 없어도 되므로 그만큼의 개구율을 확보할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

도 1은 본 발명의 제1 실시 예에 따른 액정 표시 장치를 나타내는 블록도이다.

도 2는 도 1에 도시된 액정 표시 장치의 다른 형태를 나타내는 블록도이다.

도 3은 도 1에 도시된 서브 화상 표시 영역의 각 화소를 나타내는 회로도이다.

도 4는 도 3에 도시된 각 화소의 등가회로도이다.

도 5는 도 4에 도시된 각 화소를 나타내는 평면도이다.

도 6a 및 도 6b는 도 1에 도시된 액정 표시 장치의 구동방법을 설명하기 위한 파형도이다.

도 7은 본 발명의 제2 실시 예에 따른 액정 표시 장치를 나타내는 블록도이다.

< 도면의 주요 부분에 대한 부호의 설명 >

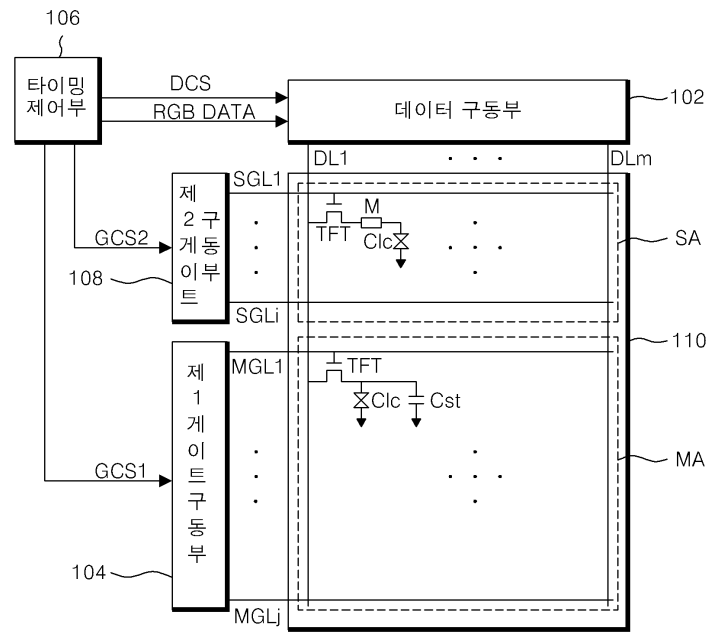
102 : 데이터 구동부 104, 108 : 게이트 구동부

106 : 타이밍 제어부 110 : 액정 표시 패널

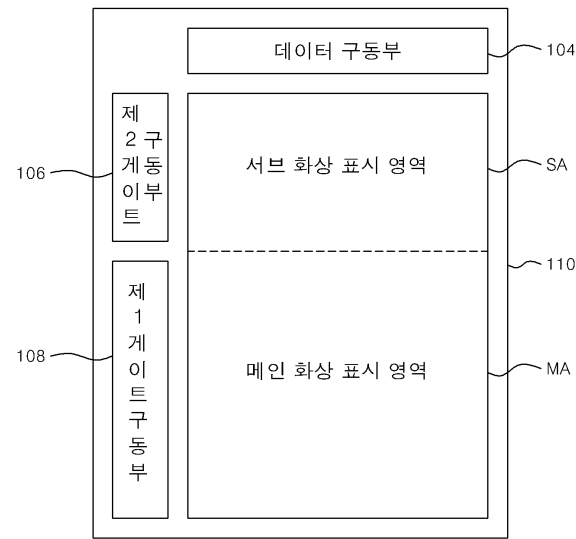
112 : 영상 신호 감지부

도면

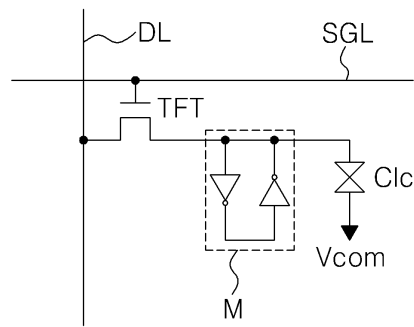
도면1



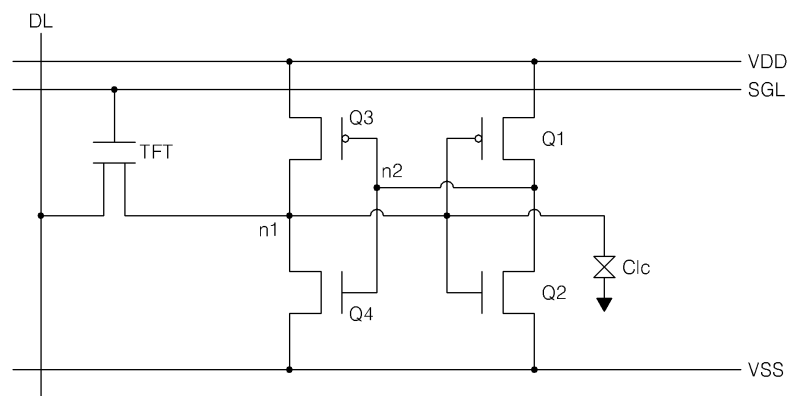
도면2



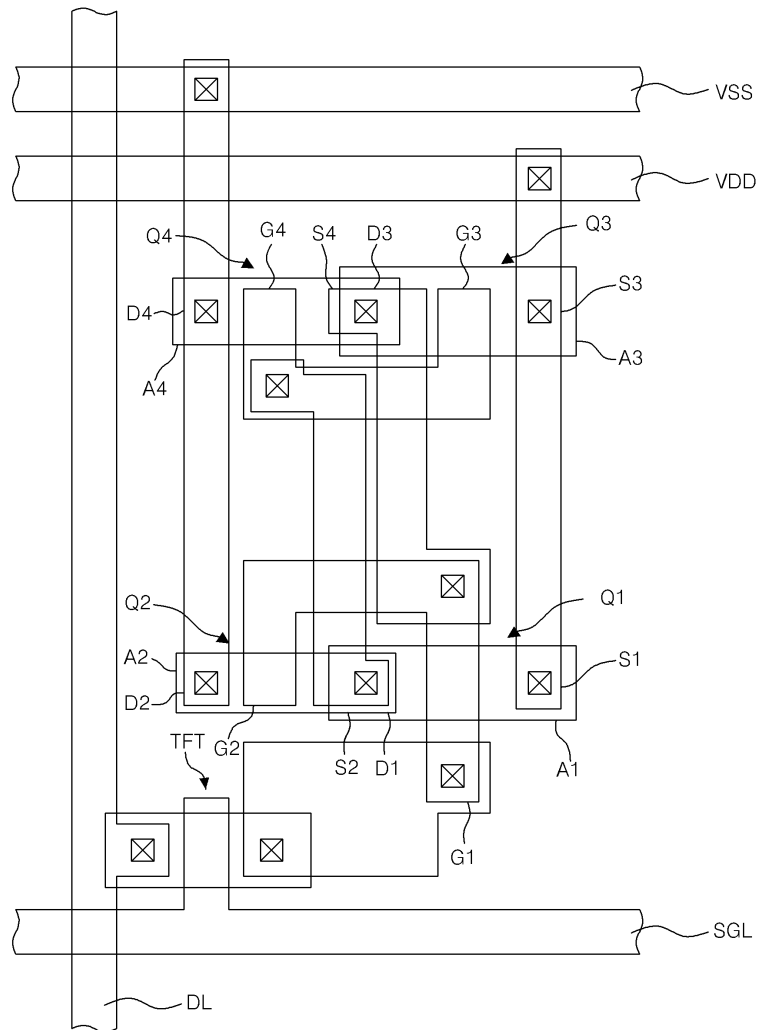
도면3



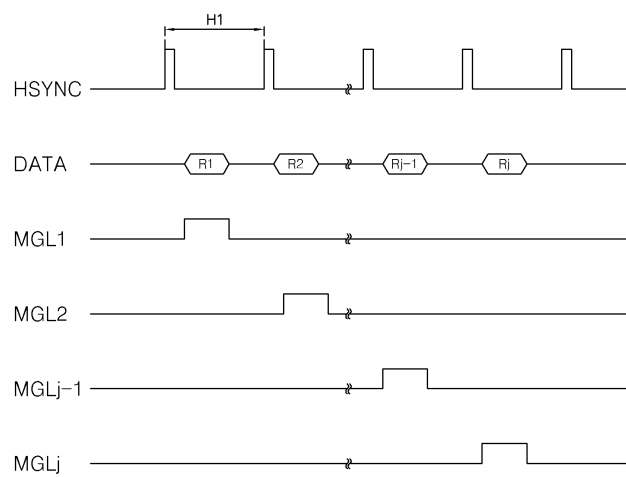
도면4



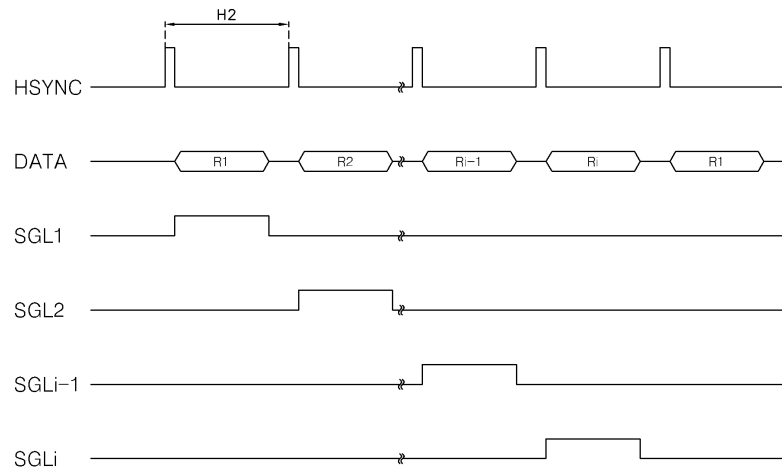
도면5



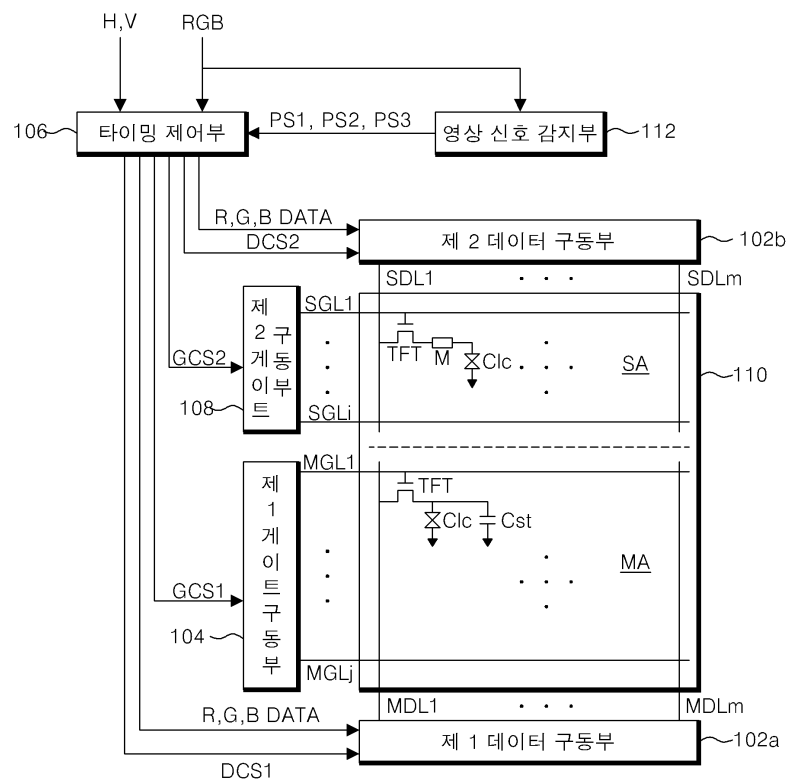
도면6a



도면6b



도면7



专利名称(译)	液晶显示面板，具有该液晶显示面板的液晶显示装置，以及该液晶显示装置的驱动方法		
公开(公告)号	KR1020060134253A	公开(公告)日	2006-12-28
申请号	KR1020050053792	申请日	2005-06-22
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	MOON KOOK CHUL 문국철 MAENG HO SUK 맹호석 PARK TAE HYEONG 박태형		
发明人	문국철 맹호석 박태형		
IPC分类号	G02F1/133		
CPC分类号	G02F1/1333 G02F2001/133391 G09G3/3611 G09G2330/021		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋，云何		
外部链接	Espacenet		

摘要(译)

本发明提供一种增加功率消耗的开口率的LCD面板，具有该LCD面板的液晶显示器以及该液晶显示器的驱动方法。根据本发明的LCD面板包括至少一个第一显示区域，以及用于驱动LCD面板的至少一个数据驱动器，其在每个像素处被划分为至少一个具有存储器的第二显示区域。由两个或多个逆变器的组合构成，同时定位成与至少一个栅极驱动单元相邻，用于驱动第一和第二显示区域的栅极线以及第一和第二显示区域的数据线。

