

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6154919号
(P6154919)

(45) 発行日 平成29年6月28日(2017.6.28)

(24) 登録日 平成29年6月9日(2017.6.9)

(51) Int.Cl.	F I
G09F 9/30 (2006.01)	G09F 9/30 330
H01L 29/786 (2006.01)	H01L 29/78 618B
H01L 21/336 (2006.01)	H01L 29/78 616V
	H01L 29/78 617Z
	G09F 9/30 338
請求項の数 2 (全 48 頁) 最終頁に続く	

(21) 出願番号	特願2016-3375 (P2016-3375)	(73) 特許権者	000153878
(22) 出願日	平成28年1月12日(2016.1.12)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2016-2413 (P2016-2413)		神奈川県厚木市長谷398番地
原出願日	平成21年9月17日(2009.9.17)	(72) 発明者	山崎 舜平
(65) 公開番号	特開2016-105186 (P2016-105186A)		神奈川県厚木市長谷398番地 株式会社
(43) 公開日	平成28年6月9日(2016.6.9)		半導体エネルギー研究所内
審査請求日	平成28年1月13日(2016.1.13)	(72) 発明者	秋元 健吾
(31) 優先権主張番号	特願2008-241335 (P2008-241335)		神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成20年9月19日(2008.9.19)		半導体エネルギー研究所内
(33) 優先権主張国	日本国(JP)	(72) 発明者	小森 茂樹
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	魚地 秀貴
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

画素部と、共通接続部とを有する表示装置であって、

前記表示装置は、

第1の基板と、

第1の導電層を有する第2の基板と、

前記第1の基板と前記第2の基板との間の、導電性粒子と、を有し、

前記画素部は、

前記第1の基板上の、ゲート電極と、

前記ゲート電極上の、ゲート絶縁膜として機能する第1の絶縁層と、

前記第1の絶縁層上の、酸化物半導体層と、

前記酸化物半導体層と電氣的に接続された、第2の導電層と、

前記酸化物半導体層と電氣的に接続された、第3の導電層と、

前記酸化物半導体層、前記第2の導電層、及び前記第3の導電層上の第2の絶縁層と

、
前記第2の絶縁層の第1のコンタクトホールを介して、前記第3の導電層と電氣的に
接続された第4の導電層と、を有し、

前記共通接続部は、

前記第1の絶縁層と、

前記第1の絶縁層上の、第5の導電層と、

10

20

前記第 5 の導電層上の、前記第 2 の絶縁層と、
前記第 2 の絶縁層の第 2 のコンタクトホールを介して、前記第 5 の導電層と電氣的に
接続された第 6 の導電層と、を有し、
前記第 6 の導電層は、前記導電性粒子を介して、前記第 1 の導電層と電氣的に接続され
、
前記第 2 の導電層と、前記第 3 の導電層と、前記第 5 の導電層とは、それぞれ、第 1 の
導電性材料を有し、
前記第 4 の導電層と、前記第 6 の導電層とは、それぞれ、第 2 の導電性材料を有し、
前記第 1 の導電性材料は、アルミニウムと、チタンとであり、
前記第 2 の導電性材料は、酸化インジウム酸化亜鉛合金であり、
前記アルミニウムを有する膜上に、前記チタンを有する膜があり、
前記酸化インジウム酸化亜鉛合金を有する膜は、前記チタンを有する膜と接する領域を
有し、
前記ゲート絶縁膜が有する酸素は、前記酸化物半導体層に向かって増えることを特徴と
する表示装置。

【請求項 2】

画素部と、共通接続部とを有する表示装置であって、
前記表示装置は、
第 1 の基板と、
第 1 の導電層を有する第 2 の基板と、
前記第 1 の基板と前記第 2 の基板との間の、シール材と、
前記シール材が有する導電性粒子と、を有し、
前記画素部は、
前記第 1 の基板上の、ゲート電極と、
前記ゲート電極上の、ゲート絶縁膜として機能する第 1 の絶縁層と、
前記第 1 の絶縁層上の、酸化物半導体層と、
前記酸化物半導体層と電氣的に接続された、第 2 の導電層と、
前記酸化物半導体層と電氣的に接続された、第 3 の導電層と、
前記酸化物半導体層、前記第 2 の導電層、及び前記第 3 の導電層上の第 2 の絶縁層と
、
前記第 2 の絶縁層の第 1 のコンタクトホールを介して、前記第 3 の導電層と電氣的に
接続された第 4 の導電層と、を有し、
前記共通接続部は、
前記第 1 の絶縁層と、
前記第 1 の絶縁層上の、第 5 の導電層と、
前記第 5 の導電層上の、前記第 2 の絶縁層と、
前記第 2 の絶縁層の第 2 のコンタクトホールを介して、前記第 5 の導電層と電氣的に
接続された第 6 の導電層と、を有し、
前記第 6 の導電層は、前記導電性粒子を介して、前記第 1 の導電層と電氣的に接続され
、
前記第 2 の導電層と、前記第 3 の導電層と、前記第 5 の導電層とは、それぞれ、第 1 の
導電性材料を有し、
前記第 4 の導電層と、前記第 6 の導電層とは、それぞれ、第 2 の導電性材料を有し、
前記第 1 の導電性材料は、アルミニウムと、チタンとであり、
前記第 2 の導電性材料は、酸化インジウム酸化亜鉛合金であり、
前記アルミニウムを有する膜上に、前記チタンを有する膜があり、
前記酸化インジウム酸化亜鉛合金を有する膜は、前記チタンを有する膜と接する領域を
有し、
前記ゲート絶縁膜が有する酸素は、前記酸化物半導体層に向かって増えることを特徴と
する表示装置。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、酸化物半導体を用いる表示装置及びその製造方法に関する。

【背景技術】

【0002】

液晶表示装置に代表されるように、ガラス基板等の平板に形成される薄膜トランジスタは、アモルファスシリコン、多結晶シリコンによって作製されている。アモルファスシリコンを用いた薄膜トランジスタは、電界効果移動度が低いもののガラス基板の大面积化に対応することができ、一方、結晶シリコンを用いた薄膜トランジスタは電界効果移動度が高いものの、レーザアニール等の結晶化工程が必要であり、ガラス基板の大面积化には必ずしも適応しないといった特性を有している。

10

【0003】

これに対し、酸化物半導体を用いて薄膜トランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、酸化物半導体膜として酸化亜鉛、 In-Ga-Zn-O 系酸化物半導体を用いて薄膜トランジスタを作製し、画像表示装置のスイッチング素子などに用いる技術が特許文献1及び特許文献2で開示されている。

【先行技術文献】

【特許文献】

【0004】

20

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

酸化物半導体にチャネル形成領域を設ける薄膜トランジスタは、アモルファスシリコンを用いた薄膜トランジスタよりも高い電界効果移動度が得られている。酸化物半導体膜はスパッタリング法などによって300以下の温度で膜形成が可能であり、多結晶シリコンを用いた薄膜トランジスタよりも製造工程が簡単である。

【0006】

30

このような酸化物半導体を用いてガラス基板、プラスチック基板等に薄膜トランジスタを形成し、液晶ディスプレイ、エレクトロルミネセンスディスプレイ又は電子ペーパー等への応用が期待されている。

【0007】

しかし、動作特性に優れ、しかも低温で製造可能である酸化物半導体を用いる薄膜トランジスタの特性を活かすには、素子の構造や製造条件を最適化するのみでなく、信号の入出力に必要な配線構造及び接続構造を考慮する必要がある。酸化物半導体膜が低温で成膜可能であっても、配線や電極を形成する金属等の薄膜、層間絶縁膜等の絶縁膜の剥離があった場合は、製品不良となってしまう。また、表示パネルの素子基板側に設けられる共通接続部の電極の接続抵抗が高いと、表示画面に斑が出来てしまい輝度が低下するといった問題が発生する。

40

【0008】

本発明の一形態は、表示パネルに設けられる共通接続部として適した構造を提供することを目的の一とする。

【0009】

本発明の一形態は、酸化物半導体の他、絶縁膜及び導電膜を積層して作製される各種用途の表示装置において、薄膜の剥がれに起因する不良を防止することを目的の一とする。

【課題を解決するための手段】

【0010】

本発明の一形態は、走査線と信号線が交差し、マトリクス状に配列する画素電極層と、該

50

画素電極層に対応して設けられた画素部を有し、該画素部に酸素の含有量が異なる少なくとも二種類の酸化物半導体層とを組み合わせる逆スタガ型薄膜トランジスタが設けられた表示装置である。この表示装置において画素部の外側領域には、走査線、信号線を構成する同じ材質の導電層によって、画素電極層と対向する共通電極層と電氣的に接続するパッド部が設けられている。

【 0 0 1 1 】

本発明の例示的な一態様は、画素電極に接続される薄膜トランジスタを含む画素部と、画素電極と対向する共通電極と電氣的に接続するパッド部とを有する表示装置であり、以下の構成を含む。

【 0 0 1 2 】

画素部は、走査線と信号線が交差し、画素電極層がマトリクス状に配列している。画素電極層に対応して設けられた薄膜トランジスタは、走査線と接続するゲート電極層と、ゲート電極層を被覆するゲート絶縁層と、チャネル形成領域となる第 1 の酸化物半導体層と、第 1 の酸化物半導体層上にソース領域及びドレイン領域となる第 2 の酸化物半導体層と、第 1 の酸化物半導体層及び第 2 の酸化物半導体層上にソース電極層及びドレイン電極層とを含む。

【 0 0 1 3 】

画素部の外側領域に設けられるパッド部は、ゲート絶縁層と同じ層で形成された絶縁層上に、ソース電極層及びドレイン電極層と同じ層で形成された導電層が形成され、導電層上に設けられた層間絶縁層の開口部によって画素電極層と対向する共通電極層と電氣的電氣的な接続を可能としている。

【 0 0 1 4 】

本発明の例示的な一態様は、画素部の外側領域に設けられるパッド部の他の構成として、ゲート電極層と同じ層で形成された第 1 の導電層と、ゲート絶縁層と同じ層で形成された絶縁層上に、ソース電極層及びドレイン電極層と同じ層で形成された第 2 の導電層が形成され、第 2 の導電層上に設けられた層間絶縁層の開口部によって画素電極層と対向する共通電極層と電氣的な接続を可能とするものを含む。

【 0 0 1 5 】

上記構成において、パッド部として、ゲート絶縁層と同じ層で形成された絶縁層と導電層（又は第 2 の導電層）との間に第 2 の酸化物半導体層と同じ層で形成された酸化物半導体層とを有する構成としてもよい。

【 0 0 1 6 】

半導体層のチャネル形成領域として用いる酸化物半導体層（第 1 の酸化物半導体層）は、ソース領域及びドレイン領域として用いる酸化物半導体層（第 2 の酸化物半導体層）より酸素濃度が高い。第 1 の酸化物半導体層は酸素過剰酸化物半導体層であり、第 2 の酸化物半導体層は酸素欠乏酸化物半導体層と言える。

【 0 0 1 7 】

第 2 の酸化物半導体層は n 型の導電型を示し、第 1 の酸化物半導体層より電気伝導度が高い。よって第 2 の酸化物半導体層を用いるソース領域及びドレイン領域は、第 1 の酸化物半導体層を用いる半導体層より抵抗が低くなる。

【 0 0 1 8 】

また第 1 の酸化物半導体層は非晶質構造を有し、第 2 の酸化物半導体層は非晶質構造の中に結晶粒（ナノクリスタル）を含む場合がある。この第 2 の酸化物半導体層中の結晶粒（ナノクリスタル）は直径 1 nm ~ 10 nm、代表的には 2 nm ~ 4 nm 程度である。

【 0 0 1 9 】

なお、第 1、第 2 として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【 0 0 2 0 】

チャネル形成領域となる第 1 の酸化物半導体層及び、またはソース領域及びドレイン領域

10

20

30

40

50

となる第2の酸化物半導体層としてIn、Ga、及びZnを含む酸化物半導体膜を用いることができる。また、In、Ga、及びZnのいずれかをタングステン、モリブデン、チタン、ニッケル、又はアルミニウムと置換してもよい。

【0021】

本明細書において、In、Ga、及びZnを含む酸化物半導体膜を用いて形成された半導体層を「IGZO半導体層」とも記す。IGZO半導体層は、非単結晶半導体層であり、少なくともアモルファス成分を含んでいるものとする。

【0022】

画素電極層および該画素電極層と電気的に接続する薄膜トランジスタを表面上に有する基板は、シール材と呼ばれる接着材で対向基板と固定される。

10

【0023】

液晶表示装置において、液晶材料は、シール材と2枚の基板で封止される。

【0024】

シール材には、導電性粒子（プラスチック粒子表面に金メッキ処理した粒子等）を複数混入させて、対向基板に設けられた対向電極（共通電極とも呼ぶ）と、もう一方の基板に設けられた共通電極または共通電位線との導通を行う。

【0025】

共通電位線は薄膜トランジスタの工程と同じ工程で同一基板上に作製することができる。

【0026】

また、共通電位線とシール材の導電性粒子とが重なる部分が共通接続部と呼ぶこともあり、共通電位線において導電性粒子と重なる部分を共通電極とも言える。

20

【0027】

薄膜トランジスタと同一基板上に形成する共通電位線は、液晶を交流駆動させる際に基準となる基準電圧（共通電位）を与える線とも言える。

【0028】

また、対向電極と接続する共通電位線の他にも、保持容量の一方の電極と接続する容量配線も共通電位線の一種とも呼べ、同様に同一基板上に設けることができる。

【0029】

また、電気泳動表示素子を用いた電子ペーパーとも称される表示装置においては、一对の基板の間に、異なる極性に帯電した白色粒子と黒色粒子およびそれらを分散する分散媒（気体または液体）を収容する構造となっており、一对の基板の一方の基板に設けられた電極は共通電極（コモン電極）である。この共通電極に対向して画素電極がもう一方の基板に設けられ、その基板には画素電極と電気的に接続する薄膜トランジスタが複数配置される。例えば、この電気泳動表示素子を用いた表示装置の駆動方法は、白表示から黒表示へ変化させたい画素電極に対して、共通電極に印加されている共通電位に対して正の電圧を印加し、黒表示から白表示へ変化させたい画素電極に対して、共通電極に印加されている共通電位に対して負の電圧を印加し、変化させない画素電極は共通電極と同電位とする。

30

【0030】

薄膜トランジスタと同一基板上に形成する共通電位線は、電気泳動表示素子を駆動させる際に基準となる基準電圧を与える線とも言える。

40

【0031】

なお、電気泳動表示素子を用いた表示装置は、一对の基板及びその間に設けられる隔壁によって一定の大きさで形成された独立空間が複数設けられ、一つの独立空間が単位画素となり、表示を形成する。一つの独立空間は、異なる極性に帯電した複数の白色粒子と複数の黒色粒子およびそれらを分散する分散媒（気体または液体）を収容する空間である。

【0032】

電気泳動表示素子を用いた表示装置においても、異なる極性に帯電した複数の有色粒子およびそれらを分散する分散媒は、シール材と2枚の基板で封止される。また、電気泳動表示素子を用いた表示装置においても、一方の基板に設けられた共通電極と、もう一方の基板に形成する共通電位線とは共通接続部で導電性粒子により接続を行う。

50

【 0 0 3 3 】

また、液晶表示装置または電気泳動表示素子を用いた表示装置において、プロセス温度にもよるが、用いる一対の基板の材料としてプラスチックフィルムを用いることもできる。

【 0 0 3 4 】

ゲート絶縁層、チャネル形成領域となる第 1 の酸化物半導体層、ソース領域及びドレイン領域となる第 2 の酸化物半導体層、ソース電極層及びドレイン電極層はスパッタ法（スパッタリング法）で形成すればよい。

【 0 0 3 5 】

スパッタ法にはスパッタ用電源に高周波電源を用いる R F スパッタ法と、D C スパッタ法があり、さらにパルスのにバイアスを与えるパルス D C スパッタ法もある。R F スパッタ法は主に絶縁膜を成膜する場合に用いられ、D C スパッタ法は主に金属膜を成膜する場合に用いられる。

10

【 0 0 3 6 】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【 0 0 3 7 】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いる E C R スパッタ法を用いるスパッタ装置がある。

20

【 0 0 3 8 】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアスパッタ法もある。

【 0 0 3 9 】

これら各種のスパッタ法を用いてゲート絶縁層、半導体層、ソース領域及びドレイン領域、ソース電極層及びドレイン電極層を形成する。

【 0 0 4 0 】

また、第 1 の酸化物半導体層（酸素過剰酸化物半導体層）及び第 2 の酸化物半導体層（酸素欠乏酸化物半導体層）に I G Z O 半導体層を用いる場合、第 1 の酸化物半導体層及び第 2 の酸化物半導体層の成膜条件とは異なる成膜条件で形成される。ソース領域及びドレイン領域となる第 2 の酸化物半導体層の成膜条件は、成膜直後においてサイズが 1 n m 以上 1 0 n m 以下の結晶粒を含む条件が含まれる。例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ としたターゲットを用い、D C スパッタ法でアルゴンガス流量：酸素流量を 2 : 1 の割合でチャンバーに導入する成膜条件、或いはアルゴンガスのみを導入する成膜条件とした場合、成膜直後においてサイズが 1 n m 以上 1 0 n m 以下の結晶粒を含む膜を得ることがある。なお、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ としたターゲットはアモルファス状の酸化物半導体膜を得るために、この比率として意図的に設計したものであるため、ソース領域及びドレイン領域をより結晶性の高い膜を得るためにターゲットの組成比を変更してもよい。プロセスの簡略化、または低コストを実現するためには、同じターゲットを用いて導入ガスを変更するだけでチャネル形成領域となる第 1 の酸化物半導体層と、ソース領域及びドレイン領域となる第 2 の酸化物半導体層とを作り分ける方が好ましい。

30

40

【 0 0 4 1 】

また、ソース電極層及びドレイン電極層にチタン膜を用いることが好ましい。

【 0 0 4 2 】

また、スパッタ法はターゲットに対して強いエネルギーを A r イオンで与えるため、本体、成膜された酸化物半導体層（代表的には、I G Z O 半導体層）中には強い歪エネルギーが内在すると考えられる。この歪エネルギーを解放するため 2 0 0 ~ 6 0 0 、代表的には 3 0 0 ~ 5 0 0 の熱処理を行うことが好ましい。この熱処理により原子レベルの

50

再配列が行われる。この熱処理によりキャリアの移動を阻害する歪が解放されるため、成膜と熱処理（光アニールも含む）は重要である。

【0043】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【発明の効果】

【0044】

本発明の一形態により、表示パネルに設けられるパッド部として適した構造を提供することができる。

【0045】

本発明の一態様によれば、画素部の外側領域に設けられるパッド部において、酸化物半導体層と導電層とを積層した構成とすることにより、薄膜の剥がれに起因する不良を防止することができる。また、酸化物半導体層と導電層とを積層した構成とすることによりパッド部が厚膜化され、低抵抗化が図られ、丈夫な構造とすることができる。

【0046】

また、本発明の一形態によって、光電流が少なく、寄生容量が小さく、オンオフ比の高い薄膜トランジスタを得ることができ、良好な動特性を有する薄膜トランジスタを作製できる。

【0047】

従って、本発明の一形態により、電気特性が高く信頼性のよい表示装置を提供することができる。

【図面の簡単な説明】

【0048】

【図1】半導体装置を説明する図。

【図2】半導体装置を説明する図。

【図3】半導体装置を説明する図。

【図4】半導体装置の作製方法を説明する図。

【図5】半導体装置の作製方法を説明する図。

【図6】半導体装置の作製方法を説明する図。

【図7】半導体装置の作製方法を説明する図。

【図8】半導体装置の作製方法を説明する図。

【図9】半導体装置を説明する図。

【図10】半導体装置を説明する図。

【図11】半導体装置を説明する図。

【図12】半導体装置を説明する図。

【図13】半導体装置のブロック図を説明する図。

【図14】信号線駆動回路の構成を説明する図。

【図15】信号線駆動回路の動作を説明するタイミングチャート。

【図16】信号線駆動回路の動作を説明するタイミングチャート。

【図17】シフトレジスタの構成を説明する図。

【図18】図17に示すフリップフロップの接続構成を説明する図。

【図19】半導体装置の画素等価回路を説明する図。

【図20】半導体装置を説明する図。

【図21】半導体装置を説明する図。

【図22】半導体装置を説明する図。

【図23】半導体装置を説明する図。

【図24】電子ペーパーの使用形態の例を説明する図。

【図25】電子書籍の一例を示す外観図。

【図26】テレビジョン装置およびデジタルフォトフレームの例を示す外観図。

【図27】遊技機の例を示す外観図。

10

20

30

40

50

【図 28】携帯電話機の一例を示す外觀図。

【図 29】半導体装置を説明する図。

【図 30】半導体装置を説明する図。

【図 31】半導体装置を説明する図。

【発明を実施するための形態】

【0049】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

10

【0050】

(実施の形態 1)

ここでは、第 1 の基板と第 2 の基板の間に液晶層を封入する液晶表示装置において、第 2 の基板に設けられた対向電極と電氣的に接続するための共通接続部（パッド部）を第 1 の基板上に形成する例を示す。なお、第 1 の基板にはスイッチング素子として薄膜トランジスタが形成されており、共通接続部の作製工程を画素部のスイッチング素子の作製工程と共通化させることで工程を複雑にすることなく形成する。

【0051】

20

共通接続部は、第 1 の基板と第 2 の基板とを接着するためのシール材と重なる位置に配置され、シール材に含まれる導電性粒子を介して対向電極と電氣的な接続が行われる。或いは、シール材と重ならない箇所（ただし画素部を除く）に共通接続部を設け、共通接続部に重なるように導電性粒子を含むペーストをシール材とは別途設けて、対向電極と電氣的な接続が行われる。

【0052】

図 1 (A) は薄膜トランジスタと共通接続部とを同一基板上に作製する半導体装置の断面構造図を示す図である。なお、図 1 (A) に示す薄膜トランジスタは、逆スタガ型薄膜トランジスタであり、半導体層 103 上にソース領域又はドレイン領域 104 a、104 b を介してソース電極層又はドレイン電極層 105 a、105 b が設けられている薄膜トランジスタの例である。本実施の形態では、チャンネル形成領域を有する半導体層 103 は、In、Ga、Zn、及び O を含む非単結晶半導体層（第 1 の酸化物半導体層）であり、少なくともアモルファス成分を含んでいるものとする。また、ソース領域又はドレイン領域 104 a、104 b は、In、Ga、Zn、及び O を含む酸化物半導体層（第 2 の酸化物半導体層）であり、半導体層 103 の成膜条件とは異なる成膜条件で形成され、半導体層 103 よりも含まれる酸素濃度が低く、低抵抗な酸化物半導体層である。ソース領域又はドレイン領域 104 a、104 b は、n 型の導電性を有し、活性化エネルギー（ ΔE ）が 0.01 eV 以上 0.1 eV 以下であり、 n^+ 領域とも呼べる。なお、ソース領域又はドレイン領域 104 a、104 b は、In、Ga、Zn、及び O を含む非単結晶半導体層であり、少なくともアモルファス成分を含んでいるものとする。よって半導体層 103 に用いる酸化物半導体層は酸素過剰酸化物半導体層であり、ソース領域またはドレイン領域として用いる酸化物半導体層は酸素欠乏半導体層である。

30

40

【0053】

酸素欠乏酸化物半導体層をソース領域又はドレイン領域 104 a、104 b として設けることにより、金属層であるソース電極層又はドレイン電極層 105 a、105 b と、半導体層 103（酸素過剰酸化物半導体層）との間を良好な接合としてショットキー接合に比べて熱的にも安定動作を有せしめる。また、チャンネルのキャリアを供給する（ソース側）、またはチャンネルのキャリアを安定して吸収する（ドレイン側）、または抵抗成分をソース電極層（またはドレイン電極層）との界面に作らないためにも積極的にソース領域またはドレイン領域を設けると効果的である。また低抵抗化により、高いドレイン電圧でも良

50

好な移動度を保持することができる。

【 0 0 5 4 】

また、図 1 (B) は共通接続部の上面図の一例を示す図であり、図中の鎖線 G 1 - G 2 が図 1 (A) の共通接続部の断面に相当する。なお、図 1 (B) において図 1 (A) と同一の部分には同じ符号を用いて説明する。

【 0 0 5 5 】

共通電位線 1 8 5 は、ゲート絶縁層 1 0 2 上に設けられ、ソース電極層又はドレイン電極層 1 0 5 a、1 0 5 b と同じ材料及び同じ工程で作製される。

【 0 0 5 6 】

また、共通電位線 1 8 5 は、保護絶縁層 1 0 7 で覆われ、保護絶縁層 1 0 7 は、共通電位線 1 8 5 と重なる位置に複数の開口部を有している。この開口部は、ソース電極層又はドレイン電極層 1 0 5 b と画素電極層 1 1 0 とを接続するコンタクトホールと同じ工程で作製される。

10

【 0 0 5 7 】

なお、ここでは面積サイズが大きく異なるため、画素部におけるコンタクトホールと、共通接続部の開口部と使い分けて呼ぶこととする。また、図 1 (A) では、画素部と共通接続部とで同じ縮尺で図示しておらず、例えば共通接続部の鎖線 G 1 - G 2 の長さが 5 0 0 μm 程度であるのに対して、薄膜トランジスタの幅は 5 0 μm 未満であり、実際には 1 0 倍以上面積サイズが大きいが、分かりやすくするため、図 1 (A) に画素部と共通接続部の縮尺をそれぞれ変えて図示している。

20

【 0 0 5 8 】

また、共通電極層 1 9 0 は、保護絶縁層 1 0 7 上に設けられ、画素部の画素電極層 1 1 0 と同じ材料及び同じ工程で作製される。

【 0 0 5 9 】

このように、画素部のスイッチング素子の作製工程と共通させて共通接続部の作製工程を行う。

【 0 0 6 0 】

そして画素部と共通接続部が設けられた第 1 の基板 1 0 0 と、対向電極を有する第 2 の基板とをシール材を用いて固定する。

【 0 0 6 1 】

30

シール材に導電性粒子を含ませる場合は、シール材と共通接続部が重なるように一对の基板 (第 1 の基板及び第 2 の基板) の位置合わせが行われる。例えば、小型の液晶パネルにおいては、画素部の対角などに 2 個の共通接続部がシール材と重ねて配置される。また、大型の液晶パネルにおいては、4 個以上の共通接続部がシール材と重ねて配置される。

【 0 0 6 2 】

なお、共通電極層 1 9 0 は、シール材に含まれる導電性粒子と接触する電極であり、第 2 の基板の対向電極と電気的に接続が行われる。

【 0 0 6 3 】

液晶注入法を用いる場合は、シール材で一对の基板を固定した後、液晶を一对の基板間に注入する。また、液晶滴下法を用いる場合は、第 2 の基板或いは第 1 の基板上にシール材を描画し、液晶を滴下させた後、減圧下で一对の基板を貼り合わせる。

40

【 0 0 6 4 】

なお、本実施の形態では、対向電極と電気的に接続する共通接続部の例を示したが、特に限定されず、他の配線と接続する接続部や、外部接続端子などと接続する接続部に用いることができる。

【 0 0 6 5 】

例えば、発光表示装置を作製する場合、液晶表示装置とは異なり、対向電極と接続するための接続部分はないが、発光素子のカソード (陰極) を共通配線に接続する部分を有し、その部分を図 1 (A) に示す接続構造と同じ構造としてもよい。発光素子のカソードは画素毎に接続させる接続部分を設ければよい、或いは画素部と駆動回路部の間に接続部分を

50

設ければよい。

【 0 0 6 6 】

(実施の形態 2)

ここでは、共通電位線として、ゲート配線と同じ材料及び同じ工程で形成される配線を用いて共通接続部 (パッド部) を作製する例を図 2 (A) 及び図 2 (B) に示す。

【 0 0 6 7 】

図 2 (B) は共通接続部の上面図の一例を示す図であり、図中の鎖線 E 1 - E 2 が図 2 (A) の共通接続部の断面に相当する。

【 0 0 6 8 】

なお、図 2 (A) に示すように実施の形態 1 と画素部の薄膜トランジスタの構造は、同一であるため、図 1 (A) と同じ部分には同じ符号を用い、ここでは詳細な説明は省略することとする。

【 0 0 6 9 】

共通電位線 1 8 1 は、第 1 の基板 1 0 0 上に設けられ、ゲート電極層 1 0 1 と同じ材料及び同じ工程で作製される。

【 0 0 7 0 】

また、共通電位線 1 8 1 は、ゲート絶縁層 1 0 2 及び保護絶縁層 1 0 7 で覆われ、ゲート絶縁層 1 0 2 及び保護絶縁層 1 0 7 は、共通電位線 1 8 1 と重なる位置に複数の開口部を有している。この開口部は、実施の形態 1 とは異なり、2 層の絶縁膜の厚さに相当する深い開口部となる。なお、この開口部は、ソース電極層又はドレイン電極層 1 0 5 b と画素電極層 1 1 0 とを接続するコンタクトホールと同じ工程でエッチングした後、さらにゲート絶縁層 1 0 2 を選択的にエッチングすることで作製される。

【 0 0 7 1 】

また、共通電極層 1 9 0 は、保護絶縁層 1 0 7 上に設けられ、画素部の画素電極層 1 1 0 と同じ材料及び同じ工程で作製される。

【 0 0 7 2 】

このように、画素部のスイッチング素子の作製工程と共通させて共通接続部の作製工程を行う。

【 0 0 7 3 】

そして画素部と共通接続部が設けられた第 1 の基板 1 0 0 と、対向電極を有する第 2 の基板とをシール材を用いて固定する。

【 0 0 7 4 】

シール材に導電性粒子を含ませる場合は、シール材と共通接続部が重なるように一对の基板の位置合わせが行われる。

【 0 0 7 5 】

なお、共通電極層 1 9 0 は、シール材に含まれる導電性粒子と接触する電極であり、第 2 の基板の対向電極と電氣的に接続が行われる。

【 0 0 7 6 】

液晶注入法を用いる場合は、シール材で一对の基板を固定した後、液晶を一对の基板間に注入する。また、液晶滴下法を用いる場合は、第 2 の基板或いは第 1 の基板上にシール材を描画し、液晶を滴下させた後、減圧下で一对の基板を貼り合わせる。

【 0 0 7 7 】

なお、本実施の形態では、対向電極と電氣的に接続する共通接続部の例を示したが、特に限定されず、他の配線と接続する接続部や、外部接続端子などと接続する接続部に用いることができる。

【 0 0 7 8 】

(実施の形態 3)

ここでは、共通接続部 (パッド部) にゲート配線と同じ材料及び同じ工程で形成される電極を設け、その上に設ける共通電位線として、ソース電極層と同じ材料及び同じ工程で形成される配線を用いて共通接続部を作製する例を図 3 (A) 及び図 3 (B) に示す。

【 0 0 7 9 】

図 3 (B) は共通接続部の上面図の一例を示す図であり、図中の鎖線 F 1 - F 2 が図 3 (A) の共通接続部の断面に相当する。

【 0 0 8 0 】

なお、図 3 (A) に示すように実施の形態 1 と画素部の薄膜トランジスタの構造は、同一であるため、図 1 (A) と同じ部分には同じ符号を用い、ここでは詳細な説明は省略することとする。

【 0 0 8 1 】

接続電極層 1 9 1 は、第 1 の基板 1 0 0 上に設けられ、ゲート電極層 1 0 1 と同じ材料及び同じ工程で作製される。

10

【 0 0 8 2 】

また、接続電極層 1 9 1 は、ゲート絶縁層 1 0 2 及び保護絶縁層 1 0 7 で覆われ、ゲート絶縁層 1 0 2 及び保護絶縁層 1 0 7 は、共通電極層 1 9 0 と重なる位置に開口部を有している。この開口部は、実施の形態 1 とは異なり、2 層の絶縁膜の厚さに相当する深い開口部となる。なお、この開口部は、ソース電極層又はドレイン電極層 1 0 5 b と画素電極層 1 1 0 とを接続するコンタクトホールと同じ工程でエッチングした後、さらにゲート絶縁層 1 0 2 を選択的にエッチングすることで作製される。

【 0 0 8 3 】

また、共通電位線 1 8 5 は、ゲート絶縁層 1 0 2 上に設けられ、ソース電極層又はドレイン電極層 1 0 5 a 、 1 0 5 b と同じ材料及び同じ工程で作製される。

20

【 0 0 8 4 】

また、共通電位線 1 8 5 は、保護絶縁層 1 0 7 で覆われ、保護絶縁層 1 0 7 は、共通電位線 1 8 5 と重なる位置に複数の開口部を有している。この開口部は、ソース電極層又はドレイン電極層 1 0 5 b と画素電極層 1 1 0 とを接続するコンタクトホールと同じ工程で作製される。

【 0 0 8 5 】

また、共通電極層 1 9 0 は、保護絶縁層 1 0 7 上に設けられ、画素部の画素電極層 1 1 0 と同じ材料及び同じ工程で作製される。

【 0 0 8 6 】

このように、画素部のスイッチング素子の作製工程と共通させて共通接続部の作製工程を行う。

30

【 0 0 8 7 】

そして画素部と共通接続部が設けられた第 1 の基板 1 0 0 と、対向電極を有する第 2 の基板とをシール材を用いて固定する。

【 0 0 8 8 】

また、本実施の形態においては、複数の導電性粒子をゲート絶縁層 1 0 2 の開口部にのみ選択的に配置する。即ち、共通電極層 1 9 0 と接続電極層 1 9 1 とが接している領域に複数の導電性粒子を配置する。接続電極層 1 9 1 及び共通電位線 1 8 5 の両方と接触する共通電極層 1 9 0 は、導電性粒子と接触する電極であり、第 2 の基板の対向電極と電氣的に接続が行われる。

40

【 0 0 8 9 】

液晶注入法を用いる場合は、シール材で一对の基板を固定した後、液晶を一对の基板間に注入する。また、液晶滴下法を用いる場合は、第 2 の基板或いは第 1 の基板上にシール材を描画し、液晶を滴下させた後、減圧下で一对の基板を貼り合わせる。

【 0 0 9 0 】

なお、本実施の形態では、対向電極と電氣的に接続する共通接続部の例を示したが、特に限定されず、他の配線と接続する接続部や、外部接続端子などと接続する接続部に用いることができる。

【 0 0 9 1 】

(実施の形態 4)

50

ここでは、実施の形態 1 において、ソース電極層又はドレイン電極層とソース領域又はドレイン領域を同じマスクでエッチング加工して形成された表示装置の例を図 29 (A) (B) に示す。

【0092】

図 29 (A) は薄膜トランジスタと共通接続部 (パッド部) とを同一基板上に作製する半導体装置の断面構造図を示す図である。図 29 (A) に示す薄膜トランジスタ 172 は、逆スタガ型薄膜トランジスタであり、半導体層 103 上にソース領域又はドレイン領域 104a、104b を介してソース電極層又はドレイン電極層 105a、105b が設けられている薄膜トランジスタの例である。薄膜トランジスタ 172 は、ソース領域又はドレイン領域 104a、104b を形成する酸化物半導体層のエッチング加工と、ソース電極層又はドレイン電極層 105a、105b を形成する導電層のエッチング加工とを、同じマスクを用いて行う。

10

【0093】

従って、薄膜トランジスタ 172 においては、ソース電極層又はドレイン電極層 105a、105b 及びソース領域又はドレイン領域 104a、104b は同形状であり、ソース電極層又はドレイン電極層 105a、105b ソース領域下にソース領域又はドレイン領域 104a、104b が存在する。

【0094】

よって共通接続部においてもゲート絶縁層 102 と共通電位線 185 との間にソース領域又はドレイン領域 104a、104b と同じ材料及び同じ工程で作製される酸化物半導体層 186 が形成される。

20

【0095】

なお、図 29 (B) は共通接続部の上面図の一例を示す図であり、図中の鎖線 G1 - G2 が図 29 (A) の共通接続部の断面に相当する。

【0096】

なお、図 29 (B) に示すように実施の形態 1 と共通接続部の上面図の構造は、同一であるため、図 1 (B) と同じ部分には同じ符号を用い、ここでは詳細な説明は省略することとする。

【0097】

本実施の形態によれば、画素部の外側領域に設けられる共通接続部 (パッド部) において、酸化物半導体層と導電層とを積層した構成とすることにより、薄膜の剥がれに起因する不良を防止することができる。また、酸化物半導体層と導電層とを積層した構成とすることによりパッド部が厚膜化され、低抵抗化が図られ、丈夫な構造とすることができる。

30

【0098】

(実施の形態 5)

ここでは、実施の形態 3 において、ソース電極層又はドレイン電極層とソース領域及びドレイン領域を同じマスクでエッチング加工して形成された表示装置の例を図 30 (A) (B) に示す。

【0099】

図 30 (A) は薄膜トランジスタと共通接続部 (パッド部) とを同一基板上に作製する半導体装置の断面構造図を示す図である。

40

【0100】

なお、図 30 (A) に示すように実施の形態 4 と画素部の薄膜トランジスタの構造は、同一であるため、図 29 (A) と同じ部分には同じ符号を用い、ここでは詳細な説明は省略することとする。

【0101】

薄膜トランジスタ 172 は、ソース領域又はドレイン領域 104a、104b を形成する酸化物半導体層のエッチング加工と、ソース電極層又はドレイン電極層 105a、105b を形成する導電層のエッチング加工とを、同じマスクを用いて行う。従って、薄膜トランジスタ 172 においては、ソース電極層又はドレイン電極層 105a、105b 及びソ

50

ース領域又はドレイン領域 104a、104b は同形状であり、ソース電極層又はドレイン電極層 105a、105b ソース領域下にソース領域又はドレイン領域 104a、104b が存在する。

【0102】

共通接続部においてもゲート絶縁層 102 と共通電位線 185 との間にソース領域又はドレイン領域 104a、104b と同じ材料及び同じ工程で作製される酸化物半導体層 186 が形成される。

【0103】

なお、図 30 (B) は共通接続部の上面図の一例を示す図であり、図中の鎖線 F1 - F2 が図 30 (A) の共通接続部の断面に相当する。

10

【0104】

なお、図 30 (B) に示すように実施の形態 3 と共通接続部の上面図の構造は、同一であるため、図 3 (B) と同じ部分には同じ符号を用い、ここでは詳細な説明は省略することとする。

【0105】

本実施の形態によれば、画素部の外側領域に設けられる共通接続部（パッド部）において、酸化物半導体層と導電層とを積層した構成とすることにより、薄膜の剥がれに起因する不良を防止することができる。また、酸化物半導体層と導電層とを積層した構成とすることによりパッド部が厚膜化され、低抵抗化が図られ、丈夫な構造とすることができる。

【0106】

20

（実施の形態 6）

本実施の形態では、本発明の一形態の薄膜トランジスタを含む表示装置の作製工程について、図 4 乃至図 11 を用いて説明する。

【0107】

図 4 (A) において、透光性を有する第 1 の基板 100 にはバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0108】

次いで、導電層を第 1 の基板 100 全面に形成した後、第 1 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して配線及び電極（ゲート電極層 101 を含むゲート配線、容量配線 108、及び第 1 の端子 121）を形成する。このとき少なくともゲート電極層 101 の端部にテーパー形状が形成されるようにエッチングする。この段階での上面図を図 4 (A) に示した。なお、この段階での断面図が図 6 に相当する。

30

【0109】

ゲート電極層 101 を含むゲート配線と容量配線 108、端子部の第 1 の端子 121 は、アルミニウム (Al) や銅 (Cu) などの低抵抗導電性材料で形成することが望ましいが、Al 単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせて形成する。耐熱性導電性材料としては、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、クロム (Cr)、Nd (ネオジウム)、スカンジウム (Sc) から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜、または上述した元素を成分とする窒化物で形成する。

40

【0110】

次いで、ゲート電極層 101 上にゲート絶縁層 102 を全面に成膜する。ゲート絶縁層 102 はスパッタ法などを用い、膜厚を 50 ~ 250 nm とする。

【0111】

例えば、ゲート絶縁層 102 としてスパッタ法により酸化シリコン膜を用い、100 nm の厚さで形成する。勿論、ゲート絶縁層 102 はこのような酸化シリコン膜に限定されるものでなく、酸化窒化シリコン膜、窒化シリコン膜、酸化アルミニウム、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。

50

【 0 1 1 2 】

プラズマ処理によって、チャンネル形成領域となる酸化物半導体層（ I G Z O 半導体層 ）を形成前にゲート絶縁層の表面を洗浄してもよい。ゲート絶縁層の表面に存在する有機物などのゴミを除去するプラズマ処理を行うことは有用である。また、ゲート絶縁層の表面にプラズマ処理を行い、表面を酸素過剰領域とすることは、その後の工程での信頼性向上のための熱処理（ 2 0 0 ～ 6 0 0 ）において、 I G Z O 半導体層界面の改質のための酸素の供給源を作る上で有効である。

【 0 1 1 3 】

さらに、プラズマ処理後に大気に触れることなくスパッタ法で酸化物半導体層を成膜することが好ましい。酸化物半導体層の成膜前に被成膜基板が大気に触れた場合、水分などが付着し、界面状態に悪影響を与え、しきい値のバラツキや、電気特性の劣化、ノーマリーオンの T F T になってしまう症状などを引き起こす恐れがある。プラズマ処理は酸素ガスまたはアルゴンガスを用いる。アルゴンガスに変えて他の希ガスを用いてもよい。

【 0 1 1 4 】

プラズマ処理後に大気に触れることなくスパッタ法でチャンネル形成領域となる酸化物半導体層を成膜するために、プラズマ処理と酸化物半導体層の成膜の両方を同じチャンパーで行うことが可能な逆スパッタと呼ばれるプラズマ処理の一種を行うことが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、酸素、又は酸素及びアルゴン雰囲気下で基板側に電圧を印加してプラズマを形成して基板上的の薄膜表面を改質する方法である。

【 0 1 1 5 】

また、チャンパーに酸素ガスを用いるプラズマ処理を行う場合、ゲート絶縁層表面に酸素ラジカルが照射されることによって、ゲート絶縁層表面を酸素過剰領域に改質し、後に成膜するチャンネル形成領域となる酸化物半導体層との界面における酸素濃度を高くする。ゲート絶縁層に酸素ラジカル処理を行って酸化物半導体層を積層し、熱処理を行えば、チャンネル形成領域となる酸化物半導体層のゲート絶縁層側の酸素濃度も高濃度とすることができる。従って、ゲート絶縁層とチャンネル形成領域となる酸化物半導体層との界面に酸素濃度のピークを有し、かつゲート絶縁層の酸素濃度は濃度勾配を有し、その勾配はゲート絶縁層とチャンネル形成領域となる酸化物半導体層との界面に近づくにつれて増加する。酸素過剰領域を有するゲート絶縁層と酸素過剰酸化物半導体層であるチャンネル形成領域となる酸化物半導体層は相性がよく、良好な界面特性を得ることができる。

【 0 1 1 6 】

酸素ラジカルは、酸素を含むガスを用いてプラズマ発生装置により供給されてもよいし、又はオゾン発生装置により供給されてもよい。供給された酸素ラジカル又は酸素を薄膜に照射することによって膜表面を改質することができる。

【 0 1 1 7 】

また、酸素ラジカル処理に限定されず、アルゴンと酸素のラジカル処理を行ってもよい。アルゴンと酸素のラジカル処理とは、アルゴンガスと酸素ガスを導入してプラズマを発生させて薄膜表面の改質を行うことである。

【 0 1 1 8 】

電界が印加され放電プラズマが発生している反応空間中の A r 原子（ A r ）は、放電プラズマ中の電子（ e ）により励起又は電離され、アルゴンラジカル（ A r ^{*} ）やアルゴンイオン（ A r ⁺ ）や電子（ e ）となる。アルゴンラジカル（ A r ^{*} ）はエネルギーの高い準安定状態にあり、周辺にある同種又は異種の原子と反応し、それらの原子を励起又は電離させて安定状態に戻ろうとして雪崩現象的に反応が発生する。その時に周辺に酸素があると、酸素原子（ O ）が励起又は電離され、酸素ラジカル（ O ^{*} ）や酸素イオン（ O ⁺ ）や酸素（ O ）となる。その酸素ラジカル（ O ^{*} ）が被処理物である薄膜表面の材料と反応し、表面改質が行われ、表面にある有機物と反応して有機物を除去するプラズマ処理が行われる。なお、アルゴンガスのラジカルは、反応性ガス（酸素ガス）のラジカルと比較して準安定状態が長く維持されるという特徴があり、そのためプラズマを発生させるのにアルゴンガスを用いるのが一般的である。

【0119】

次に、ゲート絶縁層102上に、第1の酸化物半導体膜（本実施の形態では第1のIGZO膜）を成膜する。プラズマ処理後、大気に曝すことなく第1のIGZO膜を成膜することは、ゲート絶縁層と半導体膜の界面にゴミや水分を付着させない点で有用である。ここでは、直径8インチのIn、Ga、及びZnを含む酸化物半導体ターゲット（ In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1）を用いて、基板とターゲットの間との距離を170 mm、圧力0.4 Pa、直流（DC）電源0.5 kW、アルゴン又は酸素雰囲気下で成膜する。なお、パルス直流（DC）電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。第1のIGZO膜の膜厚は、5 nm ~ 200 nmとする。本実施の形態では第1のIGZO膜の膜厚は、100 nmとする。

10

【0120】

ゲート絶縁層及び第1のIGZO膜は、スパッタ法で、チャンバーに導入するガスまたは設置するターゲットを適宜切り替えることにより大気に触れることなく連続成膜することができる。大気に触れることなく連続成膜すると、不純物の混入を防止することができる。大気に触れることなく連続成膜する場合、マルチチャンバー方式の製造装置を用いることが好ましい。

【0121】

次いで、大気に曝すことなく、第2の酸化物半導体膜（本実施の形態では第2のIGZO膜）をスパッタ法で成膜する。ここでは、 In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1としたターゲットを用い、成膜条件は、圧力を0.4 Paとし、電力を500 Wとし、成膜温度を室温とし、アルゴンガス流量40 sccmを導入してスパッタ成膜を行う。 In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1としたターゲットを意図的に用いているにも関わらず、成膜直後で大きさ1 nm ~ 10 nmの結晶粒を含むIGZO膜が形成されることがある。なお、ターゲットの成分比、成膜圧力（0.1 Pa ~ 2.0 Pa）、電力（250 W ~ 3000 W : 8インチφ）、温度（室温 ~ 100℃）、反応性スパッタの成膜条件などを適宜調節することで結晶粒の有無や、結晶粒の密度や、直径サイズは、1 nm ~ 10 nmの範囲で調節されうると言える。第2のIGZO膜の膜厚は、5 nm ~ 20 nmとする。勿論、膜中に結晶粒が含まれる場合、含まれる結晶粒のサイズが膜厚を超える大きさとならない。本実施の形態では第2のIGZO膜の膜厚は、5 nmとする。

20

【0122】

第1のIGZO膜は、第2のIGZO膜の成膜条件と異ならせることで、第2のIGZO膜の膜中の酸素濃度より多くの酸素を第1のIGZO膜中に含ませる。例えば、第2のIGZO膜の成膜条件における酸素ガス流量とアルゴンガス流量において酸素ガス占める比率よりも第1のIGZO膜の成膜条件における酸素ガス流量の占める比率が多い条件とする。具体的には、第2のIGZO膜の成膜条件は、希ガス（アルゴン、又はヘリウムなど）雰囲気下（または酸素ガス10%以下、アルゴンガス90%以上）とし、第1のIGZO膜の成膜条件は、酸素雰囲気下（又は酸素ガスの流量がアルゴンガスの流量と等しいかそれ以上）とする。多くの酸素を第1のIGZO膜中に含ませることによって、第2のIGZO膜よりも導電率を低くすることができる。また、多くの酸素を第1のIGZO膜中に含ませることによってオフ電流の低減を図ることができるため、オンオフ比の高い薄膜トランジスタを得ることができる。

30

40

【0123】

第2のIGZO膜の成膜は、先に逆スパッタを行ったチャンバーと同一チャンバーを用いてもよいし、大気に曝すことなく成膜できるのであれば、先に逆スパッタを行ったチャンバーと異なるチャンバーで成膜してもよい。

【0124】

次いで、200℃ ~ 600℃、代表的には300℃ ~ 500℃の熱処理を行うことが好ましい。ここでは炉に入れ、酸素雰囲気下で350℃、1時間の熱処理を行う。この熱処理によりIGZO膜の原子レベルの再配列が行われる。この熱処理によりキャリアの移動を阻害する歪が解放されるため、ここでの熱処理（光アニールも含む）は重要である。なお

50

、熱処理を行うタイミングは、第2のIGZO膜の成膜後であれば特に限定されず、例えば画素電極形成後に行ってもよい。

【0125】

次に、第2のフォトリソグラフィ工程を行い、レジストマスクを形成し、第1のIGZO膜及び第2のIGZO膜をエッチングする。ここではITO07N（関東化学社製）を用いたウェットエッチングにより、不要な部分を除去して酸素過剰型の第1のIGZO膜であるIGZO膜109、酸素欠乏型の第2のIGZO膜であるIGZO膜111を形成する。なお、ここでのエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。この段階での断面図を図4（B）に示した。なお、この段階での上面図が図7に相当する。

10

【0126】

次に、IGZO膜109及びIGZO膜111上に金属材料からなる導電膜132をスパッタ法や真空蒸着法で形成する。この段階での上面図を図4（C）に示した。

【0127】

導電膜132の材料としては、Al、Cr、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、200～600の熱処理を行う場合には、この熱処理に耐える耐熱性を導電膜に持たせることが好ましい。Al単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせて形成する。Alと組み合わせる耐熱性導電性材料としては、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、クロム（Cr）、Nd（ネオジウム）、Sc（スカンジウム）から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜、または上述した元素を成分とする窒化物で形成する。

20

【0128】

ここでは、導電膜132としてチタン膜の単層構造とする。また、導電膜132は、2層構造としてもよく、アルミニウム膜上にチタン膜を積層してもよい。また、導電膜132としてTi膜と、そのTi膜上に重ねてNdを含むアルミニウム（Al-Nd）膜を積層し、さらにその上にTi膜を成膜する3層構造としてもよい。導電膜132は、シリコンを含むアルミニウム膜の単層構造としてもよい。

【0129】

次に、第3のフォトリソグラフィ工程を行い、レジストマスク131を形成し、エッチングにより不要な部分を除去してソース電極層又はドレイン電極層105a、105b、及びソース領域又はドレイン領域104a、104bを形成する。この際のエッチング方法としてウェットエッチングまたはドライエッチングを用いる。例えば導電膜132としてアルミニウム膜、又はアルミニウム合金膜を用いる場合は、燐酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチングを行うことができる。ここでは、アンモニア過水（過酸化水素：アンモニア：水＝5：2：2）を用いたウェットエッチングにより、Ti膜の導電膜132をエッチングしてソース電極層又はドレイン電極層105a、105bを、IGZO膜111をエッチングしてソース領域又はドレイン領域104a、104bを形成する。このエッチング工程において、IGZO膜109の露出領域も一部エッチングされ、半導体層103となる。よってソース領域又はドレイン領域104a、104bの間の半導体層103のチャネル領域は膜厚の薄い領域となる。図5（A）においては、ソース電極層又はドレイン電極層105a、105b、ソース領域又はドレイン領域104a、104bのエッチングをアンモニア過水のエッチング材によって一度に行うため、ソース電極層又はドレイン電極層105a、105b及びソース領域又はドレイン領域104a、104bの端部は一致し、連続的な構造となっている。またウェットエッチングを用いるために、エッチングが等方的に行われ、ソース電極層又はドレイン電極層105a、105bの端部はレジストマスク131より後退している。以上の工程でIGZO半導体層103をチャネル形成領域とする薄膜トランジスタ170が作製できる。この段階での断面図を図5（A）に示した。なお、この段階での上面図が図8に相当する。

30

40

50

【0130】

さらに、露出している半導体層103のチャネル形成領域に、酸素ラジカル処理を行ってもよい。酸素ラジカル処理を行うことにより薄膜トランジスタをノーマリーオフとすることができる。また、ラジカル処理を行うことにより、半導体層103のエッチングによるダメージを回復することができる。ラジカル処理は O_2 、 N_2O 、好ましくは酸素を含む N_2 、 He 、 Ar 雰囲気下で行うことが好ましい。また、上記雰囲気に Cl_2 、 CF_4 を加えた雰囲気下で行ってもよい。なお、ラジカル処理は、無バイアスで行うことが好ましい。

【0131】

また、この第3のフォトリソグラフィ工程において、ソース電極層又はドレイン電極層105a、105bと同じ材料である第2の端子122を端子部に残す。なお、第2の端子122はソース配線（ソース電極層又はドレイン電極層105a、105bを含むソース配線）と電氣的に接続されている。

10

【0132】

また、多階調マスクにより形成した複数（代表的には二種類）の厚さの領域を有するレジストマスクを用いると、レジストマスクの数を減らすことができるため、工程簡略化、低コスト化が計れる。

【0133】

次いで、レジストマスク131を除去し、薄膜トランジスタ170を覆う保護絶縁層107を形成する。保護絶縁層107はスパッタ法などを用いて得られる窒化シリコン膜、酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化タンタル膜などを用いることができる。

20

【0134】

次に、第4のフォトリソグラフィ工程を行い、レジストマスクを形成し、保護絶縁層107のエッチングによりソース電極層又はドレイン電極層105bに達するコンタクトホール125を形成する。また、ここでのエッチングにより第2の端子122に達するコンタクトホール127も形成する。なお、マスク数を削減するため、同じレジストマスクを用いてさらにゲート絶縁層をエッチングしてゲート電極に達するコンタクトホール126も同じレジストマスクで形成することが好ましい。この段階での断面図を図5(B)に示す。

30

【0135】

次いで、レジストマスクを除去した後、透明導電膜を成膜する。透明導電膜の材料としては、酸化インジウム（ In_2O_3 ）や酸化インジウム酸化スズ合金（ $In_2O_3-SnO_2$ 、ITOと略記する）などをスパッタ法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金（ In_2O_3-ZnO ）を用いても良い。

【0136】

次に、第5のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極層110を形成する。

40

【0137】

また、この第5のフォトリソグラフィ工程において、容量部におけるゲート絶縁層102及び保護絶縁層107を誘電体として、容量配線108と画素電極層110とで保持容量が形成される。

【0138】

また、この第5のフォトリソグラフィ工程において、第1の端子及び第2の端子をレジストマスクで覆い端子部に形成された透明導電膜128、129を残す。透明導電膜128、129はFPCとの接続に用いられる電極または配線となる。第2の端子122上に形成された透明導電膜129は、ソース配線の入力端子として機能する接続用の端子電極である。

50

【 0 1 3 9 】

次いで、レジストマスクを除去し、この段階での断面図を図 5 (C) に示す。なお、この段階での上面図が図 9 に相当する。

【 0 1 4 0 】

また、図 1 0 (A 1)、図 1 0 (A 2) は、この段階でのゲート配線端子部の上面図及び断面図をそれぞれ図示している。図 1 0 (A 1) は図 1 0 (A 2) 中の C 1 - C 2 線に沿った断面図に相当する。図 1 0 (A 1) において、保護絶縁膜 1 5 4 上に形成される透明導電膜 1 5 5 は、入力端子として機能する接続用の端子電極である。また、図 1 0 (A 1) において、端子部では、ゲート配線と同じ材料で形成される第 1 の端子 1 5 1 と、ソース配線と同じ材料で形成される接続電極層 1 5 3 とがゲート絶縁層 1 5 2 を介して重なり、透明導電膜 1 5 5 で導通させている。なお、図 5 (C) に図示した透明導電膜 1 2 8 と第 1 の端子 1 2 1 とが接触している部分が、図 1 0 (A 1) の透明導電膜 1 5 5 と第 1 の端子 1 5 1 が接触している部分に対応している。

10

【 0 1 4 1 】

また、図 1 0 (B 1)、及び図 1 0 (B 2) は、図 5 (C) に示すソース配線端子部とは異なるソース配線端子部の上面図及び断面図をそれぞれ図示している。また、図 1 0 (B 1) は図 1 0 (B 2) 中の D 1 - D 2 線に沿った断面図に相当する。図 1 0 (B 1) において、保護絶縁膜 1 5 4 上に形成される透明導電膜 1 5 5 は、入力端子として機能する接続用の端子電極である。また、図 1 0 (B 1) において、端子部では、ゲート配線と同じ材料で形成される電極層 1 5 6 が、ソース配線と電氣的に接続される第 2 の端子 1 5 0 の下方にゲート絶縁層 1 5 2 を介して重なる。電極層 1 5 6 は第 2 の端子 1 5 0 とは電氣的に接続しておらず、電極層 1 5 6 を第 2 の端子 1 5 0 と異なる電位、例えばフローティング、GND、0 V などに設定すれば、ノイズ対策のための容量または静電気対策のための容量を形成することができる。また、第 2 の端子 1 5 0 は、保護絶縁膜 1 5 4 を介して透明導電膜 1 5 5 と電氣的に接続している。

20

【 0 1 4 2 】

ゲート配線、ソース配線、及び容量配線は画素密度に応じて複数本設けられるものである。また、端子部においては、ゲート配線と同電位の第 1 の端子、ソース配線と同電位の第 2 の端子、容量配線と同電位の第 3 の端子などが複数並べられて配置される。それぞれの端子の数は、それぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

30

【 0 1 4 3 】

こうして 5 回のフォトリソグラフィ工程により、5 枚のフォトマスクを使用して、ボトムゲート型の n チャネル型薄膜トランジスタである薄膜トランジスタ 1 7 0 を有する画素薄膜トランジスタ部、保持容量を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【 0 1 4 4 】

アクティブマトリクス型の液晶表示装置を作製する場合には、アクティブマトリクス基板と、対向電極が設けられた対向基板との間に液晶層を設け、アクティブマトリクス基板と対向基板とを固定する。なお、対向基板に設けられた対向電極と電氣的に接続する共通電極をアクティブマトリクス基板上に設け、共通電極と電氣的に接続する第 4 の端子を端子部に設ける。この第 4 の端子は、共通電極を固定電位、例えば GND、0 V などに設定するための端子である。

40

【 0 1 4 5 】

また、本発明の一形態は、図 9 の画素構成に限定されず、図 9 とは異なる上面図の例を図 1 1 に示す。図 1 1 では容量配線を設けず、画素電極層を隣り合う画素のゲート配線と保護絶縁膜及びゲート絶縁層を介して重ねて保持容量を形成する例であり、この場合、容量配線及び容量配線と接続する第 3 の端子は省略することができる。なお、図 1 1 において、図 9 と同じ部分には同じ符号を用いて説明する。

50

【 0 1 4 6 】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

【 0 1 4 7 】

液晶表示装置の動画表示において、液晶分子自体の応答が遅いため、残像が生じる、または動画のぼけが生じるという問題がある。液晶表示装置の動画特性を改善するため、全面黒表示を1フレームおきに行う、所謂、黒挿入と呼ばれる駆動技術がある。

10

【 0 1 4 8 】

また、通常の垂直周期を1.5倍若しくは2倍以上にすることで動画特性を改善する、所謂、倍速駆動と呼ばれる駆動技術もある。

【 0 1 4 9 】

また、液晶表示装置の動画特性を改善するため、バックライトとして複数のLED（発光ダイオード）光源または複数のEL光源などを用いて面光源を構成し、面光源を構成している各光源を独立して1フレーム期間内で間欠点灯駆動する駆動技術もある。面光源として、3種類以上のLEDを用いてもよいし、白色発光のLEDを用いてもよい。独立して複数のLEDを制御できるため、液晶層の光学変調の切り替えタイミングに合わせてLEDの発光タイミングを同期させることもできる。この駆動技術は、LEDを部分的に消灯することができるため、特に一画面を占める黒い表示領域の割合が多い映像表示の場合には、消費電力の低減効果が図れる。

20

【 0 1 5 0 】

これらの駆動技術を組み合わせることによって、液晶表示装置の動画特性などの表示特性を従来よりも改善することができる。

【 0 1 5 1 】

本実施の形態で得られるnチャネル型のトランジスタは、IGZO半導体層をチャネル形成領域に用いており、良好な動特性を有するため、これらの駆動技術を組み合わせることができる。

【 0 1 5 2 】

また、発光表示装置を作製する場合、有機発光素子の一方の電極（カソードとも呼ぶ）は、低電源電位、例えばGND、0Vなどに設定するため、端子部に、カソードを低電源電位、例えばGND、0Vなどに設定するための第4の端子が設けられる。また、発光表示装置を作製する場合には、ソース配線、及びゲート配線に加えて電源供給線を設ける。従って、端子部には、電源供給線と電氣的に接続する第5の端子を設ける。

30

【 0 1 5 3 】

ソース領域又はドレイン領域（In、Ga、及びZnを含む酸素欠乏酸化物半導体層）を設けない、ゲート電極層、ゲート絶縁層、半導体層（In、Ga、及びZnを含む酸素過剰酸化物半導体層）、ソース電極層及びドレイン電極層という積層構造であると、ゲート電極層とソース電極層又はドレイン電極層との距離が近くなり、間に生じる寄生容量が増加してしまう。さらに、この寄生容量の増加は、半導体層の薄膜化によってより顕著になる。本実施の形態では、ソース領域又はドレイン領域を設ける、ゲート電極層、ゲート絶縁層、半導体層、ソース領域又はドレイン領域、ソース電極層及びドレイン電極層という積層構造を有する薄膜トランジスタとしているため、半導体層の膜厚が薄膜であっても寄生容量を抑制することができる。

40

【 0 1 5 4 】

本実施の形態によって、光電流が少なく、寄生容量が小さく、オンオフ比の高い薄膜トランジスタを得ることができ、良好な動特性を有する薄膜トランジスタを作製できる。よって、電気特性が高く信頼性のよい薄膜トランジスタを有する半導体装置を提供することができる。

50

【 0 1 5 5 】

(実施の形態 7)

ここでは、実施の形態 3 において、ソース電極層又はドレイン電極層と半導体層とが接する構成の薄膜トランジスタを有する表示装置の例を図 3 1 (A) (B) に示す。

【 0 1 5 6 】

図 3 1 (A) は薄膜トランジスタと共通接続部 (パッド部) とを同一基板上に作製する半導体装置の断面構造図を示す図である。図 3 1 (A) に示す薄膜トランジスタ 1 7 1 は、逆スタガ型薄膜トランジスタであり、半導体層 1 0 3 に接してソース電極層又はドレイン電極層 1 0 5 a、1 0 5 b が設けられている例である。

【 0 1 5 7 】

薄膜トランジスタ 1 7 1 において、半導体層 1 0 3 とソース電極層又はドレイン電極層 1 0 5 a、1 0 5 b との接触領域はプラズマ処理によって改質されていることが好ましい。本実施の形態では、ソース電極層又はドレイン電極層となる導電膜を形成する前に、酸化物半導体層 (本実施の形態では I G Z O 半導体層) にプラズマ処理を行う。

【 0 1 5 8 】

プラズマ処理は、アルゴンガス、水素ガス、アルゴン及び水素の混合ガス、を用いることができる。また上記ガスに酸素ガスを含ませてもよい。またアルゴンガスに変えて他の希ガスを用いてもよい。

【 0 1 5 9 】

また、本実施の形態では、ソース電極層又はドレイン電極層 1 0 5 a、1 0 5 b にチタン膜を用いて、アンモニア過水 (過酸化水素 : アンモニア : 水 = 5 : 2 : 2) によるウェットエッチングを行う。このエッチング工程において、I G Z O 半導体層である半導体層の露出領域も一部エッチングされ、半導体層 1 0 3 となる。よってソース電極層又はドレイン電極層 1 0 5 a、1 0 5 b の間の半導体層 1 0 3 のチャネル領域は膜厚の薄い領域となる。

【 0 1 6 0 】

プラズマ処理により改質された半導体層 1 0 3 に接して導電層を形成し、ソース電極層又はドレイン電極層 1 0 5 a、1 0 5 b を形成することによって、半導体層 1 0 3 とソース電極層又はドレイン電極層 1 0 5 a、1 0 5 b とのコンタクト抵抗を低減することができる。

【 0 1 6 1 】

以上の工程により、半導体装置として信頼性の高い表示装置を作製することができる。

【 0 1 6 2 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 1 6 3 】

(実施の形態 8)

本実施の形態では、本発明の半導体装置の一例である表示装置において、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

【 0 1 6 4 】

画素部に配置する薄膜トランジスタは、実施の形態 6 又は実施の形態 7 に従って形成する。また、実施の形態 6 又は実施の形態 7 に示す薄膜トランジスタは n チャネル型 T F T であるため、駆動回路のうち、n チャネル型 T F T で構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。

【 0 1 6 5 】

本発明の半導体装置の一例であるアクティブマトリクス型液晶表示装置のブロック図の一例を図 1 3 (A) に示す。図 1 3 (A) に示す表示装置は、基板 5 3 0 0 上に表示素子を備えた画素を複数有する画素部 5 3 0 1 と、各画素を選択する走査線駆動回路 5 3 0 2 と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路 5 3 0 3 とを有する。

10

20

30

40

50

【 0 1 6 6 】

画素部 5 3 0 1 は、信号線駆動回路 5 3 0 3 から列方向に伸張して配置された複数の信号線 $S_1 \sim S_m$ (図示せず。)により信号線駆動回路 5 3 0 3 と接続され、走査線駆動回路 5 3 0 2 から行方向に伸張して配置された複数の走査線 $G_1 \sim G_n$ (図示せず。)により走査線駆動回路 5 3 0 2 と接続され、信号線 $S_1 \sim S_m$ 並びに走査線 $G_1 \sim G_n$ に対応してマトリクス状に配置された複数の画素 (図示せず。)を有する。そして、各画素は、信号線 S_j (信号線 $S_1 \sim S_m$ のうちいずれかー)、走査線 G_i (走査線 $G_1 \sim G_n$ のうちいずれかー)と接続される。

【 0 1 6 7 】

また、実施の形態 6 又は実施の形態 7 に示す薄膜トランジスタは、 n チャネル型 TFT であり、 n チャネル型 TFT で構成する信号線駆動回路について図 1 4 を用いて説明する。

10

【 0 1 6 8 】

図 1 4 に示す信号線駆動回路は、ドライバ IC 5 6 0 1、スイッチ群 5 6 0 2 __ 1 ~ 5 6 0 2 __ M、第 1 の配線 5 6 1 1、第 2 の配線 5 6 1 2、第 3 の配線 5 6 1 3 及び配線 5 6 2 1 __ 1 ~ 5 6 2 1 __ M を有する。スイッチ群 5 6 0 2 __ 1 ~ 5 6 0 2 __ M それぞれは、第 1 の薄膜トランジスタ 5 6 0 3 a、第 2 の薄膜トランジスタ 5 6 0 3 b 及び第 3 の薄膜トランジスタ 5 6 0 3 c を有する。

【 0 1 6 9 】

ドライバ IC 5 6 0 1 は第 1 の配線 5 6 1 1、第 2 の配線 5 6 1 2、第 3 の配線 5 6 1 3 及び配線 5 6 2 1 __ 1 ~ 5 6 2 1 __ M に接続される。そして、スイッチ群 5 6 0 2 __ 1 ~ 5 6 0 2 __ M それぞれは、第 1 の配線 5 6 1 1、第 2 の配線 5 6 1 2、第 3 の配線 5 6 1 3 及びスイッチ群 5 6 0 2 __ 1 ~ 5 6 0 2 __ M それぞれに対応した配線 5 6 2 1 __ 1 ~ 5 6 2 1 __ M に接続される。そして、配線 5 6 2 1 __ 1 ~ 5 6 2 1 __ M それぞれは、第 1 の薄膜トランジスタ 5 6 0 3 a、第 2 の薄膜トランジスタ 5 6 0 3 b 及び第 3 の薄膜トランジスタ 5 6 0 3 c を介して、3 つの信号線に接続される。例えば、 J 列目の配線 5 6 2 1 __ J (配線 5 6 2 1 __ 1 ~ 配線 5 6 2 1 __ M のうちいずれかー)は、スイッチ群 5 6 0 2 __ J が有する第 1 の薄膜トランジスタ 5 6 0 3 a、第 2 の薄膜トランジスタ 5 6 0 3 b 及び第 3 の薄膜トランジスタ 5 6 0 3 c を介して、信号線 S_{j-1} 、信号線 S_j 、信号線 S_{j+1} に接続される。

20

【 0 1 7 0 】

なお、第 1 の配線 5 6 1 1、第 2 の配線 5 6 1 2、第 3 の配線 5 6 1 3 には、それぞれ信号が入力される。

30

【 0 1 7 1 】

なお、ドライバ IC 5 6 0 1 は、単結晶基板上に形成されていることが望ましい。さらに、スイッチ群 5 6 0 2 __ 1 ~ 5 6 0 2 __ M は、画素部と同一基板上に形成されていることが望ましい。したがって、ドライバ IC 5 6 0 1 とスイッチ群 5 6 0 2 __ 1 ~ 5 6 0 2 __ M とは FPC などを通して接続するとよい。

【 0 1 7 2 】

次に、図 1 4 に示した信号線駆動回路の動作について、図 1 5 のタイミングチャートを参照して説明する。なお、図 1 5 のタイミングチャートは、 i 行目の走査線 G_i が選択されている場合のタイミングチャートを示している。さらに、 i 行目の走査線 G_i の選択期間は、第 1 のサブ選択期間 T_1 、第 2 のサブ選択期間 T_2 及び第 3 のサブ選択期間 T_3 に分割されている。さらに、図 1 4 の信号線駆動回路は、他の行の走査線が選択されている場合でも図 1 5 と同様の動作をする。

40

【 0 1 7 3 】

なお、図 1 5 のタイミングチャートは、 J 列目の配線 5 6 2 1 __ J が第 1 の薄膜トランジスタ 5 6 0 3 a、第 2 の薄膜トランジスタ 5 6 0 3 b 及び第 3 の薄膜トランジスタ 5 6 0 3 c を介して、信号線 S_{j-1} 、信号線 S_j 、信号線 S_{j+1} に接続される場合について示している。

【 0 1 7 4 】

50

なお、図 15 のタイミングチャートは、 i 行目の走査線 G_i が選択されるタイミング、第 1 の薄膜トランジスタ 5603a のオン・オフのタイミング 5703a、第 2 の薄膜トランジスタ 5603b のオン・オフのタイミング 5703b、第 3 の薄膜トランジスタ 5603c のオン・オフのタイミング 5703c 及び J 列目の配線 5621__ J に入力される信号 5721__ J を示している。

【0175】

なお、配線 5621__1 ~ 配線 5621__ M には第 1 のサブ選択期間 T_1 、第 2 のサブ選択期間 T_2 及び第 3 のサブ選択期間 T_3 において、それぞれ別のビデオ信号が入力される。例えば、第 1 のサブ選択期間 T_1 において配線 5621__ J に入力されるビデオ信号は信号線 $S_j - 1$ に入力され、第 2 のサブ選択期間 T_2 において配線 5621__ J に入力されるビデオ信号は信号線 S_j に入力され、第 3 のサブ選択期間 T_3 において配線 5621__ J に入力されるビデオ信号は信号線 $S_j + 1$ に入力される。さらに、第 1 のサブ選択期間 T_1 、第 2 のサブ選択期間 T_2 及び第 3 のサブ選択期間 T_3 において、配線 5621__ J に入力されるビデオ信号をそれぞれ $Data_j - 1$ 、 $Data_j$ 、 $Data_j + 1$ とする。

【0176】

図 15 に示すように、第 1 のサブ選択期間 T_1 において第 1 の薄膜トランジスタ 5603a がオンし、第 2 の薄膜トランジスタ 5603b 及び第 3 の薄膜トランジスタ 5603c がオフする。このとき、配線 5621__ J に入力される $Data_j - 1$ が、第 1 の薄膜トランジスタ 5603a を介して信号線 $S_j - 1$ に入力される。第 2 のサブ選択期間 T_2 では、第 2 の薄膜トランジスタ 5603b がオンし、第 1 の薄膜トランジスタ 5603a 及び第 3 の薄膜トランジスタ 5603c がオフする。このとき、配線 5621__ J に入力される $Data_j$ が、第 2 の薄膜トランジスタ 5603b を介して信号線 S_j に入力される。第 3 のサブ選択期間 T_3 では、第 3 の薄膜トランジスタ 5603c がオンし、第 1 の薄膜トランジスタ 5603a 及び第 2 の薄膜トランジスタ 5603b がオフする。このとき、配線 5621__ J に入力される $Data_j + 1$ が、第 3 の薄膜トランジスタ 5603c を介して信号線 $S_j + 1$ に入力される。

【0177】

以上のことから、図 14 の信号線駆動回路は、1 ゲート選択期間を 3 つに分割することで、1 ゲート選択期間中に 1 つの配線 5621 から 3 つの信号線にビデオ信号を入力することができる。したがって、図 14 の信号線駆動回路は、ドライバ IC 5601 が形成される基板と、画素部が形成されている基板との接続数を信号線の数に比べて約 $1/3$ にすることができる。接続数が約 $1/3$ になることによって、図 14 の信号線駆動回路は、信頼性、歩留まりなどを向上できる。

【0178】

なお、図 14 のように、1 ゲート選択期間を複数のサブ選択期間に分割し、複数のサブ選択期間それぞれにおいて、ある 1 つの配線から複数の信号線それぞれにビデオ信号を入力することができれば、薄膜トランジスタの配置や数、駆動方法などは限定されない。

【0179】

例えば、3 つ以上のサブ選択期間それぞれにおいて 1 つの配線から 3 つ以上の信号線それぞれにビデオ信号を入力する場合は、薄膜トランジスタ及び薄膜トランジスタを制御するための配線を追加すればよい。ただし、1 ゲート選択期間を 4 つ以上のサブ選択期間に分割すると、1 つのサブ選択期間が短くなる。したがって、1 ゲート選択期間は、2 つ又は 3 つのサブ選択期間に分割されることが望ましい。

【0180】

別の例として、図 16 のタイミングチャートに示すように、1 つの選択期間をプリチャージ期間 T_p 、第 1 のサブ選択期間 T_1 、第 2 のサブ選択期間 T_2 、第 3 のサブ選択期間 T_3 に分割してもよい。さらに、図 16 のタイミングチャートは、 i 行目の走査線 G_i が選択されるタイミング、第 1 の薄膜トランジスタ 5603a のオン・オフのタイミング 5803a、第 2 の薄膜トランジスタ 5603b のオン・オフのタイミング 5803b、第 3

10

20

30

40

50

の薄膜トランジスタ 5 6 0 3 c のオン・オフのタイミング 5 8 0 3 c 及び J 列目の配線 5 6 2 1 __ J に入力される信号 5 8 2 1 __ J を示している。図 1 6 に示すように、プリチャージ期間 T_p において第 1 の薄膜トランジスタ 5 6 0 3 a、第 2 の薄膜トランジスタ 5 6 0 3 b 及び第 3 の薄膜トランジスタ 5 6 0 3 c がオンする。このとき、配線 5 6 2 1 __ J に入力されるプリチャージ電圧 V_p が第 1 の薄膜トランジスタ 5 6 0 3 a、第 2 の薄膜トランジスタ 5 6 0 3 b 及び第 3 の薄膜トランジスタ 5 6 0 3 c を介してそれぞれ信号線 S_{j-1} 、信号線 S_j 、信号線 S_{j+1} に入力される。第 1 のサブ選択期間 T_1 において第 1 の薄膜トランジスタ 5 6 0 3 a がオンし、第 2 の薄膜トランジスタ 5 6 0 3 b 及び第 3 の薄膜トランジスタ 5 6 0 3 c がオフする。このとき、配線 5 6 2 1 __ J に入力される D_{ata_j-1} が、第 1 の薄膜トランジスタ 5 6 0 3 a を介して信号線 S_{j-1} に入力される。第 2 のサブ選択期間 T_2 では、第 2 の薄膜トランジスタ 5 6 0 3 b がオンし、第 1 の薄膜トランジスタ 5 6 0 3 a 及び第 3 の薄膜トランジスタ 5 6 0 3 c がオフする。このとき、配線 5 6 2 1 __ J に入力される D_{ata_j} が、第 2 の薄膜トランジスタ 5 6 0 3 b を介して信号線 S_j に入力される。第 3 のサブ選択期間 T_3 では、第 3 の薄膜トランジスタ 5 6 0 3 c がオンし、第 1 の薄膜トランジスタ 5 6 0 3 a 及び第 2 の薄膜トランジスタ 5 6 0 3 b がオフする。このとき、配線 5 6 2 1 __ J に入力される D_{ata_j+1} が、第 3 の薄膜トランジスタ 5 6 0 3 c を介して信号線 S_{j+1} に入力される。

【0181】

以上のことから、図 1 6 のタイミングチャートを適用した図 1 4 の信号線駆動回路は、サブ選択期間の前にプリチャージ選択期間を設けることによって、信号線をプリチャージできるため、画素へのビデオ信号の書き込みを高速に行うことができる。なお、図 1 6 において、図 1 5 と同様なものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0182】

また、走査線駆動回路の構成について説明する。走査線駆動回路は、シフトレジスタ、バッファを有している。また場合によってはレベルシフトを有していても良い。走査線駆動回路において、シフトレジスタにクロック信号 (CLK) 及びスタートパルス信号 (SP) が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1 ライン分の画素のトランジスタのゲート電極が接続されている。そして、1 ライン分の画素のトランジスタを一斉に ON にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0183】

走査線駆動回路の一部に用いるシフトレジスタの一形態について図 1 7 及び図 1 8 を用いて説明する。

【0184】

図 1 7 にシフトレジスタの回路構成を示す。図 1 7 に示すシフトレジスタは、複数のフリップフロップ (フリップフロップ 5 7 0 1 __ 1 ~ 5 7 0 1 __ n) で構成される。また、第 1 のクロック信号、第 2 のクロック信号、スタートパルス信号、リセット信号が入力されて動作する。

【0185】

図 1 7 のシフトレジスタの接続関係について説明する。図 1 7 のシフトレジスタは、 i 段目のフリップフロップ 5 7 0 1 __ i (フリップフロップ 5 7 0 1 __ 1 ~ 5 7 0 1 __ n のうちいずれか) は、図 1 8 に示した第 1 の配線 5 5 0 1 が第 7 の配線 5 7 1 7 __ $i-1$ に接続され、図 1 8 に示した第 2 の配線 5 5 0 2 が第 7 の配線 5 7 1 7 __ $i+1$ に接続され、図 1 8 に示した第 3 の配線 5 5 0 3 が第 7 の配線 5 7 1 7 __ i に接続され、図 1 8 に示した第 6 の配線 5 5 0 6 が第 5 の配線 5 7 1 5 に接続される。

【0186】

また、図 1 8 に示した第 4 の配線 5 5 0 4 が奇数段目のフリップフロップでは第 2 の配線 5 7 1 2 に接続され、偶数段目のフリップフロップでは第 3 の配線 5 7 1 3 に接続され、

図 18 に示した第 5 の配線 5505 が第 4 の配線 5714 に接続される。

【0187】

ただし、1 段目のフリップフロップ 5701__1 の図 18 に示す第 1 の配線 5501 は第 1 の配線 5711 に接続され、n 段目のフリップフロップ 5701__n の図 18 に示す第 2 の配線 5502 は第 6 の配線 5716 に接続される。

【0188】

なお、第 1 の配線 5711、第 2 の配線 5712、第 3 の配線 5713、第 6 の配線 5716 を、それぞれ第 1 の信号線、第 2 の信号線、第 3 の信号線、第 4 の信号線と呼んでもよい。さらに、第 4 の配線 5714、第 5 の配線 5715 を、それぞれ第 1 の電源線、第 2 の電源線と呼んでもよい。

10

【0189】

次に、図 17 に示すフリップフロップの詳細について、図 18 に示す。図 18 に示すフリップフロップは、第 1 の薄膜トランジスタ 5571、第 2 の薄膜トランジスタ 5572、第 3 の薄膜トランジスタ 5573、第 4 の薄膜トランジスタ 5574、第 5 の薄膜トランジスタ 5575、第 6 の薄膜トランジスタ 5576、第 7 の薄膜トランジスタ 5577 及び第 8 の薄膜トランジスタ 5578 を有する。なお、第 1 の薄膜トランジスタ 5571、第 2 の薄膜トランジスタ 5572、第 3 の薄膜トランジスタ 5573、第 4 の薄膜トランジスタ 5574、第 5 の薄膜トランジスタ 5575、第 6 の薄膜トランジスタ 5576、第 7 の薄膜トランジスタ 5577 及び第 8 の薄膜トランジスタ 5578 は、n チャネル型トランジスタであり、ゲート・ソース間電圧 (V_{gs}) がしきい値電圧 (V_{th}) を上回ったとき導通状態になるものとする。

20

【0190】

次に、図 18 に示すフリップフロップの接続構成について、以下に示す。

【0191】

第 1 の薄膜トランジスタ 5571 の第 1 の電極 (ソース電極またはドレイン電極の一方) が第 4 の配線 5504 に接続され、第 1 の薄膜トランジスタ 5571 の第 2 の電極 (ソース電極またはドレイン電極の他方) が第 3 の配線 5503 に接続される。

【0192】

第 2 の薄膜トランジスタ 5572 の第 1 の電極が第 6 の配線 5506 に接続され、第 2 の薄膜トランジスタ 5572 の第 2 の電極が第 3 の配線 5503 に接続される。

30

【0193】

第 3 の薄膜トランジスタ 5573 の第 1 の電極が第 5 の配線 5505 に接続され、第 3 の薄膜トランジスタ 5573 の第 2 の電極が第 2 の薄膜トランジスタ 5572 のゲート電極に接続され、第 3 の薄膜トランジスタ 5573 のゲート電極が第 5 の配線 5505 に接続される。

【0194】

第 4 の薄膜トランジスタ 5574 の第 1 の電極が第 6 の配線 5506 に接続され、第 4 の薄膜トランジスタ 5574 の第 2 の電極が第 2 の薄膜トランジスタ 5572 のゲート電極に接続され、第 4 の薄膜トランジスタ 5574 のゲート電極が第 1 の薄膜トランジスタ 5571 のゲート電極に接続される。

40

【0195】

第 5 の薄膜トランジスタ 5575 の第 1 の電極が第 5 の配線 5505 に接続され、第 5 の薄膜トランジスタ 5575 の第 2 の電極が第 1 の薄膜トランジスタ 5571 のゲート電極に接続され、第 5 の薄膜トランジスタ 5575 のゲート電極が第 1 の配線 5501 に接続される。

【0196】

第 6 の薄膜トランジスタ 5576 の第 1 の電極が第 6 の配線 5506 に接続され、第 6 の薄膜トランジスタ 5576 の第 2 の電極が第 1 の薄膜トランジスタ 5571 のゲート電極に接続され、第 6 の薄膜トランジスタ 5576 のゲート電極が第 2 の薄膜トランジスタ 5572 のゲート電極に接続される。

50

【 0 1 9 7 】

第7の薄膜トランジスタ5577の第1の電極が第6の配線5506に接続され、第7の薄膜トランジスタ5577の第2の電極が第1の薄膜トランジスタ5571のゲート電極に接続され、第7の薄膜トランジスタ5577のゲート電極が第2の配線5502に接続される。第8の薄膜トランジスタ5578の第1の電極が第6の配線5506に接続され、第8の薄膜トランジスタ5578の第2の電極が第2の薄膜トランジスタ5572のゲート電極に接続され、第8の薄膜トランジスタ5578のゲート電極が第1の配線5501に接続される。

【 0 1 9 8 】

なお、第1の薄膜トランジスタ5571のゲート電極、第4の薄膜トランジスタ5574のゲート電極、第5の薄膜トランジスタ5575の第2の電極、第6の薄膜トランジスタ5576の第2の電極及び第7の薄膜トランジスタ5577の第2の電極の接続箇所をノード5543とする。さらに、第2の薄膜トランジスタ5572のゲート電極、第3の薄膜トランジスタ5573の第2の電極、第4の薄膜トランジスタ5574の第2の電極、第6の薄膜トランジスタ5576のゲート電極及び第8の薄膜トランジスタ5578の第2の電極の接続箇所をノード5544とする。

【 0 1 9 9 】

なお、第1の配線5501、第2の配線5502、第3の配線5503及び第4の配線5504を、それぞれ第1の信号線、第2の信号線、第3の信号線、第4の信号線と呼んでもよい。さらに、第5の配線5505を第1の電源線、第6の配線5506を第2の電源線と呼んでもよい。

【 0 2 0 0 】

また、信号線駆動回路及び走査線駆動回路を実施の形態6に示すnチャネル型TFTのみで作製することも可能である。実施の形態6に示すnチャネル型TFTはトランジスタの移動度が大きいいため、駆動回路の駆動周波数を高くすることが可能となる。また、実施の形態6に示すnチャネル型TFTはインジウム、ガリウム、及び亜鉛を含む酸素欠乏酸化物半導体層であるソース領域又はドレイン領域により寄生容量が低減されるため、周波数特性（f特性と呼ばれる）が高い。例えば、実施の形態6に示すnチャネル型TFTを用いた走査線駆動回路は、高速に動作させることが出来るため、フレーム周波数を高くすること、または、黒画面挿入を実現することなども実現することが出来る。

【 0 2 0 1 】

さらに、走査線駆動回路のトランジスタのチャネル幅を大きくすることや、複数の走査線駆動回路を配置することなどによって、さらに高いフレーム周波数を実現することが出来る。複数の走査線駆動回路を配置する場合は、偶数行の走査線を駆動する為の走査線駆動回路を片側に配置し、奇数行の走査線を駆動するための走査線駆動回路をその反対側に配置することにより、フレーム周波数を高くすることを実現することが出来る。

【 0 2 0 2 】

また、本発明の半導体装置の一例であるアクティブマトリクス型発光表示装置を作製する場合、少なくとも一つの画素に複数の薄膜トランジスタを配置するため、走査線駆動回路を複数配置することが好ましい。アクティブマトリクス型発光表示装置のブロック図の一例を図13(B)に示す。

【 0 2 0 3 】

図13(B)に示す発光表示装置は、基板5400上に表示素子を備えた画素を複数有する画素部5401と、各画素を選択する第1の走査線駆動回路5402及び第2の走査線駆動回路5404と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路5403とを有する。

【 0 2 0 4 】

図13(B)に示す発光表示装置の画素に入力されるビデオ信号をデジタル形式とする場合、画素はトランジスタのオンとオフの切り替えによって、発光もしくは非発光の状態となる。よって、面積階調法または時間階調法を用いて階調の表示を行うことができる。面

10

20

30

40

50

積階調法は、1画素を複数の副画素に分割し、各副画素を独立にビデオ信号に基づいて駆動させることによって、階調表示を行う駆動法である。また時間階調法は、画素が発光する期間を制御することによって、階調表示を行う駆動法である。

【0205】

発光素子は、液晶素子などに比べて応答速度が高いため、液晶素子よりも時間階調法に適している。具体的に時間階調法で表示を行なう場合、1フレーム期間を複数のサブフレーム期間に分割する。そしてビデオ信号に従い、各サブフレーム期間において画素の発光素子を発光または非発光の状態にする。複数のサブフレーム期間に分割することによって、1フレーム期間中に画素が実際に発光する期間のトータルの長さを、ビデオ信号により制御することができ、階調を表示することができる。

10

【0206】

なお、図13(B)に示す発光表示装置では、一つの画素にスイッチング用TFTと、電流制御用TFTとの2つを配置する場合、スイッチング用TFTのゲート配線である第1の走査線に入力される信号を第1の走査線駆動回路5402で生成し、電流制御用TFTのゲート配線である第2の走査線に入力される信号を第2の走査線駆動回路5404で生成している例を示しているが、第1の走査線に入力される信号と、第2の走査線に入力される信号とを、共に1つの走査線駆動回路で生成するようにしても良い。また、例えば、スイッチング素子が有する各トランジスタの数によって、スイッチング素子の動作を制御するのに用いられる第1の走査線が、各画素に複数設けられることもあり得る。この場合、複数の第1の走査線に入力される信号を、全て1つの走査線駆動回路で生成しても良いし、複数の各走査線駆動回路で生成しても良い。

20

【0207】

また、発光表示装置においても、駆動回路のうち、nチャネル型TFTで構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成することができる。また、信号線駆動回路及び走査線駆動回路を実施の形態6又は実施の形態7に示すnチャネル型TFTのみで作製することも可能である。

【0208】

また、上述した駆動回路は、液晶表示装置や発光表示装置に限らず、スイッチング素子と電氣的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置（電気泳動ディスプレイ）も呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

30

【0209】

電気泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子を含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの（無色を含む）とする。

40

【0210】

このように、電気泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動の効果を利用したディスプレイである。電気泳動ディスプレイは、液晶表示装置には必要な偏光板、対向基板も電気泳動表示装置には必要なく、厚さや重さが半減する。

【0211】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【0212】

50

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態6又は実施の形態7の薄膜トランジスタによって得られるアクティブマトリクス基板を用いることができる。

【0213】

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

【0214】

以上の工程により、半導体装置として信頼性の高い表示装置を作製することができる。

【0215】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0216】

(実施の形態9)

本発明の一形態の薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置(表示装置ともいう)を作製することができる。また、本発明の一形態の薄膜トランジスタを駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

【0217】

表示装置は表示素子を含む。表示素子としては液晶素子(液晶表示素子ともいう)、発光素子(発光表示素子ともいう)を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機EL(Electro Luminescence)素子、有機EL素子等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

【0218】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに本発明の一形態は、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【0219】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源(照明装置含む)を指す。また、コネクタ、例えばFPC(Flexible printed circuit)もしくはTAB(Tape Automated Bonding)テープもしくはTCP(Tape Carrier Package)が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG(Chip On Glass)方式によりIC(集積回路)が直接実装されたモジュールも全て表示装置に含むものとする。

【0220】

本実施の形態では、本発明の半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図21を用いて説明する。図21(A1)(A2)は、第1の基板4001上に形成された実施の形態6で示したチャネル形成領域として酸素過剰酸化物半導体層、並びにソース領域及びドレイン領域として酸素欠乏酸化物半導体層を含む信頼性の高い薄膜トランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの上面図であり、図21(B)は、図2

10

20

30

40

50

1 (A 1) (A 2) の M - N における断面図に相当する。

【 0 2 2 1 】

第 1 の基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、走査線駆動回路 4 0 0 4 とを囲むようにして、シール材 4 0 0 5 が設けられている。また画素部 4 0 0 2 と、走査線駆動回路 4 0 0 4 の上に第 2 の基板 4 0 0 6 が設けられている。よって画素部 4 0 0 2 と、走査線駆動回路 4 0 0 4 とは、第 1 の基板 4 0 0 1 とシール材 4 0 0 5 と第 2 の基板 4 0 0 6 とによって、液晶層 4 0 0 8 と共に封止されている。また第 1 の基板 4 0 0 1 上のシール材 4 0 0 5 によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路 4 0 0 3 が実装されている。

【 0 2 2 2 】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG 方法、ワイヤボンディング方法、或いはTAB 方法などを用いることができる。図 2 1 (A 1) は、COG 方法により信号線駆動回路 4 0 0 3 を実装する例であり、図 2 1 (A 2) は、TAB 方法により信号線駆動回路 4 0 0 3 を実装する例である。

【 0 2 2 3 】

また第 1 の基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、走査線駆動回路 4 0 0 4 は、薄膜トランジスタを複数有しており、図 2 1 (B) では、画素部 4 0 0 2 に含まれる薄膜トランジスタ 4 0 1 0 と、走査線駆動回路 4 0 0 4 に含まれる薄膜トランジスタ 4 0 1 1 とを例示している。薄膜トランジスタ 4 0 1 0、4 0 1 1 上には絶縁層 4 0 2 0、4 0 2 1 が設けられている。

【 0 2 2 4 】

薄膜トランジスタ 4 0 1 0、4 0 1 1 は、チャネル形成領域として酸素過剰酸化物半導体層、並びにソース領域及びドレイン領域として酸素欠乏酸化物半導体層を含む信頼性の高い実施の形態 6 に示す薄膜トランジスタを適用することができる。また実施の形態 7 に示す薄膜トランジスタを適用してもよい。本実施の形態において、薄膜トランジスタ 4 0 1 0、4 0 1 1 は n チャネル型薄膜トランジスタである。

【 0 2 2 5 】

また、液晶素子 4 0 1 3 が有する画素電極層 4 0 3 0 は、薄膜トランジスタ 4 0 1 0 と電氣的に接続されている。そして液晶素子 4 0 1 3 の対向電極層 4 0 3 1 は第 2 の基板 4 0 0 6 上に形成されている。画素電極層 4 0 3 0 と対向電極層 4 0 3 1 と液晶層 4 0 0 8 とが重なっている部分が、液晶素子 4 0 1 3 に相当する。なお、画素電極層 4 0 3 0、対向電極層 4 0 3 1 はそれぞれ配向膜として機能する絶縁層 4 0 3 2、4 0 3 3 が設けられ、絶縁層 4 0 3 2、4 0 3 3 を介して液晶層 4 0 0 8 を挟持している。

【 0 2 2 6 】

なお、第 1 の基板 4 0 0 1、第 2 の基板 4 0 0 6 としては、ガラス、金属（代表的にはステンレス）、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP (Fiber glass - Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルを PVF フィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

【 0 2 2 7 】

また 4 0 3 5 は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層 4 0 3 0 と対向電極層 4 0 3 1 との間の距離（セルギャップ）を制御するために設けられている。なお球状のスペーサを用いても良い。また、対向電極層 4 0 3 1 は、薄膜トランジスタ 4 0 1 0 と同一基板上に設けられる共通電位線と電氣的に接続される。実施の形態 1 乃至 3 に示すいずれか一の共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層 4 0 3 1 と共通電位線が電氣的に接続される。なお、導電性粒子はシール材 4 0 0 5 に含有させる。

【 0 2 2 8 】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つで

10

20

30

40

50

あり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が $10\mu s \sim 100\mu s$ と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

【0229】

なお本実施の形態は透過型液晶表示装置の例であるが、本発明の一形態は反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

【0230】

また、本実施の形態の液晶表示装置では、基板の外側（視認側）に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮光膜を設けてもよい。

【0231】

また、本実施の形態では、薄膜トランジスタの表面凹凸を低減するため、及び薄膜トランジスタの信頼性を向上させるため、実施の形態6で得られた薄膜トランジスタを保護膜や平坦化絶縁膜として機能する絶縁層（絶縁層4020、絶縁層4021）で覆う構成となっている。なお、保護膜は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。保護膜は、スパッタ法を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、又は窒化酸化アルミニウム膜の単層、又は積層で形成すればよい。本実施の形態では保護膜をスパッタ法で形成する例を示すが、特に限定されず種々の方法で形成すればよい。

【0232】

ここでは、保護膜として積層構造の絶縁層4020を形成する。ここでは、絶縁層4020の一層目として、スパッタ法を用いて酸化珪素膜を形成する。保護膜として酸化珪素膜を用いると、ソース電極層及びドレイン電極層として用いるアルミニウム膜のヒロック防止に効果がある。

【0233】

また、保護膜の二層目として絶縁層を形成する。ここでは、ここでは、絶縁層4020の二層目として、スパッタ法を用いて窒化珪素膜を形成する。保護膜として窒化珪素膜を用いると、ナトリウム等の可動イオンが半導体領域中に侵入して、TFTの電気特性を変化させることを抑制することができる。

【0234】

また、保護膜を形成した後に、IGZO半導体層のアニール（300～400）を行ってもよい。

【0235】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル、ポリイミド、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。シロキサン系樹脂は、置換基に水素の他、フッ素、アルキル基、またはアリール基のうち少なくとも1種を有していてもよい。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

【0236】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は、置換基に水素の他、フッ素、アルキル基、または芳香族炭化水素のうち、少なくとも1種を有していてもよい。

【0237】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層4021を材料液を用いて形成する場合、ベークする工程で同時に、IGZO半導体層のアニール（300～400）を行ってもよい。絶縁層4021の焼成工程とIGZO半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

【0238】

画素電極層4030、対向電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

10

【0239】

また、画素電極層4030、対向電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が $10000\Omega/\square$ 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が $0.1\Omega\cdot\text{cm}$ 以下であることが好ましい。

20

【0240】

導電性高分子としては、いわゆる π 電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0241】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0242】

本実施の形態では、接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、端子電極4016は、薄膜トランジスタ4010、4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

30

【0243】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0244】

また図21においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0245】

図22は、本発明を適用して作製されるTFT基板2600を用いて半導体装置として液晶表示モジュールを構成する一例を示している。

40

【0246】

図22は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間にTFT等を含む画素部2603、液晶層を含む表示素子2604、着色層2605が設けられ表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配

50

線基板 2609 により TFT 基板 2600 の配線回路部 2608 と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

【0247】

液晶表示モジュールには、TN (Twisted Nematic) モード、IPS (In - Plane - Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi - domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment)、ASM (Axially Symmetric aligned Micro - cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) などを用いることができる。

10

【0248】

以上の工程により、半導体装置として信頼性の高い液晶表示パネルを作製することができる。

【0249】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0250】

20

(実施の形態 10)

本実施の形態では、本発明の一形態の半導体装置として電子ペーパーの例を示す。

【0251】

図 12 は、本発明を適用した半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられる薄膜トランジスタ 581 としては、実施の形態 6 で示す薄膜トランジスタと同様に作製でき、チャネル形成領域として酸素過剰酸化物半導体層、並びにソース領域及びドレイン領域として酸素欠乏酸化物半導体層を含む信頼性の高い薄膜トランジスタである。また、実施の形態 7 で示す薄膜トランジスタも本実施の薄膜トランジスタ 581 として適用することもできる。

【0252】

30

図 12 の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第 1 の電極層及び第 2 の電極層の間に配置し、第 1 の電極層及び第 2 の電極層に電位差を生じさせて球形粒子の向きを制御することにより、表示を行う方法である。

【0253】

基板 580 と基板 596 との間に封止される薄膜トランジスタ 581 はボトムゲート構造の薄膜トランジスタであり、ソース電極層又はドレイン電極層によって第 1 の電極層 587 と、絶縁層 585 に形成する開口で接しており電氣的に接続している。第 1 の電極層 587 と第 2 の電極層 588 との間には黒色領域 590a 及び白色領域 590b を有し、周りに液体で満たされているキャビティ 594 を含む球形粒子 589 が設けられており、球形粒子 589 の周囲は樹脂等の充填材 595 で充填されている (図 12 参照。)。本実施の形態においては、第 1 の電極層 587 が画素電極に相当し、第 2 の電極層 588 が共通電極に相当する。第 2 の電極層 588 は、薄膜トランジスタ 581 と同一基板上に設けられる共通電位線と電氣的に接続される。実施の形態 1 乃至 3 に示すいずれか一の共通接続部を用いて、一対の基板間に配置される導電性粒子を介して第 2 の電極層 588 と共通電位線が電氣的に接続される。

40

【0254】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径 10 μm ~ 20 μm 程度のマイクロカプセルを用いる。第 1 の電極層と第 2 の電極層との間に設けられ

50

るマイクロカプセルは、第 1 の電極層と第 2 の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、又は表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

【 0 2 5 5 】

10

以上の工程により、半導体装置として信頼性の高い電子ペーパーを作製することができる。

【 0 2 5 6 】

本実施の形態は、実施の形態 1 乃至 5 のいずれか一に記載した共通接続部に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 2 5 7 】

（実施の形態 1 1）

本実施の形態では、本発明の一形態の半導体装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機 EL 素子、後者は無機 EL 素子と呼ばれている。

20

【 0 2 5 8 】

有機 EL 素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【 0 2 5 9 】

無機 EL 素子は、その素子構成により、分散型無機 EL 素子と薄膜型無機 EL 素子とに分類される。分散型無機 EL 素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー - アクセプター再結合型発光である。薄膜型無機 EL 素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機 EL 素子を用いて説明する。

30

【 0 2 6 0 】

図 1 9 は、本発明を適用した半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【 0 2 6 1 】

40

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体層（IGZO 半導体層）をチャネル形成領域に用いる n チャネル型のトランジスタを 1 つの画素に 2 つ用いる例を示す。

【 0 2 6 2 】

画素 6 4 0 0 は、スイッチング用トランジスタ 6 4 0 1、駆動用トランジスタ 6 4 0 2、発光素子 6 4 0 4 及び容量素子 6 4 0 3 を有している。スイッチング用トランジスタ 6 4 0 1 はゲートが走査線 6 4 0 6 に接続され、第 1 電極（ソース電極及びドレイン電極の一方）が信号線 6 4 0 5 に接続され、第 2 電極（ソース電極及びドレイン電極の他方）が駆動用トランジスタ 6 4 0 2 のゲートに接続されている。駆動用トランジスタ 6 4 0 2 は、ゲートが容量素子 6 4 0 3 を介して電源線 6 4 0 7 に接続され、第 1 電極が電源線 6 4 0

50

7に接続され、第2電極が発光素子6404の第1電極(画素電極)に接続されている。発光素子6404の第2電極は共通電極6408に相当する。共通電極6408は、同一基板上に形成される共通電位線と電氣的に接続され、その接続部分を共通接続部として、図1(A)、図2(A)、或いは図3(A)に示す構造とすればよい。

【0263】

なお、発光素子6404の第2電極(共通電極6408)には低電源電位が設定されている。なお、低電源電位とは、電源線6407に設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子6404に印加して、発光素子6404に電流を流して発光素子6404を発光させるため、高電源電位と低電源電位との電位差が発光素子6404の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

10

【0264】

なお、容量素子6403は駆動用トランジスタ6402のゲート容量を代用して省略することも可能である。駆動用トランジスタ6402のゲート容量については、チャネル領域とゲート電極との間で容量が形成されていてもよい。

【0265】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ6402のゲートには、駆動用トランジスタ6402が十分にオンするか、オフするかとの二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ6402は線形領域で動作させる。駆動用トランジスタ6402は線形領域で動作させるため、電源線6407の電圧よりも高い電圧を駆動用トランジスタ6402のゲートにかける。なお、信号線6405には、(電源線電圧+駆動用トランジスタ6402の V_{th})以上の電圧をかける。

20

【0266】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図19と同じ画素構成を用いることができる。

【0267】

アナログ階調駆動を行う場合、駆動用トランジスタ6402のゲートに発光素子6404の順方向電圧+駆動用トランジスタ6402の V_{th} 以上の電圧をかける。発光素子6404の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、駆動用トランジスタ6402が飽和領域で動作するようなビデオ信号を入力することで、発光素子6404に電流を流すことができる。駆動用トランジスタ6402を飽和領域で動作させるため、電源線6407の電位は、駆動用トランジスタ6402のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子6404にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

30

【0268】

なお、図19に示す画素構成は、これに限定されない。例えば、図19に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

【0269】

次に、発光素子の構成について、図20を用いて説明する。ここでは、駆動用TFTがn型の場合を例に挙げて、画素の断面構造について説明する。図20(A)(B)(C)の半導体装置に用いられる駆動用TFTであるTFT7001、7011、7021は、実施の形態6で示す薄膜トランジスタと同様に作製でき、チャネル形成領域として酸素過剰酸化物半導体層、並びにソース領域及びドレイン領域として酸素欠乏酸化物半導体層を含む信頼性の高い薄膜トランジスタである。また、実施の形態7で示す薄膜トランジスタをTFT7001、7011、7021として適用することもできる。

40

【0270】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対

50

側の面から発光を取り出す両面射出構造の発光素子があり、本発明の一形態の画素構成はどの射出構造の発光素子にも適用することができる。

【0271】

上面射出構造の発光素子について図20(A)を用いて説明する。

【0272】

図20(A)に、駆動用TFTであるTFT7001がn型で、発光素子7002から発せられる光が陽極7005側に抜ける場合の、画素の断面図を示す。図20(A)では、発光素子7002の陰極7003と駆動用TFTであるTFT7001が電氣的に接続されており、陰極7003上に発光層7004、陽極7005が順に積層されている。陰極7003は仕事関数が小さく、なおかつ光を反射する導電膜であれば様々の材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi等が望ましい。そして発光層7004は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いても良い。

【0273】

陰極7003及び陽極7005で発光層7004を挟んでいる領域が発光素子7002に相当する。図20(A)に示した画素の場合、発光素子7002から発せられる光は、矢印で示すように陽極7005側に射出する。

【0274】

次に、下面射出構造の発光素子について図20(B)を用いて説明する。駆動用TFT7011がn型で、発光素子7012から発せられる光が陰極7013側に射出する場合の、画素の断面図を示す。図20(B)では、駆動用TFT7011と電氣的に接続された透光性を有する導電膜7017上に、発光素子7012の陰極7013が成膜されており、陰極7013上に発光層7014、陽極7015が順に積層されている。なお、陽極7015が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜7016が成膜されていてもよい。陰極7013は、図20(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度(好ましくは、5nm~30nm程度)とする。例えば20nmの膜厚を有するアルミニウム膜を、陰極7013として用いることができる。そして発光層7014は、図20(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7015は光を透過する必要はないが、図20(A)と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜7016は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料を添加した樹脂等を用いることもできる。

【0275】

陰極7013及び陽極7015で、発光層7014を挟んでいる領域が発光素子7012に相当する。図20(B)に示した画素の場合、発光素子7012から発せられる光は、矢印で示すように陰極7013側に射出する。

【0276】

次に、両面射出構造の発光素子について、図20(C)を用いて説明する。図20(C)では、駆動用TFT7021と電氣的に接続された透光性を有する導電膜7027上に、発光素子7022の陰極7023が成膜されており、陰極7023上に発光層7024、陽極7025が順に積層されている。陰極7023は、図20(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば20nmの膜厚を有するAlを、陰極7023として

用いることができる。そして発光層 7024 は、図 20 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7025 は、図 20 (A) と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

【0277】

陰極 7023 と、発光層 7024 と、陽極 7025 とが重なっている部分が発光素子 7022 に相当する。図 20 (C) に示した画素の場合、発光素子 7022 から発せられる光は、矢印で示すように陽極 7025 側と陰極 7023 側の両方に射出する。

【0278】

なお、ここでは、発光素子として有機 EL 素子について述べたが、発光素子として無機 EL 素子を設けることも可能である。

10

【0279】

なお本実施の形態では、発光素子の駆動を制御する薄膜トランジスタ (駆動用 TFT) と発光素子が電氣的に接続されている例を示したが、駆動用 TFT と発光素子との間に電流制御用 TFT が接続されている構成であってもよい。

【0280】

なお本実施の形態で示す半導体装置は、図 20 に示した構成に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

【0281】

次に、本発明の半導体装置の一形態に相当する発光表示パネル (発光パネルともいう) の外観及び断面について、図 23 を用いて説明する。図 23 は、第 1 の基板上に形成された薄膜トランジスタ及び発光素子を、第 2 の基板との間にシール材によって封止した、パネルの上面図であり、図 23 (B) は、図 23 (A) の H - I における断面図に相当する。

20

【0282】

第 1 の基板 4501 上に設けられた画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b を囲むようにして、シール材 4505 が設けられている。また画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b の上に第 2 の基板 4506 が設けられている。よって画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b は、第 1 の基板 4501 とシール材 4505 と第 2 の基板 4506 とによって、充填材 4507 と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム (貼り合わせフィルム、紫外線硬化樹脂フィルム等) やカバー材でパッケージング (封入) することが好ましい。

30

【0283】

また第 1 の基板 4501 上に設けられた画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b は、薄膜トランジスタを複数有しており、図 23 (B) では、画素部 4502 に含まれる薄膜トランジスタ 4510 と、信号線駆動回路 4503a に含まれる薄膜トランジスタ 4509 とを例示している。

【0284】

薄膜トランジスタ 4509、4510 は、チャネル形成領域として酸素過剰酸化物半導体層、並びにソース領域及びドレイン領域として酸素欠乏酸化物半導体層を含む信頼性の高い実施の形態 6 に示す薄膜トランジスタを適用することができる。また実施の形態 7 に示す薄膜トランジスタを適用してもよい。本実施の形態において、薄膜トランジスタ 4509、4510 は n チャネル型薄膜トランジスタである。

40

【0285】

また 4511 は発光素子に相当し、発光素子 4511 が有する画素電極である第 1 の電極層 4517 は、薄膜トランジスタ 4510 のソース電極層またはドレイン電極層と電氣的に接続されている。なお発光素子 4511 の構成は、第 1 の電極層 4517、電界発光層 4512、第 2 の電極層 4513 の積層構造であるが、本実施の形態に示した構成に限定されない。発光素子 4511 から取り出す光の方向などに合わせて、発光素子 4511 の

50

構成は適宜変えることができる。

【0286】

隔壁4520は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第1の電極層4517上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0287】

電界発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0288】

発光素子4511に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4513及び隔壁4520上に保護膜を形成してもよい。保護膜としては、窒化珪素膜、窒化酸化珪素膜、DLC膜等を形成することができる。

10

【0289】

また、信号線駆動回路4503a、4503b、走査線駆動回路4504a、4504b、または画素部4502に与えられる各種信号及び電位は、FPC4518a、4518bから供給されている。

【0290】

本実施の形態では、接続端子電極4515が、発光素子4511が有する第1の電極層4517と同じ導電膜から形成され、端子電極4516は、薄膜トランジスタ4509、4510が有するソース電極層及びドレイン電極層と同じ導電膜から形成されている。

20

【0291】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電氣的に接続されている。

【0292】

発光素子4511からの光の取り出し方向に位置する第2の基板4506は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0293】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施の形態は充填材として窒素を用いた。

30

【0294】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0295】

信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、本実施の形態は図23の構成に限定されない。

40

【0296】

以上の工程により、半導体装置として信頼性の高い発光表示装置（表示パネル）を作製することができる。

【0297】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

50

【 0 2 9 8 】

(実施の形態 1 2)

本発明の一形態の半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図 2 4、図 2 5 に示す。

【 0 2 9 9 】

図 2 4 (A) は、電子ペーパーで作られたポスター 2 6 3 1 を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、本発明を適用した電子ペーパーを用いれば短時間で広告の表示を変えることができる。また、表示も崩れることなく安定した画像が得られる。なお、ポスターは無線で情報を送受信できる構成としてもよい。

10

【 0 3 0 0 】

また、図 2 4 (B) は、電車などの乗り物の車内広告 2 6 3 2 を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、本発明を適用した電子ペーパーを用いれば人手を多くかけることなく短時間で広告の表示を変えることができる。また表示も崩れることなく安定した画像が得られる。なお、車内広告は無線で情報を送受信できる構成としてもよい。

【 0 3 0 1 】

20

また、図 2 5 は、電子書籍 2 7 0 0 の一例を示している。例えば、電子書籍 2 7 0 0 は、筐体 2 7 0 1 および筐体 2 7 0 3 の 2 つの筐体で構成されている。筐体 2 7 0 1 および筐体 2 7 0 3 は、軸部 2 7 1 1 により一体とされており、該軸部 2 7 1 1 を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【 0 3 0 2 】

筐体 2 7 0 1 には表示部 2 7 0 5 が組み込まれ、筐体 2 7 0 3 には表示部 2 7 0 7 が組み込まれている。表示部 2 7 0 5 および表示部 2 7 0 7 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図 2 5 では表示部 2 7 0 5 ）に文章を表示し、左側の表示部（図 2 5 では表示部 2 7 0 7 ）に画像を表示することができる。

30

【 0 3 0 3 】

また、図 2 5 では、筐体 2 7 0 1 に操作部などを備えた例を示している。例えば、筐体 2 7 0 1 において、電源 2 7 2 1、操作キー 2 7 2 3、スピーカ 2 7 2 5などを備えている。操作キー 2 7 2 3 により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB 端子、または AC アダプタおよび USB ケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2 7 0 0 は、電子辞書としての機能を持たせた構成としてもよい。

40

【 0 3 0 4 】

また、電子書籍 2 7 0 0 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【 0 3 0 5 】

(実施の形態 1 3)

本発明に係る半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム

50

機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

【0306】

図26(A)は、テレビジョン装置9600の一例を示している。テレビジョン装置9600は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することが可能である。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。

【0307】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機9610により行うことができる。リモコン操作機9610が備える操作キー9609により、チャンネルや音量の操作を行うことができ、表示部9603に表示される映像を操作することができる。また、リモコン操作機9610に、当該リモコン操作機9610から出力する情報を表示する表示部9607を設ける構成としてもよい。

10

【0308】

なお、テレビジョン装置9600は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【0309】

図26(B)は、デジタルフォトフレーム9700の一例を示している。例えば、デジタルフォトフレーム9700は、筐体9701に表示部9703が組み込まれている。表示部9703は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

20

【0310】

なお、デジタルフォトフレーム9700は、操作部、外部接続用端子（USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部9703に表示させることができる。

【0311】

また、デジタルフォトフレーム9700は、無線で情報を送受信出来る構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

30

【0312】

図27(A)は携帯型遊技機であり、筐体9881と筐体9891の2つの筐体で構成されており、連結部9893により、開閉可能に連結されている。筐体9881には表示部9882が組み込まれ、筐体9891には表示部9883が組み込まれている。また、図27(A)に示す携帯型遊技機は、その他、スピーカ部9884、記録媒体挿入部9886、LEDランプ9890、入力手段（操作キー9885、接続端子9887、センサ9888（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、にৌい又は赤外線を測定する機能を含むもの）、マイクロフォン9889）等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本発明に係る半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図27(A)に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図27(A)に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

40

【0313】

図27(B)は大型遊技機であるスロットマシン9900の一例を示している。スロットマシン9900は、筐体9901に表示部9903が組み込まれている。また、スロット

50

マシン 9900 は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン 9900 の構成は上述のものに限定されず、少なくとも本発明に係る半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

【0314】

図 28 は、携帯電話機 1000 の一例を示している。携帯電話機 1000 は、筐体 1001 に組み込まれた表示部 1002 の他、操作ボタン 1003、外部接続ポート 1004、スピーカ 1005、マイク 1006などを備えている。

【0315】

図 28 に示す携帯電話機 1000 は、表示部 1002 を指などで触れることで、情報を入力することができる。また、電話を掛ける、或いはメールを打つなどの操作は、表示部 1002 を指などで触れることにより行うことができる。

10

【0316】

表示部 1002 の画面は主として 3 つのモードがある。第 1 は、画像の表示を主とする表示モードであり、第 2 は、文字等の情報の入力を主とする入力モードである。第 3 は表示モードと入力モードの 2 つのモードが混合した表示 + 入力モードである。

【0317】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部 1002 を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部 1002 の画面のほとんどにキーボードまたは番号ボタンを表示させることが好ましい。

20

【0318】

また、携帯電話機 1000 内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機 1000 の向き（縦か横か）を判断して、表示部 1002 の画面表示を自動的に切り替えるようにすることができる。

【0319】

また、画面モードの切り替えは、表示部 1002 を触れること、又は筐体 1001 の操作ボタン 1003 の操作により行われる。また、表示部 1002 に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

30

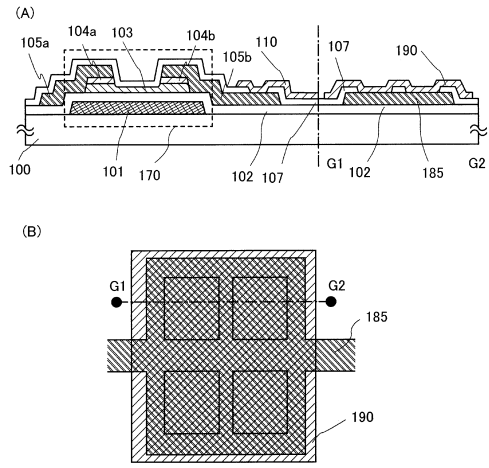
【0320】

また、入力モードにおいて、表示部 1002 の光センサで検出される信号を検知し、表示部 1002 のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

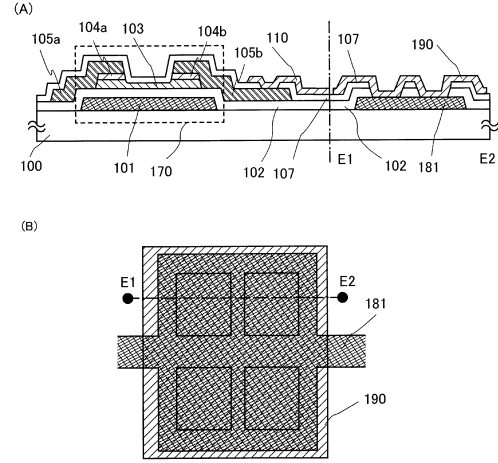
【0321】

表示部 1002 は、イメージセンサとして機能させることもできる。例えば、表示部 1002 に掌や指を触れることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

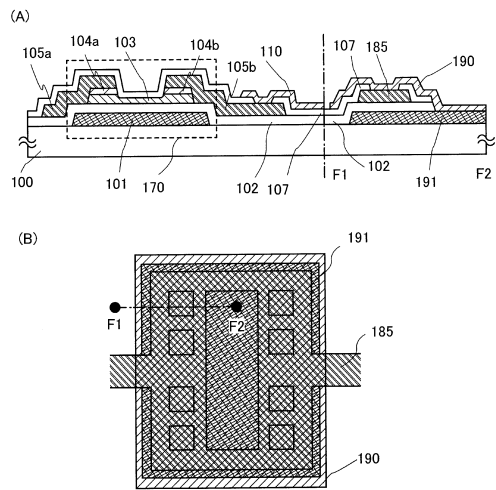
【図 1】



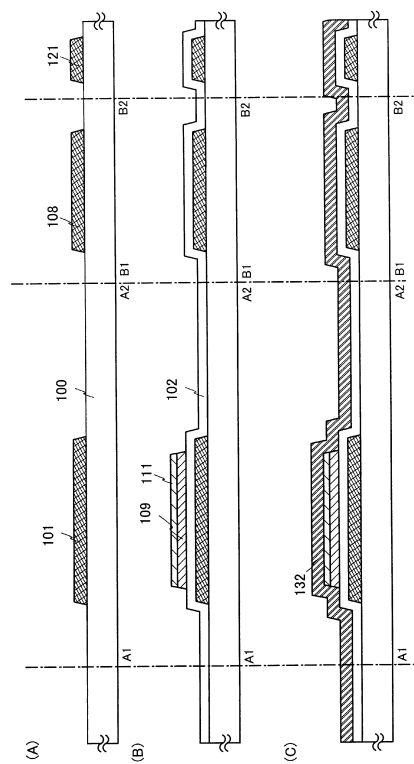
【図 2】



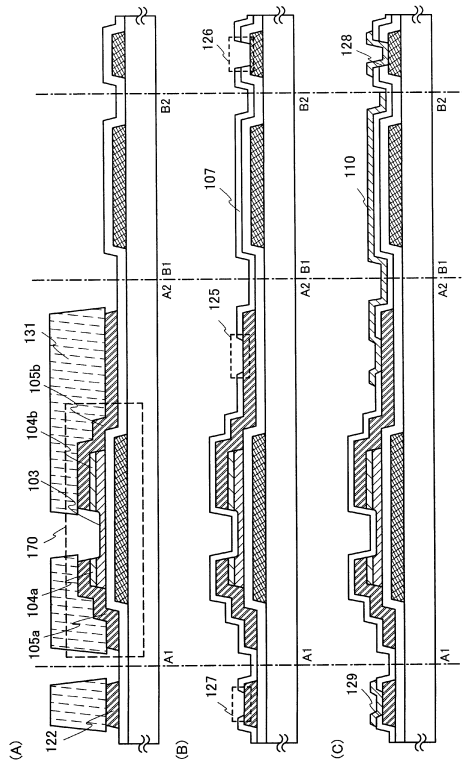
【図 3】



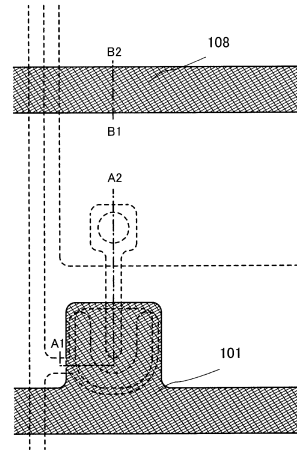
【図 4】



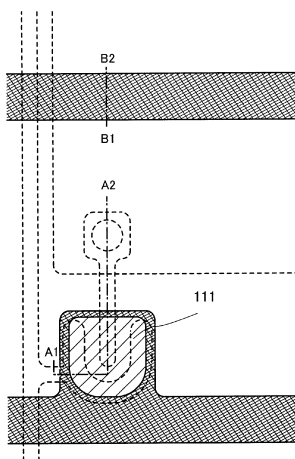
【図 5】



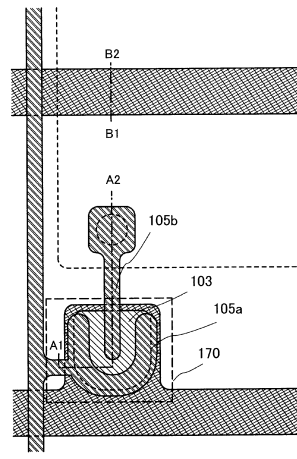
【図 6】



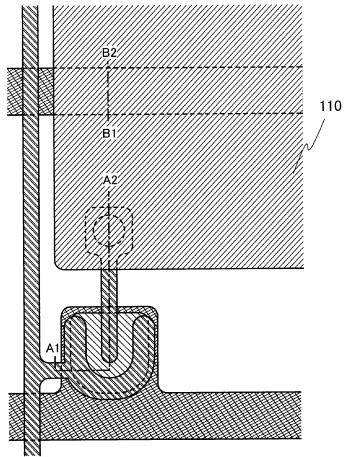
【図 7】



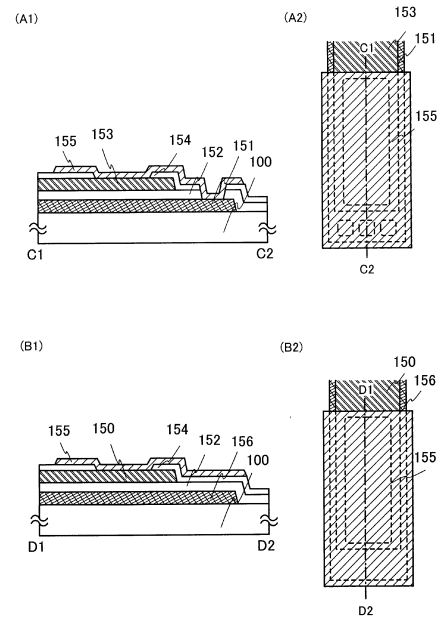
【図 8】



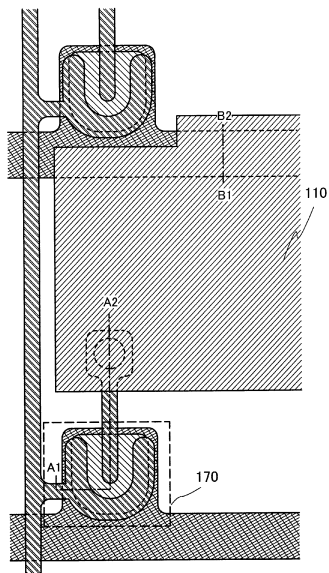
【図 9】



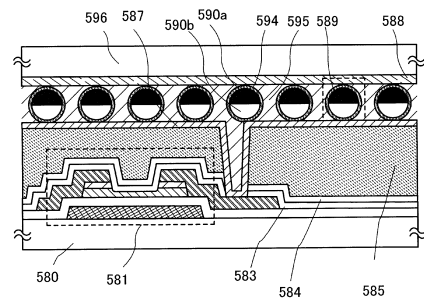
【図 10】



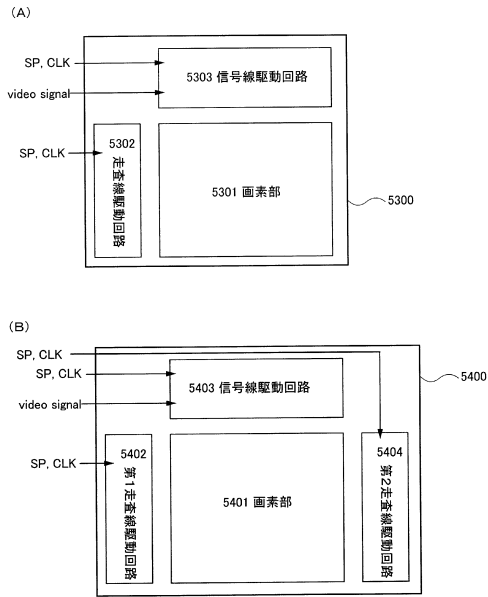
【図 11】



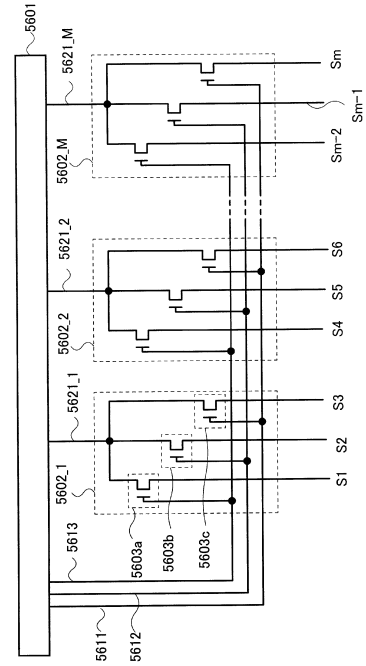
【図 12】



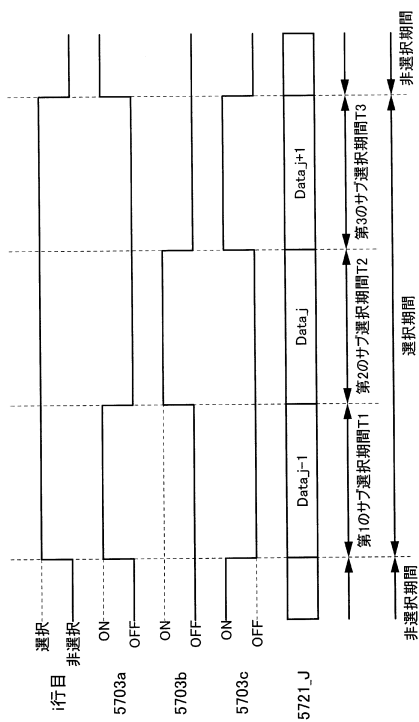
【図 13】



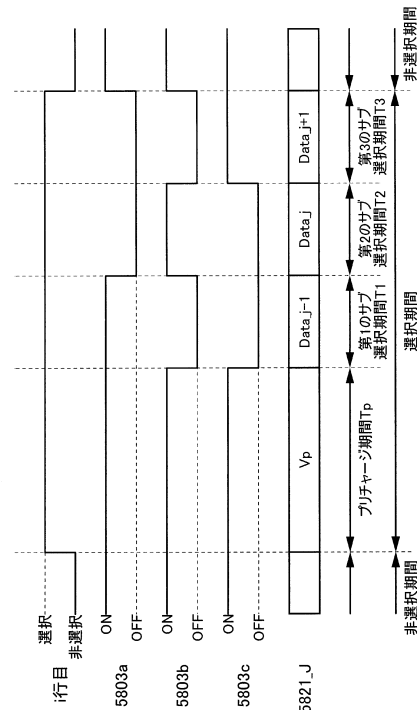
【図 14】



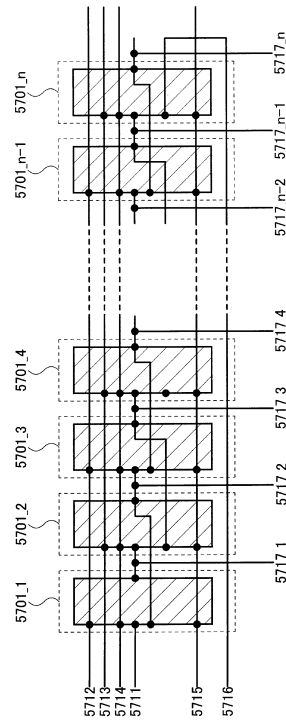
【図 15】



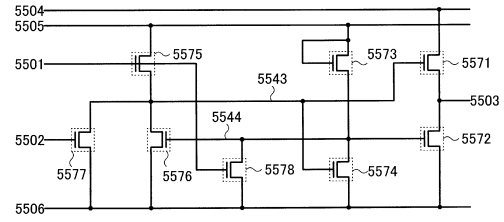
【図 16】



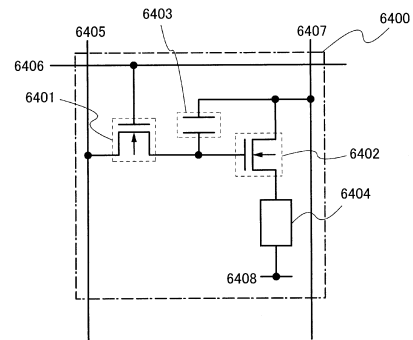
【図 17】



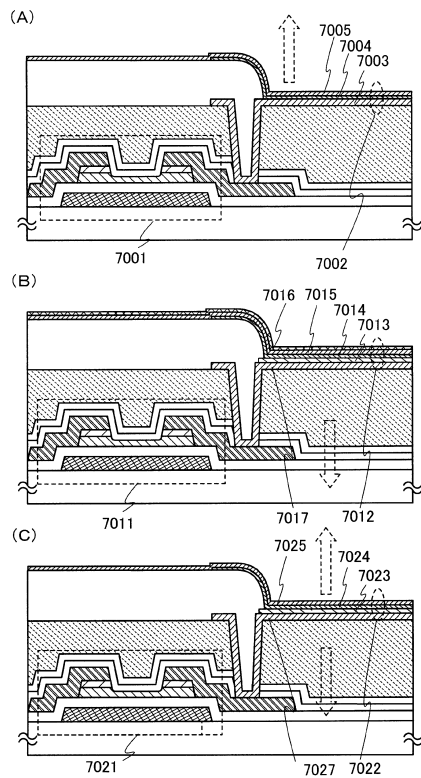
【図 18】



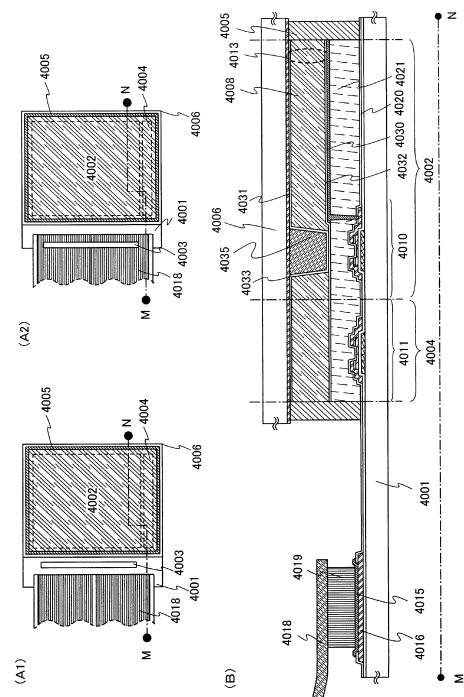
【図 19】



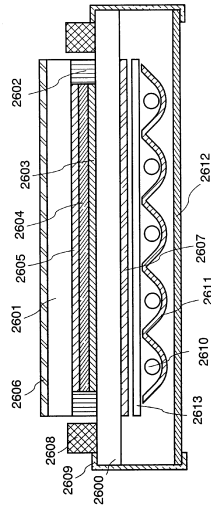
【図 20】



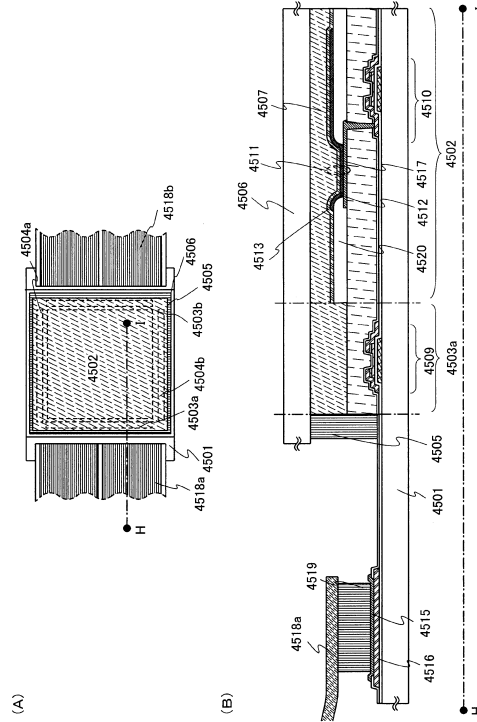
【図 21】



【図 2 2】

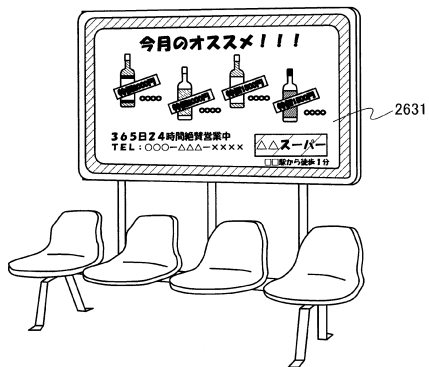


【図 2 3】

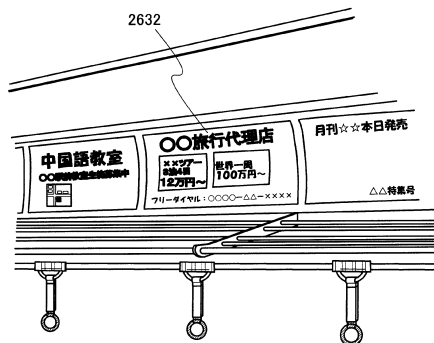


【図 2 4】

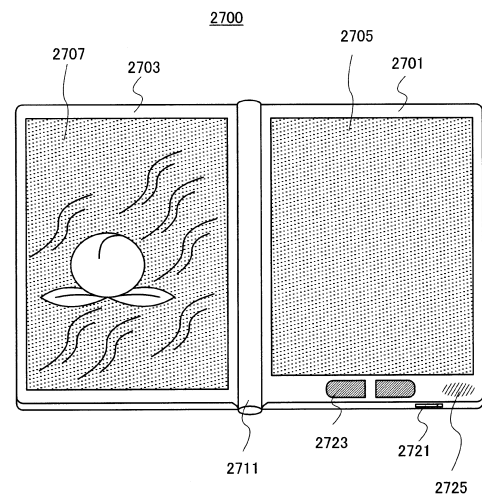
(A)



(B)

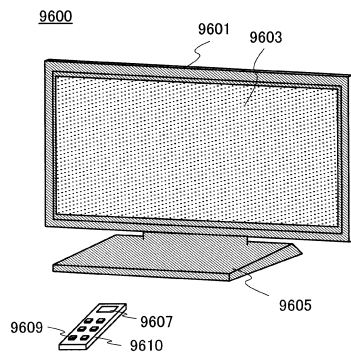


【図 2 5】

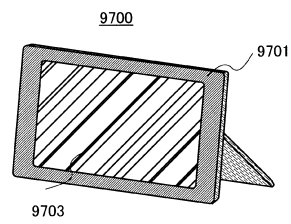


【図 26】

(A)

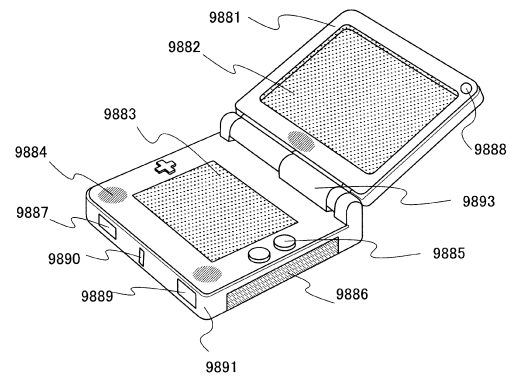


(B)

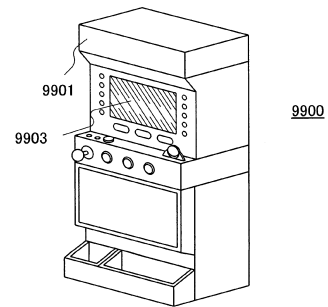


【図 27】

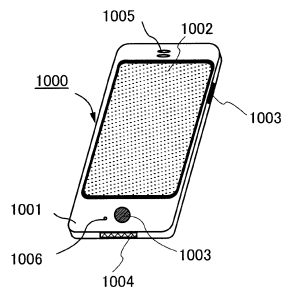
(A)



(B)

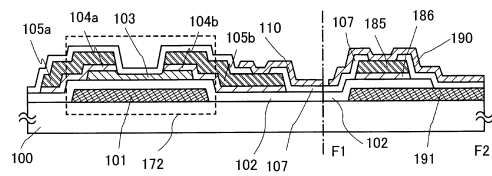


【図 28】

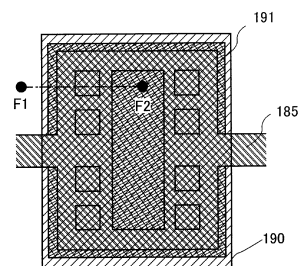


【図 30】

(A)

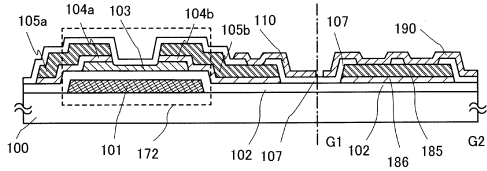


(B)

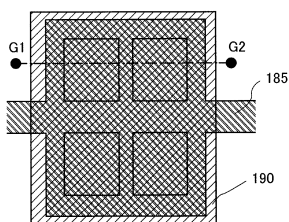


【図 29】

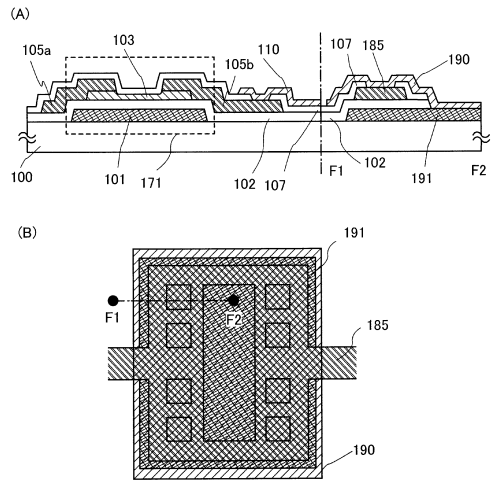
(A)



(B)



【図 31】



フロントページの続き

(51)Int.Cl. F I
G 0 9 F 9/30 3 0 9

(72)発明者 和田 理人
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
(72)発明者 千葉 陽子
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 田辺 正樹

(56)参考文献 特開 2 0 0 6 - 1 0 6 1 8 7 (J P , A)
特開 2 0 0 8 - 2 1 8 4 9 5 (J P , A)
特開 2 0 0 7 - 2 9 8 6 0 1 (J P , A)
特開 2 0 0 7 - 1 9 9 6 8 7 (J P , A)
特開 2 0 0 7 - 1 4 2 3 8 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 2 F 1 / 1 3 4 3 - 1 / 1 3 4 5、1 / 1 3 5 - 1 / 1 3 6 8
G 0 9 F 9 / 3 0 - 9 / 4 6
H 0 1 L 2 1 / 3 3 6、2 7 / 3 2、2 9 / 7 8 6

专利名称(译)	表示装置		
公开(公告)号	JP6154919B2	公开(公告)日	2017-06-28
申请号	JP2016003375	申请日	2016-01-12
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 秋元健吾 小森茂樹 魚地秀貴 和田理人 千葉陽子		
发明人	山崎 舜平 秋元 健吾 小森 茂樹 魚地 秀貴 和田 理人 千葉 陽子		
IPC分类号	G09F9/30 H01L29/786 H01L21/336		
CPC分类号	G02F1/13458 G09G2300/0804 H01L27/1225 H01L27/1244 H01L27/3262 H01L27/3276 H01L29/41733 H01L29/66969 H01L29/7869 H01L51/5221 H01L27/124 H01L29/42384 H01L29/66742 H01L29/78606 H01L29/78696 G02F1/13392 G02F2001/13398 H01L29/04 H01L29/24		
FI分类号	G09F9/30.330 H01L29/78.618.B H01L29/78.616.V H01L29/78.617.Z G09F9/30.338 G09F9/30.309		
F-TERM分类号	5C094/AA21 5C094/AA31 5C094/BA27 5C094/BA43 5C094/DA07 5C094/DA15 5C094/DB03 5C094/DB04 5C094/DB05 5C094/EA10 5C094/EB02 5C094/FB12 5C094/FB14 5C094/FB20 5C094/HA08 5F110/AA26 5F110/BB01 5F110/BB02 5F110/CC07 5F110/DD02 5F110/EE01 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE23 5F110/FF01 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF09 5F110/FF28 5F110/FF36 5F110/GG01 5F110/GG07 5F110/GG14 5F110/GG15 5F110/GG16 5F110/GG24 5F110/GG25 5F110/GG43 5F110/GG57 5F110/GG58 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK08 5F110/HK15 5F110/HK21 5F110/HK22 5F110/HK32 5F110/HK33 5F110/HK41 5F110/HK42 5F110/HL01 5F110/HL07 5F110/HL22 5F110/HL23 5F110/HM04 5F110/HM12 5F110/NN02 5F110/NN03 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN25 5F110/NN27 5F110/NN33 5F110/NN34 5F110/NN36 5F110/NN40 5F110/NN73 5F110/QQ02 5F110/QQ09 5F110/QQ11		
优先权	2008241335 2008-09-19 JP		
其他公开文献	JP2016105186A		
外部链接	Espacenet		

摘要(译)

要解决的问题提供适合作为显示面板中提供的焊盘部分的结构。要。除了氧化物半导体之外，还有用于通过层压绝缘膜和导电膜制造的各种用途的显示装置。本发明的目的是防止由薄膜剥离引起的缺陷。解决方案：液晶显示装置包括像素电极层，其中扫描线和信号线彼此交叉并以矩阵形式排列，像素部分设置成对应于极端层，并且在像素部分中具有至少两种不同的氧含量。通过组合氧化物

半导体层形成的反交错型薄膜晶体管 显示设备。在该显示装置中，扫描线和信号线形成在像素部分的外部 并且通过形成的相同材料的导电层电连接到与像素电极层相对的公共电极层 提供垫部分。 点域1

(19) 日本国特許庁 (JP)	(12) 特 許 公 報 (B2)	(11) 特許番号 特許第6154919号 (P6154919)
(45) 発行日 平成29年6月28日 (2017. 6. 28)	(24) 登録日 平成29年6月9日 (2017. 6. 9)	
(51) Int. Cl. F I		
G O 9 F 9 / 3 0 (2 0 0 6 . 0 1) G O 9 F 9 / 3 0 3 3 O		
H O 1 L 2 9 / 7 8 (2 0 0 6 . 0 1) H O 1 L 2 9 / 7 8 6 1 8 B		
H O 1 L 2 1 / 3 3 6 (2 0 0 6 . 0 1) H O 1 L 2 9 / 7 8 6 1 6 V		
H O 1 L 2 9 / 7 8 6 1 7 Z		
G O 9 F 9 / 3 0 3 3 8		
請求項の数 2 (全 48 頁) 最終頁に続く		
(21) 出願番号 (22) 出願日 (62) 分割の表示 原出願日 (65) 公開番号 (43) 公開日 審査請求日 (31) 優先権主張番号 (32) 優先日 (33) 優先権主張国	特願2016-3375 (P2016-3375) 平成28年1月12日 (2016. 1. 12) 特願2016-2413 (P2016-2413) の分割 平成21年9月17日 (2009. 9. 17) 特開2016-105186 (P2016-105186A) 平成28年6月9日 (2016. 6. 9) 平成28年1月13日 (2016. 1. 13) 特願2008-241335 (P2008-241335) 平成20年9月19日 (2008. 9. 19) 日本国 (JP)	(73) 特許権者 000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地 (72) 発明者 山崎 舜平 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 (72) 発明者 秋元 健吾 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 (72) 発明者 小森 茂樹 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 (72) 発明者 魚地 秀貴 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 最終頁に続く
(54) 【発明の名称】 表示装置		