

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5886819号
(P5886819)

(45) 発行日 平成28年3月16日 (2016. 3. 16)

(24) 登録日 平成28年2月19日 (2016. 2. 19)

(51) Int. Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
HO1L 29/786 (2006.01)	HO1L 29/78 618B
HO1L 21/28 (2006.01)	HO1L 29/78 618C
HO1L 29/417 (2006.01)	HO1L 29/78 618G
HO1L 29/423 (2006.01)	HO1L 21/28 301B
請求項の数 2 (全 59 頁) 最終頁に続く	

(21) 出願番号 特願2013-257264 (P2013-257264)
 (22) 出願日 平成25年12月12日 (2013. 12. 12)
 (62) 分割の表示 特願2012-167010 (P2012-167010)
 の分割
 原出願日 平成22年12月1日 (2010. 12. 1)
 (65) 公開番号 特開2014-81648 (P2014-81648A)
 (43) 公開日 平成26年5月8日 (2014. 5. 8)
 審査請求日 平成25年12月18日 (2013. 12. 18)
 (31) 優先権主張番号 特願2009-277086 (P2009-277086)
 (32) 優先日 平成21年12月4日 (2009. 12. 4)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 坂田 淳一郎
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 大原 宏樹
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 小林 俊久

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

第1のゲート電極と、
 前記第1のゲート電極上の、第1の絶縁層と、
 前記第1の絶縁層上の、酸化物半導体層と、
 前記酸化物半導体層上の、ソース電極及びドレイン電極と、
 前記ソース電極及び前記ドレイン電極上の、第2の絶縁層と、
 前記第2の絶縁層上の、第2のゲート電極と、
 前記ソース電極又は前記ドレイン電極のいずれかと電気的に接続された画素電極と、を
 有し、

前記酸化物半導体層は、前記ソース電極と重なる第1の領域と、前記ドレイン電極と重
 なる第2の領域と、前記ソース電極及び前記ドレイン電極と重ならない第3の領域と、を
 有し、

前記第3の領域における前記酸化物半導体層の膜厚は、前記第1の領域における前記酸
 化物半導体層の膜厚よりも小さく、

前記第3の領域における前記酸化物半導体層の膜厚は、前記第2の領域における前記酸
 化物半導体層の膜厚よりも小さく、

前記第1のゲート電極の断面は、一端部に、第1のテーパを有し、

前記第1のゲート電極の前記断面は、他端部に、第2のテーパを有し、

前記第1のゲート電極の上面は、前記ソース電極と重ならず、

前記第 1 のゲート電極の上面は、前記ドレイン電極と重ならず、
 前記第 2 のゲート電極は、前記酸化物半導体層全体と重なり、
 前記酸化物半導体層の断面は、前記第 3 の領域の一端部に、第 3 のテーパを有し、
 前記酸化物半導体層の前記断面は、前記第 3 の領域の他端部に、第 4 のテーパを有し、
 前記ソース電極の断面は、前記第 3 の領域側の端部に、第 5 のテーパを有し、
 前記ドレイン電極の断面は、前記第 3 の領域側の端部に、第 6 のテーパを有し、
 前記第 3 のテーパは、前記第 5 のテーパと連続した形状を有し、
 前記第 4 のテーパは、前記第 6 のテーパと連続した形状を有し、
 前記酸化物半導体層は、In と、Ga と、Zn とを有し、
 前記酸化物半導体層の水素濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以下を有することを特徴とする液晶表示装置。 10

【請求項 2】

第 1 のゲート電極と、
 前記第 1 のゲート電極上の、第 1 の絶縁層と、
 前記第 1 の絶縁層上の、酸化物半導体層と、
 前記酸化物半導体層上の、ソース電極及びドレイン電極と、
 前記ソース電極及び前記ドレイン電極上の、第 2 の絶縁層と、
 前記第 2 の絶縁層上の、第 2 のゲート電極と、
 前記ソース電極又は前記ドレイン電極のいずれかと電気的に接続された画素電極と、を有し、 20

前記酸化物半導体層は、前記ソース電極と重なる第 1 の領域と、前記ドレイン電極と重なる第 2 の領域と、前記ソース電極及び前記ドレイン電極と重ならない凹部と、を有し、
 前記第 1 のゲート電極の断面は、一端部に、第 1 のテーパを有し、
 前記第 1 のゲート電極の前記断面は、他端部に、第 2 のテーパを有し、
 前記第 1 のゲート電極の上面は、前記ソース電極と重ならず、
 前記第 1 のゲート電極の上面は、前記ドレイン電極と重ならず、
 前記第 2 のゲート電極は、前記酸化物半導体層全体と重なり、
 前記酸化物半導体層の断面は、前記凹部の一端部に、第 3 のテーパを有し、
 前記酸化物半導体層の前記断面は、前記凹部の他端部に、第 4 のテーパを有し、
 前記ソース電極の断面は、前記凹部側の端部に、第 5 のテーパを有し、 30
 前記ドレイン電極の断面は、前記凹部側の端部に、第 6 のテーパを有し、
 前記第 3 のテーパは、前記第 5 のテーパと連続した形状を有し、
 前記第 4 のテーパは、前記第 6 のテーパと連続した形状を有し、
 前記酸化物半導体層は、In と、Ga と、Zn とを有し、
 前記酸化物半導体層の水素濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以下を有することを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

酸化物半導体を用いる半導体装置及びその作製方法に関する。 40

【背景技術】

【0002】

絶縁表面上に形成される半導体膜を用いたトランジスタは、半導体装置にとって必要不可欠な半導体素子である。トランジスタの製造には基板の耐熱温度という制約があるため、比較的低温での成膜が可能なアモルファスシリコン、レーザ光または触媒元素を用いた結晶化により得られるポリシリコンなどを活性層に有するトランジスタが、半導体表示装置に用いられるトランジスタの主流となっている。

【0003】

近年では、ポリシリコンによって得られる高い移動度と、アモルファスシリコンによって得られる均一な素子特性とを兼ね備えた新たな半導体材料として、酸化物半導体と呼ばれ 50

る、半導体特性を示す金属酸化物に注目が集まっている。金属酸化物は様々な用途に用いられており、例えば、よく知られた金属酸化物である酸化インジウムは、液晶表示装置などで透明電極材料として用いられている。半導体特性を示す金属酸化物としては、例えば、酸化タンゲステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャネル形成領域に用いるトランジスタが、既に知られている（特許文献1及び特許文献2）。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2007-123861号公報

10

【特許文献2】特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

半導体装置に用いられるトランジスタは、経時劣化による閾値電圧のばらつきが小さいこと、また、オフ電流が低いことなどが望まれる。経時劣化による閾値電圧のばらつきが小さいトランジスタを用いることで、半導体装置の信頼性を高めることができる。また、オフ電流が低いトランジスタを用いることで、半導体装置の消費電力を抑えることができる。

【0006】

20

本発明は、信頼性の高い半導体装置の作製方法の提供を目的の一とする。或いは、本発明は、消費電力が低い半導体装置の作製方法の提供を目的の一とする。或いは、本発明は、信頼性の高い半導体装置の提供を目的の一とする。或いは、本発明は、消費電力が低い半導体装置の提供を目的の一とする。

【0007】

また、高耐圧であって、且つ大電流を制御するためのパワーデバイスと呼ばれる半導体装置では、現状、半導体材料として主にシリコンが用いられている。しかし、シリコンを用いた半導体素子では、その物理的な特性が理論値の限界にきていると言われており、さらなる高耐圧と大電流の制御が可能なパワーデバイスを実現するためには、特性の向上が可能な新たな半導体材料が求められている。高耐圧、高変換効率、高速スイッチングなどの諸特性を向上させる可能性がある半導体材料として、例えば、炭化シリコンや窒化ガリウムなどの化合物半導体を挙げることができる。炭化シリコンのバンドギャップは3.26 eV、窒化ガリウムのバンドギャップは3.39 eVと、ともにシリコンの約3倍程度の大きなバンドギャップを有しており、半導体装置の耐圧向上、電力損失の低減などに有利であることが知られている。

30

【0008】

ところが、炭化シリコンや窒化ガリウムなどの化合物半導体は、プロセス温度が高いという問題があった。炭化シリコンのプロセス温度は約1500、窒化ガリウムのプロセス温度は約1100と、いずれも耐熱温度の低いガラス基板上への成膜は不可能である。よって、安価なガラス基板を利用できない上に、基板の大型化には対応できないため、炭化シリコンや窒化ガリウムなどの化合物半導体を用いた半導体装置は量産性が低く、そのことが実用化の足かせとなっている。

40

【0009】

上述した問題に鑑み、量産性の高い新たな半導体材料を用いた大電力向けの半導体装置を提供することを目的の一とする。

【課題を解決するための手段】

【0010】

本発明者らは、酸化物半導体膜中に存在する水素、水などの不純物が、閾値電圧のシフトなどの経時劣化をトランジスタにもたらす要因であることに着目した。スパッタ等で成膜された酸化物半導体膜中には、不純物としての水素または水が多量に含まれていることが

50

判明している。そこで、本発明の一態様では、酸化物半導体膜中の水分または水素などの不純物を低減するために、酸化物半導体膜を形成した後、酸化物半導体膜が露出した状態で、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、又は超乾燥エア（CRDS（キャピティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が20ppm（露点換算で-55）以下、好ましくは1ppm以下、好ましくは10ppb以下の空気）雰囲気下で第1の加熱処理を行う。次いで、酸化物半導体膜中の水分、または水素などの不純物をさらに低減するために、イオン注入法またはイオンドーピング法などを用いて、酸化物半導体膜に酸素を添加した後、再び、酸化物半導体膜が露出した状態で、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、又は超乾燥エア（CRDS（キャピティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が20ppm（露点換算で-55）以下、好ましくは1ppm以下、好ましくは10ppb以下の空気）雰囲気下で第2の加熱処理を行う。

10

【0011】

第1の加熱処理により、酸化物半導体膜中の水分または水素などの不純物は低減されるが、完全には取り除かれてはならず、改善の余地が残されている。これは、酸化物半導体を構成している金属と結合している水素または水酸基が原因であると考えられる。本発明では、イオン注入法またはイオンドーピング法などを用いて、酸化物半導体膜に酸素を添加することで、酸化物半導体を構成している金属と水素の間の結合、或いは該金属と水酸基の間の結合を切断するとともに、これら水素または水酸基を酸素と反応させて、水を生成する。そして、酸素の添加後に第2の加熱処理を行うことで、強固に残存していた水素または水酸基などの不純物を、水として、脱離させやすくすることができる。

20

【0012】

水分、水素などの不純物の脱離により、i型（真性半導体）又はi型に限りなく近い酸化物半導体を得ることができれば、上記不純物により閾値電圧がシフトするなどのトランジスタの特性の劣化が促進されるのを防ぎ、オフ電流を低減させることができる。具体的に、酸化物半導体に含まれる水素若しくは水などの不純物を除去し、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectroscopy）による酸化物半導体に含まれる水素濃度の測定値が、 $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{18} / \text{cm}^3$ 以下、より好ましくは $5 \times 10^{17} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} / \text{cm}^3$ 未満とする。また、ホール効果測定により測定できる酸化物半導体膜のキャリア密度は、 $1 \times 10^{14} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{12} \text{ cm}^{-3}$ 未満、さらに好ましくは測定限界以下の $1 \times 10^{11} \text{ cm}^{-3}$ 未満とする。即ち、酸化物半導体膜のキャリア密度は、限りなくゼロに近い。また、バンドギャップは2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上である。水素濃度が十分に低減されて高純度化された酸化物半導体膜を用いることにより、トランジスタのオフ電流を下げるることができる。

30

【0013】

上記2回の加熱処理は、300以上850以下（若しくはガラス基板の歪点以下）の温度範囲で行うのが望ましい。なお、この加熱処理は、用いる基板の耐熱温度を超えないものとする。水または水素の加熱処理による脱離の効果については、TDS（Thermal Desorption Spectroscopy；昇温脱離ガス分析）により確認済みである。

40

【0014】

加熱処理は、炉での熱処理、またはラピッドサーマルアニール法（RTA法）を用いる。RTA法は、ランプ光源を用いる方法と、加熱されたガス中に基板を移動させて短時間の熱処理を行う方法がある。RTA法を用いると熱処理に要する時間を0.1時間よりも短時間とすることもできる。

【0015】

具体的に、上述したように高純度化された酸化物半導体膜を用いたトランジスタは、例え

50

ば、チャネル幅 W が $1 \times 10^4 \mu\text{m}$ でチャネル長 L が $3 \mu\text{m}$ の素子であっても、オフ電流が 10^{-13}A 以下、サブスレッショルドスイング値（ S 値）が $0.1 \text{V}/\text{dec}$.程度（ゲート絶縁膜厚 100nm ）の特性が得られる。従って、ゲート電極とソース電極間の電圧が 0 以下の状態におけるオフ電流、すなわちリーク電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく低い。

【0016】

また、高純度化された酸化物半導体（*purified OS*）を用いたトランジスタは、オフ電流の温度依存性がほとんど現れない。これは、酸化物半導体中で電子供与体（ドナー）となる不純物を除去して、酸化物半導体が高純度化することによって、導電型が限りなく真性型に近づき、フェルミ準位が禁制帯の中央に位置するためと言える。また、これは、酸化物半導体のエネルギーギャップが 3eV 以上であり、熱励起キャリアが極めて少ないことにも起因する。また、ソース電極及びドレイン電極が縮退した状態にあることも、温度依存性が現れない要因となっている。トランジスタの動作は、縮退したソース電極から酸化物半導体に注入されたキャリアによるものがほとんどであり、キャリア密度の温度依存性がないことから上記特性（オフ電流の温度依存性無し）を説明することができる。

【0017】

酸化物半導体は、四元系金属酸化物である In-Sn-Ga-Zn-O 系酸化物半導体や、三元系金属酸化物である In-Ga-Zn-O 系酸化物半導体、 In-Sn-Zn-O 系酸化物半導体、 In-Al-Zn-O 系酸化物半導体、 Sn-Ga-Zn-O 系酸化物半導体、 Al-Ga-Zn-O 系酸化物半導体、 Sn-Al-Zn-O 系酸化物半導体や、二元系金属酸化物である In-Zn-O 系酸化物半導体、 Sn-Zn-O 系酸化物半導体、 Al-Zn-O 系酸化物半導体、 Zn-Mg-O 系酸化物半導体、 Sn-Mg-O 系酸化物半導体、 In-Mg-O 系酸化物半導体、 In-Ga-O 系酸化物半導体や、 In-O 系酸化物半導体、 Sn-O 系酸化物半導体、 Zn-O 系酸化物半導体などを用いることができる。なお、本明細書においては、例えば、 In-Sn-Ga-Zn-O 系酸化物半導体とは、インジウム（ In ）、錫（ Sn ）、ガリウム（ Ga ）、亜鉛（ Zn ）を有する金属酸化物、という意味であり、その化学量論的組成比は特に問わない。また、上記酸化物半導体は、珪素を含んでいてもよい。

【0018】

或いは、酸化物半導体は、化学式 $\text{InMO}_3(\text{ZnO})_m$ （ $m > 0$ ）で表記することができる。ここで、 M は、 Ga 、 Al 、 Mn 及び Co から選ばれた一又は複数の金属元素を示す。

【0019】

ここで、酸化物半導体膜中及び導電膜中の、水素濃度の分析について触れておく。酸化物半導体膜中及び導電膜中の水素濃度測定は、二次イオン質量分析法（*SIMS: Secondary Ion Mass Spectroscopy*）で行う。*SIMS*分析は、その原理上、試料表面近傍や、材質が異なる膜との積層界面近傍のデータを正確に得ることが困難であることが知られている。そこで、膜中における水素濃度の厚さ方向の分布を、*SIMS*で分析する場合、対象となる膜が存在する範囲において、値に極端な変動がなく、ほぼ一定の値が得られる領域における平均値を、水素濃度として採用する。また、測定の対象となる膜の厚さが薄い場合、隣接する膜内の水素濃度の影響を受けて、ほぼ一定の値が得られる領域を見いだせない場合がある。この場合、当該膜が存在する領域における、水素濃度の極大値又は極小値を、当該膜中の水素濃度として採用する。更に、当該膜が存在する領域において、極大値を有する山型のピーク、極小値を有する谷型のピークが存在しない場合、変曲点の値を水素濃度として採用する。

【0020】

トランジスタは、ボトムゲート型であっても良いし、トップゲート型であっても良いし、ボトムコンタクト型であっても良い。ボトムゲート型トランジスタは、絶縁表面上のゲート電極と、ゲート電極上のゲート絶縁膜と、ゲート絶縁膜上においてゲート電極と重なる

10

20

30

40

50

酸化物半導体膜と、酸化物半導体膜上のソース電極、ドレイン電極と、ソース電極、ドレイン電極及び酸化物半導体膜上の絶縁膜とを有する。トップゲート型トランジスタは、絶縁表面上の酸化物半導体膜と、酸化物半導体膜上のゲート絶縁膜と、ゲート絶縁膜上において酸化物半導体膜と重なり、なおかつ導電膜として機能するゲート電極と、ソース電極と、ドレイン電極と、ソース電極、ドレイン電極及び酸化物半導体膜上の絶縁膜とを有する。ボトムコンタクト型トランジスタは、絶縁表面上のゲート電極と、ゲート電極上のゲート絶縁膜と、ゲート絶縁膜上のソース電極、ドレイン電極と、ソース電極、ドレイン電極上にあり、なおかつゲート絶縁膜上においてゲート電極と重なる酸化物半導体膜と、ソース電極、ドレイン電極及び酸化物半導体膜上の絶縁膜とを有する。

【0021】

また、酸化物半導体膜は、スパッタ等による成膜時のみならず、成膜後においても酸化物半導体膜の周囲に存在する水素または水を膜中に取り込みやすい。水または水素はドナー準位を形成しやすいため、酸化物半導体自体にとっては不純物である。よって、本発明の一態様では、ソース電極とドレイン電極を形成した後は、ソース電極、ドレイン電極及び酸化物半導体膜を覆うように、バリア性の高い絶縁材料を用いた絶縁膜を形成しても良い。上記絶縁膜には、バリア性の高い絶縁材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などを用いることができる。複数の積層された絶縁膜を用いる場合、上記バリア性の高い絶縁膜よりも、含まれる窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を、酸化物半導体膜に近い側に形成する。そして、窒素の比率が低い絶縁膜を間に挟んで、ソース電極、ドレイン電極及び酸化物半導体膜と重なるように、バリア性を有する絶縁膜を形成する。バリア性を有する絶縁膜を用いることで、酸化物半導体膜内、ゲート絶縁膜内、或いは、酸化物半導体膜と他の絶縁膜の界面とその近傍に、水分、または水素などの不純物が入り込むのを防ぐことができる。

【0022】

また、ゲート電極と酸化物半導体膜の間に、バリア性の高い材料を用いた絶縁膜と、含まれる窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜とを積層させた構造を有するゲート絶縁膜を、形成しておいても良い。酸化珪素膜、酸化窒化珪素膜などの絶縁膜は、バリア性を有する絶縁膜と酸化物半導体膜の間に形成する。バリア性を有する絶縁膜を用いることで、水分、または水素などの雰囲気中の不純物、或いは基板内に含まれるアルカリ金属、重金属などの不純物が、酸化物半導体膜内、ゲート絶縁膜内、或いは、酸化物半導体膜と他の絶縁膜の界面とその近傍に入り込むのを防ぐことができる。

【発明の効果】

【0023】

信頼性の高い半導体装置の作製方法を提供することができる。また、消費電力が低い半導体装置の作製方法を提供することができる。また、信頼性の高い半導体装置を提供することができる。また、消費電力が低い半導体装置を提供することができる。

【0024】

また、低い成膜温度で高耐圧の半導体素子を作製することができるので、量産性の高い大電力向けの半導体装置を提供することができる。

【図面の簡単な説明】

【0025】

【図1】半導体装置の作製方法を示す図。

【図2】半導体装置の作製方法を示す図。

【図3】半導体装置の作製方法を示す図。

【図4】半導体装置の作製方法を示す図。

【図5】半導体装置の作製方法を示す図。

【図6】半導体装置の作製方法を示す図。

【図7】半導体装置の上面図。

【図8】半導体装置の作製方法を示す図。

【図 9】半導体装置の上面図。

【図 10】半導体装置の作製方法を示す図。

【図 11】電子ペーパーの上面図及び断面図。

【図 12】半導体表示装置のブロック図。

【図 13】信号線駆動回路の構成を説明する図。

【図 14】シフトレジスタの構成を示す回路図。

【図 15】シフトレジスタの一態様を示す図、及びその動作を説明するタイミングチャート。

【図 16】液晶表示装置の断面図。

【図 17】液晶表示装置のモジュールの構成を示す図。

10

【図 18】発光装置の断面図。

【図 19】半導体装置を用いた電子機器の図。

【図 20】酸化物半導体を用いた逆スタガ型のトランジスタの縦断面図。

【図 21】図 20 に示す A - A' 断面におけるエネルギーバンド図（模式図）。

【図 22】(A) ゲート電極 (GE) に正の電圧 ($V_G > 0$) が印加された状態を示し、(B) ゲート電極 (GE) に負の電圧 ($V_G < 0$) が印加された状態を示す図。

【図 23】真空準位と金属の仕事関数 (ϕ_M)、酸化物半導体の電子親和力 (χ) の関係を示す図。

【発明を実施するための形態】

【0026】

20

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0027】

なお本発明は、マイクロプロセッサ、画像処理回路などの集積回路や、RF タグ、半導体表示装置等、ありとあらゆる半導体装置の作製に用いることができる。半導体装置とは、半導体特性を利用することで機能しうる装置全般を意味し、半導体表示装置、半導体回路および電子機器は全て半導体装置である。半導体表示装置は、液晶表示装置、有機発光素子 (OLED) に代表される発光素子を各画素に備えた発光装置、電子ペーパー、DMD (Digital Micromirror Device)、PDP (Plasma Display Panel)、FED (Field Emission Display) 等や、半導体膜を用いた回路素子を駆動回路に有しているその他の半導体表示装置がその範疇に含まれる。

30

【0028】

(実施の形態 1)

チャンネルエッチ構造のボトムゲート型のトランジスタを例に挙げ、本発明の一態様に係る半導体装置が有する、トランジスタの構造とその作製方法について説明する。

【0029】

図 1 (A) に示すように、基板 100 上にゲート電極 101 を形成する。

40

【0030】

絶縁表面を有する基板 100 として使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、フュージョン法やフロート法で作製されるガラス基板を用いることができる。ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が 730 以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、一般に、酸化ホウ素と比較して酸化バリウム (BaO) を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 より BaO を多く含むガラス基板を用いることが好ましい。

50

【 0 0 3 1 】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。ステンレス合金などの金属基板の表面に絶縁膜を設けた基板を適用しても良い。

【 0 0 3 2 】

また、プラスチック等の可撓性を有する合成樹脂からなる基板は、耐熱温度が一般的に低い傾向にあるが、後の作製工程における処理温度に耐え得るのであれば、基板 1 0 0 として用いることが可能である。プラスチック基板として、ポリエチレンテレフタレート (P E T) に代表されるポリエステル、ポリエーテルスルホン (P E S)、ポリエチレンナフタレート (P E N)、ポリカーボネート (P C)、ポリエーテルエーテルケトン (P E E K)、ポリスルホン (P S F)、ポリエーテルイミド (P E I)、ポリアリレート (P A R)、ポリブチレンテレフタレート (P B T)、ポリイミド、アクリロニトリルブタジエンスチレン樹脂、ポリ塩化ビニル、ポリプロピレン、ポリ酢酸ビニル、アクリル樹脂などが挙げられる。

10

【 0 0 3 3 】

基板 1 0 0 とゲート電極 1 0 1 の間に、下地膜となる絶縁膜を形成しておいても良い。下地膜として、例えば、酸化珪素膜、酸化窒化珪素膜、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜のいずれか 1 つを単層で、或いは複数を積層させて用いることができる。特に、下地膜に、バリア性の高い絶縁膜、例えば窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などを用いることで、水分、または水素などの雰囲気中の不純物、或いは基板 1 0 0 内に含まれるアルカリ金属、重金属などの不純物が、酸化物半導体膜内、ゲート絶縁膜内、或いは、酸化物半導体膜と他の絶縁膜の界面とその近傍に入り込むのを防ぐことができる。

20

【 0 0 3 4 】

なお、本明細書において酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い物質であり、また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い物質をいう。

【 0 0 3 5 】

ゲート電極 1 0 1 の材料は、モリブデン、チタン、クロム、タンタル、タングステン、ネオジウム、スカンジウム等の金属材料、これら金属材料を主成分とする合金材料を用いた導電膜、或いはこれら金属の窒化物を、単層で又は積層で用いることができる。なお、後の工程において行われる加熱処理の温度に耐えうるのであれば、上記金属材料としてアルミニウム、銅を用いることも出来る。アルミニウムまたは銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジウム、スカンジウム等を用いることができる。

30

【 0 0 3 6 】

例えば、二層の積層構造を有するゲート電極 1 0 1 として、アルミニウム膜上にモリブデン膜が積層された二層の積層構造、または銅膜上にモリブデン膜を積層した二層構造、または銅膜上に窒化チタン膜若しくは窒化タンタル膜を積層した二層構造、窒化チタン膜とモリブデン膜とを積層した二層構造とすることが好ましい。3層の積層構造を有するゲート電極 1 0 1 としては、アルミニウム膜、アルミニウムとシリコンの合金膜、アルミニウムとチタンの合金膜またはアルミニウムとネオジウムの合金膜を中間層とし、タングステン膜、窒化タングステン膜、窒化チタン膜またはチタン膜を上下層として積層した構造とすることが好ましい。

40

【 0 0 3 7 】

また、ゲート電極 1 0 1 に酸化インジウム、酸化インジウム酸化スズ合金、酸化インジウム酸化亜鉛合金、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、または酸化亜鉛ガリウム等の透光性を有する酸化物導電膜を用いることで、画素部の開口率を向上させることができる。

50

【0038】

ゲート電極101の膜厚は、10nm～400nm、好ましくは100nm～200nmとする。本実施の形態では、タングステナーゲットを用いたスパッタ法により150nmのゲート電極用の導電膜を形成した後、該導電膜をエッチングにより所望の形状に加工（パターンング）することで、ゲート電極101を形成する。なお、形成されたゲート電極の端部がテーパ形状であると、上に積層するゲート絶縁膜の被覆性が向上するため好ましい。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0039】

次いで、ゲート電極101上に、ゲート絶縁膜102を形成する。ゲート絶縁膜102は、プラズマCVD法又はスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜、酸化ハフニウム膜または酸化タンタル膜を単層で又は積層させて形成することができる。ゲート絶縁膜102は、水分や、水素などの不純物を極力含まないことが望ましい。スパッタリング法により酸化珪素膜を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

【0040】

不純物を除去することによりi型化又は実質的にi型化された酸化物半導体（高純度化された酸化物半導体）は界面準位、界面電荷に対して極めて敏感であるため、ゲート絶縁膜102との界面は重要である。そのため高純度化された酸化物半導体に接するゲート絶縁膜（GI）は、高品質化が要求される。

【0041】

例えば、 μ 波（2.45GHz）を用いた高密度プラズマCVDは、緻密で絶縁耐圧の高い高品質な絶縁膜を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート絶縁膜とが密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。

【0042】

もちろん、ゲート絶縁膜として良質な絶縁膜を形成できるものであれば、スパッタリング法やプラズマCVD法など他の成膜方法を適用することができる。また、成膜後の熱処理によってゲート絶縁膜の膜質、酸化物半導体との界面特性が改質される絶縁膜であっても良い。いずれにしても、ゲート絶縁膜としての膜質が良好であることは勿論のこと、酸化物半導体との界面準位密度を低減し、良好な界面を形成できるものであれば良い。

【0043】

バリア性の高い材料を用いた絶縁膜と、含まれる窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜とを積層させた構造を有するゲート絶縁膜102を形成しても良い。この場合、酸化珪素膜、酸化窒化珪素膜などの絶縁膜は、バリア性を有する絶縁膜と酸化物半導体膜の間に形成する。バリア性の高い絶縁膜として、例えば窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などが挙げられる。バリア性を有する絶縁膜を用いることで、水分または水素などの雰囲気中の不純物、或いは基板内に含まれるアルカリ金属、重金属などの不純物が、酸化物半導体膜内、ゲート絶縁膜102内、或いは、酸化物半導体膜と他の絶縁膜の界面とその近傍に入り込むのを防ぐことができる。また、酸化物半導体膜に接するように窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い材料を用いた絶縁膜が直接酸化物半導体膜に接するのを防ぐことができる。

【0044】

例えば、第1のゲート絶縁膜としてスパッタリング法により膜厚50nm以上200nm以下の窒化珪素膜（ SiN_y （ $y > 0$ ））を形成し、第1のゲート絶縁膜上に第2のゲート絶縁膜として膜厚5nm以上300nm以下の酸化珪素膜（ SiO_x （ $x > 0$ ））を積層して、膜厚100nmのゲート絶縁膜102としても良い。ゲート絶縁膜102の膜厚

10

20

30

40

50

は、トランジスタに要求される特性によって適宜設定すればよく350nm乃至400nm程度でもよい。

【0045】

本実施の形態では、スパッタ法で形成された膜厚50nmの窒化珪素膜上に、スパッタ法で形成された膜厚100nmの酸化珪素膜を積層させた構造を有する、ゲート絶縁膜102を形成する。

【0046】

なお、ゲート絶縁膜102に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室でゲート電極101が形成された基板100を予備加熱し、基板100に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度としては、100以上400以下好ましくは150以上300以下である。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。

【0047】

次いで、ゲート絶縁膜102上に膜厚2nm以上200nm以下、好ましくは膜厚3nm以上50nm以下、さらに好ましくは膜厚3nm以上20nm以下の酸化物半導体膜103を形成する。酸化物半導体膜103は、酸化物半導体をターゲットとして用い、スパッタ法により成膜する。また、酸化物半導体膜103は、希ガス（例えばアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（例えばアルゴン）及び酸素雰囲気下においてスパッタ法により形成することができる。

【0048】

なお、酸化物半導体膜103をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁膜102の表面に付着している塵埃を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、亜酸化窒素などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素、四フッ化炭素などを加えた雰囲気で行ってもよい。

【0049】

酸化物半導体膜103は、上述したような酸化物半導体を用いることができる。

【0050】

本実施の形態では、In（インジウム）、Ga（ガリウム）、及びZn（亜鉛）を含む酸化物半導体ターゲットを用いたスパッタ法により得られる膜厚30nmのIn-Ga-Zn-O系非単結晶膜を、酸化物半導体膜103として用いる。上記ターゲットとして、例えば、各金属の原子比がIn:Ga:Zn=1:1:0.5、In:Ga:Zn=1:1:1、またはIn:Ga:Zn=1:1:2の組成比を有する酸化物半導体ターゲットを用いることができる。また、酸化物半導体膜103は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素雰囲気下においてスパッタリング法により形成することができる。また、スパッタリング法を用いる場合、SiO₂を2重量%以上10重量%以下含むターゲットを用いて成膜を行ってもよい。また、In、Ga、及びZnを含む酸化物半導体ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い酸化物半導体ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

【0051】

減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして基板100上に酸化物半導体膜103を成膜する。成膜時に、基板温度を100以上600以下好ましくは200以上400以下としても良い。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、吸着型の

10

20

30

40

50

真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブレーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水 (H_2O) など水素原子を含む化合物 (より好ましくは炭素原子を含む化合物も) 等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0052】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生するパーティクルと呼ばれる塵埃が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体膜は好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

10

【0053】

なお、酸化物半導体膜103に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室でゲート絶縁膜102までが形成された基板100を予備加熱し、基板100に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度としては、100以上400以下好ましくは150以上300以下である。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、絶縁膜113の成膜前に、ソース電極111及びドレイン電極112まで形成した基板100にも同様に行ってもよい。

20

【0054】

スパッタリング法にはスパッタ用電源に高周波電源を用いるRFスパッタリング法と、DCスパッタリング法があり、さらにパルスのバイアスを与えるパルスDCスパッタリング法もある。RFスパッタリング法は主に絶縁膜を成膜する場合に用いられ、DCスパッタリング法は主に金属膜を成膜する場合に用いられる。

【0055】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

30

【0056】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタリング法を用いるスパッタ装置がある。

【0057】

また、スパッタリング法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアススパッタリング法もある。

【0058】

ゲート絶縁膜102、及び酸化物半導体膜103を大気に触れさせることなく連続的に形成してもよい。大気に触れさせることなく連続成膜することで、界面が、水やヒドロカーボンなどの、大気成分や大気中に浮遊する不純物元素に汚染されることなく各積層界面を形成することができるので、トランジスタ特性のばらつきを低減することができる。

40

【0059】

次いで、図1(B)に示すように、酸化物半導体膜103をエッチングなどにより所望の形状に加工(パターニング)し、ゲート電極101と重なる位置において、ゲート絶縁膜102上に島状の酸化物半導体膜104を形成する。

【0060】

島状の酸化物半導体膜104を形成するためのレジストマスクをインクジェット法で形成

50

してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0061】

また、ゲート絶縁膜102にコンタクトホールを形成する場合、その工程は島状の酸化物半導体膜104の形成時に行うことができる。

【0062】

なお、島状の酸化物半導体膜104を形成するためのエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。ドライエッチングに用いるエッチングガスとしては、塩素を含むガス（塩素系ガス、例えば塩素（ Cl_2 ）、三塩化硼素（ BCl_3 ）、四塩化珪素（ SiCl_4 ）、四塩化炭素（ CCl_4 ）など）が好ましい。また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（ CF_4 ）、六弗化硫黄（ SF_6 ）、三弗化窒素（ NF_3 ）、トリフルオロメタン（ CHF_3 ）など）、臭化水素（ HBr ）、酸素（ O_2 ）、これらのガスにヘリウム（ He ）やアルゴン（ Ar ）などの希ガスを添加したガス、などを用いることができる。

10

【0063】

ドライエッチング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節する。

20

【0064】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液、クエン酸やシュウ酸などの有機酸などを用いることができる。また、ITO-07N（関東化学社製）を用いてもよい。また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体膜に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

【0065】

なお、次工程の導電膜を形成する前に逆スパッタを行い、島状の酸化物半導体膜104及びゲート絶縁膜102の表面に付着しているレジスト残渣などを除去することが好ましい。

30

【0066】

次いで、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、又は超乾燥エア（CRDS（キャピティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が20ppm（露点換算で-55）以下、好ましくは1ppm以下、さらに好ましくは10ppb以下の空気）雰囲気下において、酸化物半導体膜104に第1の加熱処理を施す。酸化物半導体膜104に加熱処理を施すことで、図1（C）に示すように、水分、水素が脱離した酸化物半導体膜105が形成される。具体的には、300以上850以下（若しくはガラス基板の歪点以下の温度）で加熱処理を行えば良い。RTA法を用いれば、短時間に脱水化または脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。本実施の形態では、加熱処理装置の一つである電気炉を用い、酸化物半導体膜104に対して、窒素雰囲気下において、基板温度が450に達した状態で1時間、加熱処理を行った後、大気に触れることなく、水や水素の再混入を防ぎ、酸化物半導体膜105を得る。

40

【0067】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal An

50

neal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。

【0068】

例えば、第1の加熱処理として、650 ~ 700 の高温に加熱したガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱したガス中から出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

【0069】

なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水分、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0070】

次いで、図1(D)に示すように、酸化物半導体膜に、イオン注入法またはイオンドーピング法を用いて、酸素を添加する。イオン注入法またはイオンドーピング法などを用いて、酸化物半導体膜105に酸素を添加することで、酸素が過剰に添加された酸化物半導体膜107が形成される。酸素の添加により、酸化物半導体を構成している金属と水素の間の結合、或いは該金属と水酸基の間の結合を切断するとともに、これら水素、または水酸基が、酸素と反応することで水を生成する。よって、後に行われる第2の加熱処理により、不純物である水素、または水酸基を、水として、脱離させやすくすることができる。

【0071】

イオン注入法は、ソースガスをプラズマ化し、このプラズマに含まれるイオン種を引き出し、質量分離して、所定の質量を有するイオン種を加速して、イオンビームとして、被処理物に注入する方法である。また、イオンドーピング法は、ソースガスをプラズマ化し、所定の電界の作用によりプラズマからイオン種を引き出し、引き出したイオン種を質量分離せずに加速して、イオンビームとして被処理物に注入する方法である。質量分離を伴うイオン注入法を用いて酸素の添加を行うことで、金属元素等の不純物が酸素と共に酸化物半導体膜に添加されてしまうのを防ぐことができる。また、イオンドーピング法はイオン注入法に比べてイオンビームの照射される面積を大きくすることができるので、イオンドーピング法を用いて酸素の添加を行うことで、タクトタイムを短縮することができる。

【0072】

酸素ガスを用いて、イオン注入法で酸素の添加を行う場合、加速電圧を5kV以上100kV以下、ドーズ量を 1×10^{13} ions/cm²以上 1×10^{16} ions/cm²以下とすれば良い。

【0073】

なお、イオン注入法で酸化物半導体膜105への酸素の添加を行うのと並行して、酸化物半導体膜105が形成された基板に対して、300 以上850 以下(若しくはガラス基板の歪点以下の温度)の範囲で、加熱処理を行うようにしても良い。

【0074】

次いで、第2の加熱処理を行う。第2の加熱処理は、第1の加熱処理と同様の条件で行うことができる。具体的には、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、又は超乾燥エア(CRDS(キャピティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55)以下、好ましくは1ppm以下、さらに好ましくは10ppb以下の空気)雰囲気下において、300 以上850 以下(若しくはガラス基板の歪点以下の温度)で加熱処理を行えばよい。RTA法を用いれば、短時間に脱水化または脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。本実施の形態では、加熱処理装置の一つである電気炉を用い、窒素雰囲気下において、基板温度が450 に達した状態で1時間、

10

20

30

40

50

加熱処理を行った後、大気に触れることなく、水や水素の再混入を防ぐことで、図1(E)に示すように酸化物半導体膜108を得る。なお、上記加熱処理は、島状の酸化物半導体膜108形成後に複数回行って良い。

【0075】

本発明の一態様では、酸化物半導体膜105への酸素の添加により、酸化物半導体を構成している金属と水素の間の結合、或いは該金属と水酸基の間の結合を切断するとともに、これら水素または水酸基を酸素と反応させて、水を生成する。そのため、酸素の添加後に第2の加熱処理を行うことで、強固に残存していた水素または水酸基などの不純物を、水として、脱離させやすくすることができる。よって、上記加熱処理によって形成された島状の酸化物半導体膜108は、第1の加熱処理によってもなお取り除かれなかった水分または水素などの不純物が、除去されるので、第1の加熱処理後の酸化物半導体膜105よりも、さらに、i型(真性半導体)又はi型に限りなく近くなる。水分、水素などの不純物が脱離し、i型(真性半導体)又はi型に限りなく近くなるため、上記不純物により閾値電圧がシフトするなどのトランジスタの特性の劣化が促進されるのを防ぎ、オフ電流を低減させることができる。

10

【0076】

また、 85 、 2×10^6 V/cm、12時間のゲートバイアス・熱ストレス試験(BT試験)においては、不純物が酸化物半導体に添加されていると、不純物と酸化物半導体の主成分との結合手が、強電界(B:バイアス)と高温(T:温度)により切断され、生成された不対結合手がしきい値電圧(V_{th})のドリフトを誘発することとなる。しかし、

20

【0077】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。

30

【0078】

例えば、第2の加熱処理として、 $650 \sim 700$ の高温に加熱したガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱したガス中から出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

【0079】

なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水分、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

40

【0080】

以上の工程により酸化物半導体膜中の水素の濃度を低減し、高純度化することができる。それにより酸化物半導体膜の安定化を図ることができる。また、ガラス転移温度以下の加熱処理で、キャリア密度が極端に少なく、バンドギャップの広い酸化物半導体膜を形成することができる。このため、大面積基板を用いてトランジスタを作製することができるため、量産性を高めることができる。また、当該水素濃度が低減され高純度化された酸化物半導体膜を用いることで、耐圧性が高く、ショートチャネル効果が低く、オンオフ比の高いトランジスタを作製することができる。

50

【0081】

次いで、図2(A)に示すように、ゲート絶縁膜102、及び酸化物半導体膜108上に、ソース電極及びドレイン電極(これと同じ層で形成される配線を含む)となる導電膜を形成した後、該導電膜をパターニングすることで、ソース電極111、ドレイン電極112を形成する。導電膜をスパッタ法や真空蒸着法で形成すればよい。ソース電極及びドレイン電極(これと同じ層で形成される配線を含む)となる導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、Al、Cuなどの金属膜の下側もしくは上側にCr、Ta、Ti、Mo、Wなどの高融点金属膜を積層させた構成としても良い。また、Si、Ti、Ta、W、Mo、Cr、Nd、Sc、YなどAl膜に生ずるヒロックやウイスキアの発生を防止する元素が添加されているAl材料を用いることで耐熱性を向上させることが可能となる。

10

【0082】

また、導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、Ti膜と、そのTi膜上に重ねてアルミニウム膜を積層し、さらにその上にTi膜を成膜する3層構造などが挙げられる。

【0083】

また、ソース電極及びドレイン電極(これと同じ層で形成される配線を含む)となる導電膜としては導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、酸化インジウム酸化スズ合金(In_2O_3 、 SnO_2 、ITOと略記する)、酸化インジウム酸化亜鉛合金(In_2O_3 、 ZnO)または前記金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

20

【0084】

導電膜形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。

【0085】

そして、導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極111、ドレイン電極112を形成した後、レジストマスクを除去する。

30

【0086】

フォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いる。酸化物半導体膜108上で隣り合うソース電極の下端部とドレイン電極の下端部との間隔幅によって後に形成されるトランジスタのチャンネル長Lが決定される。なお、チャンネル長 $L = 25\text{ nm}$ 未満の露光を行う場合には、数 nm ~数 10 nm と極めて波長が短い超紫外線(Extreme Ultraviolet)を用いてフォトリソグラフィ工程でのレジストマスク形成時の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長Lを 10 nm 以上 1000 nm 以下とすることも可能であり、回路の動作速度を高速化でき、さらにオフ電流値が極めて小さいため、低消費電力化も図ることができる。

40

【0087】

なお、導電膜のエッチングの際に、酸化物半導体膜108がなるべく除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

【0088】

本実施の形態では、導電膜にチタン膜を用い、アンモニアと過酸化水素水を含む溶液(アンモニア過水)を用いて、導電膜をウェットエッチングすることで、ソース電極111、ドレイン電極112を形成する。アンモニア過水を含む溶液は、具体的には、31重量%の過酸化水素水と、28重量%のアンモニア水と水とを、体積比5:2:2で混合した水溶液を用いる。或いは、塩素(Cl_2)、塩化硼素(BCl_3)などを含むガスを用いて、導電膜をドライエッチングしても良い。

50

【0089】

上記パターンングによりソース電極111とドレイン電極112を形成する際に、島状の酸化半導体膜108の露出した部分が一部エッチングされることで、島状の酸化半導体膜108に溝部(凹部)が形成されることもある。また、ソース電極111、ドレイン電極112を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトリソグラフィを使用しないため、製造コストを低減できる。

【0090】

また、フォトリソグラフィ工程で用いるフォトリソマスク数及び工程数を削減するため、透過した光に多段階の強度をもたせる多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

【0091】

次いで、 N_2O 、 N_2 、またはArなどのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化半導体膜の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0092】

なお、プラズマ処理を行った後、図2(B)に示すように、ソース電極111、ドレイン電極112及び酸化半導体膜108を覆うように絶縁膜113を形成する。絶縁膜113は、水分や、水素などの不純物を極力含まないことが望ましく、単層の絶縁膜であっても良いし、積層された複数の絶縁膜で構成されていても良い。絶縁膜113に水素が含まれると、その水素の酸化半導体膜への侵入、又は水素が酸化半導体膜中の酸素の引き抜きが生じ、酸化半導体膜のバックチャンネル部が低抵抗化(n型化)してしまい、寄生チャンネルが形成されるおそれがある。よって、絶縁膜113はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。上記絶縁膜113には、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などを用いることができる。複数の積層された絶縁膜を用いる場合、上記バリア性の高い絶縁膜よりも、窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を、酸化半導体膜108に近い側に形成する。そして、窒素の比率が低い絶縁膜を間に挟んで、ソース電極111、ドレイン電極112及び酸化半導体膜108と重なるように、バリア性を有する絶縁膜を形成する。バリア性を有する絶縁膜を用いることで、酸化半導体膜108内、ゲート絶縁膜102内、或いは、酸化半導体膜108と他の絶縁膜の界面とその近傍に、水分または水素などの不純物が入り込むのを防ぐことができる。また、酸化半導体膜108に接するように窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い材料を用いた絶縁膜が直接酸化半導体膜108に接するのを防ぐことができる。

【0093】

本実施の形態では、スパッタ法で形成された膜厚200nmの酸化珪素膜上に、スパッタ法で形成された膜厚100nmの窒化珪素膜を積層させた構造を有する、絶縁膜113を形成する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。

【0094】

なお、絶縁膜113を形成した後に、加熱処理を施しても良い。加熱処理は窒素または希ガス(アルゴン、ヘリウムなど)の雰囲気下において、好ましくは200以上400以下、例えば250以上350以下で行う。本実施の形態では、例えば、窒素雰囲気

10

20

30

40

50

下で250、1時間の加熱処理を行う。または、ソース電極111、ドレイン電極112を形成する前に、酸化物半導体膜に対して行った先の加熱処理と同様に、高温短時間のRTA処理を行っても良い。ソース電極111又はドレイン電極112の間に設けられた酸化物半導体膜108の露出領域と、酸素を含む絶縁膜113とが接して設けられた後に、加熱処理が施されることによって、酸化物半導体膜108に酸素が供与されるため、酸化物半導体膜108の絶縁膜113と接する領域を選択的に酸素過剰な状態とすることができる。その結果、化学量論的組成比を満たす構成とすることが可能であり、ゲート電極101と重なるチャネル形成領域はI型となり、トランジスタの電気特性の向上および、電気特性のばらつきを軽減することができる。この加熱処理を行うタイミングは、絶縁膜113の形成後であれば特に限定されず、他の工程、例えば樹脂膜形成時の加熱処理や、透明導電膜を低抵抗化させるための加熱処理と兼ねることで、工程数を増やすことなく行うことができる。

10

【0095】

以上の工程でトランジスタ114が形成される。

【0096】

図2(C)に、図2(B)に示すトランジスタ114の上面図を示す。なお、図2(C)の破線A1-A2における断面図が、図2(B)に相当する。

【0097】

トランジスタ114は、絶縁表面を有する基板100上に形成されたゲート電極101と、ゲート電極101上のゲート絶縁膜102と、ゲート絶縁膜102上においてゲート電極101と重なっている酸化物半導体膜108と、酸化物半導体膜108上に形成された一対のソース電極111またはドレイン電極112とを有する。さらに、トランジスタ114は、酸化物半導体膜108上に形成された絶縁膜113を、その構成要素に含めても良い。図2(C)に示すトランジスタ114は、ソース電極111とドレイン電極112の間において、酸化物半導体膜108の一部がエッチングされたチャネルエッチ構造である。

20

【0098】

また、トランジスタ114はシングルゲート構造のトランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造のトランジスタも形成することができる。

30

【0099】

次いで、絶縁膜113上に導電膜を形成した後、該導電膜をパターンニングすることで、図3(A)に示すように、酸化物半導体膜108と重なる位置にバックゲート電極115を形成しても良い。バックゲート電極115は、ゲート電極101、或いはソース電極111及びドレイン電極112と同様の材料、構造を用いて形成することが可能である。

【0100】

バックゲート電極115の膜厚は、10nm~400nm、好ましくは100nm~200nmとする。本実施の形態では、チタン膜、アルミニウム膜、チタン膜が積層された構造を有する導電膜を形成する。そして、フォトリソグラフィ法によりレジストマスクを形成し、エッチングにより不要な部分を除去して、該導電膜を所望の形状に加工(パターンニング)することで、バックゲート電極115を形成する。

40

【0101】

次いで、図3(B)に示すように、バックゲート電極115を覆うように絶縁膜116を形成する。絶縁膜116は、雰囲気中の水分、水素、酸素などがトランジスタ114の特性に影響を与えるのを防ぐことができる、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などを、プラズマCVD法又はスパッタリング法等により単層で又は積層させて形成することができる。バリア性の効果を得るには、絶縁膜116は、例えば厚さ15nm~400nmの膜厚で形成することが好ましい。

【0102】

50

本実施の形態では、プラズマCVD法により300nmの絶縁膜を形成する。成膜条件は、シランガスの流量4sccmとし、亜酸化窒素の流量800sccmとし、基板温度400とする。

【0103】

図3(C)に、図3(B)に示す半導体装置の上面図を示す。図3(B)は、図3(C)の破線A1-A2における断面図に相当する。

【0104】

なお、図3(B)では、バックゲート電極115が酸化物半導体膜108全体を覆っている場合を例示しているが、本発明はこの構成に限定されない。バックゲート電極115は、酸化物半導体膜108が有するチャンネル形成領域の一部と少なくとも重なっていれば良い。

10

【0105】

バックゲート電極115は、電氣的に絶縁しているフローティングの状態であっても良いし、電位が与えられる状態であっても良い。後者の場合、バックゲート電極115には、ゲート電極101と同じ高さの電位が与えられていても良いし、グラウンドなどの固定電位が与えられていても良い。バックゲート電極115に与える電位の高さを制御することで、トランジスタ114の閾値電圧を制御することができる。

【0106】

本実施の形態のように酸化物半導体膜中に含まれる水素、水などの不純物を極力除去し、酸化物半導体膜を高純度化することが、トランジスタの特性にどのように影響を与えるかを以下に説明する。

20

【0107】

図20は、酸化物半導体を用いたトランジスタの断面図である。ゲート電極(GE)上にゲート絶縁膜(GI)を介して酸化物半導体膜(OS)が設けられ、その上にソース電極(S)及びドレイン電極(D)が設けられ、ソース電極(S)及びドレイン電極(D)上に絶縁膜が設けられている。

【0108】

図21に、図20に示すA-A'断面におけるエネルギーバンド図(模式図)を示す。また、図21において黒丸(●)は電子を示し、白丸(○)は正孔を示し、それぞれは電荷-q、電荷+qを有している。ドレイン電極(D)に正の電圧($V_D > 0$)を印加した上で、破線はゲート電極(GE)に電圧を印加しない場合($V_G = 0$)、実線はゲート電極(GE)に正の電圧($V_G > 0$)を印加する場合を示す。ゲート電極(GE)に電圧を印加しない場合は、高いポテンシャル障壁のためにソース電極(S)から酸化物半導体膜(OS)側へキャリア(電子)が注入されず、電流を流さないオフ状態を示す。一方、ゲート電極(GE)に正の電圧を印加するとポテンシャル障壁が低下し、酸化物半導体膜(OS)に電流を流すオン状態を示す。

30

【0109】

図22は、図20におけるB-B'の断面におけるエネルギーバンド図(模式図)である。図22(A)はゲート電極(GE)に正の電圧($V_G > 0$)が印加された状態であり、ソース電極とドレイン電極間にキャリア(電子)が流れるオン状態を示している。また、図22(B)は、ゲート電極(GE)に負の電圧($V_G < 0$)が印加された状態であり、オフ状態(少数キャリアは流れない)である場合を示す。

40

【0110】

図23は、真空準位と金属の仕事関数(ϕ_M)、酸化物半導体の電子親和力(χ)の関係を示す。

【0111】

常温において金属中の電子は縮退しており、フェルミ準位は伝導帯内に位置する。一方、従来の酸化物半導体は一般にn型であり、その場合のフェルミ準位(E_f)は、バンドギャップ中央に位置する真性フェルミ準位(E_i)から離れて、伝導帯(E_c)寄りに位置している。なお、酸化物半導体において水素の一部はドナーとなり、酸化物半導体がn型

50

化する一つの要因であることが知られている。また、酸素欠損も n 型化する一つの要因であることが知られている。

【0112】

これに対して、本発明に係る酸化物半導体は、n 型不純物である水素を酸化物半導体から除去して酸化物半導体の主成分以外の不純物が極力含まれないように高純度化し、かつ、酸素欠損を除去することにより、酸化物半導体を真性 (i 型)、または限りなく真性に近づけたものである。すなわち、不純物を添加して酸化物半導体を i 型化するのでなく、水素や水等の不純物や酸素欠損を極力除去して高純度化することにより、i 型 (真性半導体) 又は i 型 (真性半導体) に限りなく近い酸化物半導体を得ることを特徴としている。上記構成により、矢印で示すように、フェルミ準位 (E_f) は真性フェルミ準位 (E_i) と同じレベルに限りなく近づけることができる。

10

【0113】

酸化物半導体のバンドギャップ (E_g) は 3.15 eV で、電子親和力 () は 4.3 V と言われている。ソース電極及びドレイン電極を構成するチタン (Ti) の仕事関数は、酸化物半導体の電子親和力 () とほぼ等しい。この場合、金属 - 酸化物半導体界面において、電子に対してショットキー型の障壁は形成されない。

【0114】

このとき電子は、図 22 (A) で示すようにゲート絶縁膜と高純度化された酸化物半導体との界面における、酸化物半導体側のエネルギー的に安定な最低部を移動する。

【0115】

また、図 22 (B) において、ゲート電極 (GE) に負の電圧が印加されると、少数キャリアであるホールは実質的にゼロであるため、電流は限りなくゼロに近い値となる。

20

【0116】

例えば、トランジスタのチャネル幅 (W) が $1 \times 10^4 \mu\text{m}$ でチャネル長 (L) が $3 \mu\text{m}$ の素子であっても、オフ電流が 10^{-13} A 以下であり、サブスレッショルドスイング値 (S 値) が 0.1 V/dec. (ゲート絶縁膜厚 100 nm) が得られる。

【0117】

このように、酸化物半導体の主成分以外の水、水素などの不純物が極力含まれないように、酸化物半導体膜を高純度化することにより、トランジスタの動作を良好なものとすることができる。

30

【0118】

なお、本実施の形態では、酸化物半導体膜 103 を所望の形状に加工して島状の酸化物半導体膜 104 を形成した後に、第 1 の加熱処理、酸素の添加、第 2 の加熱処理を行う作製方法について説明したが、本発明はこの構成に限定されない。島状の酸化物半導体膜 104 を形成する前の酸化物半導体膜 103 に対して、第 1 の加熱処理、酸素の添加、第 2 の加熱処理を行った後、酸化物半導体膜の形状を加工して島状の酸化物半導体膜を形成しても良い。或いは、酸化物半導体膜 103 に対して、第 1 の加熱処理を行った後に酸化物半導体膜の形状を加工して島状の酸化物半導体膜を形成し、次いで当該島状の酸化物半導体膜に対して酸素の添加、第 2 の加熱処理を行うようにしても良い。或いは、酸化物半導体膜 103 に対して、第 1 の加熱処理、酸素の添加を行った後に、酸化物半導体膜の形状を加工して島状の酸化物半導体膜を形成し、次いで当該島状の酸化物半導体膜に対して第 2 の加熱処理を行うようにしても良い。

40

【0119】

図 4 を用いて、酸化物半導体膜 103 に対して、第 1 の加熱処理、酸素の添加、第 2 の加熱処理を行った後、酸化物半導体膜の形状を加工して島状の酸化物半導体膜を形成する場合の、作製方法について説明する。

【0120】

まず、上述した作製工程に従って、基板 100 上にゲート電極 101 を形成した後、ゲート電極 101 上にゲート絶縁膜 102、酸化物半導体膜 103 を順に積層するように形成することで、図 1 (A) に示す状態、すなわち図 4 (A) に示す状態まで作製する。次い

50

で、図4(B)に示すように、酸化物半導体膜103に第1の加熱処理を施すことで、水分、水素が脱離した酸化物半導体膜150を形成する。第1の加熱処理の条件については既に述べたので、ここでは説明を省略する。

【0121】

次いで、図4(C)に示すように、酸化物半導体膜150に、イオンドーピング法またはイオン注入法などを用いて酸素を添加することで、酸素が過剰に添加された酸化物半導体膜151が形成される。具体的な酸素の添加の方法については既に述べたので、ここでは説明を省略する。酸素の添加により、酸化物半導体を構成している金属と水素の間の結合、或いは該金属と水酸基の間の結合を切断するとともに、これら水素、または水酸基が、酸素と反応することで水を生成する。よって、後に行われる第2の加熱処理により、不純物である水素、または水酸基を、水として、脱離させやすくすることができる。イオン注入法で酸化物半導体膜150への酸素の添加を行うのと並行して、酸化物半導体膜150が形成された基板に対して、300以上850以下(若しくはガラス基板の歪点以下の温度)の範囲で、加熱処理を行うようにしても良い。

【0122】

次いで、第2の加熱処理を行う。第2の加熱処理は、第1の加熱処理と同様の条件で行うことができる。第2の加熱処理を行うことで、図4(D)に示すように酸化物半導体膜152を得る。酸化物半導体膜150への酸素の添加により、酸化物半導体を構成している金属と水素の間の結合、或いは該金属と水酸基の間の結合を切断するとともに、これら水素または水酸基を酸素と反応させて、水を生成する。そのため、酸素の添加後に第2の加熱処理を行うことで、強固に残存していた水素または水酸基などの不純物を、水として、脱離させやすくすることができる。よって、上記加熱処理によって形成された島状の酸化物半導体膜152は、第1の加熱処理によってもなお取り除かれなかった水分または水素などの不純物が、除去されるので、第1の加熱処理後の酸化物半導体膜150よりも、さらに、i型(真性半導体)又はi型に限りなく近くなる。水分、水素などの不純物が脱離し、i型(真性半導体)又はi型に限りなく近くなるため、上記不純物により閾値電圧がシフトするなどのトランジスタの特性の劣化が促進されるのを防ぎ、オフ電流を低減させることができる。

【0123】

次いで、図4(E)に示すように、酸化物半導体膜152をエッチングなどにより所望の形状に加工(パターニング)し、ゲート電極101と重なる位置において、ゲート絶縁膜102上に島状の酸化物半導体膜153を形成する。具体的なエッチングの方法については既に述べたので、ここでは説明を省略する。

【0124】

なお、次いで行われる図2(A)に示したソース電極とドレイン電極を形成する工程の前に、逆スパッタを行い、島状の酸化物半導体膜153及びゲート絶縁膜102の表面に付着しているレジスト残渣などを除去することが好ましい。

【0125】

以上の工程により酸化物半導体膜中の水素の濃度を低減し、高純度化することができる。それにより酸化物半導体膜の安定化を図ることができる。また、ガラス転移温度以下の加熱処理で、キャリア密度が極端に少なく、バンドギャップの広い酸化物半導体膜を形成することができる。このため、大面積基板を用いてトランジスタを作製することができるため、量産性を高めることができる。また、当該水素濃度が低減され高純度化された酸化物半導体膜を用いることで、耐圧性が高く、ショートチャネル効果が低く、オンオフ比の高いトランジスタを作製することができる。

【0126】

(実施の形態2)

本実施の形態では、さらに高電圧または大電流の制御が可能な、パワーデバイス向きであるトランジスタの構造及び作製方法について、説明する。なお、実施の形態1と同一部分又は同様な機能を有する部分、及び工程は、実施の形態1と同様に行うことができるため

10

20

30

40

50

、繰り返しの説明は省略する。

【0127】

図5(A)に示すように、基板200上に下地膜となる絶縁膜201を形成した後、第1の電極202を形成する。

【0128】

基板200に用いられる基板については、実施の形態1に示した基板100についての記載を参照すれば良い。また、絶縁膜201の材料、構造及び膜厚については、実施の形態1に示した下地膜についての記載を参照すれば良い。

【0129】

第1の電極202は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステン、イットリウムから選ばれた金属元素、または上述した金属元素を成分とする合金、上述した金属元素を組み合わせた合金などで形成する。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムのいずれか一または複数から選択された金属元素を用いることができる。また、第1の電極202は、単層構造、または二層以上の積層構造とすることができる。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、タングステン膜上にチタン膜を積層する二層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造などが挙げられる。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素を単数、または複数組み合わせさせた膜、合金膜、もしくは窒化膜を用いてもよい。

【0130】

また、第1の電極202として、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

【0131】

第1の電極202は、基板200上に導電膜をスパッタリング法、CVD法、または真空蒸着法で形成し、当該導電膜上にフォトリソグラフィ工程によりレジストマスクを形成し、当該レジストマスクを用いて導電膜をエッチングして、形成することができる。または、フォトリソグラフィ工程を用いず、印刷法、インクジェット法で第1の電極202を形成することで、工程数を削減することができる。なお、第1の電極202の端部をテーパ形状とすると、後に形成されるゲート絶縁膜の被覆性が向上するため好ましい。第1の電極202の端部と絶縁膜201のなす角の角度を30°以上60°以下、好ましくは40°以上50°以下とすることで、後に形成されるゲート絶縁膜の被覆性を向上させることができる。

【0132】

本実施の形態では、第1の電極202となる導電膜として、スパッタリング法により膜厚50nmのチタン膜を形成し、厚さ100nmのアルミニウム膜を形成し、厚さ50nmのチタン膜を形成する。次に、フォトリソグラフィ工程により形成したレジストマスクを用いてエッチングして、第1の電極202を形成する。なお、フォトリソグラフィ工程により形成したレジストマスクの代わりに、インクジェット法を用いてレジストマスクを製作することで、工程数を削減することができる。

【0133】

次いで、第1の電極202上に島状の酸化物半導体膜203を形成する。酸化物半導体膜203は、スパッタリング法、塗布法、印刷法等により形成することができる。本実施の形態では、スパッタリング法により第1の電極202上に酸化物半導体膜を形成した後、エッチング等により当該酸化物半導体膜を所望の形状に加工することで、島状の酸化物半導体膜203を形成する。また、酸化物半導体膜は、希ガス(例えばアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(例えばアルゴン)及び酸素雰囲気下においてスパッタ法に

10

20

30

40

50

より形成することができる。

【0134】

なお、島状の酸化物半導体膜203を形成するためのエッチングは、実施の形態1に示した島状の酸化物半導体膜を形成するためのエッチングについての記載を参照して実施すれば良い。ただし、エッチングにより形成される島状の酸化物半導体膜203の端部と、第1の電極202のなす角の角度を30°以上60°以下、好ましくは40°以上50°以下とすることで、後に形成されるゲート絶縁膜の被覆性を向上させることができるため好ましい。

【0135】

なお、酸化物半導体膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、第1の電極202の表面に付着している塵埃を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、亜酸化窒素などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素、四フッ化炭素などを加えた雰囲気で行ってもよい。

【0136】

酸化物半導体膜203は、上述したような酸化物半導体を用いることができる。

【0137】

本実施の形態では、In（インジウム）、Ga（ガリウム）、及びZn（亜鉛）を含む酸化物半導体ターゲットを用いたスパッタ法により得られる膜厚30nmのIn-Ga-Zn-O系非単結晶膜を、酸化物半導体膜203として用いる。上記ターゲットとして、例えば、各金属の原子比がIn:Ga:Zn=1:1:0.5、In:Ga:Zn=1:1:1、またはIn:Ga:Zn=1:1:2の組成比を有する酸化物半導体ターゲットを用いることができる。また、酸化物半導体膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素雰囲気下においてスパッタリング法により形成することができる。また、スパッタリング法を用いる場合、SiO₂を2重量%以上10重量%以下含むターゲットを用いて成膜を行ってもよい。また、In、Ga、及びZnを含む酸化物半導体ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い酸化物半導体ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

【0138】

減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして基板200上に酸化物半導体膜203を成膜する。成膜時に、基板温度を100以上600以下好ましくは200以上400以下としても良い。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水（H₂O）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0139】

本実施の形態では、酸化物半導体膜の成膜条件の一例として、基板温度室温、基板とターゲットの間との距離を110mm、圧力0.4Pa、直流（DC）電源0.5kW、酸素及びアルゴン（酸素流量15sccm：アルゴン流量30sccm）雰囲気下の条件が適用される。なお、パルス直流（DC）電源を用いると、成膜時に発生するパーティクルと呼ばれる塵埃が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体膜の厚さ

10

20

30

40

50

は、1 μm 以上、好ましくは3 μm 以上、さらに好ましくは10 μm 以上とする。なお、適用する酸化物半導体膜材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

【0140】

なお、酸化物半導体膜203に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室で第1の電極202までが形成された基板200を予備加熱し、基板200に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度としては、100以上400以下好ましくは150以上300以下である。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、絶縁膜の成膜前に、ゲート電極まで形成した基板200にも同様に行ってもよい。

10

【0141】

スパッタリング法にはスパッタ用電源に高周波電源を用いるRFスパッタリング法と、DCスパッタリング法があり、さらにパルス的にバイアスを与えるパルスDCスパッタリング法もある。RFスパッタリング法は主に絶縁膜を成膜する場合に用いられ、DCスパッタリング法は主に金属膜を成膜する場合に用いられる。

【0142】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

20

【0143】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタリング法を用いるスパッタ装置がある。

【0144】

また、スパッタリング法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアスパッタリング法もある。

【0145】

次いで、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、又は超乾燥エア(CRDS(キャピティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55)以下、好ましくは1ppm以下、好ましくは10ppb以下の空気)雰囲気下において、酸化物半導体膜203に第1の加熱処理を施す。酸化物半導体膜203に加熱処理を施すことで、図5(B)に示すように、水分、水素が脱離した酸化物半導体膜205が形成される。具体的には、300以上850以下(若しくはガラス基板の歪点以下の温度)で加熱処理を行えば良い。RTA法を用いれば、短時間に脱水化または脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。本実施の形態では、加熱処理装置の一つである電気炉を用い、酸化物半導体膜203に対して、窒素雰囲気下において、基板温度が450に達した状態で1時間、加熱処理を行った後、大気に触れることなく、水や水素の再混入を防ぎ、酸化物半導体膜205を得る。

30

40

【0146】

なお、第1の加熱処理に用いられる加熱処理装置についての詳しい説明については、実施の形態1に既に述べたので、ここでは省略する。

【0147】

また、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水分、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましく

50

は0.1ppm以下)とすることが好ましい。

【0148】

次いで、図5(C)に示すように、酸化物半導体膜205に、イオン注入法またはイオンドーピング法を用いて、酸素を添加する。イオン注入法またはイオンドーピング法などを用いて、酸化物半導体膜205に酸素を添加することで、酸素が過剰に添加された酸化物半導体膜207が形成される。酸素の添加により、酸化物半導体を構成している金属と水素の間の結合、或いは該金属と水酸基の間の結合を切断するとともに、これら水素または水酸基が、酸素と反応することで水を生成する。よって、後に行われる第2の加熱処理により、不純物である水素、または水酸基を、水として脱離させやすくすることができる。

【0149】

酸素ガスを用いて、イオン注入法で酸素の添加を行う場合、加速電圧を5kV以上100kV以下、ドーズ量を 1×10^{13} ions/cm²以上 1×10^{16} ions/cm²以下とすれば良い。

【0150】

なお、イオン注入法で酸化物半導体膜205への酸素の添加を行うのと並行して、酸化物半導体膜205が形成された基板に対して、300以上850以下(若しくはガラス基板の歪点以下の温度)の範囲で、加熱処理を行うようにしても良い。

【0151】

次いで、第2の加熱処理を行う。第2の加熱処理は、第1の加熱処理と同様の条件で行うことができる。具体的には、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、又は超乾燥エア(CRDS(キャピティリングダウンレーザー分光法)方式の露点計を用いて測定した場合の水分量が20ppm(露点換算で-55)以下、好ましくは1ppm以下、好ましくは10ppb以下の空気)雰囲気下において、300以上850以下(若しくはガラス基板の歪点以下の温度)で加熱処理を行えばよい。RTA法を用いれば、短時間に脱水化または脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。本実施の形態では、加熱処理装置の一つである電気炉を用い、窒素雰囲気下において、基板温度が450に達した状態で1時間、加熱処理を行った後、大気に触れることなく、水や水素の再混入を防ぎ、酸化物半導体膜208を得る。なお、上記加熱処理は、島状の酸化物半導体膜208形成後に複数回行っても良い。

【0152】

本発明の一態様では、酸化物半導体膜205への酸素の添加により、酸化物半導体を構成している金属と水素の間の結合、或いは該金属と水酸基の間の結合を切断するとともに、これら水素または水酸基を酸素と反応させて、水を生成する。そのため、酸素の添加後に第2の加熱処理を行うことで、強固に残存していた水素または水酸基などの不純物を、水として、脱離させやすくすることができる。よって、上記加熱処理によって形成された島状の酸化物半導体膜208は、第1の加熱処理によってもなお取り除かれなかった水分または水素などの不純物が、除去されるので、第1の加熱処理後の酸化物半導体膜205よりも、さらに、i型(真性半導体)又はi型に限りなく近くなる。水分、水素などの不純物が脱離し、i型(真性半導体)又はi型に限りなく近くなるため、上記不純物により閾値電圧がシフトするなどのトランジスタの特性の劣化が促進されるのを防ぎ、オフ電流を低減させることができる。

【0153】

また、85、 2×10^6 V/cm、12時間のゲートバイアス・熱ストレス試験(BT試験)においては、不純物が酸化物半導体に添加されていると、不純物と酸化物半導体の主成分との結合手が、強電界(B:バイアス)と高温(T:温度)により切断され、生成された不對結合手がしきい値電圧(V_{th})のドリフトを誘発することとなる。しかし、上述したように、ゲート絶縁膜と酸化物半導体膜との界面特性を良好にし、なおかつ、酸化物半導体膜中の不純物、特に水素や水等を極力除去することにより、BT試験に対しても安定なトランジスタが得られる。

10

20

30

40

50

【0154】

なお、第2の加熱処理に用いられる加熱処理装置についての詳しい説明については、実施の形態1に既に述べたので、ここでは省略する。

【0155】

なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水分、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0156】

以上の工程により酸化物半導体膜中の水素の濃度を低減し、高純度化することができる。それにより酸化物半導体膜の安定化を図ることができる。また、ガラス転移温度以下の加熱処理で、キャリア密度が極端に少なく、バンドギャップの広い酸化物半導体膜を形成することができる。このため、大面積基板を用いてトランジスタを作製することができるため、量産性を高めることができる。また、当該水素濃度が低減され高純度化された酸化物半導体膜を用いることで、耐圧性が高く、ショートチャネル効果が低く、オンオフ比の高いトランジスタを作製することができる。

【0157】

次いで、図5(E)に示すように、酸化物半導体膜208上に、第2の電極211を形成する。第2の電極211に用いられる導電膜の材料、構造については、第1の電極202と同様の形態を採用することができる。また、第2の電極211の作製方法については、第1の電極202と同様に実施することができる。

【0158】

本実施の形態では、フォトリソグラフィ工程により第2の電極211となる導電膜上にレジストマスクを形成し、当該レジストマスクを用いて導電膜をエッチングして、第2の電極211を形成する。ここでは、第2の電極211となる導電膜として、厚さ50nmのチタン膜、厚さ100nmのアルミニウム膜、及び厚さ50nmのチタン膜を順に積層する。第2の電極211の端部と、酸化物半導体膜208のなす角の角度を30°以上60°以下、好ましくは40°以上50°以下とすることで、後に形成されるゲート絶縁膜の被覆性を向上させることができるため好ましい。そして、第2の電極211は、第1の電極202から離隔した位置において、第1の電極202と接することなく形成される。

【0159】

第1の電極202と第2の電極211は、いずれか一方がトランジスタのソース電極、他方がドレイン電極として機能する。

【0160】

第2の電極211を形成した後、加熱処理を施しても良い。加熱処理の温度は、400以上850以下、好ましくは400以上基板の歪み点未満とする。本実施の形態では、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体膜208に対して窒素、希ガスなどの不活性ガス雰囲気下において450において1時間の加熱処理を行った後、大気に触れさせないことで、酸化物半導体膜への水素、水、水酸基または水素化物などの再侵入を防ぐことで、水素濃度がさらに低減され高純度化され、i型化または実質的にi型化された酸化物半導体膜を得ることができる。

【0161】

なお、上記加熱処理においては、窒素、またはヘリウム、ネオン、アルゴンなどの希ガスに、水素、水、水酸基または水素化物などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴンなどの希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0162】

図7(A)に、図5(E)の第1の電極202、酸化物半導体膜208、第2の電極21

10

20

30

40

50

1の上面図を示す。なお、図7(A)の破線B1-B2における断面図が、図5(E)に相当する。

【0163】

次いで、図6(A)に示すように、第1の電極202、酸化物半導体膜208、第2の電極211を覆うように、ゲート絶縁膜212を形成し、ゲート絶縁膜212上にゲート電極213を形成する。ゲート絶縁膜212は、プラズマCVD法又はスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜、酸化ハフニウム膜または酸化タンタル膜を単層で又は積層させて形成することができる。

【0164】

また、ゲート絶縁膜212として、ハフニウムシリケート($HfSiO_x$)、Nが添加された $HfSi_xO_y$ 、窒素が添加されたハフニウムアルミネート($HfAlO_x$)、酸化ハフニウム、酸化イットリウムなどのhigh-k材料を用いることでゲートリークを低減できる。さらには、high-k材料と、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、または酸化アルミニウム膜のいずれか一以上との積層構造とすることができる。ゲート絶縁膜212の厚さは、50nm以上500nm以下とするとよい。ゲート絶縁膜212の厚さを厚くすることで、ゲートリーク電流を低減することができる。

【0165】

ゲート絶縁膜212は、水分や、水素などの不純物を極力含まないことが望ましい。スパッタリング法により酸化珪素膜を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

【0166】

不純物を除去することによりi型化又は実質的にi型化された酸化物半導体(高純度化された酸化物半導体)は界面準位、界面電荷に対して極めて敏感であるため、ゲート絶縁膜212との界面は重要である。そのため高純度化された酸化物半導体に接するゲート絶縁膜(GI)は、高品質化が要求される。

【0167】

例えば、 μ 波(2.45GHz)を用いた高密度プラズマCVDは、緻密で絶縁耐圧の高い高品質な絶縁膜を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート絶縁膜とが密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。

【0168】

もちろん、ゲート絶縁膜212として良質な絶縁膜を形成できるものであれば、スパッタリング法やプラズマCVD法など他の成膜方法を適用することができる。また、成膜後の熱処理によってゲート絶縁膜212の膜質、酸化物半導体との界面特性が改質される絶縁膜であっても良い。いずれにしても、ゲート絶縁膜としての膜質が良好であることは勿論のこと、酸化物半導体との界面準位密度を低減し、良好な界面を形成できるものであれば良い。

【0169】

バリア性の高い材料を用いた絶縁膜と、含まれる窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜とを積層させた構造を有するゲート絶縁膜212を形成しても良い。この場合、酸化珪素膜、酸化窒化珪素膜などの絶縁膜は、バリア性を有する絶縁膜と酸化物半導体膜の間に形成する。バリア性の高い絶縁膜として、例えば窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などが挙げられる。バリア性を有する絶縁膜を用いることで、水分または水素などの雰囲気中の不純物、或いは基板内に含まれるアルカリ金属、重金属などの不純物が、酸化物半導体膜内、ゲート絶縁膜212内、或いは、酸化物半導体膜と他の絶縁膜の界面とその近傍に入り込むのを防ぐことができる。また、酸化物半導体膜に接するように窒素の比率が低い酸化珪素膜、酸化窒化

10

20

30

40

50

珪素膜などの絶縁膜を形成することで、バリア性の高い材料を用いた絶縁膜が直接酸化物半導体膜に接するのを防ぐことができる。

【0170】

例えば、第1のゲート絶縁膜として膜厚5nm以上300nm以下の酸化シリコン膜(SiO_x ($x > 0$))を形成し、第1のゲート絶縁膜上に第2のゲート絶縁膜としてスパッタリング法により膜厚50nm以上200nm以下の窒化シリコン膜(SiN_y ($y > 0$))を積層して、膜厚100nmのゲート絶縁膜としてもよい。本実施の形態では、圧力0.4Pa、高周波電源1.5kW、酸素及びアルゴン(酸素流量25sccm:アルゴン流量25sccm=1:1)雰囲気下でRFスパッタリング法により膜厚100nmの酸化シリコン膜を形成する。

10

【0171】

なお、ゲート絶縁膜212に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室で第1の電極202、酸化物半導体膜208及び第2の電極211が形成された基板200を予備加熱し、基板200に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度としては、100以上400以下好ましくは150以上300以下である。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。

【0172】

なお、ゲート絶縁膜212を形成した後に、加熱処理を施しても良い。加熱処理は大気雰囲気下、又は不活性ガス雰囲気(窒素、またはヘリウム、ネオン、アルゴン等)下において、好ましくは200以上400以下、例えば250以上350以下で行う。本実施の形態では、例えば、窒素雰囲気下で250、1時間の加熱処理を行う。上記加熱処理を行うと、酸化物半導体膜208がゲート絶縁膜212を構成する酸化珪素と接した状態で加熱されることになり、第2の加熱処理で酸素欠損が発生していたとしても、酸化珪素から酸素が供給されることで、ドナーとなる酸素欠損を低減し、化学量論的組成比を満たす構成とすることが可能であり、酸化物半導体膜208をi型化または実質的にi型化にすることができる。この加熱処理を行うタイミングは、ゲート絶縁膜212の形成後であれば特に限定されず、他の工程、例えば後に形成されるゲート電極213、絶縁膜214、または配線215、配線216、配線217のいずれかを形成した後に行ってもよい。また、透明導電膜を低抵抗化させるための加熱処理などの、他の加熱処理と兼ねること

20

30

【0173】

ゲート電極213の材料は、モリブデン、チタン、クロム、タンタル、タングステン、ネオジウム、スカンジウム等の金属材料、これら金属材料を主成分とする合金材料を用いた導電膜、或いはこれら金属の窒化物を、単層で又は積層で用いることができる。なお、後の工程において行われる加熱処理の温度に耐えうるのであれば、上記金属材料としてアルミニウム、銅を用いることも出来る。アルミニウムまたは銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジウム、スカンジウム等を用

40

【0174】

例えば、二層の積層構造を有するゲート電極213として、アルミニウム膜上にモリブデン膜が積層された二層の積層構造、または銅膜上にモリブデン膜を積層した二層構造、または銅膜上に窒化チタン膜若しくは窒化タンタル膜を積層した二層構造、窒化チタン膜とモリブデン膜とを積層した二層構造とすることが好ましい。3層の積層構造を有するゲート電極213としては、アルミニウム膜、アルミニウムとシリコンの合金膜、アルミニウムとチタンの合金膜またはアルミニウムとネオジウムの合金膜を中間層とし、タングステン膜、窒化タングステン膜、窒化チタン膜またはチタン膜を上下層として積層した構造とすることが好ましい。

50

【0175】

また、ゲート電極213に酸化インジウム、酸化インジウム酸化スズ合金、酸化インジウム酸化亜鉛合金、酸化亜鉛、酸化亜鉛アルミニウム、酸化亜鉛アルミニウム、または酸化亜鉛ガリウム等の透光性を有する酸化物導電膜をゲート電極213に用いることで、画素部の開口率を向上させることができる。

【0176】

ゲート電極213の膜厚は、10nm～400nm、好ましくは100nm～200nmとする。本実施の形態では、タングステンターゲットを用いたスパッタ法により150nmのゲート電極用の導電膜を形成した後、該導電膜をエッチングにより所望の形状に加工（パターンング）することで、ゲート電極213を形成する。ゲート電極213は、少なくとも、ゲート絶縁膜212を間に挟んで、酸化物半導体膜208の端部と重なる位置に形成されていれば良い。酸化物半導体膜208の端部では、このゲート絶縁膜212を間に挟んでゲート電極213と重なる部分218において、チャンネル形成領域が形成される。なお、形成されたゲート電極213の端部がテーパ形状であると、上に積層する絶縁膜214の被覆性が向上するため好ましい。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトリソグラフィを使用しないため、製造コストを低減できる。

10

【0177】

次いで、図6(B)に示すように、第1の電極202、酸化物半導体膜208、第2の電極211、ゲート絶縁膜212及びゲート電極213を覆うように、絶縁膜214を形成した後、コンタクトホール221、コンタクトホール222、コンタクトホール223を形成する。絶縁膜214は、水分や、水素などの不純物を極力含まないことが望ましく、単層の絶縁膜であっても良いし、積層された複数の絶縁膜で構成されていても良い。絶縁膜214は、例えば、酸化珪素膜、酸化窒化珪素膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などの酸化物絶縁膜、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などの窒化物絶縁膜を用いる。または、酸化物絶縁膜及び窒化物絶縁膜の積層とすることもできる。上記絶縁膜214に、バリア性の高い絶縁膜、例えば、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などを用いることで、酸化物半導体膜208内、ゲート絶縁膜212内、或いは、酸化物半導体膜208と他の絶縁膜の界面とその近傍に、水分または水素などの不純物が入り込むのを防ぐことができる。

20

30

【0178】

本実施の形態では、スパッタ法で形成された膜厚200nmの酸化珪素膜上に、スパッタ法で形成された膜厚100nmの窒化珪素膜を積層させた構造を有する、絶縁膜214を形成する。なお、スパッタリング法で絶縁膜214を形成する場合、基板200を100～400の温度に加熱し、水素、水、水酸基または水素化物などが除去された高純度窒素を含むスパッタガスを導入しシリコン半導体のターゲットを用いて絶縁膜214を形成してもよい。この場合においても、処理室内に残留する水素、水、水酸基または水素化物などを除去しつつ絶縁膜を形成することが好ましい。

【0179】

なお、絶縁膜214を形成した後に、加熱処理を施しても良い。加熱処理は、不活性ガス雰囲気（窒素、またはヘリウム、ネオン、アルゴン等）下において、好ましくは200以上400以下、例えば250以上350以下で行う。

40

【0180】

コンタクトホール221、コンタクトホール222、コンタクトホール223は、フォトリソグラフィ工程によりレジストマスクを形成し、ゲート絶縁膜212及び絶縁膜214の一部をエッチングにより選択的に除去することで形成できる。コンタクトホール221により、ゲート電極213の一部が露出される。コンタクトホール222により、第2の電極211の一部が露出される。コンタクトホール223により、ゲート電極213の一部が露出される。また、これらコンタクトホールの形成時に、第1の電極202のゲート

50

電極 2 1 3 に覆われていない領域において、第 1 の電極 2 0 2 が露出するようなコンタクトホールを形成しても良い。

【 0 1 8 1 】

次に、図 6 (C) に示すように、コンタクトホール 2 2 1、コンタクトホール 2 2 2、コンタクトホール 2 2 3 を覆うように、絶縁膜 2 1 4 上に導電膜を形成した後、エッチング等により、当該導電膜を所望の形状に加工して、配線 2 1 5、配線 2 1 6、配線 2 1 7 を形成する。なお、エッチングに用いるレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを削減できる。

【 0 1 8 2 】

配線 2 1 5 は、コンタクトホール 2 2 1 を介してゲート電極 2 1 3 に接続されている。配線 2 1 6 は、コンタクトホール 2 2 2 を介して第 2 の電極 2 1 1 に接続されている。配線 2 1 7 は、コンタクトホール 2 2 3 を介してゲート電極 2 1 3 に接続されている。なお、これら配線の形成時に、コンタクトホールを介して第 1 の電極 2 0 2 に接続される配線を形成しても良い。

【 0 1 8 3 】

配線 2 1 5、配線 2 1 6、配線 2 1 7 は、第 1 の電極 2 0 2 と同様の構造、材料を有する導電膜を用いて、同様の作製方法にて形成することができる。

【 0 1 8 4 】

以上の工程でトランジスタ 2 2 0 が形成される。

【 0 1 8 5 】

図 7 (B) に、図 6 (C) に示すトランジスタ 2 2 0 の上面図を示す。なお、図 7 (B) の破線 B 1 - B 2 における断面図が、図 6 (C) に相当する。図 7 (B) において、配線 2 3 0 は、配線 2 1 5、配線 2 1 6、配線 2 1 7 と同時に形成される配線であり、コンタクトホール 2 3 1 を介して第 1 の電極 2 0 2 に接続されている。

【 0 1 8 6 】

上記のように酸化物半導体膜中の水素の濃度を低減し、高純度化することができる。それにより酸化物半導体膜の安定化を図ることができる。また、ガラス転移温度以下の加熱処理で、キャリア密度が極端に少なく、バンドギャップの広い酸化物半導体膜を形成することができる。このため、大面積基板を用いてトランジスタを作製することができるため、量産性を高めることができる。また、当該水素濃度が低減され高純度化された酸化物半導体膜を用いることで、耐圧性が高く、ショートチャネル効果が低く、オンオフ比の高いトランジスタを作製することができる。

【 0 1 8 7 】

なお、本実施の形態では、酸化物半導体膜 2 0 8 のうち、第 2 の電極 2 1 1 とは異なる領域に形成されている部分全てが、ゲート電極 2 1 3 に覆われているが、本発明はこの構成に限定されない。酸化物半導体膜 2 0 8 のうち、第 2 の電極 2 1 1 とは異なる領域に形成されている部分の少なくとも一部が、ゲート電極 2 1 3 により覆われていれば良い。また、第 1 の電極 2 0 2 と第 2 の電極 2 1 1 のうち、ドレイン電極として機能する電極が、ゲート電極 2 1 3 に接続されていても良い。ドレイン電極として機能する電極がゲート電極 2 1 3 に接続されていることで、当該トランジスタをダイオードとして機能させることができる。

【 0 1 8 8 】

なお、トランジスタが有するソース電極とドレイン電極は、トランジスタの極性及び各電極に与えられる電位の高低差によって、その呼び方が入れ替わる。一般的に、n チャンネル型トランジスタでは、低い電位の与えられる電極がソース電極と呼ばれ、高い電位の与えられる電極がドレイン電極と呼ばれる。また、p チャンネル型トランジスタでは、低い電位の与えられる電極がドレイン電極と呼ばれ、高い電位の与えられる電極がソース電極と呼ばれる。本明細書では、便宜上、ソース電極とドレイン電極とが固定されているものと仮定して、トランジスタの接続関係を説明しているが、実際には上記電位の関係に従ってソ

10

20

30

40

50

ース電極とドレイン電極の呼び方が入れ替わる。

【0189】

また、本明細書において接続とは電氣的な接続を意味しており、電流または電圧が伝送可能な状態に相当する。

【0190】

ここで、本実施の形態で示したトランジスタのドレイン耐圧について説明する。

【0191】

半導体中の電界があるしきい値に達すると、衝突イオン化が生じ、空乏層内で高電界により加速されたキャリアが結晶格子に衝突し、電子と正孔の対を生成する。さらに電界が高くなると、衝突イオン化により発生した電子と正孔の対もさらに電界によって加速され、衝突イオン化を繰り返して、電流が指数関数的に増加するアバランシェ降伏が生じる。衝突イオン化は、キャリア（電子、正孔）が半導体のバンドギャップ以上の運動エネルギーを有することにより発生する。このため、バンドギャップが大きいほど、衝突イオン化を発生させる電界が高くなる。

10

【0192】

酸化物半導体のバンドギャップは、 3.15 eV であり、シリコンのバンドギャップの 1.74 eV とくらべて大きいので、アバランシェ降伏が起こりにくい。このため、酸化物半導体を用いたトランジスタはドレイン耐圧が高くなり、高電界が印加されてもオン電流の指数関数的急上昇が生じにくい。

【0193】

次に、酸化物半導体を用いたトランジスタのホットキャリア劣化について説明する。

20

【0194】

ホットキャリア劣化とは、高速に加速された電子がチャネル中のドレイン近傍でゲート絶縁膜中に注入されて固定電荷となる、或いは、ゲート絶縁膜界面にトラップ準位を形成することにより、閾値電圧の変動やゲートリーク等のトランジスタ特性の劣化が生じることであり、ホットキャリア劣化の要因としては、チャネルホットエレクトロン注入（CHE注入）とドレインアバランシェホットキャリア注入（DAH C注入）がある。

【0195】

シリコンはバンドギャップが狭いため、アバランシェ降伏によって雪崩的に電子が発生しやすく、ゲート絶縁膜への障壁を越えられるほど高速に加速される電子数が増加する。しかしながら、本実施の形態で示す酸化物半導体は、バンドギャップが広いため、アバランシェ降伏が生じにくく、シリコンと比べてホットキャリア劣化の耐性が高い。なお、高耐圧材料の一つであるシリコンカーバイドのバンドギャップと酸化物半導体のバンドギャップは同等であるが、酸化物半導体の方が、移動度が2桁程小さいため、電子が加速されにくく、シリコンカーバイドよりホットキャリア劣化が生じにくく、ドレイン耐圧が高いといえる。

30

【0196】

以上のことから、酸化物半導体を用いたトランジスタはドレイン耐圧が高く、具体的には 100 V 以上、好ましくは 500 V 、より好ましくは 1 kV 以上のドレイン耐圧を有することが可能である。

40

【0197】

ここで、トランジスタの代表例であるシリコンカーバイドと酸化物半導体の比較について以下に示す。ここでは、シリコンカーバイドとして、 4H-SiC を用いる。

【0198】

酸化物半導体と 4H-SiC はいくつかの共通点を有している。真性キャリア密度はその一例である。フェルミ・ディラック分布に従えば、酸化物半導体の真性キャリア密度は 10^{-7} cm^{-3} 程度と見積もられるが、これは、 4H-SiC における $6.7 \times 10^{-11}\text{ cm}^{-3}$ と同様、極めて低い値である。

【0199】

また、酸化物半導体のエネルギーバンドギャップは $3.0\text{ eV} \sim 3.5\text{ eV}$ であり、 4H

50

- SiCのエネルギーバンドギャップは3.26 eVであるから、ワイドギャップ半導体という点においても、酸化物半導体とシリコンカーバイドとは共通している。

【0200】

しかしながら、酸化物半導体及びシリコンカーバイドにおいて、製造温度が大きく異なる。シリコンカーバイドは一般に1500 ~ 2000 の熱処理を必要とする。一方、酸化物半導体は、300 ~ 500 (ガラス転移温度以下、最大でも700 程度)の熱処理で作製することが可能であり、大面積基板上にトランジスタを作製することができる。また、スループットを高めることができる。

【0201】

また、シリコンカーバイドを用いたトランジスタはPN接合を用いるため、ドナーまたはアクセプターとなりうる不純物(リン、ボロン等)のドーピング工程が必要であるため、製造工程数が増大する。一方、酸化物半導体を用いたトランジスタは、PN接合を設けずともよいから、製造工程の削減、スループットの向上が可能であり、更には大面積基板を用いることが可能である。

【0202】

なお、酸化物半導体において、バンドギャップ内のDOS (density of state) 等の物性研究は多くなされているが、これらの研究は、DOSそのものを十分に減らすという思想を含まない。本実施の形態では、DOSの原因たり得る水や水素を酸化物半導体中より除去することで、高純度化した酸化物半導体を作製する。これは、DOSそのものを十分に減らすという思想に基づくものである。そして、これによって極めて優れた工業製品の製造を可能とするものである。

【0203】

さらに、酸素欠乏により発生する金属の不对結合手に対して酸素を供給し、酸素欠陥によるDOSを減少させることにより、いっそう高純度化された(i型の)酸化物半導体とすることも可能である。たとえば、チャンネル形成領域に密接して酸素過剰の酸化膜を形成し、当該酸化膜から酸素を供給して、酸素欠陥によるDOSを減少させることが可能である。

【0204】

酸化物半導体の欠陥は、過剰な水素による伝導帯下0.1 ~ 0.2 eVの浅い準位や、酸素の不足による深い準位、などに起因するものとされている。これらの欠陥を無くすために、水素を徹底的に除去し、酸素を十分に供給する、という技術思想は正しいものであろう。

【0205】

また、酸化物半導体は一般にn型とされているが、本実施の形態では、不純物、特に水や水素を除去することによりi型化を実現する。この点、シリコンなどのように不純物を添加してのi型化ではなく、従来にない技術思想を含むものといえる。

【0206】

また、酸化物半導体をi型化することにより、トランジスタの温度特性が良好であり、代表的には、-25 から150 までの温度範囲において、トランジスタの電流電圧特性において、オン電流、オフ電流、電界効果移動度、S値、及びしきい値電圧の変動がほとんどなく、温度による電流電圧特性の劣化がほとんどない。

【0207】

なお、本実施の形態で示す酸化物半導体を用いたトランジスタは、シリコンカーバイドを用いたトランジスタと比較して、移動度が2桁ほど低いが、ドレイン電圧を高くする、チャンネル幅(W)を大きくすることで、トランジスタの電流値を高め、デバイス特性を向上させることができる。

【0208】

本実施の形態の技術思想は、酸化物半導体中に、不純物をさらに加えることをせずに、逆に不本意に存在する水、水素という不純物を意図的に除去することにより、酸化物半導体自体を高純度化することである。すなわち、ドナー準位を構成する水または水素を除去し

10

20

30

40

50

、さらに酸素欠損を低減し、酸化物半導体を構成する主成分材料の酸素を十分に供給することにより、酸化物半導体を高純度化することである。

【0209】

酸化物半導体を成膜することで 10^{20} cm^{-3} のレベルの水素がSIMS（二次イオン質量分析）で測定される。このドナー準位の原因となる水または水素を意図的に除去し、さらに水または水素の除去に伴い同時に減少してしまう酸素（酸化物半導体の成分の一つ）を酸化物半導体に加えることにより、酸化物半導体を高純度化し、電氣的にi型（真性）半導体とする。

【0210】

また、本実施の形態においては、酸化物半導体中の水、水素の量は少なければ少ないほど好ましく、キャリアも少なければ少ないほど良い。すなわち、キャリア密度は $1 \times 10^{14} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{12} \text{ cm}^{-3}$ 未満、さらに好ましくは測定限界以下の $1 \times 10^{11} \text{ cm}^{-3}$ 未満が求められる。更には本実施の形態の技術思想的には、ゼロに近いまたはゼロが理想である。酸化物半導体のキャリアを低減し、好ましくは無くしてしまうことで、トランジスタにおいて酸化物半導体はキャリアを通過させる通路（パス）として機能させる。その結果、酸化物半導体は高純度化したi型（真性）半導体であり、キャリアがない、または極めて少なくせしめることにより、トランジスタのオフ状態ではIoffを極めて低くできるというのが本実施の形態の技術思想である。

10

【0211】

また、酸化物半導体は通路（パス）として機能し、酸化物半導体自体がキャリアを有さない、または極めて少ないように高純度化したi型（真性）とすると、キャリアはソース電極、ドレイン電極により供給される。

20

【0212】

なお、本実施の形態で示した構造を有するトランジスタは、実施の形態1に示したような、チャンネルが基板と概略平行に形成される横型のトランジスタに比べて基板表面における占有面積を低減することができる。この結果、トランジスタの微細化が可能である。

【0213】

このように、酸化物半導体膜の主成分以外の不純物、代表的には水素、水、水酸基または水素化物などが極力含まれないように高純度化することにより、トランジスタの動作を良好なものとすることができる。特に、耐圧性を高め、ショートチャンネル効果を低減し、オンオフ比を高めることができる。

30

【0214】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【0215】

（実施の形態3）

本実施の形態では、チャンネル保護構造のボトムゲート型のトランジスタを例に挙げ、半導体装置の構造及び作製方法について説明する。なお、実施の形態1と同一部分又は同様な機能を有する部分、及び工程は、実施の形態1と同様に行うことができるため、繰り返しの説明は省略する。

【0216】

実施の形態1の図1（E）に示すように、第2の加熱処理の工程まで、同様に行う。次いで、図8（A）に示すように、酸化物半導体膜108内のゲート電極101と重なる領域、すなわちチャンネル形成領域と重なるように、酸化物半導体膜108上にチャンネル保護膜130を形成する。チャンネル保護膜130を設けることによって、酸化物半導体膜108のチャンネル形成領域となる部分に対する、後の工程時におけるダメージ（エッチング時のプラズマやエッチング剤による膜減りなど）を防ぐことができる。従ってトランジスタの信頼性を向上させることができる。

40

【0217】

チャンネル保護膜130には、酸素を含む無機材料（酸化珪素、酸化窒化珪素、窒化酸化珪素など）を用いることができる。チャンネル保護膜130は、プラズマCVD法や熱CVD

50

法などの気相成長法やスパッタリング法を用いて形成することができる。チャンネル保護膜 130 は成膜後にエッチングにより形状を加工する。ここでは、スパッタ法により酸化珪素膜を形成し、フォトリソグラフィによるマスクを用いてエッチング加工することでチャンネル保護膜 130 を形成する。

【0218】

なお、チャンネル保護膜 130 を形成した後に、加熱処理を施しても良い。加熱処理は、不活性ガス雰囲気（窒素、またはヘリウム、ネオン、アルゴン等）下において、好ましくは 200 以上 400 以下、例えば 250 以上 350 以下で行う。本実施の形態では、例えば、窒素雰囲気下で 250 、1 時間の加熱処理を行う。酸化半導体膜 108 のチャンネル形成領域となる部分と、酸素を含む絶縁膜であるチャンネル保護膜 130 とが接して設けられた後に、加熱処理が施されることによって、酸化半導体膜 108 に酸素が供与されるため、酸化半導体膜 108 のチャンネル保護膜 130 と接する領域を選択的に酸素過剰な状態とすることができる。その結果、酸化半導体膜 108 の少なくともチャンネル保護膜 130 と接する領域において、第 2 の加熱処理により酸素欠損が発生していたとしても、ドナーとなる酸素欠損を低減して化学量論的組成比を満たす構成とすることが可能であり、ゲート電極 101 と重なるチャンネル形成領域は i 型化または実質的に i 型化となり、トランジスタの電気特性の向上および、電気特性のばらつきを軽減することができる。この加熱処理を行うタイミングは、チャンネル保護膜 130 の形成後であれば特に限定されず、他の工程、例えば樹脂膜形成時の加熱処理や、透明導電膜を低抵抗化させるための加熱処理と兼ねることで、工程数を増やすことなく行うことができる。

【0219】

次いで、図 8 (B) に示すように、酸化半導体膜 108 上に、ソース電極及びドレイン電極（これと同じ層で形成される配線を含む）となる導電膜を形成した後、該導電膜をエッチング等により所望の形状に加工することで、ソース電極 131、ドレイン電極 132 を形成する。ソース電極 131、ドレイン電極 132 の材料、膜厚及び構造と、作製方法については、実施の形態 1 に示したソース電極 111、ドレイン電極 112 についての記載を参照すれば良い。

【0220】

次いで、 N_2O 、 N_2 、または Ar などのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化半導体膜の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0221】

なお、プラズマ処理を行った後、図 8 (C) に示すように、ソース電極 131、ドレイン電極 132、チャンネル保護膜 130 及び酸化半導体膜 108 を覆うように、絶縁膜 133 を形成する。絶縁膜 133 の材料、膜厚及び構造と、作製方法については、実施の形態 1 に示した絶縁膜 113 についての記載を参照すれば良い。

【0222】

なお、絶縁膜 133 を形成した後に、加熱処理を施しても良い。加熱処理は、不活性ガス雰囲気（窒素、またはヘリウム、ネオン、アルゴン等）下において、好ましくは 200 以上 400 以下、例えば 250 以上 350 以下で行う。本実施の形態では、例えば、窒素雰囲気下で 250 、1 時間の加熱処理を行う。

【0223】

以上の工程でトランジスタ 140 が形成される。

【0224】

図 9 に、図 8 (C) に示すトランジスタ 140 の上面図を、それぞれ示す。なお、図 9 の破線 C1 - C2 における断面図が、図 8 (C) に相当する。

【0225】

上記作製方法に従って形成されたトランジスタ 140 は、ゲート電極 101 と、ゲート電極 101 上のゲート絶縁膜 102 と、ゲート絶縁膜 102 上の酸化半導体膜 108 と、酸化半導体膜 108 上のチャンネル保護膜 130 と、酸化半導体膜 108 上のソース電

10

20

30

40

50

極 1 3 1 及びドレイン電極 1 3 2 とを有する。トランジスタ 1 4 0 は、さらに、酸化物半導体膜 1 0 8、ソース電極 1 3 1、ドレイン電極 1 3 2 及びチャネル保護膜 1 3 0 上の絶縁膜 1 3 3 を有していても良い。

【 0 2 2 6 】

また、トランジスタ 1 4 0 はシングルゲート構造のトランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造のトランジスタも形成することができる。

【 0 2 2 7 】

次いで、絶縁膜 1 3 3 上に導電膜を形成した後、該導電膜をパターニングすることで、図 1 0 (A) に示すように、酸化物半導体膜 1 0 8 と重なる位置にバックゲート電極 1 4 5 を形成しても良い。バックゲート電極 1 4 5 は、ゲート電極 1 0 1、或いはソース電極 1 3 1 及びドレイン電極 1 3 2 と同様の材料、構造を用いて形成することが可能である。

10

【 0 2 2 8 】

バックゲート電極 1 4 5 の膜厚は、1 0 n m ~ 4 0 0 n m、好ましくは 1 0 0 n m ~ 2 0 0 n m とする。本実施の形態では、チタン膜、アルミニウム膜、チタン膜が積層された構造を有する導電膜を形成する。そして、フォトリソグラフィ法によりレジストマスクを形成し、エッチングにより不要な部分を除去して、該導電膜を所望の形状に加工（パターニング）することで、バックゲート電極 1 4 5 を形成する。

【 0 2 2 9 】

次いで、図 1 0 (B) に示すように、バックゲート電極 1 4 5 を覆うように絶縁膜 1 4 6 を形成する。絶縁膜 1 4 6 は、雰囲気中の水分、水素、酸素などがトランジスタ 1 4 0 の特性に影響を与えるのを防ぐことができる、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などを、プラズマ C V D 法又はスパッタリング法等により単層で又は積層させて形成することができる。バリア性の効果を得るには、絶縁膜 1 4 6 は、例えば厚さ 1 5 n m ~ 4 0 0 n m の膜厚で形成することが好ましい。

20

【 0 2 3 0 】

本実施の形態では、プラズマ C V D 法により 3 0 0 n m の絶縁膜を形成する。成膜条件は、シランガスの流量 4 s c c m とし、一酸化二窒素 (N ₂ O) の流量 8 0 0 s c c m とし、基板温度 4 0 0 とする。

30

【 0 2 3 1 】

図 1 0 (C) に、図 1 0 (B) に示す半導体装置の上面図を示す。図 1 0 (B) は、図 1 0 (C) の破線 C 1 - C 2 における断面図に相当する。

【 0 2 3 2 】

なお、図 1 0 (B) では、バックゲート電極 1 4 5 が酸化物半導体膜 1 0 8 全体を覆っている場合を例示しているが、本発明はこの構成に限定されない。バックゲート電極 1 4 5 は、酸化物半導体膜 1 0 8 が有するチャネル形成領域の一部と少なくとも重なっていれば良い。

【 0 2 3 3 】

バックゲート電極 1 4 5 は、電氣的に絶縁しているフローティングの状態であっても良いし、電位が与えられる状態であっても良い。後者の場合、バックゲート電極 1 4 5 には、ゲート電極 1 0 1 と同じ高さの電位が与えられていても良いし、グラウンドなどの固定電位が与えられていても良い。バックゲート電極 1 4 5 に与える電位の高さを制御することで、トランジスタ 1 4 0 の閾値電圧を制御することができる。

40

【 0 2 3 4 】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【 0 2 3 5 】

(実施の形態 4)

本実施の形態では、本発明の作製方法を用いて形成される半導体表示装置の一つである、電子ペーパー或いはデジタルペーパーと呼ばれる半導体表示装置の構成について説明する

50

。

【0236】

電子ペーパーは、電圧の印加により階調を制御することができ、なおかつメモリ性を有する表示素子を用いる。具体的に、電子ペーパーに用いられる表示素子には、非水系電気泳動型の表示素子、2つの電極間の高分子材料中に液晶のドロップレットを分散させたPDLC (polymer dispersed liquid crystal) 方式の表示素子、2つの電極間にカイラルネマチック液晶またはコレステリック液晶を有する表示素子、2つの電極間に帯電した微粒子を有し、該微粒子を電界により粉体中で移動させる粉体移動方式の表示素子などを用いることができる。また非水系電気泳動型の表示素子には、2つの電極間に帯電した微粒子を分散させた分散液を挟み込んだ表示素子、帯電した微粒子を分散させた分散液を、絶縁膜を間に挟んだ2つの電極上に有する表示素子、それぞれ異なる電荷に帯電する二色の半球を有するツイスティングボールを、2つの電極間において溶媒中に分散させた表示素子、溶液中に帯電した微粒子が複数分散されているマイクロカプセルを2つの電極間に有する表示素子などが含まれる。

10

【0237】

図11(A)に、電子ペーパーの画素部700と、信号線駆動回路701と、走査線駆動回路702の上面図を示す。

【0238】

画素部700は複数の画素703を有している。また、信号線駆動回路701から複数の信号線707が、画素部700内まで引き回されている。走査線駆動回路702から複数の走査線708が、画素部700内まで引き回されている。

20

【0239】

各画素703はトランジスタ704と、表示素子705と、保持容量706とを有している。トランジスタ704のゲート電極は、走査線708の一つに接続されている。またトランジスタ704のソース電極とドレイン電極は、一方が信号線707の一つに、他方が表示素子705の画素電極に接続されている。

【0240】

なお図11(A)では、表示素子705の画素電極と対向電極の間に印加された電圧を保持するために、表示素子705と並列に保持容量706が接続されているが、表示素子705のメモリ性の高さが表示を維持するのに十分な程度に高いのであれば、保持容量706を必ずしも設ける必要はない。

30

【0241】

なお、図11(A)では、各画素にスイッチング素子として機能するトランジスタを一つ設けたアクティブマトリクス型の画素部の構成について説明したが、本発明の一態様に係る電子ペーパーは、この構成に限定されない。画素に設けるトランジスタの数は複数であっても良いし、トランジスタ以外に容量、抵抗、コイルなどの素子が接続されていても良い。

【0242】

図11(B)に、マイクロカプセルを有する電気泳動型の電子ペーパーを例に挙げ、各画素703に設けられた表示素子705の断面図を示す。

40

【0243】

表示素子705は、画素電極710と、対向電極711と、画素電極710及び対向電極711によって電圧が印加されるマイクロカプセル712とを有する。トランジスタ704のソース電極またはドレイン電極713の一方は、画素電極710に接続されている。

【0244】

マイクロカプセル712内には、酸化チタンなどのプラスに帯電した白色顔料と、カーボンブラックなどのマイナスに帯電した黒色顔料とが、オイルなどの分散媒と共に封入されている。画素電極710に印加されるビデオ信号の電圧に従って、画素電極と対向電極の間に電圧を印加し、正の電極側に黒色顔料を、負の電極側に白色顔料を引き寄せることで、階調の表示を行うことができる。

50

【0245】

また、図11(B)では、マイクロカプセル712が、画素電極710と対向電極711の間において透光性を有する樹脂714により固定されている。しかし、本発明はこの構成に限定されず、マイクロカプセル712、画素電極710、対向電極711によって形成される空間には、空気、不活性ガスなどの気体が充填されていても良い。ただし、この場合、マイクロカプセル712は、接着剤などにより画素電極710と対向電極711の両方、或いはいずれか一方に、固定しておくことが望ましい。

【0246】

また、表示素子705が有するマイクロカプセル712の数は、図11(B)に示すように複数であるとは限らない。1つの表示素子705が複数のマイクロカプセル712を有していても良いし、複数の表示素子705が1つのマイクロカプセル712を有していても良い。例えば2つの表示素子705が1つのマイクロカプセル712を共有し、一方の表示素子705が有する画素電極710にプラスの電圧が、他方の表示素子705が有する画素電極710にマイナスの電圧が印加されていたとする。この場合、プラスの電圧が印加された画素電極710と重なる領域において、マイクロカプセル712内では黒色顔料が画素電極710側に引き寄せられ、白色顔料が対向電極711側に引き寄せられる。逆に、マイナスの電圧が印加された画素電極710と重なる領域において、マイクロカプセル712内では白色顔料が画素電極710側に引き寄せられ、黒色顔料が対向電極711側に引き寄せられる。

【0247】

次に、電子ペーパーの具体的な駆動方法について、上述した電気泳動型の電子ペーパーを例に挙げて説明する。

【0248】

電子ペーパーの動作は、初期化期間と、書込期間と、保持期間とに分けて説明することが出来る。

【0249】

表示する画像を切り替える前に、まず初期化期間において画素部内の各画素の階調を一旦統一することで、表示素子を初期化する。表示素子を初期化することで、残像が残るのを防ぐことが出来る。具体的に、電気泳動型では、各画素の表示が白または黒となるように、表示素子705が有するマイクロカプセル712によって表示される階調を調整する。

【0250】

本実施の形態では、黒を表示するような初期化用ビデオ信号を画素に入力した後、白を表示するような初期化用ビデオ信号を画素に入力する場合の、初期化の動作について説明する。例えば、画像の表示を対向電極711側に向かって行う電気泳動型の電子ペーパーの場合、まず、マイクロカプセル712内の黒色顔料が対向電極711側に、白色顔料が画素電極710側に向くように、表示素子705に電圧を印加する。次いで、マイクロカプセル712内の白色顔料が対向電極711側に、黒色顔料が画素電極710側に向くように、表示素子705に電圧を印加する。

【0251】

また、画素への初期化用ビデオ信号の入力が1回のみだと、初期化期間の前に表示されていた階調によっては、マイクロカプセル712内の白色顔料と黒色顔料の移動が中途半端に終わってしまい、初期化期間が終了した後においても画素間において表示される階調に差が生じてしまう可能性もある。そのため、共通電圧 V_{com} に対してマイナスの電圧 $-V_p$ を、複数回、画素電極710に印加することで黒を表示し、共通電圧 V_{com} に対してプラスの電圧 V_p を、複数回、画素電極710に印加することで白を表示することが望ましい。

【0252】

なお、初期化期間前に各画素の表示素子によって表示されていた階調が異なると、初期化用ビデオ信号を入力する必要最低限の回数も異なってくる。よって、初期化期間前に表示されていた階調に合わせて、画素間で、初期化用ビデオ信号を入力する回数を変えるよう

10

20

30

40

50

にしても良い。この場合、初期化用ビデオ信号を入力する必要がなくなった画素には、共通電圧 V_{com} を入力しておくが良い。

【0253】

なお、画素電極 710 に初期化用ビデオ信号の電圧 V_p または電圧 $-V_p$ を複数回印加するためには、選択信号のパルスが各走査線に与えられている期間において、当該走査線を有するラインの画素に、初期化用ビデオ信号を入力するという一連の動作を、複数回行う。初期化用ビデオ信号の電圧 V_p または電圧 $-V_p$ を画素電極 710 に複数回印加することで、マイクロカプセル 712 内における白色顔料と黒色顔料の移動を収束させて画素間に階調の差が生じるのを防ぎ、画素部の画素を初期化することができる。

【0254】

なお、初期化期間では、各画素において黒を表示した後に白を表示するのではなく、白を表示した後に黒を表示するようにしても良い。或いは、初期化期間では、各画素において白を表示した後に黒を表示し、更にその後、白を表示するようにしても良い。

【0255】

また、初期化期間の開始されるタイミングは、画素部内の全ての画素において同じである必要はない。例えば、画素ごと、或いは同じラインに属する画素ごと、といったように、初期化期間の開始されるタイミングを異ならせるようにしても良い。

【0256】

次に、書込期間では、画素に画像情報を有するビデオ信号を入力する。

【0257】

画素部全体で画像の表示を行う場合は、1フレーム期間において、全ての走査線に順に電圧のパルスがシフトしている選択信号が入力される。そして、選択信号にパルスが出現している1ライン期間内において、全ての信号線に画像情報を有するビデオ信号が入力される。

【0258】

画素電極 710 に印加されるビデオ信号の電圧に従って、マイクロカプセル 712 内の白色顔料と黒色顔料が画素電極 710 側または対向電極 711 側に移動することで、表示素子 705 は階調を表示する。

【0259】

なお、書込期間でも、初期化期間と同様に、画素電極 710 にビデオ信号の電圧を複数回印加することが望ましい。よって、選択信号のパルスが各走査線に与えられている期間において、当該走査線を有するラインの画素にビデオ信号を入力するという一連の動作を、複数回行う。

【0260】

次に、保持期間では、全ての画素に信号線を介して共通電圧 V_{com} を入力した後、走査線への選択信号の入力または信号線へのビデオ信号の入力は行わない。よって、表示素子 705 が有するマイクロカプセル 712 内の白色顔料と黒色顔料は、画素電極 710 と対向電極 711 の間にプラスまたはマイナスの電圧が印加されない限りその配置は保持されるので、表示素子 705 の表示する階調は保たれる。よって、書込期間において書き込まれた画像は、保持期間においても表示が維持される。

【0261】

なお、電子ペーパーに用いられる表示素子は、階調を変化させるのに必要な電圧が、液晶表示装置に用いられる液晶素子や、発光装置に用いられる有機発光素子などの発光素子に比べて高い傾向にある。そのため、スイッチング素子として用いられる画素のトランジスタ 704 は、書込期間において、そのソース電極とドレイン電極間の電位差が大きくなるため、オフ電流が高くなり、そのために画素電極 710 の電位が変動して表示に乱れが生じやすい。しかし、本発明の一態様では、不純物濃度が極めて低い酸化半導体膜を、トランジスタ 704 の活性層に用いている。よって、トランジスタ 704 は、ゲート電極とソース電極間の電圧がほぼ 0 の状態におけるオフ電流、すなわちリーク電流が著しく低い。そのため、書込期間において、トランジスタ 704 のソース電極とドレイン電極間の電

10

20

30

40

50

位差が大きくなっても、オフ電流を抑え、画素電極 710 の電位の変動に起因する表示の乱れが発生するのを防ぐことができる。また、スイッチング素子として用いられる画素のトランジスタ 704 は、書込期間において、そのソース電極とドレイン電極間の電位差が大きくなるため、劣化しやすい。しかし、本発明の一態様では、トランジスタ 704 の経時劣化による閾値電圧のばらつきを小さく抑えることができるので、電子ペーパーの信頼性を高めることができる。

【0262】

本実施の形態は、上記実施の形態と組み合わせて実施することが可能である。

【0263】

(実施の形態 5)

アクティブマトリクス型の半導体表示装置のブロック図の一例を図 12 (A) に示す。表示装置の基板 5300 上には、画素部 5301、第 1 の走査線駆動回路 5302、第 2 の走査線駆動回路 5303、信号線駆動回路 5304 を有する。画素部 5301 には、複数の信号線が信号線駆動回路 5304 から延伸して配置され、複数の走査線が第 1 の走査線駆動回路 5302、及び第 2 の走査線駆動回路 5303 から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に配置されている。また、表示装置の基板 5300 は FPC (Flexible Printed Circuit) 等の接続部を介して、タイミング制御回路 5305 (コントローラ、制御 IC ともいう) に接続されている。

【0264】

図 12 (A) では、第 1 の走査線駆動回路 5302、第 2 の走査線駆動回路 5303、信号線駆動回路 5304 は、画素部 5301 と共に一つの基板 5300 上に形成される。そのため、外部に設ける駆動回路等の部品数が減るので、表示装置の小型化のみならず、組立工程や検査工程の削減によるコストダウンを図ることができる。また、基板 5300 外部に駆動回路を設けた場合、配線を延伸させる必要が生じ、配線間の接続数が増える。同じ基板 5300 上に駆動回路を設けた場合、その配線間の接続数を減らすことができる。よって、駆動回路と画素部の接続不良に起因する歩留まり低下を防ぎ、接続箇所における機械的強度の低さにより信頼性が低下するのを防ぐことができる。

【0265】

なお、タイミング制御回路 5305 は、第 1 の走査線駆動回路 5302 に対し、一例として、第 1 の走査線駆動回路用スタート信号 (GSP1)、走査線駆動回路用クロック信号 (GCK1) を供給する。また、タイミング制御回路 5305 は、第 2 の走査線駆動回路 5303 に対し、一例として、第 2 の走査線駆動回路用スタート信号 (GSP2) (スタートパルスともいう)、走査線駆動回路用クロック信号 (GCK2) を供給する。信号線駆動回路 5304 に、信号線駆動回路用スタート信号 (SSP)、信号線駆動回路用クロック信号 (SCK)、ビデオ信号用データ (DATA) (単にビデオ信号ともいう)、ラッチ信号 (LAT) を供給するものとする。なお、第 1 の走査線駆動回路 5302 と第 2 の走査線駆動回路 5303 との一方を省略することが可能である。

【0266】

図 12 (B) では、駆動周波数が低い回路 (例えば、第 1 の走査線駆動回路 5302、第 2 の走査線駆動回路 5303) を、画素部 5301 と共に一つの基板 5300 上に形成し、信号線駆動回路 5304 を画素部 5301 とは別の基板上に形成する構成について示している。また、信号線駆動回路 5304 のうち、サンプリング回路に用いられているアナログスイッチなどの駆動周波数の低い回路を、部分的に、画素部 5301 と共に一つの基板 5300 上に形成することも可能である。このように、部分的にシステムオンパネルを採用することで、上述した接続不良に起因する歩留まり低下、接続箇所における機械的強度の低さなどを回避する、組立工程や検査工程の削減によるコストダウン、といったシステムオンパネルのメリットをある程度享受できる。さらに、画素部 5301、走査線駆動回路 5302、走査線駆動回路 5303 及び信号線駆動回路 5304 を全て一基板上に形成するシステムオンパネルに比べて、駆動周波数が高い回路の性能をより高めることがで

10

20

30

40

50

き、なおかつ、単結晶半導体を用いた場合は実現することが難しい、面積の広い画素部を形成することができる。

【0267】

次に、 n チャンネル型トランジスタを用いた信号線駆動回路の構成について説明する。

【0268】

図13(A)に示す信号線駆動回路は、シフトレジスタ5601、及びサンプリング回路5602を有する。サンプリング回路5602は、複数のスイッチング回路5602__1~5602__N(Nは自然数)を有する。スイッチング回路5602__1~5602__Nは、各々、複数の n チャンネル型トランジスタ5603__1~5603__k(kは自然数)を有する。

10

【0269】

信号線駆動回路の接続関係について、スイッチング回路5602__1を例に挙げて説明する。なお、トランジスタが有するソース電極とドレイン電極のうち、いずれか一方を第1端子、他方を第2端子として、以下、記述する。

【0270】

トランジスタ5603__1~5603__kの第1端子は、各々、配線5604__1~5604__kと接続されている。配線5604__1~5604__kには、各々、ビデオ信号が入力される。トランジスタ5603__1~5603__kの第2端子は、各々、信号線S1~Skと接続されている。トランジスタ5603__1~5603__kのゲート電極は、シフトレジスタ5601と接続される。

20

【0271】

シフトレジスタ5601は、配線5605__1~5605__Nの順番に高いレベルの電圧(Hレベル)を有するタイミング信号を出力し、スイッチング回路5602__1~5602__Nを順番に選択する機能を有する。

【0272】

スイッチング回路5602__1は、トランジスタ5603__1~5603__kのスイッチングにより、配線5604__1~5604__kと信号線S1~Skとの導通状態(第1端子と第2端子との間の導通)を制御する機能、即ち配線5604__1~5604__kの電位を信号線S1~Skに供給するか否かを制御する機能を有する。

【0273】

次に、図13(A)の信号線駆動回路の動作について、図13(B)のタイミングチャートを参照して説明する。図13(B)には、シフトレジスタ5601から配線5605__1~5605__Nにそれぞれ入力されるタイミング信号Sout__1~Sout__Nと、配線5604__1~5604__kにそれぞれ入力されるビデオ信号Vdata__1~Vdata__kのタイミングチャートを一例として示す。

30

【0274】

なお、信号線駆動回路の1動作期間は、表示装置における1ライン期間に相当する。図13(B)では、1ライン期間を期間T1~期間TNに分割する場合を例示している。期間T1~TNは、各々、選択された行に属する一画素に、ビデオ信号を書き込むための期間である。

40

【0275】

期間T1~期間TNにおいて、シフトレジスタ5601は、Hレベルのタイミング信号を配線5605__1~5605__Nに順番に出力する。例えば、期間T1において、シフトレジスタ5601は、Hレベルの信号を配線5605__1に出力する。すると、スイッチング回路5602__1が有するトランジスタ5603__1~5603__kはオンになるので、配線5604__1~5604__kと、信号線S1~Skとが導通状態になる。このとき、配線5604__1~5604__kには、Data(S1)~Data(Sk)が入力される。Data(S1)~Data(Sk)は、各々、トランジスタ5603__1~5603__kを介して、選択される行に属する画素のうち、1列目~k列目の画素に書き込まれる。こうして、期間T1~TNにおいて、選択された行に属する画素に、k列ずつ順

50

番にビデオ信号が書き込まれる。

【0276】

以上のように、ビデオ信号が複数の列ずつ画素に書き込まれることによって、ビデオ信号の数、又は配線の数減らすことができる。よって、コントローラなどの外部回路との接続数を減らすことができる。また、ビデオ信号が複数の列ずつ画素に書き込まれることによって、書き込み時間を長くすることができ、ビデオ信号の書き込み不足を防止することができる。

【0277】

次に、信号線駆動回路または走査線駆動回路に用いるシフトレジスタの一形態について図14及び図15を用いて説明する。

10

【0278】

シフトレジスタは、第1のパルス出力回路10__1乃至第Nのパルス出力回路10__N (Nは3以上の自然数)を有している(図14(A)参照)。第1のパルス出力回路10__1乃至第Nのパルス出力回路10__Nには、第1の配線11より第1のクロック信号CK1、第2の配線12より第2のクロック信号CK2、第3の配線13より第3のクロック信号CK3、第4の配線14より第4のクロック信号CK4が供給される。また第1のパルス出力回路10__1では、第5の配線15からのスタートパルスSP1(第1のスタートパルス)が入力される。また2段目以降の第nのパルス出力回路10__n (nは、2以上N以下の自然数)では、一段前段のパルス出力回路10__n-1からの信号(前段信号OUT(n-1))という)が入力される。また第1のパルス出力回路10__1では、2段後段の第3のパルス出力回路10__3からの信号が入力される。同様に、2段目以降の第nのパルス出力回路10__nでは、2段後段の第(n+2)のパルス出力回路10__(n+2)からの信号(後段信号OUT(n+2))という)が入力される。従って、各段のパルス出力回路からは、後段及び/または二つ前段のパルス出力回路に入力するための第1の出力信号(OUT(1)(SR)~OUT(N)(SR))、及び別の回路等に入力される第2の出力信号(OUT(1)~OUT(N))が出力される。なお、図14(A)に示すように、シフトレジスタの最終段の2つの段には、後段信号OUT(n+2)が入力されないため、一例としては、別途第2のスタートパルスSP2、第3のスタートパルスSP3をそれぞれ入力する構成とすればよい。

20

【0279】

なお、クロック信号(CK)は、一定の間隔でHレベルとLレベル(低いレベルの電圧)を繰り返す信号である。ここで、第1のクロック信号(CK1)~第4のクロック信号(CK4)は、順に1/4周期分遅延している。本実施の形態では、第1のクロック信号(CK1)~第4のクロック信号(CK4)を利用して、パルス出力回路の駆動の制御等を行う。

30

【0280】

第1の入力端子21、第2の入力端子22及び第3の入力端子23は、第1の配線11~第4の配線14のいずれかと電氣的に接続されている。例えば、図14(A)において、第1のパルス出力回路10__1は、第1の入力端子21が第1の配線11と電氣的に接続され、第2の入力端子22が第2の配線12と電氣的に接続され、第3の入力端子23が第3の配線13と電氣的に接続されている。また、第2のパルス出力回路10__2は、第1の入力端子21が第2の配線12と電氣的に接続され、第2の入力端子22が第3の配線13と電氣的に接続され、第3の入力端子23が第4の配線14と電氣的に接続されている。

40

【0281】

第1のパルス出力回路10__1~第Nのパルス出力回路10__Nの各々は、第1の入力端子21、第2の入力端子22、第3の入力端子23、第4の入力端子24、第5の入力端子25、第1の出力端子26、第2の出力端子27を有しているとする(図14(B)参照)。第1のパルス出力回路10__1において、第1の入力端子21に第1のクロック信号CK1が入力され、第2の入力端子22に第2のクロック信号CK2が入力され、第3

50

の入力端子 2 3 に第 3 のクロック信号 C K 3 が入力され、第 4 の入力端子 2 4 にスタートパルスが入力され、第 5 の入力端子 2 5 に後段信号 O U T (3) が入力され、第 1 の出力端子 2 6 より第 1 の出力信号 O U T (1) (S R) が出力され、第 2 の出力端子 2 7 より第 2 の出力信号 O U T (1) が出力されていることとなる。

【 0 2 8 2 】

次に、パルス出力回路の具体的な回路構成の一例を、図 1 5 (A) に示す。

【 0 2 8 3 】

各パルス出力回路は、第 1 のトランジスタ 3 1 ~ 第 1 3 のトランジスタ 4 3 を有している (図 1 5 (A) 参照) 。また、上述した第 1 の入力端子 2 1 ~ 第 5 の入力端子 2 5 、及び第 1 の出力端子 2 6 、第 2 の出力端子 2 7 に加え、第 1 の高電源電位 V D D が供給される電源線 5 1 、第 2 の高電源電位 V C C が供給される電源線 5 2 、低電源電位 V S S が供給される電源線 5 3 から、第 1 のトランジスタ 3 1 ~ 第 1 3 のトランジスタ 4 3 に信号、または電源電位が供給される。ここで図 1 5 (A) の各電源線の電源電位の高さの関係は、第 1 の電源電位 V D D は第 2 の電源電位 V C C 以上の電位とし、第 2 の電源電位 V C C は第 3 の電源電位 V S S より大きい電位とする。なお、第 1 のクロック信号 (C K 1) ~ 第 4 のクロック信号 (C K 4) は、一定の間隔で H レベルと L レベルを繰り返す信号であるが、H レベルのとき V D D 、L レベルのとき V S S であるとする。なお電源線 5 1 の電位 V D D を、電源線 5 2 の電位 V C C より高くすることにより、動作に影響を与えることなく、トランジスタのゲート電極に印加される電位を低く抑えることができ、トランジスタのしきい値電圧のシフトを低減し、劣化を抑制することができる。

【 0 2 8 4 】

図 1 5 (A) において第 1 のトランジスタ 3 1 は、第 1 端子が電源線 5 1 に電氣的に接続され、第 2 端子が第 9 のトランジスタ 3 9 の第 1 端子に電氣的に接続され、ゲート電極が第 4 の入力端子 2 4 に電氣的に接続されている。第 2 のトランジスタ 3 2 は、第 1 端子が電源線 5 3 に電氣的に接続され、第 2 端子が第 9 のトランジスタ 3 9 の第 1 端子に電氣的に接続され、ゲート電極が第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続されている。第 3 のトランジスタ 3 3 は、第 1 端子が第 1 の入力端子 2 1 に電氣的に接続され、第 2 端子が第 1 の出力端子 2 6 に電氣的に接続されている。第 4 のトランジスタ 3 4 は、第 1 端子が電源線 5 3 に電氣的に接続され、第 2 端子が第 1 の出力端子 2 6 に電氣的に接続されている。第 5 のトランジスタ 3 5 は、第 1 端子が電源線 5 3 に電氣的に接続され、第 2 端子が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続され、ゲート電極が第 4 の入力端子 2 4 に電氣的に接続されている。第 6 のトランジスタ 3 6 は、第 1 端子が電源線 5 2 に電氣的に接続され、第 2 端子が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続され、ゲート電極が第 5 の入力端子 2 5 に電氣的に接続されている。第 7 のトランジスタ 3 7 は、第 1 端子が電源線 5 2 に電氣的に接続され、第 2 端子が第 8 のトランジスタ 3 8 の第 2 端子に電氣的に接続され、ゲート電極が第 3 の入力端子 2 3 に電氣的に接続されている。第 8 のトランジスタ 3 8 は、第 1 端子が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続され、ゲート電極が第 2 の入力端子 2 2 に電氣的に接続されている。第 9 のトランジスタ 3 9 は、第 1 端子が第 1 のトランジスタ 3 1 の第 2 端子及び第 2 のトランジスタ 3 2 の第 2 端子に電氣的に接続され、第 2 端子が第 3 のトランジスタ 3 3 のゲート電極及び第 1 0 のトランジスタ 4 0 のゲート電極に電氣的に接続され、ゲート電極が電源線 5 2 に電氣的に接続されている。第 1 0 のトランジスタ 4 0 は、第 1 端子が第 1 の入力端子 2 1 に電氣的に接続され、第 2 端子が第 2 の出力端子 2 7 に電氣的に接続され、ゲート電極が第 9 のトランジスタ 3 9 の第 2 端子に電氣的に接続されている。第 1 1 のトランジスタ 4 1 は、第 1 端子が電源線 5 3 に電氣的に接続され、第 2 端子が第 2 の出力端子 2 7 に電氣的に接続され、ゲート電極が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続されている。第 1 2 のトランジスタ 4 2 は、第 1 端子が電源線 5 3 に電氣的に接続され、第 2 端子が第 2 の出力端子 2 7 に電氣的に接続され、ゲート電極が第 7 のトランジスタ 3 7 のゲ-

ト電極に電氣的に接続されている。第13のトランジスタ43は、第1端子が電源線53に電氣的に接続され、第2端子が第1の出力端子26に電氣的に接続され、ゲート電極が第7のトランジスタ37のゲート電極に電氣的に接続されている。

【0285】

図15(A)において、第3のトランジスタ33のゲート電極、第10のトランジスタ40のゲート電極、及び第9のトランジスタ39の第2端子の接続箇所をノードAとする。また、第2のトランジスタ32のゲート電極、第4のトランジスタ34のゲート電極、第5のトランジスタ35の第2端子、第6のトランジスタ36の第2端子、第8のトランジスタ38の第1端子、及び第11のトランジスタ41のゲート電極の接続箇所をノードBとする(図15(A)参照)。

10

【0286】

図15(A)に示したパルス出力回路を複数具備するシフトレジスタのタイミングチャートについて、図15(B)に示す。

【0287】

なお、図15(A)に示すように、ゲート電極に第2の電源電位VCCが印加される第9のトランジスタ39を設けておくことにより、ブートストラップ動作の前後において、以下のような利点がある。

【0288】

ゲート電極に第2の電位VCCが印加される第9のトランジスタ39がない場合、ブートストラップ動作によりノードAの電位が上昇すると、第1のトランジスタ31の第2端子であるソース電極の電位が上昇していき、第1の電源電位VDDより高くなる。そして、第1のトランジスタ31のソース電極が第1端子側、即ち電源線51側に切り替わる。そのため、第1のトランジスタ31においては、ゲート電極とソース電極の間、ゲート電極とドレイン電極の間ともに、大きなバイアス電圧が印加されるために大きなストレスがかかり、トランジスタの劣化の要因となりうる。そこで、ゲート電極に第2の電源電位VCCが印加される第9のトランジスタ39を設けておくことにより、ブートストラップ動作によりノードAの電位は上昇するものの、第1のトランジスタ31の第2端子の電位の上昇を生じないようにすることができる。つまり、第9のトランジスタ39を設けることにより、第1のトランジスタ31のゲート電極とソース電極の間に印加される負のバイアス電圧の値を小さくすることができる。よって、本実施の形態の回路構成とすることにより、第1のトランジスタ31のゲート電極とソース電極の間に印加される負のバイアス電圧も小さくできるため、ストレスによる第1のトランジスタ31の劣化を抑制することができる。

20

30

【0289】

なお、第9のトランジスタ39を設ける箇所については、第1のトランジスタ31の第2端子と第3のトランジスタ33のゲート電極との間に第1端子と第2端子を介して接続されるように設ける構成であればよい。なお、本実施形態でのパルス出力回路を複数具備するシフトレジスタの場合、走査線駆動回路より段数の多い信号線駆動回路では、第9のトランジスタ39を省略してもよく、トランジスタ数を削減できるという利点がある。

【0290】

なお第1のトランジスタ31乃至第13のトランジスタ43の活性層として、酸化物半導体を用いることにより、トランジスタのオフ電流を低減すると共に、オン電流及び電界効果移動度を高めることができ、さらに劣化の度合いを低減することが出来るため、回路内の誤動作を低減することができる。また酸化物半導体を用いたトランジスタは、アモルファスシリコンを用いたトランジスタに比べ、ゲート電極に高電位が印加されることによるトランジスタの劣化の程度が小さい。そのため、第2の電源電位VCCを供給する電源線に、第1の電源電位VDDを供給しても同様の動作が得られ、且つ回路間を引き回す電源線の本数を低減することができるため、回路の小型化を図ることが出来る。

40

【0291】

なお、第7のトランジスタ37のゲート電極に第3の入力端子23によって供給されるク

50

ロック信号、第8のトランジスタ38のゲート電極に第2の入力端子22によって供給されるクロック信号は、第7のトランジスタのゲート電極に第2の入力端子22によって供給されるクロック信号、第8のゲート電極に第3の入力端子23によって供給されるクロック信号となるように、結線関係を入れ替えても同様の作用を奏する。このとき、図15(A)に示すシフトレジスタにおいて、第7のトランジスタ37及び第8のトランジスタ38が共にオンの状態から、第7のトランジスタ37がオフ、第8のトランジスタ38がオンの状態、次いで第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態とすることによって、第2の入力端子22及び第3の入力端子23の電位が低下することで生じる、ノードBの電位の低下が第7のトランジスタ37のゲート電極の電位の低下、及び第8のトランジスタ38のゲート電極の電位の低下に起因して2回生じることとなる。一方、図15(A)において、第7のトランジスタ37及び第8のトランジスタ38が共にオンの状態から、第7のトランジスタ37がオン、第8のトランジスタ38がオフの状態、次いで、第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態とすることによって、第2の入力端子22及び第3の入力端子23の電位が低下することで生じるノードBの電位の低下を、第8のトランジスタ38のゲート電極の電位の低下による一回に低減することができる。そのため、第7のトランジスタ37のゲート電極に第3の入力端子23からクロック信号CK3が供給され、第8のトランジスタ38のゲート電極に第2の入力端子22からクロック信号CK2が供給される結線関係とすることが好適である。なぜなら、ノードBの電位の変動回数が低減され、またノイズを低減することが出来るからである。

10

20

【0292】

このように、第1の出力端子26及び第2の出力端子27の電位をLレベルに保持する期間に、ノードBに定期的にHレベルの信号が供給される構成とすることにより、パルス出力回路の誤動作を抑制することができる。

【0293】

本実施の形態は、上記実施の形態と組み合わせて実施することが可能である。

【0294】

(実施の形態6)

本発明の一態様に係る液晶表示装置は、オフ電流が低く、なおかつ信頼性の高いトランジスタを用いているため、視認性が高く、信頼性も高い。本実施の形態では、本発明の一態様に係る液晶表示装置の構成について説明する。

30

【0295】

図16に、本発明の一態様に係る液晶表示装置の、画素の断面図を一例として示す。図16に示すトランジスタ1401は、絶縁表面上に形成されたゲート電極1402と、ゲート電極1402上のゲート絶縁膜1403と、ゲート絶縁膜1403上においてゲート電極1402と重なっている酸化物半導体膜1404と、酸化物半導体膜1404上に順に積層するように形成され、ソース電極またはドレイン電極として機能する導電膜1406a及び導電膜1406bとを有する。さらに、トランジスタ1401は、酸化物半導体膜1404上に形成された絶縁膜1407を、その構成要素に含めても良い。絶縁膜1407は、ゲート電極1402と、ゲート絶縁膜1403と、酸化物半導体膜1404と、導電膜1406a及び導電膜1406bとを覆うように形成されている。

40

【0296】

絶縁膜1407上には絶縁膜1408が形成されている。絶縁膜1407、絶縁膜1408の一部には開口部が設けられており、該開口部において導電膜1406bと接するように、画素電極1410が形成されている。

【0297】

また、絶縁膜1408上には、液晶素子のセルギャップを制御するためのスペーサ1417が形成されている。スペーサ1417は絶縁膜を所望の形状にエッチングすることで形成することが可能であるが、フィラーを絶縁膜1408上に分散させることでセルギャップを制御するようにしても良い。

50

【0298】

そして、画素電極1410上には、配向膜1411が形成されている。また画素電極1410と対峙する位置には、対向電極1413が設けられており、対向電極1413の画素電極1410に近い側には配向膜1414が形成されている。配向膜1411、配向膜1414は、ポリイミド、ポリビニルアルコールなどの有機樹脂を用いて形成することができ、その表面には、ラビングなどの、液晶分子を一定方向に配列させるための配向処理が施されている。ラビングは、配向膜に圧力をかけながら、ナイロンなどの布を巻いたローラーを回転させて、上記配向膜の表面を一定方向に擦ることで、行うことができる。なお、酸化珪素などの無機材料を用い、配向処理を施すことなく、蒸着法で配向特性を有する配向膜1411、配向膜1414を直接形成することも可能である。

10

【0299】

そして、画素電極1410と、対向電極1413の間においてシール材1416に囲まれた領域には、液晶1415が設けられている。液晶1415の注入は、ディスペンサ式(滴下式)を用いても良いし、ディップ式(汲み上げ式)を用いても良い。なお、シール材1416にはフィラーが混入されていても良い。

【0300】

また、画素電極1410と、対向電極1413と、液晶1415とで形成される液晶素子は、特定の波長領域の光を通すことができるカラーフィルタと重なっていても良い。カラーフィルタは、対向電極1413が形成されている基板(対向基板)1420上に形成すれば良い。カラーフィルタは、顔料を分散させたアクリル系樹脂などの有機樹脂を基板1420上に塗布した後、フォトリソグラフィを用いて選択的に形成することができる。また、顔料を分散させたポリイミド系樹脂を基板1420上に塗布した後、エッチングを用いて選択的に形成することもできる。或いは、インクジェットなどの液滴吐出法を用いることで、選択的にカラーフィルタを形成することもできる。

20

【0301】

また、画素間における液晶1415の配向の乱れに起因するディスクリネーションが視認されるのを防ぐために、画素間に、光を遮蔽することが出来る遮蔽膜を形成しても良い。遮蔽膜には、カーボンブラック、低次酸化チタンなどの黒色顔料を含む有機樹脂を用いることができる。または、クロムを用いた膜で、遮蔽膜を形成することも可能である。

30

【0302】

画素電極1410と対向電極1413は、例えば酸化珪素を含む酸化インジウムスズ(ITSO)、酸化インジウムスズ(ITO)、酸化亜鉛(ZnO)、酸化インジウム亜鉛(IZO)、ガリウムを添加した酸化亜鉛(GZO)などの透明導電材料を用いることができる。なお、本実施の形態では、画素電極1410及び対向電極1413に光を透過する導電膜を用い、透過型の液晶素子を作製する例を示すが、本発明はこの構成に限定されない。本発明の一態様に係る液晶表示装置は、半透過型または反射型であっても良い。

【0303】

なお、本実施の形態では、液晶表示装置として、TN(Twisted Nematic)型を示したが、VA(Vertical Alignment)型、OCB(Optically Compensated Birefringence)型、IPS(In-Plane Switching)型等の、その他の液晶表示装置にも、本発明のトランジスタを用いることができる。

40

【0304】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶1415に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が10 μ sec.以上100 μ sec.以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

50

【0305】

図17は、本発明の液晶表示装置の構造を示す斜視図の一例である。図17に示す液晶表示装置は、一对の基板間に液晶素子が形成された液晶パネル1601と、第1の拡散板1602と、プリズムシート1603と、第2の拡散板1604と、導光板1605と、反射板1606と、光源1607と、回路基板1608とを有している。

【0306】

液晶パネル1601と、第1の拡散板1602と、プリズムシート1603と、第2の拡散板1604と、導光板1605と、反射板1606とは、順に積層されている。光源1607は導光板1605の端部に設けられており、導光板1605内部に拡散された光源1607からの光は、第1の拡散板1602、プリズムシート1603及び第2の拡散板1604によって、均一に液晶パネル1601に照射される。

10

【0307】

なお、本実施の形態では、第1の拡散板1602と第2の拡散板1604とを用いているが、拡散板の数はこれに限定されず、単数であっても3以上であっても良い。そして、拡散板は導光板1605と液晶パネル1601の間に設けられていれば良い。よって、プリズムシート1603よりも液晶パネル1601に近い側にのみ拡散板が設けられていても良いし、プリズムシート1603よりも導光板1605に近い側にのみ拡散板が設けられていても良い。

【0308】

またプリズムシート1603は、図17に示した断面が鋸歯状の形状に限定されず、導光板1605からの光を液晶パネル1601側に集光できる形状を有していれば良い。

20

【0309】

回路基板1608には、液晶パネル1601に入力される各種信号を生成する回路、またはこれら信号に処理を施す回路などが設けられている。そして図17では、回路基板1608と液晶パネル1601とが、FPC(Flexible Printed Circuit)1609を介して接続されている。なお、上記回路は、COG(Chip On Glass)法を用いて液晶パネル1601に接続されていても良いし、上記回路の一部がFPC1609にCOF(Chip On Film)法を用いて接続されていても良い。

【0310】

図17では、光源1607の駆動を制御する制御系の回路が回路基板1608に設けられており、該制御系の回路と光源1607とがFPC1610を介して接続されている例を示している。ただし、上記制御系の回路は液晶パネル1601に形成されていても良く、この場合は液晶パネル1601と光源1607とがFPCなどにより接続されるようにする。

30

【0311】

なお、図17は、液晶パネル1601の端に光源1607を配置するエッジライト型の光源を例示しているが、本発明の液晶表示装置は光源1607が液晶パネル1601の直下に配置される直下型であっても良い。

【0312】

本実施の形態は、上記実施の形態と適宜組み合わせる実施することができる。

40

【0313】

(実施の形態7)

本実施の形態では、本発明の一態様に係るトランジスタを画素に用いた、発光装置の構成について説明する。本実施の形態では、発光素子を駆動させるためのトランジスタがn型の場合における、画素の断面構造について、図18を用いて説明する。なお図18では、第1の電極が陰極、第2の電極が陽極の場合について説明するが、第1の電極が陽極、第2の電極が陰極であっても良い。

【0314】

図18(A)に、トランジスタ6031がn型で、発光素子6033から発せられる光を

50

第1の電極6034側から取り出す場合の、画素の断面図を示す。トランジスタ6031は絶縁膜6037で覆われており、絶縁膜6037上には開口部を有する隔壁6038が形成されている。隔壁6038の開口部において第1の電極6034が一部露出しており、該開口部において第1の電極6034、電界発光層6035、第2の電極6036が順に積層されている。

【0315】

第1の電極6034は、光を透過する材料または膜厚で形成し、なおかつ仕事関数の小さい金属、合金、電気伝導性化合物、およびこれらの混合物などで形成することができる。具体的には、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、これらを含む合金(Mg:Ag、Al:Li、Mg:Inなど)、およびこれらの化合物(フッ化カルシウム、窒化カルシウム)の他、YbやEr等の希土類金属を用いることができる。また電子注入層を設ける場合、アルミニウムなどの他の導電膜を用いることも可能である。そして第1の電極6034を、光が透過する程度の膜厚(好ましくは、5nm~30nm程度)で形成する。さらに、光が透過する程度の膜厚を有する上記導電膜の上または下に接するように、透光性酸化物導電材料を用いて透光性を有する導電膜を形成し、第1の電極6034のシート抵抗を抑えるようにしても良い。なお、インジウム錫酸化物(ITO)、酸化亜鉛(ZnO)、酸化インジウム亜鉛(IZO)、ガリウムを添加した酸化亜鉛(GZO)などその他の透光性酸化物導電材料を用いた導電膜だけを用いることも可能である。またITOや、酸化珪素を含んだ酸化インジウムに、さらに2~20%の酸化亜鉛(ZnO)を混合したものを用いても良い。透光性酸化物導電材料を用いる場合、電界発光層6035に電子注入層を設けるのが望ましい。

【0316】

また第2の電極6036は、光を反射もしくは遮蔽する材料及び膜厚で形成し、なおかつ陽極として用いるのに適する材料で形成する。例えば、窒化チタン、窒化ジルコニウム、チタン、タングステン、ニッケル、白金、クロム、銀、アルミニウム等の1つまたは複数からなる単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との三層構造等を第2の電極6036に用いることができる。

【0317】

電界発光層6035は、単数または複数の層で構成されている。複数の層で構成されている場合、これらの層は、キャリア輸送特性の観点から正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層などに分類することができる。電界発光層6035が発光層の他に、正孔注入層、正孔輸送層、電子輸送層、電子注入層のいずれかを有している場合、第1の電極6034から、電子注入層、電子輸送層、発光層、正孔輸送層、正孔注入層の順に積層する。なお各層の境目は必ずしも明確である必要はなく、互いの層を構成している材料が一部混合し、界面が不明瞭になっている場合もある。各層には、有機系の材料、無機系の材料を用いることが可能である。有機系の材料として、高分子系、中分子系、低分子系のいずれの材料も用いることが可能である。なお中分子系の材料とは、構造単位の繰返しの数(重合度)が2から20程度の低重合体に相当する。正孔注入層と正孔輸送層との区別は必ずしも厳密なものではなく、これらは正孔輸送性(正孔移動度)が特に重要な特性である意味において同じである。便宜上正孔注入層は陽極に接する側の層であり、正孔注入層に接する層を正孔輸送層と呼んで区別する。電子輸送層、電子注入層についても同様であり、陰極に接する層を電子注入層と呼び、電子注入層に接する層を電子輸送層と呼んでいる。発光層は電子輸送層を兼ねる場合もあり、発光性電子輸送層とも呼ばれる。

【0318】

図18(A)に示した画素の場合、発光素子6033から発せられる光を、白抜きの矢印で示すように第1の電極6034側から取り出すことができる。

【0319】

次に図18(B)に、トランジスタ6041がn型で、発光素子6043から発せられる光を第2の電極6046側から取り出す場合の、画素の断面図を示す。トランジスタ60

10

20

30

40

50

41は絶縁膜6047で覆われており、絶縁膜6047上には開口部を有する隔壁6048が形成されている。隔壁6048の開口部において第1の電極6044が一部露出しており、該開口部において第1の電極6044、電界発光層6045、第2の電極6046が順に積層されている。

【0320】

第1の電極6044は、光を反射もしくは遮蔽する材料及び膜厚で形成し、なおかつ仕事関数の小さい金属、合金、電気伝導性化合物、およびこれらの混合物などで形成することができる。具体的には、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、これらを含む合金(Mg:Ag、Al:Li、Mg:Inなど)、およびこれらの化合物(フッ化カルシウム、窒化カルシウム)の他、YbやEr等の希土類金属を用いることができる。また電子注入層を設ける場合、アルミニウムなどの他の導電膜を用いることも可能である。

10

【0321】

また第2の電極6046は、光を透過する材料または膜厚で形成し、なおかつ陽極として用いるのに適する材料で形成する。例えば、インジウム錫酸化物(ITO)、酸化亜鉛(ZnO)、酸化インジウム亜鉛(IZO)、ガリウムを添加した酸化亜鉛(GZO)などその他の透光性酸化物導電材料を第2の電極6046に用いることが可能である。またITOや、酸化珪素を含んだ酸化インジウムに、さらに2~20%の酸化亜鉛(ZnO)を混合したものを第2の電極6046に用いても良い。また上記透光性酸化物導電材料の他に、例えば窒化チタン、窒化ジルコニウム、チタン、タンゲステン、ニッケル、白金、クロム、銀、アルミニウム等の1つまたは複数からなる単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との三層構造等を第2の電極6046に用いることもできる。ただし透光性酸化物導電材料以外の材料を用いる場合、光が透過する程度の膜厚(好ましくは、5nm~30nm程度)で第2の電極6046を形成する。

20

【0322】

電界発光層6045は、図18(A)の電界発光層6035と同様に形成することができる。

【0323】

図18(B)に示した画素の場合、発光素子6043から発せられる光を、白抜き矢印で示すように第2の電極6046側から取り出すことができる。

30

【0324】

次に図18(C)に、トランジスタ6051がn型で、発光素子6053から発せられる光を第1の電極6054側及び第2の電極6056側から取り出す場合の、画素の断面図を示す。トランジスタ6051は絶縁膜6057で覆われており、絶縁膜6057上には開口部を有する隔壁6058が形成されている。隔壁6058の開口部において第1の電極6054が一部露出しており、該開口部において第1の電極6054、電界発光層6055、第2の電極6056が順に積層されている。

【0325】

第1の電極6054は、図18(A)の第1の電極6034と同様に形成することができる。また第2の電極6056は、図18(B)の第2の電極6046と同様に形成することができる。電界発光層6055は、図18(A)の電界発光層6035と同様に形成することができる。

40

【0326】

図18(C)に示した画素の場合、発光素子6053から発せられる光を、白抜き矢印で示すように第1の電極6054側及び第2の電極6056側から取り出すことができる。

【0327】

本実施の形態は、他の実施の形態と適宜組み合わせ実施することができる。

【実施例1】

50

【0328】

本発明の一態様に係る半導体装置を用いることで、信頼性が高い電子機器、消費電力の低い電子機器を提供することが可能である。また、本発明の一態様に係る半導体表示装置を用いることで、信頼性が高い電子機器、視認性が高い電子機器、消費電力の低い電子機器を提供することが可能である。特に電力の供給を常時受けることが困難な携帯用の電子機器の場合、本発明の一態様に係る消費電力の低い半導体装置または半導体表示装置をその構成要素に追加することにより、連続使用時間が長くなるといったメリットが得られる。また、オフ電流が低いトランジスタを用いることで、オフ電流の高さをカバーするための冗長な回路設計が不要となるため、半導体装置に用いられている集積回路の集積度を高めることができ、半導体装置を高機能化させることができる。

10

【0329】

また、本発明の半導体装置では、作製工程における加熱処理の温度を抑えることができるので、ガラスよりも耐熱性の劣る、プラスチック等の可撓性を有する合成樹脂からなる基板上においても、特性が優れており、信頼性が高いトランジスタを作製することが可能である。従って、本発明の一態様に係る作製方法を用いることで、信頼性が高く、軽量かつフレキシブルな半導体装置を提供することが可能である。プラスチック基板として、ポリエチレンテレフタレート（PET）に代表されるポリエステル、ポリエーテルスルホン（PES）、ポリエチレンナフタレート（PEN）、ポリカーボネート（PC）、ポリエーテルエーテルケトン（PEEK）、ポリスルホン（PSF）、ポリエーテルイミド（PEI）、ポリアリレート（PAR）、ポリブチレンテレフタレート（PBT）、ポリイミド、

20

【0330】

本発明の一態様に係る半導体装置は、表示装置、ノート型パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD：Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型ゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図19に示す。

30

【0331】

図19（A）は電子書籍であり、筐体7001、表示部7002等を有する。本発明の一態様に係る半導体表示装置は、表示部7002に用いることができる。表示部7002に本発明の一態様に係る半導体表示装置を用いることで、信頼性が高い電子書籍、視認性が高い表示が可能な電子書籍、消費電力の低い電子書籍を提供することができる。また、本発明の一態様に係る半導体装置は、電子書籍の駆動を制御するための集積回路に用いることができる。電子書籍の駆動を制御するための集積回路に本発明の一態様に係る半導体装置を用いることで、信頼性が高い電子書籍、消費電力の低い電子書籍、高機能の電子書籍を提供することができる。また、可撓性を有する基板を用いることで、半導体装置、半導体表示装置に可撓性を持たせることができるので、フレキシブルかつ軽くて使い勝手の良い電子書籍を提供することができる。

40

【0332】

図19（B）は表示装置であり、筐体7011、表示部7012、支持台7013等を有する。本発明の一態様に係る半導体表示装置は、表示部7012に用いることができる。表示部7012に本発明の一態様に係る半導体表示装置を用いることで、信頼性が高い表示装置、視認性が高い表示が可能な表示装置、消費電力の低い表示装置を提供することができる。また、本発明の一態様に係る半導体装置は、表示装置の駆動を制御するための集積回路に用いることができる。表示装置の駆動を制御するための集積回路に本発明の一態

50

様に係る半導体装置を用いることで、信頼性が高い表示装置、消費電力の低い表示装置、高機能の表示装置を提供することができる。なお、表示装置には、パーソナルコンピュータ用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0333】

図19(C)は表示装置であり、筐体7021、表示部7022等を有する。本発明の一態様に係る半導体表示装置は、表示部7022に用いることができる。表示部7022に本発明の一態様に係る半導体表示装置を用いることで、信頼性が高い表示装置、視認性が高い表示が可能な表示装置、消費電力の低い表示装置を提供することができる。また、本発明の一態様に係る半導体装置は、表示装置の駆動を制御するための集積回路に用いることができる。表示装置の駆動を制御するための集積回路に本発明の一態様に係る半導体装置を用いることで、信頼性が高い表示装置、消費電力の低い表示装置、高機能の表示装置を提供することができる。また、可撓性を有する基板を用いることで、半導体装置、半導体表示装置に可撓性を持たせることができるので、フレキシブルかつ軽くて使い勝手の良い表示装置を提供することができる。よって、図19(C)に示すように、布地などに固定させて表示装置を使用することができ、表示装置の応用の幅が格段に広がる。

10

【0334】

図19(D)は携帯型ゲーム機であり、筐体7031、筐体7032、表示部7033、表示部7034、マイクロホン7035、スピーカー7036、操作キー7037、スティラス7038等を有する。本発明の一態様に係る半導体表示装置は、表示部7033、表示部7034に用いることができる。表示部7033、表示部7034に本発明の一態様に係る半導体表示装置を用いることで、信頼性が高い携帯型ゲーム機、視認性が高い表示が可能な携帯型ゲーム機、消費電力の低い携帯型ゲーム機を提供することができる。また、本発明の一態様に係る半導体装置は、携帯型ゲーム機の駆動を制御するための集積回路に用いることができる。携帯型ゲーム機の駆動を制御するための集積回路に本発明の一態様に係る半導体装置を用いることで、信頼性が高い携帯型ゲーム機、消費電力の低い携帯型ゲーム機、高機能の携帯型ゲーム機を提供することができる。なお、図19(D)に示した携帯型ゲーム機は、2つの表示部7033と表示部7034とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

20

【0335】

図19(E)は携帯電話であり、筐体7041、表示部7042、音声入力部7043、音声出力部7044、操作キー7045、受光部7046等を有する。受光部7046において受信した光を電気信号に変換することで、外部の画像を取り込むことができる。本発明の一態様に係る半導体表示装置は、表示部7042に用いることができる。表示部7042に本発明の一態様に係る半導体表示装置を用いることで、信頼性が高い携帯電話、視認性が高い表示が可能な携帯電話、消費電力の低い携帯電話を提供することができる。また、本発明の一態様に係る半導体装置は、携帯電話の駆動を制御するための集積回路に用いることができる。携帯電話の駆動を制御するための集積回路に本発明の一態様に係る半導体装置を用いることで、信頼性が高い携帯電話、消費電力の低い携帯電話、高機能の携帯電話を提供することができる。

30

【0336】

図19(F)は携帯情報端末であり、筐体7051、表示部7052、操作キー7053等を有する。図19(F)に示す携帯情報端末は、モデムが筐体7051に内蔵されていても良い。本発明の一態様に係る半導体表示装置は、表示部7052に用いることができる。表示部7052に本発明の一態様に係る半導体表示装置を用いることで、信頼性が高い携帯情報端末、視認性が高い表示が可能な携帯情報端末、消費電力の低い携帯情報端末を提供することができる。また、本発明の一態様に係る半導体装置は、携帯情報端末の駆動を制御するための集積回路に用いることができる。携帯情報端末の駆動を制御するための集積回路に本発明の一態様に係る半導体装置を用いることで、信頼性が高い携帯情報端末、消費電力の低い携帯情報端末、高機能の携帯情報端末を提供することができる。

40

【0337】

50

本実施例は、上記実施の形態と適宜組み合わせて実施することが可能である。

【符号の説明】

【 0 3 3 8 】

1 0	パルス出力回路	
1 1	配線	
1 2	配線	
1 3	配線	
1 4	配線	
1 5	配線	
2 1	入力端子	10
2 2	入力端子	
2 3	入力端子	
2 4	入力端子	
2 5	入力端子	
2 6	出力端子	
2 7	出力端子	
3 1	トランジスタ	
3 2	トランジスタ	
3 3	トランジスタ	
3 4	トランジスタ	20
3 5	トランジスタ	
3 6	トランジスタ	
3 7	トランジスタ	
3 8	トランジスタ	
3 9	トランジスタ	
4 0	トランジスタ	
4 1	トランジスタ	
4 2	トランジスタ	
4 3	トランジスタ	
5 1	電源線	30
5 2	電源線	
5 3	電源線	
1 0 0	基板	
1 0 1	ゲート電極	
1 0 2	ゲート絶縁膜	
1 0 3	酸化物半導体膜	
1 0 4	酸化物半導体膜	
1 0 5	酸化物半導体膜	
1 0 7	酸化物半導体膜	
1 0 8	酸化物半導体膜	40
1 1 1	ソース電極	
1 1 2	ドレイン電極	
1 1 3	絶縁膜	
1 1 4	トランジスタ	
1 1 5	バックゲート電極	
1 1 6	絶縁膜	
1 3 0	チャネル保護膜	
1 3 1	ソース電極	
1 3 2	ドレイン電極	
1 3 3	絶縁膜	50

1 4 0	トランジスタ	
1 4 5	バックゲート電極	
1 4 6	絶縁膜	
1 5 0	酸化物半導体膜	
1 5 1	酸化物半導体膜	
1 5 2	酸化物半導体膜	
1 5 3	酸化物半導体膜	
2 0 0	基板	
2 0 1	絶縁膜	
2 0 2	電極	10
2 0 3	酸化物半導体膜	
2 0 5	酸化物半導体膜	
2 0 7	酸化物半導体膜	
2 0 8	酸化物半導体膜	
2 1 1	電極	
2 1 2	ゲート絶縁膜	
2 1 3	ゲート電極	
2 1 4	絶縁膜	
2 1 5	配線	
2 1 6	配線	20
2 1 7	配線	
2 1 8	部分	
2 2 0	トランジスタ	
2 2 1	コンタクトホール	
2 2 2	コンタクトホール	
2 2 3	コンタクトホール	
2 3 0	配線	
2 3 1	コンタクトホール	
7 0 0	画素部	
7 0 1	信号線駆動回路	30
7 0 2	走査線駆動回路	
7 0 3	画素	
7 0 4	トランジスタ	
7 0 5	表示素子	
7 0 6	保持容量	
7 0 7	信号線	
7 0 8	走査線	
7 1 0	画素電極	
7 1 1	対向電極	
7 1 2	マイクロカプセル	40
7 1 3	ドレイン電極	
7 1 4	樹脂	
1 4 0 1	トランジスタ	
1 4 0 2	ゲート電極	
1 4 0 3	ゲート絶縁膜	
1 4 0 4	酸化物半導体膜	
1 4 0 6 a	導電膜	
1 4 0 6 b	導電膜	
1 4 0 7	絶縁膜	
1 4 0 8	絶縁膜	50

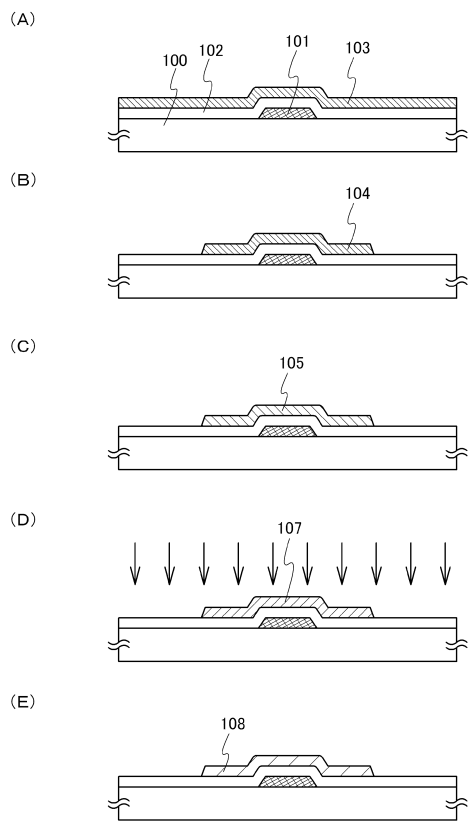
1 4 1 0	画素電極	
1 4 1 1	配向膜	
1 4 1 3	対向電極	
1 4 1 4	配向膜	
1 4 1 5	液晶	
1 4 1 6	シール材	
1 4 1 7	スペーサ	
1 4 2 0	基板	
1 6 0 1	液晶パネル	
1 6 0 2	拡散板	10
1 6 0 3	プリズムシート	
1 6 0 4	拡散板	
1 6 0 5	導光板	
1 6 0 6	反射板	
1 6 0 7	光源	
1 6 0 8	回路基板	
1 6 0 9	F P C	
1 6 1 0	F P C	
5 3 0 0	基板	
5 3 0 1	画素部	20
5 3 0 2	走査線駆動回路	
5 3 0 3	走査線駆動回路	
5 3 0 4	信号線駆動回路	
5 3 0 5	タイミング制御回路	
5 6 0 1	シフトレジスタ	
5 6 0 2	サンプリング回路	
5 6 0 3	トランジスタ	
5 6 0 4	配線	
5 6 0 5	配線	
6 0 3 1	トランジスタ	30
6 0 3 3	発光素子	
6 0 3 4	電極	
6 0 3 5	電界発光層	
6 0 3 6	電極	
6 0 3 7	絶縁膜	
6 0 3 8	隔壁	
6 0 4 1	トランジスタ	
6 0 4 3	発光素子	
6 0 4 4	電極	
6 0 4 5	電界発光層	40
6 0 4 6	電極	
6 0 4 7	絶縁膜	
6 0 4 8	隔壁	
6 0 5 1	トランジスタ	
6 0 5 3	発光素子	
6 0 5 4	電極	
6 0 5 5	電界発光層	
6 0 5 6	電極	
6 0 5 7	絶縁膜	
6 0 5 8	隔壁	50

- 7 0 0 1 筐体
- 7 0 0 2 表示部
- 7 0 1 1 筐体
- 7 0 1 2 表示部
- 7 0 1 3 支持台
- 7 0 2 1 筐体
- 7 0 2 2 表示部
- 7 0 3 1 筐体
- 7 0 3 2 筐体
- 7 0 3 3 表示部
- 7 0 3 4 表示部
- 7 0 3 5 マイクロホン
- 7 0 3 6 スピーカー
- 7 0 3 7 操作キー
- 7 0 3 8 スタイルス
- 7 0 4 1 筐体
- 7 0 4 2 表示部
- 7 0 4 3 音声入力部
- 7 0 4 4 音声出力部
- 7 0 4 5 操作キー
- 7 0 4 6 受光部
- 7 0 5 1 筐体
- 7 0 5 2 表示部
- 7 0 5 3 操作キー

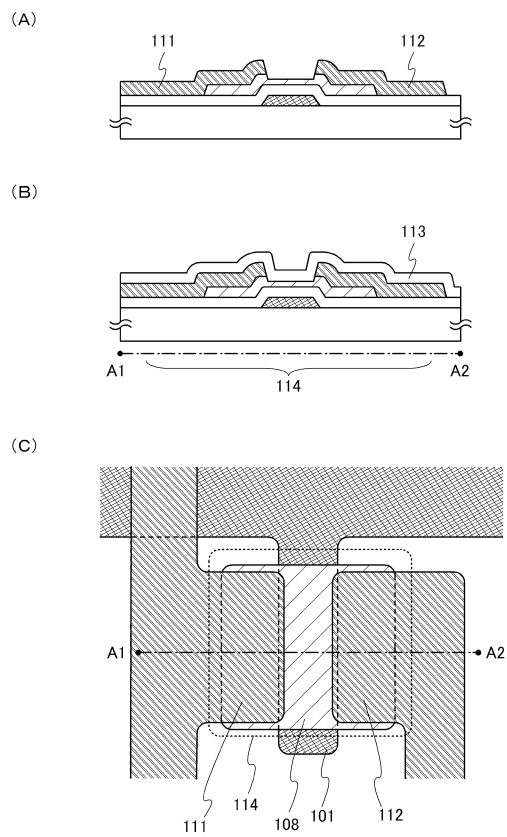
10

20

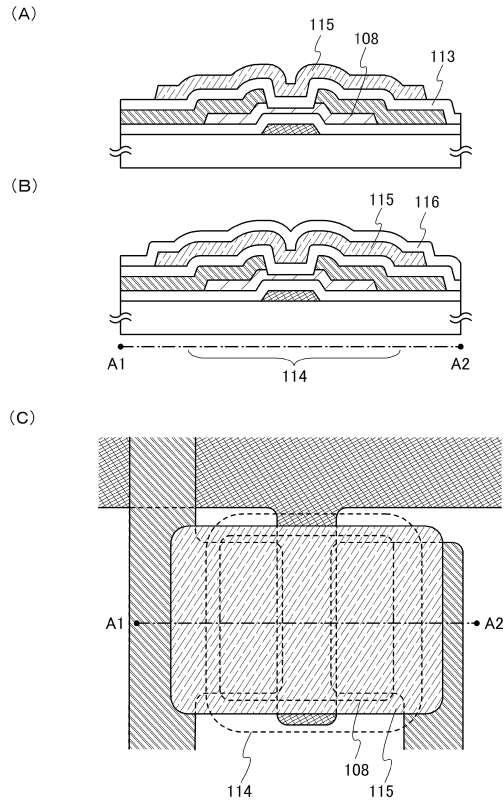
【図 1】



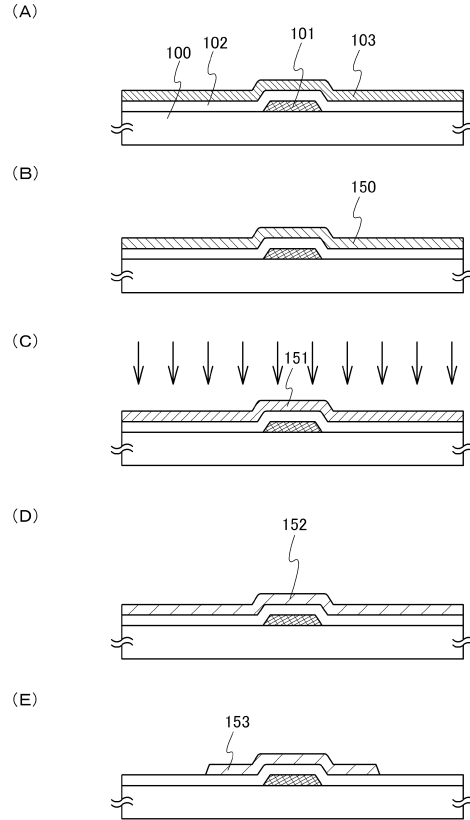
【図 2】



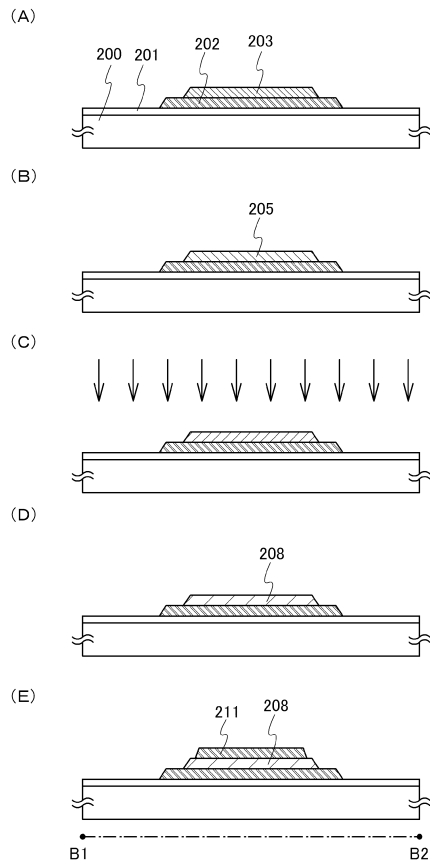
【図3】



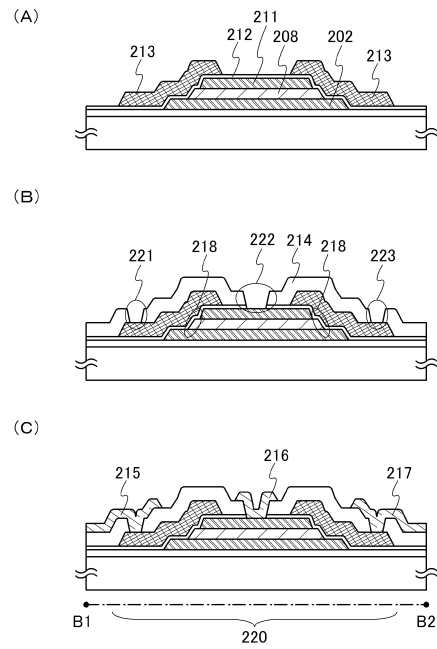
【図4】



【図5】

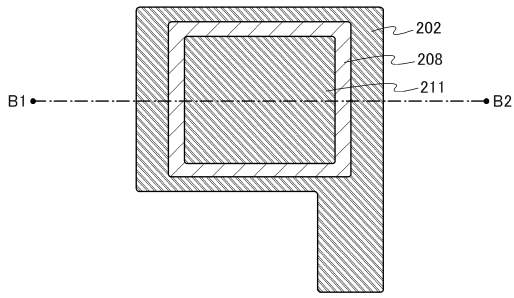


【図6】

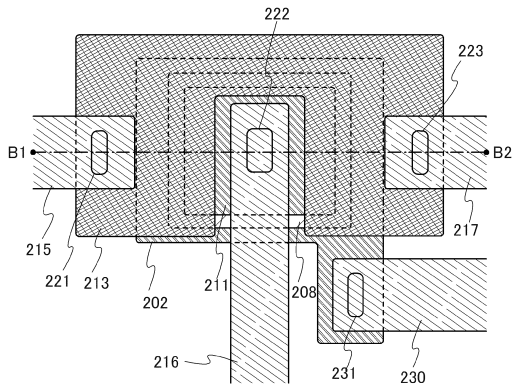


【図 7】

(A)

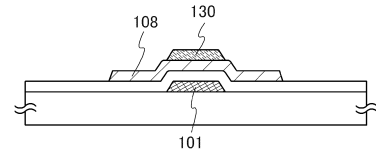


(B)

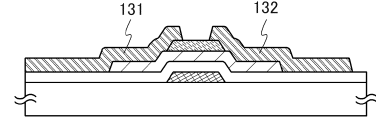


【図 8】

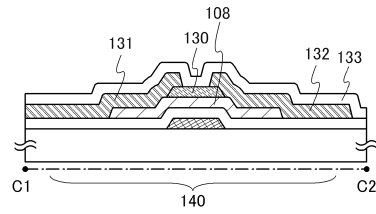
(A)



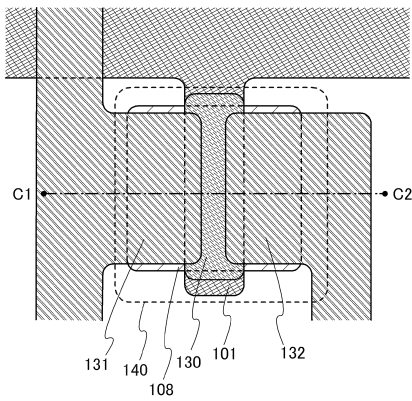
(B)



(C)

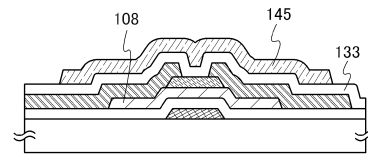


【図 9】

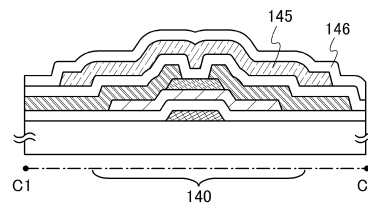


【図 10】

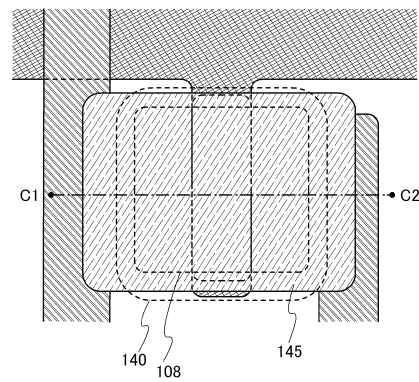
(A)



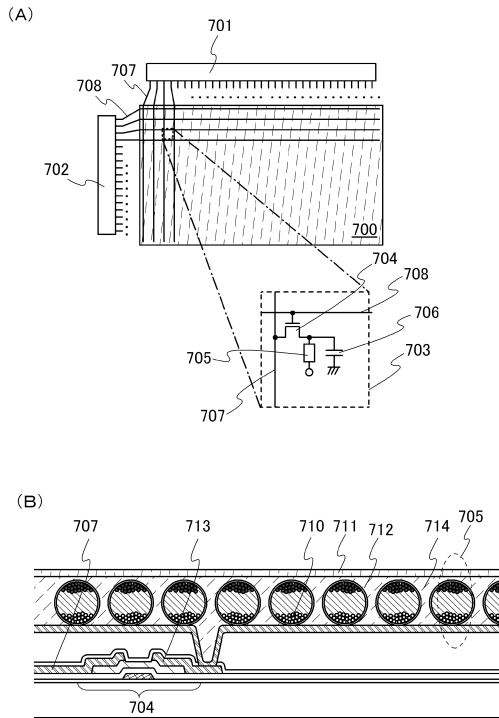
(B)



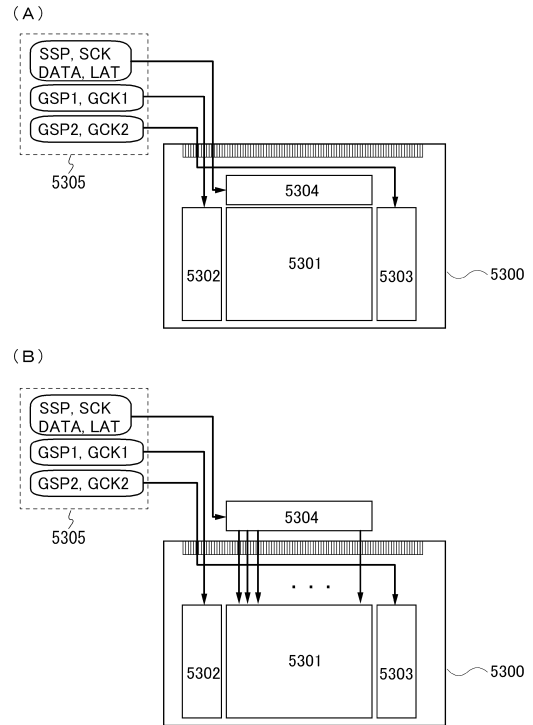
(C)



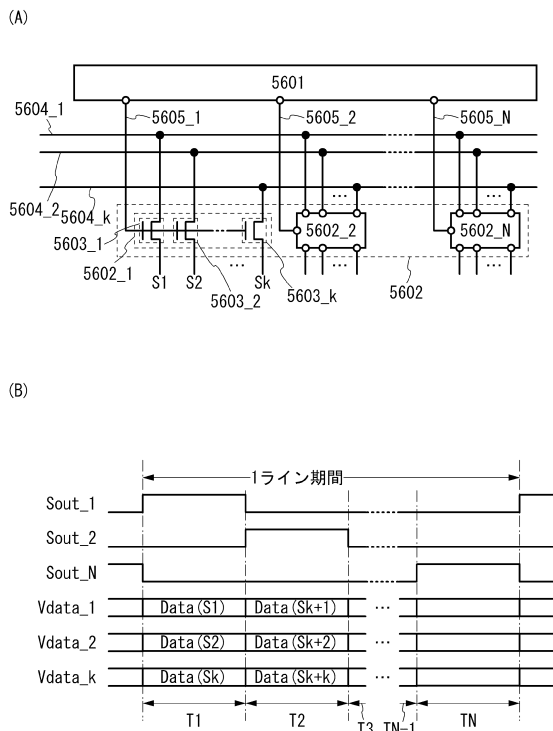
【図 1 1】



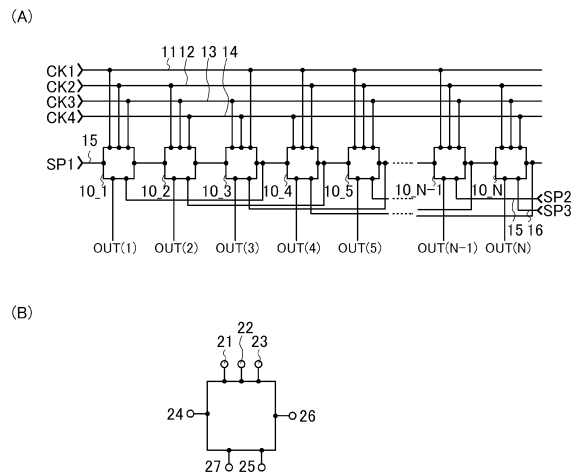
【図 1 2】



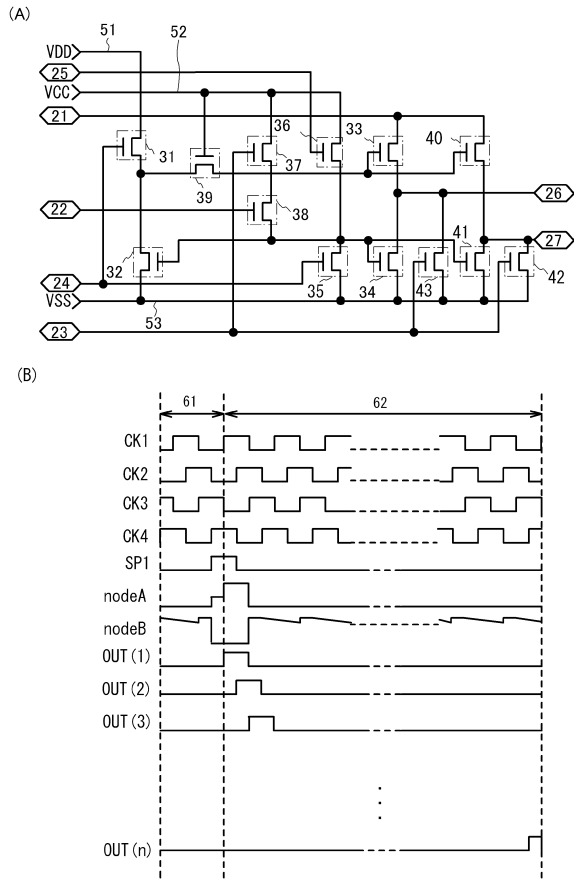
【図 1 3】



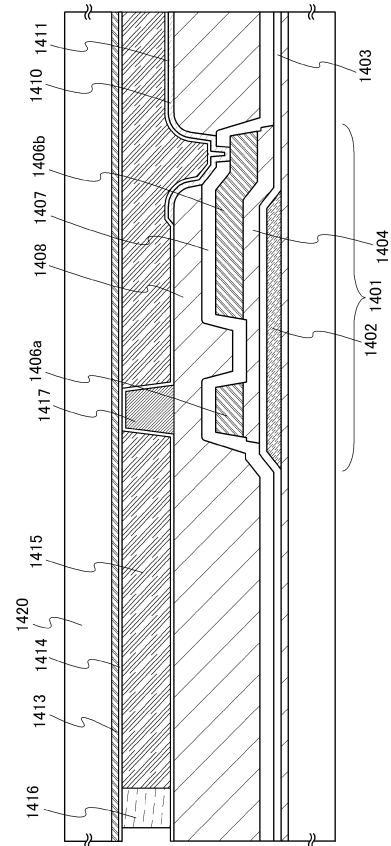
【図 1 4】



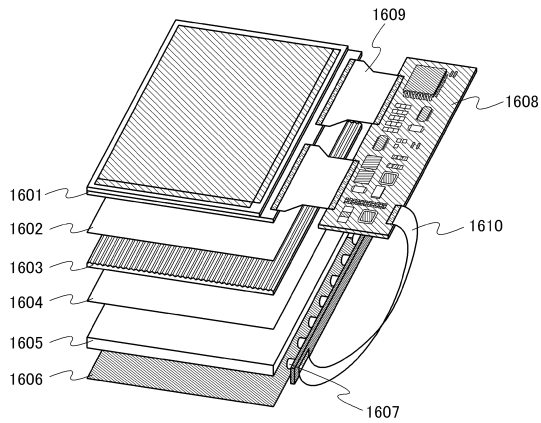
【 図 15 】



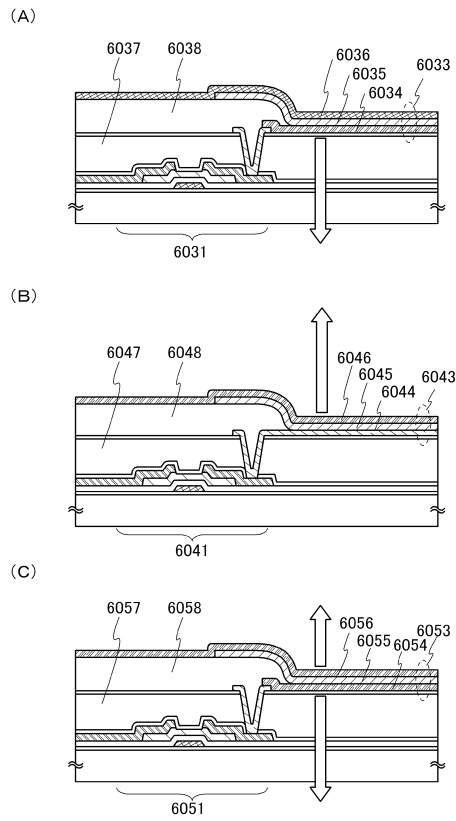
【 図 16 】



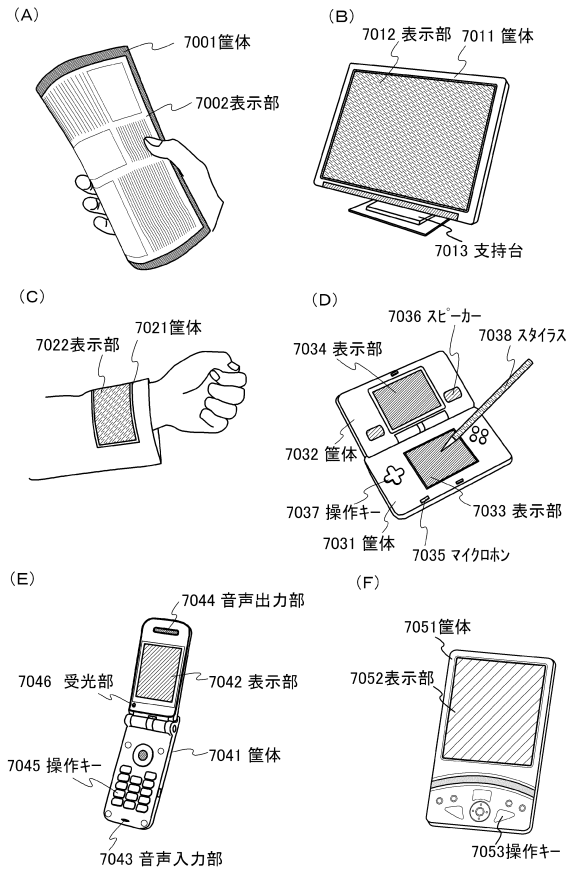
【 図 17 】



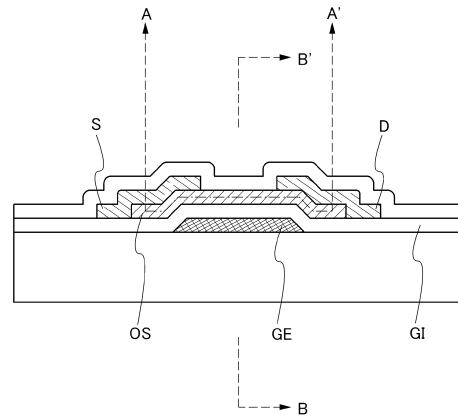
【 図 18 】



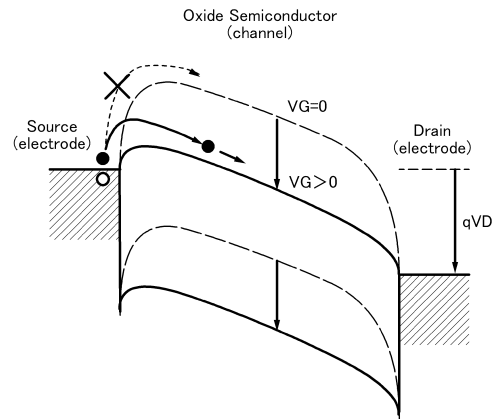
【図 19】



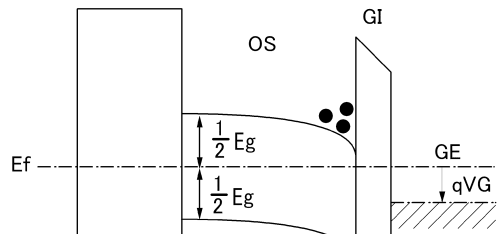
【図 20】



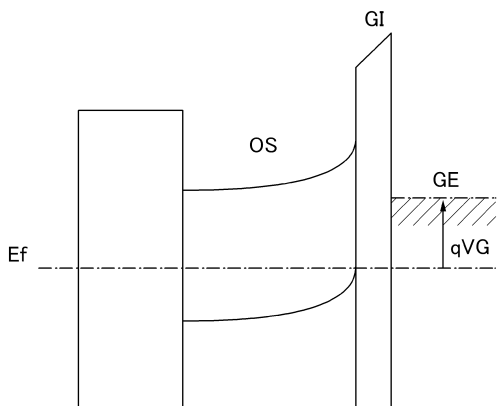
【図 21】



【図 22】

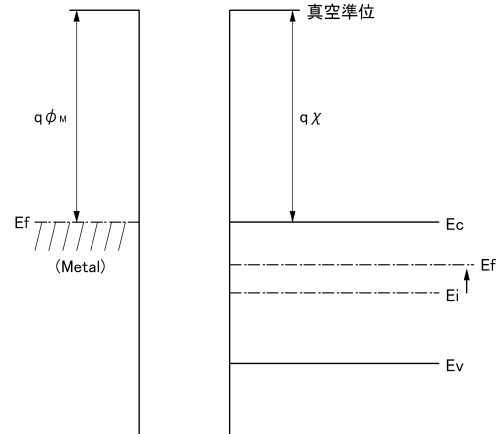


(A) B-B'断面エネルギーバンド図 (VG > 0)



(B) B-B'断面エネルギーバンド図 (VG < 0)

【図 23】



フロントページの続き

(51) Int.Cl.			F I		
<i>H 0 1 L</i>	<i>29/49</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/50</i>	<i>M</i>
<i>H 0 1 L</i>	<i>51/50</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/58</i>	<i>G</i>
			<i>H 0 5 B</i>	<i>33/14</i>	<i>A</i>

(56) 参考文献 米国特許出願公開第 2 0 0 8 / 0 1 2 8 6 8 9 (U S , A 1)
特開 2 0 0 9 - 2 1 7 8 6 2 (J P , A)
特開 2 0 0 8 - 1 4 1 1 1 9 (J P , A)
特開 2 0 0 9 - 1 4 9 9 9 7 (J P , A)
特開 2 0 0 6 - 2 5 0 9 8 5 (J P , A)
特開 2 0 0 8 - 2 8 3 0 4 6 (J P , A)

(58) 調査した分野 (Int.Cl. , D B 名)
G 0 2 F 1 / 1 3 6 8
H 0 1 L 2 9 / 7 8

专利名称(译)	液晶表示装置		
公开(公告)号	JP5886819B2	公开(公告)日	2016-03-16
申请号	JP2013257264	申请日	2013-12-12
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 坂田淳一郎 大原宏樹		
发明人	山崎 舜平 坂田 淳一郎 大原 宏樹		
IPC分类号	G02F1/1368 H01L29/786 H01L21/28 H01L29/417 H01L29/423 H01L29/49 H01L51/50		
CPC分类号	H01L21/28176 H01L21/324 H01L29/66477 H01L29/66969 H01L29/78642 H01L29/7869 H01L21/02554 H01L21/02565 H01L29/66742 H01L29/4966 H01L29/7831		
FI分类号	G02F1/1368 H01L29/78.618.B H01L29/78.618.C H01L29/78.618.G H01L21/28.301.B H01L29/50.M H01L29/58.G H05B33/14.A G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230		
F-TERM分类号	2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB08 2H192/CB37 2H192/CB42 2H192/CB71 2H192 /CB83 2H192/CC02 2H192/CC42 2H192/EA74 2H192/FB02 2H192/HA44 2H192/HA84 2H192/HA90 3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC21 3K107/CC33 3K107/CC45 3K107/EE03 3K107 /HH05 4M104/AA03 4M104/AA09 4M104/BB02 4M104/BB03 4M104/BB04 4M104/BB13 4M104/BB14 4M104/BB16 4M104/BB17 4M104/BB18 4M104/BB30 4M104/BB33 4M104/BB36 4M104/BB39 4M104 /CC01 4M104/CC05 4M104/DD15 4M104/DD16 4M104/DD17 4M104/DD18 4M104/DD22 4M104 /DD26 4M104/DD34 4M104/DD37 4M104/DD51 4M104/DD62 4M104/DD63 4M104/DD64 4M104 /DD71 4M104/FF01 4M104/FF06 4M104/FF08 4M104/FF09 4M104/FF17 4M104/FF18 4M104/FF21 4M104/FF26 4M104/GG04 4M104/GG18 4M104/HH04 4M104/HH10 4M104/HH13 5B074/AA10 5B074 /CA01 5F110/AA05 5F110/AA06 5F110/AA08 5F110/AA14 5F110/BB01 5F110/BB03 5F110/CC07 5F110/CC09 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD04 5F110/DD07 5F110/DD12 5F110 /DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/EE01 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE15 5F110/EE30 5F110/EE44 5F110/FF01 5F110/FF02 5F110 /FF03 5F110/FF04 5F110/FF05 5F110/FF09 5F110/FF28 5F110/FF30 5F110/GG01 5F110/GG06 5F110/GG22 5F110/GG25 5F110/GG28 5F110/GG29 5F110/GG33 5F110/GG34 5F110/GG35 5F110 /GG43 5F110/GG51 5F110/GG52 5F110/GG57 5F110/GG58 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK07 5F110/HK21 5F110/HK22 5F110/HK32 5F110/HK33 5F110/HK41 5F110 /HK42 5F110/HM03 5F110/HM12 5F110/HM13 5F110/NN02 5F110/NN03 5F110/NN04 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN28 5F110/NN34 5F110/NN35 5F110/NN40 5F110/NN72 5F110 /PP01 5F110/PP02 5F110/PP10 5F110/PP13 5F110/PP29 5F110/PP35 5F110/QQ01 5F110/QQ02 5F110/QQ09		
优先权	2009277086 2009-12-04 JP		
其他公开文献	JP2014081648A		
外部链接	Espacenet		
摘要(译)			

一种具有高可靠性的氧化物半导体的半导体器件。 解决方案：氧化物半导体层包括与源电极重叠的第一区域和与漏电极重叠的第二区域 第二区域不与源电极和漏电极重叠，第三区域不与源电极和漏电极重叠，在图3中，氧化物半导体层的厚度在第一区域和第二区域的区域中 第三区域中的氧化物半导体层的一个端部小于导体层的膜厚度，并且，第三区域中的氧化物半导体层的另一端部具有第二锥形并且具有第二锥形 源电极的端部具有第三锥形，漏电极的端部具有第四锥形，1个锥形和第三个锥形具有连续的形状，第二个锥形和第四个锥形和是具有连续形状的半导体器件。 .The

(21) 出願番号	特願2013-257264 (P2013-257264)	(73) 特許権者	000153878
(22) 出願日	平成25年12月12日 (2013.12.12)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2012-167010 (P2012-167010)		神奈川県厚木市長谷398番地
	原出願日	平成22年12月1日 (2010.12.1)	(72) 発明者
(65) 公開番号	特開2014-81648 (P2014-81648A)		山崎 舜平
(43) 公開日	平成26年5月8日 (2014.5.8)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
	審査請求日	平成25年12月18日 (2013.12.18)	(72) 発明者
(31) 優先権主張番号	特願2009-277086 (P2009-277086)		坂田 淳一郎
(32) 優先日	平成21年12月4日 (2009.12.4)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(33) 優先権主張国	日本国 (JP)		(72) 発明者
			大原 宏樹
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
			審査官 小林 俊久
			最終頁に続く