

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-129615

(P2017-129615A)

(43) 公開日 平成29年7月27日(2017.7.27)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1335 (2006.01)	GO2F 1/1335 500	2H191
HO1L 29/786 (2006.01)	HO1L 29/78 619B	2H192
HO1L 21/336 (2006.01)	GO2F 1/1368	2H291
GO2F 1/1368 (2006.01)	GO9F 9/30 348Z	5C094
GO9F 9/30 (2006.01)	GO9F 9/30 349C	5F110

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号 特願2016-7008 (P2016-7008)
 (22) 出願日 平成28年1月18日 (2016.1.18)

(71) 出願人 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110001737
 特許業務法人スズエ国際特許事務所
 (72) 発明者 林 宏宜
 東京都港区西新橋三丁目7番1号 株式会
 社ジャパンディスプレイ内
 Fターム(参考) 2H191 FA14Y FD22 FD25 FD26 GA19
 LA03
 2H192 AA24 BC31 CB02 DA12 EA06
 EA13 EA15 EA22 EA43 FA73
 2H291 FA14Y FD22 FD25 FD26 GA19
 LA03

最終頁に続く

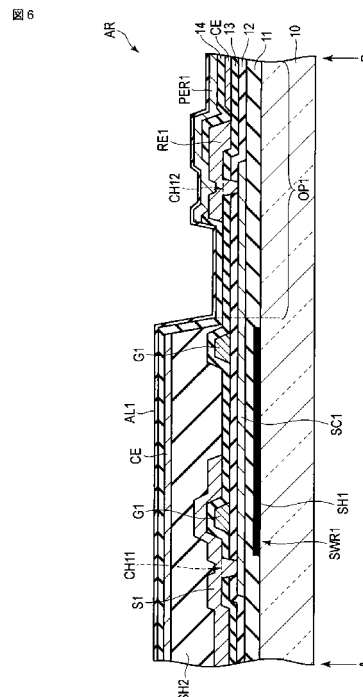
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】表示品位の劣化を抑制することが可能な表示装置を提供する。

【解決手段】第1基板と第2基板との間に液晶層を保持した表示パネルを備え、第1基板は、絶縁基板と、ゲート配線と、ゲート配線と交差する第1ソース配線及び第2ソース配線と、ゲート配線及び第1ソース配線と電気的に接続されたスイッチング素子と、スイッチング素子、第1ソース配線及び第2ソース配線をそれぞれ覆い、第1ソース配線と第2ソース配線との間に開口部が形成された第1遮光層と、スイッチング素子と電気的に接続された画素電極と、を備える表示装置。

【選択図】 図6



【特許請求の範囲】**【請求項 1】**

第 1 基板と第 2 基板との間に液晶層を保持した表示パネルを備え、
前記第 1 基板は、
絶縁基板と、
ゲート配線と、
前記ゲート配線と交差する第 1 ソース配線及び第 2 ソース配線と、
前記ゲート配線及び前記第 1 ソース配線と電氣的に接続されたスイッチング素子と、
前記スイッチング素子、前記第 1 ソース配線及び前記第 2 ソース配線をそれぞれ覆い、
前記第 1 ソース配線と前記第 2 ソース配線との間に開口部が形成された第 1 遮光層と、
前記スイッチング素子と電氣的に接続された画素電極と、
を備える表示装置。

10

【請求項 2】

前記画素電極は、前記開口部に配置されていることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記スイッチング素子は、前記絶縁基板と前記ゲート配線との間に半導体層を備え、
前記第 1 基板は、前記絶縁基板と前記半導体層との間に第 2 遮光層をさらに備える請求項 1 または 2 に記載の表示装置。

20

【請求項 4】

前記第 1 遮光層は、前記半導体層と前記ゲート配線とが重なる位置に配置されている請求項 3 に記載の表示装置。

【請求項 5】

前記第 1 基板は、前記画素電極と対向するとともに前記第 1 遮光層を超えて第 1 方向に延出した共通電極をさらに備える請求項 1 乃至 4 のいずれか 1 項に記載の表示装置。

【請求項 6】

前記第 1 遮光層は、黒色の樹脂層である請求項 1 乃至 5 のいずれか 1 項に記載の表示装置。

【発明の詳細な説明】

30

【技術分野】**【0001】**

本発明の実施形態は、表示装置に関する。

【背景技術】**【0002】**

アクティブマトリクス駆動方式の表示装置には、画素電極のスイッチング素子として薄膜トランジスタ（以下、TFTと称する場合がある）を用いた構成が広く採用されている。

TFTがオフ状態にあるとき、TFTの半導体層に光が入射すると光リークが発生し、画素容量に保持されていた画素電位は変動する。そのため、フリッカ等による表示品位の劣化を招くおそれがある。

40

光リークを抑える手段としては、TFTの下層側に遮光層を設け、TFTへバックライトユニットから直接入射する光を抑制する方法が知られている（特許文献 1）。

【先行技術文献】**【特許文献】****【0003】**

【特許文献 1】特開平 11 - 84359 号公報

【発明の概要】**【発明が解決しようとする課題】****【0004】**

表示装置を低周波駆動や間欠駆動させる場合、画素電位の保持時間が長くなるため、光

50

リークをより抑制できる表示装置が求められている。また、TFTへ入射する光は、バックライトユニットから直接入射する光だけでなく、基板の層の界面で多重反射されて入射する光も存在する。このため、さらなる対策が求められている。

【0005】

本実施形態の目的は、表示品位の劣化を抑制することが可能な表示装置を提供することである。

【課題を解決するための手段】

【0006】

本実施形態によれば、第1基板と第2基板との間に液晶層を保持した表示パネルを備え、第1基板は、絶縁基板と、ゲート配線と、ゲート配線と交差する第1ソース配線及び第2ソース配線と、ゲート配線及び第1ソース配線と電気的に接続されたスイッチング素子と、スイッチング素子、第1ソース配線及び第2ソース配線をそれぞれ覆い、第1ソース配線と第2ソース配線との間に開口部が形成された第1遮光層と、スイッチング素子と電気的に接続された画素電極と、を備える表示装置が提供される。

10

【図面の簡単な説明】

【0007】

【図1】図1は、液晶表示装置DSPの構成を概略的に示す斜視図である。

【図2】図2は、液晶表示パネルPNLの断面を示す概略図である。

【図3】図3は、アレイ基板ARの概略構成を示す平面図である。

【図4】図4は、単位画素PX1及びPX2の概略構成を示すアレイ基板ARの平面図である。

20

【図5】図5は、図4に示した副画素PX1の一部を示す概略平面図である。

【図6】図6は、図5のA-B線に沿って示すアレイ基板ARの概略断面図である。

【図7】図7は、図5のC-D線に沿って示す液晶表示パネルPNLの概略断面図である。

。

【発明を実施するための形態】

【0008】

以下、一実施形態について、図面を参照しながら説明する。なお、開示はあくまで一例に過ぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有される。また、図面は、説明をより明確にするため、実際の態様に比べて、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。各図において、連続して配置される同一又は類似の要素については符号を省略することがある。また、本明細書と各図において、既出の図に関して前述したものと同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する詳細な説明を省略することがある。

30

【0009】

本実施形態においては、表示装置の一例として、液晶表示装置を開示する。この液晶表示装置は、例えば、スマートフォン、タブレット端末、携帯電話端末、パーソナルコンピュータ、テレビ受像装置、車載装置、ゲーム機器等の種々の装置に用いることができる。なお、本実施形態にて開示する主要な構成は、有機エレクトロルミネッセンス表示素子等を有する自発光型の表示装置、電気泳動素子等を有する電子ペーパー型の表示装置、MEMS (Micro Electro Mechanical Systems) を応用した表示装置、或いはエレクトロクロミズムを応用した表示装置などにも適用可能である。

40

【0010】

図1は、液晶表示装置DSPの構成を概略的に示す斜視図である。ここでは、第1方向X及び第2方向Yは、互いに直交している。第3方向Zは、第1方向X及び第2方向Yのそれぞれと互いに直交している。

液晶表示装置DSPは、アクティブマトリクス型の液晶表示パネルPNL、液晶表示パネルPNLを駆動する駆動ICチップIC、液晶表示パネルPNLを照明するバックライトユニットBL、制御モジュールCM、フレキシブル配線基板FPC1、FPC2など

50

を備えている。

【0011】

液晶表示パネルPNLは、アレイ基板ARと、アレイ基板ARに対向配置された対向基板CTとを備えている。本実施形態において、アレイ基板ARは第1基板として機能し、対向基板CTは第2基板として機能している。液晶表示パネルPNLは、画像を表示する表示領域DA、及び、表示領域DAを囲む額縁状の非表示領域NDAを備えている。液晶表示パネルPNLは、表示領域DAにおいて第1方向X及び第2方向Yにマトリクス状に配列された複数の画素PXを備えている。

【0012】

バックライトユニットBLは、アレイ基板ARの背面に配置されている。このようなバックライトユニットBLとしては、種々の形態が適用可能であるが、詳細な構造については説明を省略する。駆動ICチップICは、アレイ基板ARに実装されている。フレキシブル配線基板FPC1は、液晶表示パネルPNLと制御モジュールCMとを接続している。フレキシブル配線基板FPC2は、バックライトユニットBLと制御モジュールCMとを接続している。

10

【0013】

このような構成の液晶表示装置DSPは、バックライトユニットBLから液晶表示パネルPNLに入射する光を各画素PXで選択的に透過することによって画像を表示する、いわゆる透過型の液晶表示装置に相当する。但し、液晶表示装置DSPは、外部から液晶表示パネルPNLに向かって入射する外光を各画素PXで選択的に反射することによって画像を表示する反射型の液晶表示装置であっても良いし、透過型及び反射型の双方の機能を備えた半透過型の液晶表示装置であっても良い。

20

【0014】

図2は、液晶表示パネルPNLの断面を示す概略図である。

液晶表示パネルPNLは、アレイ基板AR、対向基板CT、液晶層LQ、シール材SE、第1光学素子OD1、第2光学素子OD2などを備えている。アレイ基板AR及び対向基板CTの詳細については後述する。

【0015】

シール材SEは、非表示領域NDAに配置され、アレイ基板ARと対向基板CTとを貼り合わせている。液晶層LQは、アレイ基板ARと対向基板CTとの間に保持されている。第1光学素子OD1は、アレイ基板ARの液晶層LQに接する面の反対側に配置されている。第2光学素子OD2は、対向基板CTの液晶層LQに接する面の反対側に配置されている。第1光学素子OD1及び第2光学素子OD2は、それぞれ偏光板を備えている。なお、第1光学素子OD1及び第2光学素子OD2は、位相差板などの他の光学素子を含んでいても良い。

30

【0016】

図3は、アレイ基板ARの概略構成を示す平面図である。

アレイ基板ARは、ゲート配線G、ソース配線S、画素電極PE、対向電極CE、スイッチング素子SW、第1駆動回路DR1、第2駆動回路DR2、第3駆動回路DR3などを備えている。

40

【0017】

複数のゲート配線Gは、表示領域DAにおいて、第1方向Xに延出し、第2方向Yに間隔を置いて並んでいる。この実施形態において、ゲート配線Gは、第1方向Xに直線的に延在している。複数のソース配線Sは、表示領域DAにおいて、第2方向Yに延在し、複数のゲート配線Gと交差し、第1方向Xに間隔を置いて並んでいる。なお、ソース配線Sは、必ずしも直線的に延出していなくても良く、一部が屈曲していたり、第1方向X及び第2方向Yに交差する方向に延出していたりしても良い。画素電極PE及びスイッチング素子SWは、各画素PXに配置されている。スイッチング素子SWは、ゲート配線G及びソース配線Sと電氣的に接続されている。画素電極PEは、スイッチング素子SWと電氣的に接続されている。共通電極CEは、複数の画素PXに亘って配置されており、画素電

50

極 P E との間で画素容量 C S を形成する。

【 0 0 1 8 】

第 1 駆動回路 D R 1、第 2 駆動回路 D R 2 及び第 3 駆動回路 D R 3 は、非表示領域 N D A に配置されている。第 1 駆動回路 D R 1 は、非表示領域 N D A に引き出されたゲート配線 G と電氣的に接続されている。第 2 駆動回路 D R 2 は、非表示領域 N D A に引き出されたソース配線 S と電氣的に接続されている。第 3 駆動回路 D R 3 は、共通電極 C E と電氣的に接続されている。第 1 駆動回路 D R 1 は、各ゲート配線 G に、スイッチング素子 S W のオン・オフを制御する制御信号を出力する。第 2 駆動回路 D R 2 は、各ソース配線 S に画像信号を出力する。第 3 駆動回路 D R 3 は、共通電極 C E に印加する電圧を制御する。

【 0 0 1 9 】

図 4 は、単位画素 P X 1 及び P X 2 の概略構成を示すアレイ基板 A R の平面図である。

なお、図示した例では、単位画素 P X 1 及び P X 2 は、表示モードとして F F S (Fringe Field Switching) モードに対応した構成を有しているが、共通電極の図示は省略している。アレイ基板 A R は、ゲート配線 G 1 乃至 G 2、ソース配線 S 1 乃至 S 4、遮光層 S H 1 及び遮光層 S H 2 を備えている。遮光層 S H 1 は、図中に斜線で示されている。遮光層 S H 2 は、図中に一点鎖線で示されている。本実施形態において、遮光層 S H 2 は第 1 遮光層として機能し、遮光層 S H 1 は第 2 遮光層として機能している。

【 0 0 2 0 】

単位画素 P X 1 及び P X 2 は、ソース配線 S 1 とソース配線 S 4 との間に形成されている。単位画素 P X 1 及び P X 2 は、ゲート配線 G 2 を挟んで第 2 方向 Y に隣り合う。単位画素 P X 1 及び P X 2 は、それぞれカラー画像を表示するための最小単位に相当する。単位画素 P X 1 は、副画素 P X R 1、副画素 P X G 1、及び副画素 P X B 1 を含んでいる。単位画素 P X 2 は、副画素 P X R 2、副画素 P X G 2 及び、副画素 P X B 2 を含んでいる。副画素 P X R 1 及び副画素 P X R 2 は、第 1 色を表示する画素である。副画素 P X G 1 及び副画素 P X G 2 は、第 1 色とは異なる第 2 色を表示する画素である。副画素 P X B 1 及び副画素 P X B 2 は、第 1 色及び第 2 色とは異なる第 3 色を表示する画素である。一例では、第 1 色が赤色であり、第 2 色が緑色であり、第 3 色が青色である。

【 0 0 2 1 】

但し、単位画素 P X 1 及び P X 2 は赤色、青色、緑色以外の色を表示する副画素を含んでいてもよい。また、上記の副画素の形状は、図示したような長方形の例に限らず、正方形や略平行四辺形などであっても良い。また、上記の副画素の面積は、互いに異なる面積を有していても良い。また、上記の副画素のレイアウトは、図示した例に限定されるものではない。

【 0 0 2 2 】

副画素 P X R 1 は、ソース配線 S 1 及びゲート配線 G 1 と電氣的に接続されたスイッチング素子 S W R 1、及び、スイッチング素子 S W R 1 と電氣的に接続された画素電極 P E R 1 を備えている。副画素 P X G 1 は、ソース配線 S 2 及びゲート配線 G 1 と電氣的に接続されたスイッチング素子 S W G 1、及び、スイッチング素子 S W G 1 と電氣的に接続された画素電極 P E G 1 を備えている。副画素 P X B 1 は、ソース配線 S 3 及びゲート配線 G 1 と電氣的に接続されたスイッチング素子 S W B 1、及び、スイッチング素子 S W B 1 と電氣的に接続された画素電極 P E B 1 を備えている。副画素 P X R 2 は、ソース配線 S 1 及びゲート配線 G 2 と電氣的に接続されたスイッチング素子 S W R 2、及び、スイッチング素子 S W R 2 と電氣的に接続された画素電極 P E R 2 を備えている。副画素 P X G 2 は、ソース配線 S 2 及びゲート配線 G 2 と電氣的に接続されたスイッチング素子 S W G 2、及び、スイッチング素子 S W G 2 と電氣的に接続された画素電極 P E G 2 を備えている。副画素 P X B 2 は、ソース配線 S 3 及びゲート配線 G 2 と電氣的に接続されたスイッチング素子 S W B 2、及び、スイッチング素子 S W B 2 と電氣的に接続された画素電極 P E B 2 を備えている。本実施形態において、ソース配線 S 1 は第 1 ソース配線として機能し、ソース配線 S 2 は第 2 ソース配線として機能している。

【 0 0 2 3 】

10

20

30

40

50

画素電極 P E R 1 及び画素電極 P E R 2 は、ソース配線 S 1 とソース配線 S 2 との間に形成されている。画素電極 P E R 1 及び画素電極 P E R 2 は、ゲート配線 G 2 を挟んで第 2 方向 Y に隣り合う。画素電極 P E G 1 及び画素電極 P E G 2 は、ソース配線 S 2 とソース配線 S 3 との間に形成されている。画素電極 P E G 1 及び画素電極 P E G 2 は、ゲート配線 G 2 を挟んで第 2 方向 Y に隣り合う。画素電極 P E B 1 及び画素電極 P E B 2 は、ソース配線 S 3 とソース配線 S 4 との間に形成されている。画素電極 P E B 1 及び画素電極 P E B 2 は、ゲート配線 G 2 を挟んで第 2 方向 Y に隣り合う。

【 0 0 2 4 】

遮光層 S H 1 は、後述するようにスイッチング素子よりも下層側に配置されている。遮光層 S H 1 は、アレイ基板 A R を平面視して、簡略化して図示されたスイッチング素子と重なる位置に配置されている。

遮光層 S H 2 は、後述するようにスイッチング素子よりも上層側に配置されている。遮光層 S H 2 は、アレイ基板 A R を平面視して、簡略化して図示されたスイッチング素子及びソース配線 S 1 乃至 S 4 をそれぞれ覆う位置に配置されている。遮光層 S H 1 及び S H 2 は、各画素電極の上層又は下層に配置されていない。換言すると、遮光層 S H 1 は、島状に形成され、各スイッチング素子と重なる位置に個別に配置されている。また、遮光層 S H 2 には、隣り合うソース配線の間に開口部が形成されている。遮光層 S H 1 及び S H 2 に囲まれた領域は、表示に寄与する領域である。遮光層 S H 2 は、アレイ基板 A R を平面視して、更にゲート配線 G 1 及び G 2 を覆う位置に配置されていることが好ましい。但し、図示した例では、遮光層 S H 2 の開口部は、ゲート配線 G 1 及び G 2 と交差している。

【 0 0 2 5 】

上記した遮光層 S H 2 について、より具体的に説明する。遮光層 S H 2 は、ソース配線 S 1 乃至 S 4 をそれぞれ覆っている。この遮光層 S H 2 には、ソース配線 S 1 とソース配線 S 2 との間、ソース配線 S 2 とソース配線 S 3 との間、及び、ソース配線 S 3 とソース配線 S 4 との間に、それぞれ開口部 O P 1 乃至 O P 3 が形成されている。開口部 O P 1 乃至 O P 3 は、それぞれゲート配線 G 1 及び G 2 と交差し、第 2 方向 Y に繋がっている。画素電極 P E R 1 及び P E R 2 は開口部 O P 1 に配置され、画素電極 P E G 1 及び P E G 2 は開口部 O P 2 に配置され、画素電極 P E B 1 及び P E B 2 は開口部 O P 3 に配置されている。共通電極 C E は、開口部 O P 1 乃至 O P 3 にそれぞれ配置され、図示した 6 個の画素電極とそれぞれ対向している。また、共通電極 C E は、遮光層 S H 2 を超えて第 1 方向 X に延出している。また、共通電極 C E は、ゲート配線 G 1 及び G 2 を超えて第 2 方向 Y に延出している。

【 0 0 2 6 】

図 5 は、図 4 に示した副画素 P X R 1 の一部を示す概略平面図である。

スイッチング素子 S W R 1 は、半導体層 S C 1 を備えている。半導体層 S C 1 は、例えば L 字状に形成されている。ゲート配線 G 1 は、第 1 方向 X に延出した主要部 G A、及び、主要部 G A から分岐し第 2 方向 Y に延出した分岐部 G B を有している。半導体層 S C 1 は、ゲート配線 G 1 の主要部 G A 及び分岐部 G B との 2 箇所で見交差している。すなわち、図示した例では、スイッチング素子 S W R 1 は、ダブルゲート型の薄膜トランジスタによって構成されている。なお、半導体層 S C 1 が U 字状に形成されていても良く、この場合、半導体層 S C 1 が分岐部を有していないゲート配線 G 1 と 2 箇所で見交差したダブルゲート型の薄膜トランジスタを構成することができる。また、半導体層 S C 1 が I 字状に形成されていても良く、この場合、半導体層 S C 1 がゲート配線 G 1 の分岐部 G B のみの 1 箇所で見交差したシングルゲート型の薄膜トランジスタを構成することができる。

【 0 0 2 7 】

半導体層 S C 1 は、その一端がコンタクトホール C H 1 1 を介してソース配線 S 1 と電氣的に接続され、ソース配線 S 1 と重なる位置で第 2 方向 Y に延出し、その中途部分で屈曲して第 1 方向 X に延出し、その他端がコンタクトホール C H 1 2 を介して中継電極 R E 1 と電氣的に接続されている。

中継電極 R E 1 は、ソース配線 S 1 とソース配線 S 2 との間に位置している。画素電極 P E R 1 は、中継電極 R E 1 と電氣的に接続されている。画素電極 P E R 1 は、櫛歯電極 T 1 を有している。櫛歯電極 T 1 は、互いに平行に延出しており、図示した例では、第 2 方向 Y に延出している。

【 0 0 2 8 】

図 6 は、図 5 の A - B 線に沿って示すアレイ基板 A R の概略断面図である。

アレイ基板 A R は、ガラス基板や樹脂基板などの光透過性を有する第 1 絶縁基板 1 0 を用いて形成されている。アレイ基板 A R は、第 1 絶縁膜 1 1、第 2 絶縁膜 1 2、第 3 絶縁膜 1 3、第 4 絶縁膜 1 4、遮光層 S H 1、遮光層 S H 2、スイッチング素子 S W R 1、画素電極 P E R 1、共通電極 C E、第 1 配向膜 A L 1 などを備えている。図示した例では、

10

【 0 0 2 9 】

遮光層 S H 1 は、スイッチング素子 S W R 1 に対応する位置であって、第 1 絶縁基板 1 0 の上に形成されている。第 1 絶縁膜 1 1 は、第 1 絶縁基板 1 0 及び遮光層 S H 1 の上に形成されている。スイッチング素子 S W R 1 の半導体層 S C 1 は、第 1 絶縁膜 1 1 の上に形成されている。半導体層 S C 1 は、例えば、多結晶シリコンによって形成されているが、アモルファスシリコンや、酸化物半導体などによって形成されていても良い。

【 0 0 3 0 】

第 2 絶縁膜 1 2 は、第 1 絶縁膜 1 1 及び半導体層 S C 1 の上に形成されている。ゲート配線 G 1 は、第 2 絶縁膜 1 2 上に形成され、その 2 箇所半導体層 S C 1 と対向している。第 3 絶縁膜 1 3 は、ゲート配線 G 1 及び第 2 絶縁膜 1 2 の上に形成されている。ソース配線 S 1 及び中継電極 R E 1 は、第 3 絶縁膜 1 3 の上に形成されている。ソース配線 S 1 は、第 2 絶縁膜 1 2 及び第 3 絶縁膜 1 3 を貫通するコンタクトホール C H 1 1 を介して半導体層 S C 1 にコンタクトしている。

20

【 0 0 3 1 】

中継電極 R E 1 は、第 2 絶縁膜 1 2 及び第 3 絶縁膜 1 3 を貫通するコンタクトホール C H 1 2 を介して半導体層 S C 1 にコンタクトしている。遮光層 S H 1 とスイッチング素子 S W R 1 との位置関係に着目すると、遮光層 S H 1 は、第 1 絶縁基板 1 0 と半導体層 S C 1 との間に位置し、特に、ゲート配線 G 1 と半導体層 S C 1 とが対向する位置の下層に位置している。

30

【 0 0 3 2 】

遮光層 S H 2 は、第 3 絶縁膜 1 3、及び、ソース配線 S 1 の上に形成されている。遮光層 S H 2 の開口部 O P 1 においては、中継電極 R E 1 及びその周囲の第 3 絶縁膜 1 3 が露出している。遮光層 S H 2 とスイッチング素子 S W R 1 との位置関係に着目すると、遮光層 S H 2 は、ゲート配線 G 1 と半導体層 S C 1 とが対向する位置の上層に位置している。

【 0 0 3 3 】

共通電極 C E は、遮光層 S H 2 の上に形成されている。また、共通電極 C E の一部は、開口部 O P 1 に位置し、第 3 絶縁膜 1 3 の上に形成されている。第 4 絶縁膜 1 4 は、遮光層 S H 2 及び共通電極 C E の上に形成されている。また、第 4 絶縁膜 1 4 は、開口部 O P 1 において、第 3 絶縁膜 1 3、中継電極 R E 1、及び、共通電極 C E の上に形成されている。第 1 絶縁膜 1 1、第 2 絶縁膜 1 2、第 3 絶縁膜 1 3、及び、第 4 絶縁膜 1 4 は、例えばシリコン窒化物 (S i N) やシリコン酸化物 (S i O) などの無機材料によって形成されている。遮光層 S H 2 は、遮光性を有する黒色の樹脂層であり、例えば黒色顔料を分散させたアクリル樹脂などの有機材料によって形成されている。

40

【 0 0 3 4 】

画素電極 P E R 1 は、第 4 絶縁膜 1 4、及び、中継電極 R E 1 の上に形成されている。画素電極 P E R 1 は、第 4 絶縁膜 1 4 を貫通するコンタクトホールを介して中継電極 R E 1 に電氣的に接続している。画素電極 P E R 1 は、第 4 絶縁膜 1 4 を介して共通電極 C E と対向している。共通電極 C E 及び画素電極 P E R 1 は、例えばインジウム・ジंक・オ

50

キサイド (I Z O) やインジウム・ティン・オキサイド (I T O) などの透明導電材料によって形成されている。第 1 配向膜 A L 1 は、第 4 絶縁膜 1 4 及び画素電極 P E R 1 の上に形成されている。第 1 配向膜 A L 1 は、例えば、水平配向性を示す材料によって形成されている。

【 0 0 3 5 】

図 7 は、図 5 の C - D 線に沿って示す液晶表示パネル P N L の概略断面図である。

アレイ基板 A R において、ソース配線 S 1 及び S 2 は、第 3 絶縁膜 1 3 の上に形成され、遮光層 S H 2 によって覆われている。遮光層 S H 2 は、対向基板 C T に向かって先細るテーパ状の断面を有している。つまり、遮光層 S H 2 は、ほぼ平坦な上面 S H T、及び、傾斜面 S H S を有している。共通電極 C E は、開口部 O P 1 において第 3 絶縁膜 1 3 の上に形成され、さらに、遮光層 S H 2 の上面 S H T 及び傾斜面 S H S 上に形成され、第 4 絶縁膜 1 4 によって覆われている。画素電極 P E R 1 は、第 4 絶縁膜 1 4 の上に形成され、第 1 配向膜 A L 1 によって覆われている。画素電極 P E R 1 は、ソース配線 S 1 とソース配線 S 2 との間の開口部 O P 1 において、共通電極 C E と対向している。

10

【 0 0 3 6 】

対向基板 C T は、ガラス基板や樹脂基板などの光透過性を有する第 2 絶縁基板 2 0 を用いて形成されている。対向基板 C T は、遮光層 S H 3、カラーフィルタ C F 1 及び C F 2、オーバーコート層 O C、第 2 配向膜 A L 2 などを備えている。

【 0 0 3 7 】

遮光層 S H 3 は、第 2 絶縁基板 2 0 のアレイ基板 A R と対向する側に形成されている。遮光層 S H 3 は、図示しないゲート配線や、ソース配線 S 1 及び S 2 と対向する位置に形成されている。カラーフィルタ C F 1 は、画素電極 P E R 1 と対向している。カラーフィルタ C F 2 は、画素電極 P E G 1 と対向している。カラーフィルタ C F 1 及び C F 2 のそれぞれの端部は、遮光層 S H 3 と重なっている。カラーフィルタ C F 1 及び C F 2 は、それぞれ着色された樹脂材料によって形成されている。オーバーコート層 O C は、透明な樹脂材料によって形成され、カラーフィルタ C F 1 及び C F 2 を覆っている。第 2 配向膜 A L 2 は、オーバーコート層 O C のアレイ基板 A R と対向する側に形成されている。第 2 配向膜 A L 2 は、水平配向性を示す材料によって形成されている。

20

【 0 0 3 8 】

本実施形態によれば、スイッチング素子は、下層に配置されている遮光層 S H 1、上層に配置されている遮光層 S H 2 によって挟み込まれた構造となっている。遮光層 S H 1 は、スイッチング素子に対するバックライトユニットからの光の直接の入射を抑制する。遮光層 S H 2 は、ソース配線の側面及び上面での反射を抑制し、スイッチング素子に対するアレイ基板の層の界面で多重反射された光の入射を抑制することができる。これにより、光リークの発生をより効果的に抑制することができ、画素容量に保持されていた画素電位の変動を抑制することができる。そのため、たとえ低周波駆動や間欠駆動される場合であっても、光リークに起因したフリッカ等による表示品位の劣化を抑制することが可能となる。加えて、表示装置を低周波駆動や間欠駆動させることで、表示装置の消費電力を低減させることができる。

30

【 0 0 3 9 】

また、本実施形態で説明したアレイ基板と、ソース配線の上に透明樹脂層を備えた比較例のアレイ基板とを比較した場合、本実施形態の遮光層 S H 2 は、比較例の透明樹脂層と置換することができる。このため、遮光層 S H 2 は、実質的に製造工程数を増やすことなく製造することができる。

40

【 0 0 4 0 】

また、遮光層 S H 2 に形成される開口部 O P の下層には、配線や回路等が配置されておらず、ほとんど段差がない。つまり、開口部 O P においてはほぼ平坦な面が形成されている。画素電極 P E は、平坦な開口部 O P に配置されているため、液晶分子の配向にほとんど悪影響を与えない。

【 0 0 4 1 】

50

また、共通電極 C E は、開口部 O P のみならず、遮光層 S H 2 を乗り越えて第 1 方向 X に延在している。遮光層 S H 2 がテーパ状の断面を有しているため、遮光層 S H 2 を乗り越える共通電極 C E の断線を抑制することができる。

また、遮光層 S H 2 が配置される位置は、各異色副画素の境界に相当する。このため、第 1 方向 X に隣接する異なる色の副画素間での混色を抑制することが可能となる。すなわち、混色は、表示パネル P N L の法線に対して傾斜した斜め方向から表示パネル P N L に入射した光が、互いに整合しないカラーフィルタを透過することで生じる。このように隣接する副画素のカラーフィルタを透過して混色を招く不整合光は、隣り合う副画素の境界で発生する。本実施形態によれば、斜め方向に入射した光のうち、境界付近に入射した光は、遮光層 S H 2 によって遮光され、隣接するカラーフィルタを透過しない。このため、混色が視認されにくくなり、表示品位の劣化を抑制することが可能となる。

10

【 0 0 4 2 】

また、遮光層 S H 2 は、ソース配線を覆っており、かつ好ましくはゲート配線の上に配置されている。このため、アレイ基板 A R において、対向基板 C T 側から入射した光のソース配線及びゲート配線での反射を抑制することができる。このため、ソース配線及びゲート配線での反射に起因したコントラスト比の低下を抑制することができる。その場合、対向基板 C T の遮光層 S H 3 を省略しても良い。遮光層 S H 3 を省略した場合、アレイ基板 A R と対向基板 C T との合わせずれに起因した開口率の低下を抑制することができる。また、遮光層 S H 3 を設けない場合、表示装置の製造工程を削減することができる。

以上説明したように、本実施形態によれば、表示品位の劣化を抑制することが可能な表示装置を提供することができる。

20

【 0 0 4 3 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【 符号の説明 】

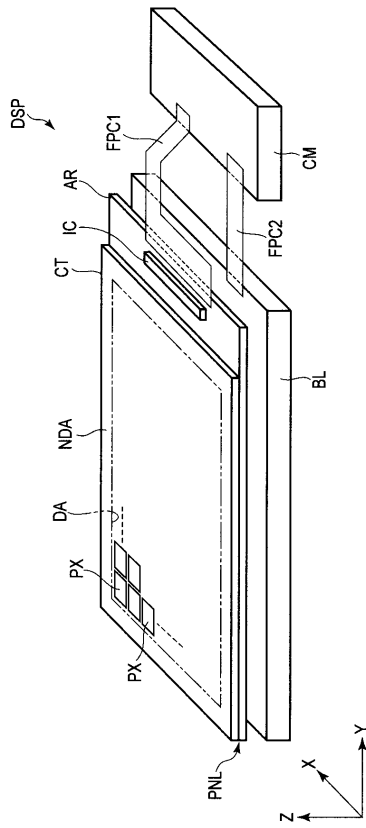
【 0 0 4 4 】

D S P ... 液晶表示装置 P N L ... 表示パネル G ... ゲート配線
 S ... ソース配線 S W ... スイッチング素子 P E ... 画素電極 C E ... 共通電極
 P X ... 単位画素 C F ... カラーフィルタ S H ... 遮光層

30

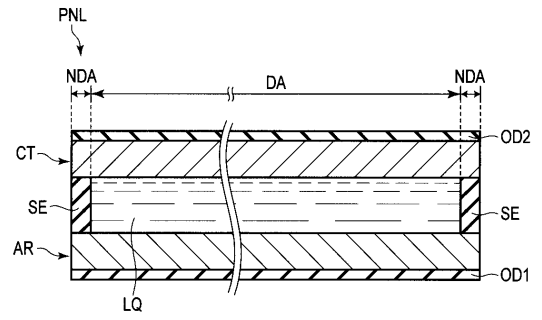
【 図 1 】

図 1



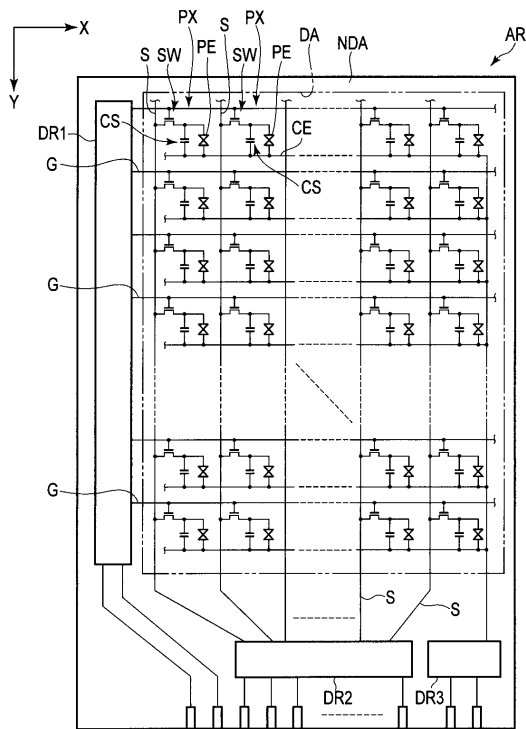
【 図 2 】

図 2



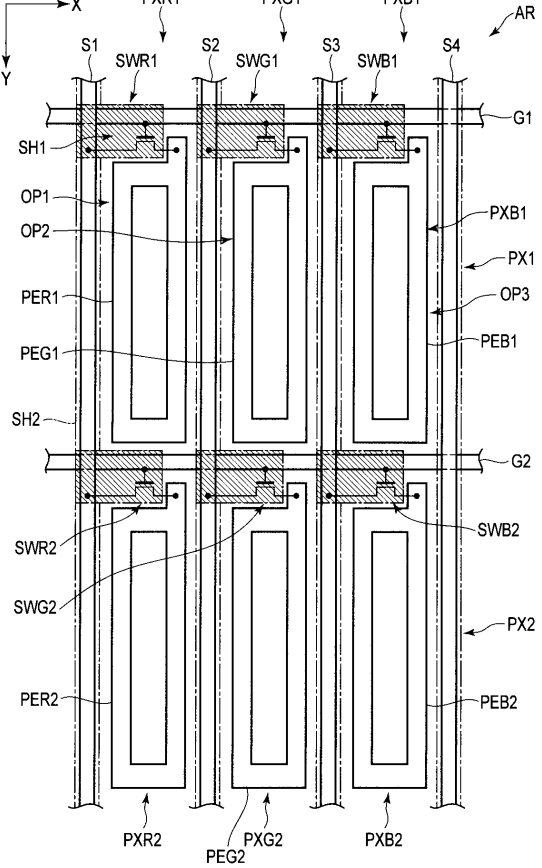
【 図 3 】

図 3

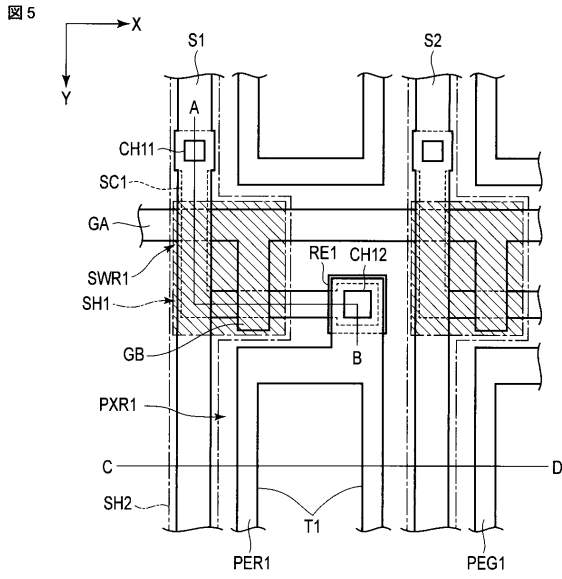


【 図 4 】

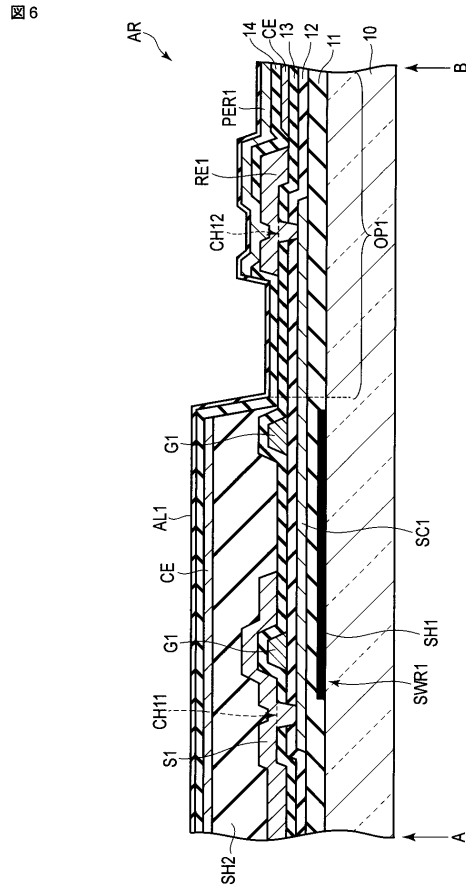
図 4



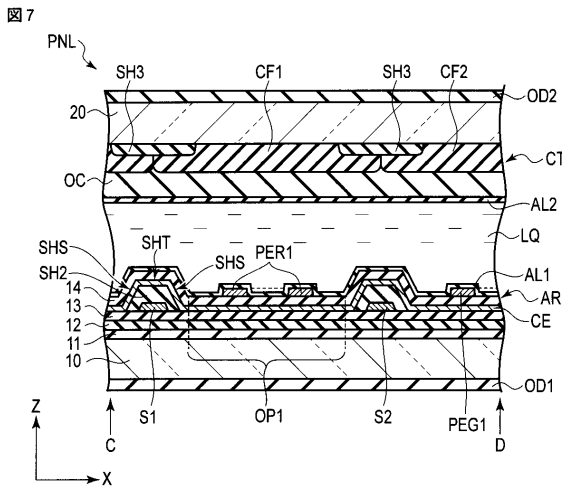
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

F ターム(参考) 5C094 AA21 BA03 BA27 BA43 BA75 CA19 ED15 FA01 HA05 HA06
HA08
5F110 AA06 AA30 BB01 CC01 DD01 DD02 DD13 DD14 DD17 FF02
FF03 GG01 GG02 GG13 GG15 HM18 NN23 NN24 NN42 NN49

专利名称(译)	表示装置		
公开(公告)号	JP2017129615A	公开(公告)日	2017-07-27
申请号	JP2016007008	申请日	2016-01-18
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	林宏宜		
发明人	林 宏宜		
IPC分类号	G02F1/1335 H01L29/786 H01L21/336 G02F1/1368 G09F9/30		
FI分类号	G02F1/1335.500 H01L29/78.619.B G02F1/1368 G09F9/30.348.Z G09F9/30.349.C		
F-TERM分类号	2H191/FA14Y 2H191/FD22 2H191/FD25 2H191/FD26 2H191/GA19 2H191/LA03 2H192/AA24 2H192/BC31 2H192/CB02 2H192/DA12 2H192/EA06 2H192/EA13 2H192/EA15 2H192/EA22 2H192/EA43 2H192/FA73 2H291/FA14Y 2H291/FD22 2H291/FD25 2H291/FD26 2H291/GA19 2H291/LA03 5C094/AA21 5C094/BA03 5C094/BA27 5C094/BA43 5C094/BA75 5C094/CA19 5C094/ED15 5C094/FA01 5C094/HA05 5C094/HA06 5C094/HA08 5F110/AA06 5F110/AA30 5F110/BB01 5F110/CC01 5F110/DD01 5F110/DD02 5F110/DD13 5F110/DD14 5F110/DD17 5F110/FF02 5F110/FF03 5F110/GG01 5F110/GG02 5F110/GG13 5F110/GG15 5F110/HM18 5F110/NN23 5F110/NN24 5F110/NN42 5F110/NN49		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够抑制显示质量下降的显示装置。包括其中的液晶层被保持在第一基板和第二基板之间的显示面板，所述第一基板包括绝缘基板和栅极线，第一源极线和第二栅极线交叉和源极布线，栅极布线和第一源极布线和电连接到开关元件，开关元件，所述第一第一遮光层，其覆盖源极布线和第二源极布线，并且具有形成在第一源极布线和第二源极布线之间的开口，以及与开关元件电连接的像素电极，配备的显示装置。

