

【特許請求の範囲】**【請求項 1】**

表示の画素ごとに設けられた C M O S (C o m p l e m e n t a r y M e t a l O x i d e S e m i c o n d u c t o r) 型の S R A M (S t a t i c R a n d o m A c c e s s M e m o r y) セルであって、

負荷抵抗回路部と記憶回路部との間に保護用の M O S トランジスタを有し、

前記記憶回路部のトランジスタに、前記負荷抵抗回路部のトランジスタおよび前記保護用の M O S トランジスタより高電圧への耐性が低いトランジスタを用いた S R A M セルと、

前記 S R A M セルのそれぞれにおける前記負荷抵抗回路部と前記保護用の M O S トランジスタとの間から出力される信号に基づく液晶表示を行う液晶表示部と、
を備えることを特徴とする液晶表示装置。

10

【請求項 2】

前記負荷抵抗回路部に P 型 M O S トランジスタを用い、前記記憶回路部に N 型 M O S トランジスタを用いる

ことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記負荷抵抗回路部に N 型 M O S トランジスタを用い、前記記憶回路部に P 型 M O S トランジスタを用いる

ことを特徴とする請求項 1 に記載の液晶表示装置。

20

【請求項 4】

前記負荷抵抗回路部に負荷抵抗を用い、前記記憶回路部に N 型 M O S トランジスタを用いる

ことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】

前記負荷抵抗回路部に負荷抵抗を用い、前記記憶回路部に P 型 M O S トランジスタを用いる

ことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】

前記負荷抵抗回路部には最大で第 1 電圧の電圧が印加され、

30

前記保護用の M O S トランジスタは、前記記憶回路部に印加される最大の電圧を前記第 1 電圧より低い第 2 電圧に制限する、

ことを特徴とする請求項 1 ~ 5 のいずれか一つに記載の液晶表示装置。

【請求項 7】

前記 S R A M セルのレプリカ回路と、

前記記憶回路部に対応する前記レプリカ回路のトランジスタと、前記保護用の M O S トランジスタに対応する前記レプリカ回路のトランジスタと、の間の最大の電圧が前記第 2 電圧に近づくように、前記保護用の M O S トランジスタに対応する前記レプリカ回路のトランジスタのゲート電圧を調整し、前記 S R A M セルにおける前記保護用の M O S トランジスタのゲートに、前記保護用の M O S トランジスタに対応する前記レプリカ回路のトランジスタのゲート電圧と同じ電圧を印加する調整回路と、

40

を備えることを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

前記レプリカ回路および前記調整回路は、前記 S R A M セルのうちの複数の S R A M セルにおいて共有される回路であることを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

前記負荷抵抗回路部に印加される最大の電圧を、前記液晶表示を行う期間においては前記第 1 電圧に制御し、前記 S R A M セルへの信号の転送期間においては前記第 1 電圧より低い第 3 電圧に制御する制御回路を備えることを特徴とする請求項 6 ~ 8 のいずれか一つに記載の液晶表示装置。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関する。

【背景技術】

【0002】

従来、LCOS (Liquid Crystal On Silicon) などの空間光変調器によって変調した信号光を光情報記録媒体に照射してホログラムを形成することで情報信号を記録するホログラフィックメモリが知られている。空間光変調器には、たとえば液晶セルを用いた液晶表示装置が用いられる。液晶表示装置において、液晶セルの駆動にはある程度の高電圧を要するため、液晶セルを駆動する画素回路には、高電圧の駆動信号を液晶セルへ出力可能な構成が求められる。

10

【0003】

また、FLC (Ferroelectric Liquid Crystal: 強誘電性液晶) は反転電流が多く、DRAM (Dynamic Random Access Memory) では画素データを保持できないため、液晶表示装置には、メモリセルとしてたとえばSRAM (Static Random Access Memory) セルが用いられる。また、画素回路にSRAMを用いた液晶表示装置において、水平ドライバにレベルシフタを設け、ビット線や画素を高電圧で動作させる構成が知られている (たとえば、下記特許文献1参照。)。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2014-215496号公報 (図1)

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、上述した従来技術では、たとえば画素回路のSRAMの全体を高電圧で動作させるため、画素回路のSRAMの各トランジスタに高耐圧素子を用いることになり、1画素あたりの面積が増加するという問題がある。また、たとえばビット線の電圧振幅が大きくなるため、ビット線の充放電により消費電力が大きくなるという問題がある。

30

【0006】

本発明は、上述した従来技術による問題点を解消するため、1画素あたりの面積の増加を抑えつつ、消費電力の低減を図ることができる液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

上述した課題を解決し、目的を達成するため、本発明にかかる液晶表示装置は、表示の画素ごとに設けられたCMOS (Complementary Metal Oxide Semiconductor) 型のSRAM (Static Random Access Memory) セルであって、負荷抵抗回路部と記憶回路部との間に保護用のMOSトランジスタを有し、前記記憶回路部のトランジスタに、前記負荷抵抗回路部のトランジスタおよび前記保護用のMOSトランジスタより高電圧への耐性が低いトランジスタを用いたSRAMセルと、前記SRAMセルのそれぞれにおける前記負荷抵抗回路部と前記保護用のMOSトランジスタとの間から出力される信号に基づく液晶表示を行う液晶表示部と、を備える。

40

【0008】

これにより、液晶表示に要する高電圧の信号を液晶表示部に出力しつつ、SRAMにおける記憶回路部に印加される最大電圧を低くし、SRAMにおける記憶回路部に小型の素子を用いることが可能になる。

50

【発明の効果】

【0009】

本発明の一側面によれば、1画素あたりの面積の増加を抑えつつ、消費電力の低減を図ることができるという効果を奏する。

【図面の簡単な説明】

【0010】

【図1】図1は、実施の形態にかかる液晶駆動回路の一例を示す図である。

【図2】図2は、実施の形態にかかる液晶駆動回路を適用した液晶表示装置の一例を示す図である。

【図3】図3は、実施の形態にかかる画素回路を模したゲート接地の回路の一例を示す図である。

10

【図4】図4は、実施の形態にかかる駆動信号の電圧の制御の一例を示す図である。

【図5】図5は、実施の形態にかかる液晶駆動回路の他の構成例1を示す図である。

【図6】図6は、実施の形態にかかる液晶駆動回路の他の構成例2を示す図である。

【図7】図7は、実施の形態にかかる液晶駆動回路の他の構成例3を示す図である。

【発明を実施するための形態】

【0011】

以下に図面を参照して、本発明にかかる液晶表示装置の実施の形態を詳細に説明する。

【0012】

(実施の形態)

20

(実施の形態にかかる液晶駆動回路)

図1は、実施の形態にかかる液晶駆動回路の一例を示す図である。図1に示すように、実施の形態にかかる液晶駆動回路100は、複数の画素回路110と、レプリカ回路120と、差動アンプ130と、を備える。液晶駆動回路100は、液晶セルを用いた液晶表示部(たとえば図2に示す液晶表示部210)を駆動することにより液晶表示部に画像を表示させる回路である。

【0013】

画素回路110は、液晶駆動回路100によって駆動する液晶表示部の画素ごとに設けられた、液晶表示部の画素を駆動する回路である。図1においては画素ごとに設けられた画素回路110のうちの1つの画素回路110について説明するが、画素ごとに設けられた画素回路110のうちの他の画素回路110についても同様である。

30

【0014】

画素回路110は、8個のトランジスタ(MOSTランジスタ111~118)を備える。画素回路110においては、6個のMOSTランジスタ(MOSTランジスタ111~116)によってCMOS(Complementary Metal Oxide Semiconductor: 相補型金属酸化膜半導体)型のSRAMセルが構成される。このようなSRAMは、たとえば完全CMOS型のSRAMセルや、フルCMOS型のSRAMと呼ばれる場合もある。MOSTランジスタ111, 112, 115, 116はN型MOSTランジスタである。MOSTランジスタ113, 114はP型MOSTランジスタである。

40

【0015】

画素回路110においては、MOSTランジスタ111, 113によって第1のインバータが構成される。また、画素回路110においては、MOSTランジスタ112, 114によって第2のインバータが構成される。そして、第1のインバータの入力と第2のインバータの出力とを接続し、第1のインバータの出力と第2のインバータの入力とを接続することによってSRAMセルが構成される。

【0016】

SRAMセルにおいて、駆動トランジスタとしてのMOSTランジスタ111, 112と、負荷トランジスタとしてのMOSTランジスタ113, 114と、によってフリップフロップが構成される。また、SRAMセルにおいて、MOSTランジスタ115, 11

50

6 は選択用トランジスタとして用いられる。

【 0 0 1 7 】

また、M O S トランジスタ 1 1 3 , 1 1 4 は、負荷トランジスタとして動作することにより、S R A M セルにおいて電源と記憶回路部 1 3 2 との間の負荷として機能する負荷抵抗回路部 1 3 1 を構成する。また、M O S トランジスタ 1 1 1 , 1 1 2 , 1 1 5 , 1 1 6 は、M O S トランジスタ 1 1 1 , 1 1 2 が駆動トランジスタとして動作し、M O S トランジスタ 1 1 5 , 1 1 6 が選択用トランジスタとして動作することにより、S R A M セルにおいて情報を記憶する記憶回路部 1 3 2 を構成する。

【 0 0 1 8 】

ラッチノード A は、M O S トランジスタ 1 1 1 , 1 1 3 によって構成される第 1 のインバータの出力であり、M O S トランジスタ 1 1 2 , 1 1 4 によって構成される第 2 のインバータの入力である。ラッチノード B は、M O S トランジスタ 1 1 2 , 1 1 4 によって構成される第 2 のインバータの出力であり、M O S トランジスタ 1 1 1 , 1 1 3 によって構成される第 1 のインバータの入力である。

10

【 0 0 1 9 】

対になったビット線 (b i t) および反転ビット線 (/ b i t) は、互いに逆の論理状態 (たとえば “ H ” および “ L ”) となる各ビット線である。 “ H ” は、 “ L ” よりも高い電圧である。 “ L ” は、 “ H ” よりも低い電圧である。たとえば “ H ” および “ L ” は互いに極性が異なる各信号である。

20

【 0 0 2 0 】

ラッチノード B が “ H ” の場合にはラッチノード A に “ L ” が出力される。これにより、M O S トランジスタ 1 1 2 , 1 1 4 によって構成される第 2 のインバータはラッチノード B を元の “ H ” に保つ。一方、ラッチノード B が “ L ” の場合にはラッチノード A に “ H ” が出力される。これにより、M O S トランジスタ 1 1 2 , 1 1 4 によって構成される第 2 のインバータはラッチノード B を元の “ L ” に保つ。

【 0 0 2 1 】

画素回路 1 1 0 に “ H ” を書き込むには、ワード線 (w o r d l i n e) を “ H ” にして M O S トランジスタ 1 1 5 , 1 1 6 のゲートを開いた状態 (オンにした状態) でビット線 (b i t) を “ H ” にする。これにより、反転ビット線 (/ b i t) は “ L ” となり、ラッチノード A は “ L ” 、ラッチノード B は “ H ” となる。

30

【 0 0 2 2 】

逆に、画素回路 1 1 0 に “ L ” を書き込むには、ワード線を “ H ” にして M O S トランジスタ 1 1 5 , 1 1 6 のゲートを開いた状態でビット線 (b i t) を “ L ” にする。これにより、反転ビット線 (/ b i t) は “ H ” となり、ラッチノード A は “ H ” 、ラッチノード B は “ L ” となる。

【 0 0 2 3 】

画素回路 1 1 0 に値を書き込んだ後は、ワード線を “ L ” にして M O S トランジスタ 1 1 5 , 1 1 6 のゲートを閉じた状態 (オフにした状態) とすることにより、書き込まれた値がフリップフロップにより安定して保持される。

【 0 0 2 4 】

また特に、画素回路 1 1 0 は、保護用の M O S トランジスタ 1 1 7 , 1 1 8 (シールド素子) を備える。M O S トランジスタ 1 1 7 は、M O S トランジスタ 1 1 1 と M O S トランジスタ 1 1 3 との間に設けられている。M O S トランジスタ 1 1 8 は、M O S トランジスタ 1 1 2 と M O S トランジスタ 1 1 4 との間に設けられている。M O S トランジスタ 1 1 7 , 1 1 8 の各ゲートは差動アンプ 1 3 0 の出力に接続されている。図 1 に示す例では M O S トランジスタ 1 1 7 , 1 1 8 は N 型 M O S である。

40

【 0 0 2 5 】

出力端子 1 1 9 (o u t) は、M O S トランジスタ 1 1 4 のドレインと M O S トランジスタ 1 1 8 のソースとの間に設けられている。画素回路 1 1 0 に書き込まれた値は、駆動信号として、出力端子 1 1 9 から液晶表示部の画素へ出力される。この駆動信号の電圧は

50

、M O S トランジスタ 1 1 3 , 1 1 4 のソースに接続された電圧源の電圧 V_{DDH} となる。電圧 V_{DDH} は、液晶表示部における液晶駆動に要する電圧である。

【 0 0 2 6 】

このように、実施の形態にかかる液晶駆動回路 1 0 0 においては、S R A M セルを構成する P 型 M O S トランジスタ (M O S トランジスタ 1 1 3 , 1 1 4) と N 型 M O S トランジスタ (M O S トランジスタ 1 1 1 , 1 1 2 , 1 1 5 , 1 1 6) との間に保護用のトランジスタ (M O S トランジスタ 1 1 7 , 1 1 8) が設けられる。

【 0 0 2 7 】

そして、P 型 M O S トランジスタ (M O S トランジスタ 1 1 3 , 1 1 4) および保護用のトランジスタ (M O S トランジスタ 1 1 7 , 1 1 8) には、高電圧への耐性 (劣化あるいは破壊耐性) が比較的高いトランジスタを用いる。また、N 型 M O S トランジスタ (M O S トランジスタ 1 1 1 , 1 1 2 , 1 1 5 , 1 1 6) には、高電圧への耐性 (破壊耐性) が P 型 M O S トランジスタ (M O S トランジスタ 1 1 3 , 1 1 4) および保護用のトランジスタ (M O S トランジスタ 1 1 7 , 1 1 8) より低いトランジスタを用いる。トランジスタの高電圧への耐性については、例としてはゲート酸化膜厚やウェルなどの濃度といった素子構造そのものや、ゲートの幅などの設計によって調整可能である。

【 0 0 2 8 】

たとえば、M O S トランジスタ 1 1 3 , 1 1 4 , 1 1 7 , 1 1 8 は、出力端子 1 1 9 から出力される駆動信号の最大の電圧 V_{DDH} に十分に耐えられる高耐圧素子とする。これにより、駆動信号の最大の電圧 V_{DDH} による M O S トランジスタ 1 1 3 , 1 1 4 , 1 1 7 , 1 1 8 の破壊を回避しつつ、出力端子 1 1 9 から出力される駆動信号は、電圧 V_{DDH} と G N D (0 [V]) との間をスイングする高電圧の信号とすることができる。

【 0 0 2 9 】

一方、M O S トランジスタ 1 1 1 , 1 1 2 , 1 1 5 , 1 1 6 は、出力端子 1 1 9 から出力される駆動信号の最大の電圧 V_{DDH} に十分に耐えられない標準耐圧素子とする。これにより、M O S トランジスタ 1 1 1 , 1 1 2 , 1 1 5 , 1 1 6 は、M O S トランジスタ 1 1 3 , 1 1 4 , 1 1 7 , 1 1 8 よりも小型の素子によって実現することが可能になる。このため、たとえば M O S トランジスタ 1 1 1 ~ 1 1 8 の全てに高耐圧素子を用いる場合に比べて高耐圧素子の数を少なくし、画素回路 1 1 0 を小型化することができる。

【 0 0 3 0 】

また、M O S トランジスタ 1 1 7 , 1 1 8 をシールド素子として設けることにより、P 型の M O S トランジスタ 1 1 3 , 1 1 4 には最大で V_{DDH} (第 1 電圧) の電流が流れるようにしつつ、N 型の M O S トランジスタ 1 1 1 , 1 1 2 , 1 1 5 , 1 1 6 に印加される最大の電圧を V_{DDH} より低い V_{DD} (第 2 電圧) に制限することができる。たとえば画素回路 1 1 0 が “ H ” をラッチしても、ラッチノード A , B を電圧 V_{DDH} よりも低い電圧 V_{DD} に抑え、M O S トランジスタ 1 1 1 , 1 1 2 , 1 1 5 , 1 1 6 の破壊を回避することができる。

【 0 0 3 1 】

したがって、出力端子 1 1 9 に接続された液晶表示部の画素を高電圧 (V_{DDH}) で駆動しつつ、M O S トランジスタ 1 1 1 , 1 1 2 , 1 1 5 , 1 1 6 を小型化することが可能になる。このため、複数の画素回路 1 1 0 のそれぞれを小型化し、液晶駆動回路 1 0 0 を小型化することができる。

【 0 0 3 2 】

また、液晶駆動回路 1 0 0 のビット線やワード線へ入力される制御信号の最大の電圧を、電圧 V_{DDH} より低い電圧 V_{DD} とすることが可能になる。これにより、液晶駆動回路 1 0 0 のビット線やワード線へ制御信号を転送する周辺回路 (たとえば図 2 に示す周辺回路 2 3 0) の電源に、液晶表示部の駆動に要する電圧 V_{DDH} より低い電圧 V_{DD} の電源を用いることができる。このため、液晶駆動回路 1 0 0 のビット線やワード線へ制御信号を転送する周辺回路における消費電力を低減することができる。

【 0 0 3 3 】

10

20

30

40

50

このように、液晶駆動回路 100 によれば、液晶表示に要する高電圧の駆動信号を液晶表示部に出しつづつ、CMOS 型の SRAM における N 型の MOS トランジスタ 111, 112, 115, 116 に印加される最大電圧を低くし、MOS トランジスタ 111, 112, 115, 116 に小型の素子を用いることが可能になる。このため、1 画素あたりの面積の増加を抑えつつ、消費電力の低減を図ることができる。

【0034】

レプリカ回路 120 および差動アンプ 130 は、MOS トランジスタ 117, 118 の各ゲート電圧を制御するバイアス回路として動作する。レプリカ回路 120 は、画素回路 110 のレプリカ回路である。差動アンプ 130 は、レプリカ回路 120 を用いて画素回路 110 の MOS トランジスタ 117, 118 のゲート電圧を調整する調整回路である。

10

【0035】

具体的には、レプリカ回路 120 は、CMOS 型の SRAM セルを構成する MOS トランジスタ 121 ~ 128 を備える。MOS トランジスタ 121 ~ 128 は、それぞれ画素回路 110 の MOS トランジスタ 111 ~ 118 に対応し、それぞれ MOS トランジスタ 111 ~ 118 と同じ電気的特性を有する。

【0036】

また、MOS トランジスタ 125, 126 の各ゲートには、電圧 V_{DDH} より低い電圧 V_{DD} の電源が接続されている。また、MOS トランジスタ 121 ~ 128 によって構成される SRAM セルにおけるビット線 (bit) に対応する位置には電圧 V_{DD} の電源が接続されている。また、MOS トランジスタ 121 ~ 128 によって構成される SRAM セルにおける反転ビット線 (/bit) に対応する位置は接地されている。すなわち、MOS トランジスタ 121 ~ 128 によって構成される SRAM セルは、画素回路 110 の SRAM に “H” を書き込む状態を模したレプリカ回路となっている。

20

【0037】

差動アンプ 130 は、レプリカ回路 120 の MOS トランジスタ 127, 128 と、画素回路 110 の MOS トランジスタ 117, 118 と、の各ゲート電圧を調整する。具体的には、差動アンプ 130 は、レプリカ回路 120 のラッチノード C の電圧と、電圧 V_{DD} と、の差分を示す電圧を出力する。レプリカ回路 120 のラッチノード C は、画素回路 110 のラッチノード B に対応するノードである。差動アンプ 130 からの出力は、レプリカ回路 120 の MOS トランジスタ 127, 128 と、画素回路 110 の MOS トランジスタ 117, 118 と、の各ゲートへ入力される。

30

【0038】

これにより、レプリカ回路 120 のラッチノード C の電圧と、電圧 V_{DD} と、が等しくなるようにレプリカ回路 120 の MOS トランジスタ 127, 128 が制御される。また、画素回路 110 において “H” をラッチする場合にラッチノード B が電圧 V_{DD} となるように、画素回路 110 の MOS トランジスタ 117, 118 が制御される。

【0039】

したがって、複数の画素回路 110 における SRAM セルの製造誤差 (たとえばウエハ間やロット間のばらつき) や電源電圧の変動による、ラッチノード A, B 等における電圧の誤差や変動を抑えることができる。このため、液晶駆動回路 100 を安定して動作させることができる。

40

【0040】

このように、差動アンプ 130 は、レプリカ回路 120 の MOS トランジスタ 121, 122, 125, 126 と、レプリカ回路 120 の MOS トランジスタ 127, 128 と、の間の最大の電圧 (ラッチノード C の電圧) が V_{DD} に近づくように MOS トランジスタ 127, 128 のゲート電圧を調整する。また、差動アンプ 130 は、MOS トランジスタ 117, 118 のゲート電圧を、MOS トランジスタ 127, 128 のゲート電圧と同じゲート電圧に調整する。これにより、画素回路 110 におけるラッチノード B の最大の電圧を電圧 V_{DD} に精度よく制御し、液晶駆動回路 100 の動作の安定化を図ることができる。

50

【 0 0 4 1 】

また、レプリカ回路 1 2 0 および差動アンプ 1 3 0 は、液晶駆動回路 1 0 0 の画素回路 1 1 0 のうちの複数の画素回路 1 1 0 において共有される。すなわち、1 組のレプリカ回路 1 2 0 および差動アンプ 1 3 0 は、複数の画素回路 1 1 0 の M O S トランジスタ 1 1 7 , 1 1 8 のゲート電圧を制御する。

【 0 0 4 2 】

たとえば、液晶駆動回路 1 0 0 の全ての画素回路 1 1 0 に対して 1 組のレプリカ回路 1 2 0 および差動アンプ 1 3 0 が設けられる。または、液晶駆動回路 1 0 0 の画素回路 1 1 0 を複数のグループに分け、グループごとにレプリカ回路 1 2 0 および差動アンプ 1 3 0 が設けられてもよい。これにより、レプリカ回路 1 2 0 および差動アンプ 1 3 0 を設けることによる装置の大型化や消費電力の増加を抑えることができる。

10

【 0 0 4 3 】

(実施の形態にかかる液晶駆動回路を適用した液晶表示装置)

図 2 は、実施の形態にかかる液晶駆動回路を適用した液晶表示装置の一例を示す図である。図 1 に示した液晶駆動回路 1 0 0 は、たとえば図 2 に示す液晶表示装置 2 0 0 に適用することができる。図 2 に示すように、液晶表示装置 2 0 0 は、液晶表示部 2 1 0 と、バイアス回路 2 2 0 と、周辺回路 2 3 0 と、を備える。

【 0 0 4 4 】

液晶表示部 2 1 0 は、たとえば、複数の信号線および複数の走査線を有し、複数の信号線および複数の走査線の交差に対応してマトリクス状に画素が配置された液晶表示部である。また、液晶表示部 2 1 0 は、複数の信号線および複数の走査線へ入力された各信号に応じた画像をマトリクス状の各画素により表示する。

20

【 0 0 4 5 】

液晶表示部 2 1 0 においては、各画素を駆動する回路として、図 1 に示した画素回路 1 1 0 がマトリクス状に設けられている。液晶表示部 2 1 0 に含まれる画素回路 1 1 0 のそれぞれは、液晶表示装置 2 0 0 における液晶表示部の各画素を駆動する。

【 0 0 4 6 】

たとえば、液晶表示部 2 1 0 には、L C O S 等の液晶パネルを用いることができる。たとえば、液晶表示部 2 1 0 における列方向のカラム (C o l u m n) ラインが信号線であり、液晶表示部 2 1 0 における行方向のロウ (R o w) ラインが走査線である。

30

【 0 0 4 7 】

バイアス回路 2 2 0 においては、液晶表示部 2 1 0 のロウ (行) ごとに、そのロウに設けられた複数の画素回路 1 1 0 と接続するようにレプリカ回路 1 2 0 および差動アンプ 1 3 0 が設けられている。たとえば、液晶表示部 2 1 0 の第 n 行目における複数の画素回路 1 1 0 の M O S トランジスタ 1 1 7 , 1 1 8 の各ゲートには、バイアス回路 2 2 0 における第 n のレプリカ回路 1 2 0 および第 n の差動アンプ 1 3 0 が接続される。

【 0 0 4 8 】

ただし、画素回路 1 1 0 とレプリカ回路 1 2 0 および差動アンプ 1 3 0 との関係はこれに限らず、たとえばバイアス回路 2 2 0 にはレプリカ回路 1 2 0 および差動アンプ 1 3 0 を 1 組だけ設け、そのレプリカ回路 1 2 0 および差動アンプ 1 3 0 に液晶表示部 2 1 0 の全ての画素回路 1 1 0 を接続してもよい。また、液晶表示部 2 1 0 のカラム (列) ごとにレプリカ回路 1 2 0 および差動アンプ 1 3 0 を設けてもよい。

40

【 0 0 4 9 】

周辺回路 2 3 0 には、液晶表示部 2 1 0 に画像を表示させるためのデータおよびクロックが入力される。たとえば、周辺回路 2 3 0 は、タイミング制御部 2 3 1 と、ロウ選択部 / ロウドライバ 2 3 2 と、カラム選択部 2 3 3 と、カラムドライバ 2 3 4 と、を備える。

【 0 0 5 0 】

タイミング制御部 2 3 1 は、周辺回路 2 3 0 へ入力されたクロックに基づいて、ロウ選択部 / ロウドライバ 2 3 2 、カラム選択部 2 3 3 およびカラムドライバ 2 3 4 における各動作タイミングを制御する。

50

【 0 0 5 1 】

ロウ選択部 / ロウドライバ 2 3 2 は、タイミング制御部 2 3 1 からの制御に基づいて、液晶表示部 2 1 0 の行 (R o w) ごとに設けられた走査線のいずれかに信号を入力することにより、液晶表示部 2 1 0 における書き換え対象の行を設定する。

【 0 0 5 2 】

カラム選択部 2 3 3 は、周辺回路 2 3 0 へ入力されたデータに基づいて、液晶表示部 2 1 0 の列 (C o l u m n) ごとに設けられた信号線へ入力する各データ信号をカラムドライバ 2 3 4 へ出力する。カラムドライバ 2 3 4 は、カラム選択部 2 3 3 から出力された各データ信号を、液晶表示部 2 1 0 の列ごとに設けられた信号線へ入力する。これにより、液晶表示部 2 1 0 に対して各列の書き換えが指示される。このとき、実際に書き換えられる液晶表示部 2 1 0 の画素は、ロウ選択部 / ロウドライバ 2 3 2 によって書き換え対象として設定された行における各列の画素である。

10

【 0 0 5 3 】

液晶表示部 2 1 0 には、各画素の液晶駆動に要する電圧 V_{DDH} が供給される。バイアス回路 2 2 0 には、電圧 V_{DDH} と、電圧 V_{DDH} より低く、たとえば図 1 に示した MOS トランジスタ 1 1 1 , 1 1 2 , 1 1 5 , 1 1 6 を破壊しない程度の電圧 V_{DD} と、が供給される。周辺回路 2 3 0 には電圧 V_{DD} が供給される。

【 0 0 5 4 】

図 2 に示した液晶表示装置 2 0 0 は、液晶表示部 2 1 0 を用いて画像を表示する液晶表示装置であるが、液晶表示部 2 1 0 を用いて光を空間変調する空間光変調装置としての側面を有する。たとえば、画像を光情報記録媒体に照射してホログラムを形成することで情報を記録するホログラフィックメモリにおいて、光を空間変調することによって画像を生成する空間光変調装置として液晶表示装置 2 0 0 を用いることができる。ただし、液晶表示装置 2 0 0 は、ホログラフィックメモリに限らず、たとえばプロジェクタや電子式ビューファインダ等にも適用可能である。

20

【 0 0 5 5 】

(実施の形態にかかる画素回路を模したゲート接地の回路)

図 3 は、実施の形態にかかる画素回路を模したゲート接地の回路の一例を示す図である。図 3 において、MOS トランジスタ 1 1 7 , 1 1 8 によって MOS トランジスタ 1 1 1 , 1 1 2 , 1 1 5 , 1 1 6 が高電圧からシールドされる原理について説明する。図 3 に示す模擬回路 3 0 0 は、図 1 に示した液晶駆動回路 1 0 0 における 1 個の画素回路 1 1 0 およびレプリカ回路 1 2 0 を模したゲート接地の回路である。模擬回路 3 0 0 は、トランジスタ 3 0 1 と、可変抵抗 3 0 2 と、負荷 3 0 3 と、電圧源 3 0 4 と、を備える。

30

【 0 0 5 6 】

トランジスタ 3 0 1 は、図 1 に示した MOS トランジスタ 1 1 7 , 1 1 8 (シールド素子) に対応する。トランジスタ 3 0 1 のソース (s) に接続された可変抵抗 3 0 2 (R_s) は、図 1 に示した MOS トランジスタ 1 1 1 , 1 1 2 に対応する。可変抵抗 3 0 2 の抵抗値 R_s (トランジスタ 3 0 1 のソース抵抗) の変化は、図 1 に示した画素回路 1 1 0 がラッチする信号の変化に対応する。トランジスタ 3 0 1 のドレイン (d) に接続された負荷 3 0 3 は、図 1 に示した MOS トランジスタ 1 1 3 , 1 1 4 に対応する。

40

【 0 0 5 7 】

トランジスタ 3 0 1 のゲート (g) に接続された直流の電圧源 3 0 4 (V_b) は、図 1 に示したレプリカ回路 1 2 0 および差動アンプ 1 3 0 からなるバイアス回路に対応する。ノード 3 0 5 は、トランジスタ 3 0 1 のソースと可変抵抗 3 0 2 との間に接続されたノードであり、図 1 に示したラッチノード A , B (メモリセルの入出力部) に対応する。

【 0 0 5 8 】

このように、トランジスタ 3 0 1 のゲート電圧を電圧源 3 0 4 によって電圧 V_b に固定し、トランジスタ 3 0 1 のソース抵抗を可変抵抗 3 0 2 によって変化させる場合について説明する。

【 0 0 5 9 】

50

ソース抵抗 R_s が高い場合は、トランジスタ 301 におけるゲートとソースとの間の電圧がトランジスタ 301 のしきい値電圧 V_{TH} と同じ程度になるまではトランジスタ 301 に電流が流れる。このため、ノード 305 における電圧 V_s は、 $V_s = V_b - V_{TH}$ となる。ソース抵抗 R_s が低い場合は、トランジスタ 301 におけるゲートとソースの間の電圧が上がり導通する。このため、ノード 305 における電圧 V_s は、 $V_s = 0$ となる。

【0060】

すなわち、電圧源 304 からの電圧 V_b を適切に設定することにより、ノード 305 における電圧 V_s の変化幅を制限することができる。電圧源 304 からの電圧 V_b は、図 1 に示した画素回路 110 においては、MOS トランジスタ 117, 118 のしきい値電圧を V_{TH} とすると、 $V_b = V_{DD} + V_{TH}$ となる。

10

【0061】

たとえば、図 1 に示した画素回路 110 においては、トランジスタ 301 に相当するシールド素子として MOS トランジスタ 117, 118 が SRAM の P 型 MOS (MOS トランジスタ 113, 114) と N 型 MOS (MOS トランジスタ 111, 112, 115, 116) との間に挿入されている。これにより、画素回路 110 の低電圧系 (たとえば MOS トランジスタ 111, 112, 115, 116) における電圧は、 $0 \sim V_{DD} [V]$ の間で変動する。このため、画素回路 110 のラッチ機能は維持しつつ、画素回路 110 の低電圧系を高電圧から保護することができる。

【0062】

また、MOS トランジスタ 117, 118 のソース側は、低電圧 SRAM の機能を有するため、低電圧系の周辺回路と直結することが可能になる。たとえば、画素回路 110 は、画素回路 110 を制御する周辺回路 (たとえば図 2 に示した周辺回路 230) と、レベル変換回路などを介さずに直接接続することが可能になる。このため、たとえば図 2 に示した液晶表示装置 200 の小型化を図ることができる。また、消費電力の増加を抑えることができる。

20

【0063】

また、MOS トランジスタ 117, 118 のドレイン側の出力端子 119 は高電圧 ($0 \sim V_{DDH} [V]$) を出力可能になるため、たとえば出力端子 119 と表示画素との間にレベル変換回路などを設けなくても、表示画素を直接駆動することが可能になる。このため、たとえば図 2 に示した液晶表示装置 200 の小型化を図ることができる。また、消費電力の増加を抑えることができる。

30

【0064】

(実施の形態にかかる駆動信号の電圧の制御)

図 4 は、実施の形態にかかる駆動信号の電圧の制御の一例を示す図である。ここでは図 2 に示した液晶表示装置 200 をホログラフィックメモリに適用する場合について説明する。図 4 において、横軸は時間を示す。

【0065】

制御信号 410 は、図 2 に示した周辺回路 230 から液晶表示部 210 へ入力される制御信号である。制御信号 410 の最大の電圧は、電圧 V_{DDH} より低い電圧 V_{DD} (一例としては $1.8 [V]$) である。駆動信号 420 は、図 1 に示した出力端子 119 から表示画素へ印加される駆動信号である。駆動信号 420 の最大の電圧は V_{DDH} (一例としては $5 [V]$) である。

40

【0066】

また、図 4 に示すように、駆動信号 420 の最大の電圧を可変としてもよい。データ転送期間 401 は、図 2 に示した周辺回路 230 から液晶表示部 210 の複数の画素回路 110 へデータが転送される期間、すなわち SRAM におけるデータの書き換え期間である。液晶応答期間 402 は、複数の画素回路 110 から読み出された各値に応じて表示画素の液晶が応答する期間である。記録メディア書込期間 403 は、表示画素により表示された情報がホログラフィックメモリの記録メディアに書き込まれる期間である。

【0067】

50

液晶表示装置 200 をホログラフィックメモリに適用する場合は、データ転送期間 401、液晶応答期間 402、記録メディア書込期間 403 が周期的に繰り返される。このとき、液晶表示装置 200 は、図 4 に示すように、駆動信号 420 の最大の電圧 V_{DDH} を、液晶応答期間 402 および記録メディア書込期間 403 においては表示画素の駆動に要する電圧（一例としては 5 [V]）としつつ、データ転送期間 401 においては表示画素の駆動に要する電圧より低い電圧（一例としては 1.8 [V]）としてもよい。

【0068】

これにより、データ転送時には駆動信号 420 の最大の電圧 V_{DDH} を周辺回路の電源電圧 V_{DD} と同じ程度の電圧まで下げ、データ転送後に駆動信号 420 の最大の電圧 V_{DDH} を表示画素の駆動に要する電圧に戻すことができる。これにより、データ転送時の貫通電流を抑制し、液晶表示装置 200 の消費電力を低減することができる。

10

【0069】

なお、駆動信号 420 の電圧 V_{DDH} を可変とする場合においても、差動アンプ 130 へ入力される電圧 V_{DDH} は一定の電圧（一例としては 5 [V]）としてもよい。これにより、動作の安定化を図ることができる。

【0070】

このように、P 型の MOS トランジスタ 113, 114 に印加される最大の電圧 V_{DDH} を、画素回路 110 から読み出された信号に基づく液晶表示を行う期間（液晶応答期間 402 および記録メディア書込期間 403）においては電圧 V_{DD} より高い第 1 電圧（一例としては 5 [V]）に制御し、画素回路 110 への信号の転送期間（データ転送期間 401）においては第 1 電圧より低い第 3 電圧（一例としては 1.8 [V]）に制御する制御回路を液晶表示装置 200 に設けてもよい。

20

【0071】

これにより、画素回路 110 へのデータ転送時の貫通電流を抑制し、液晶表示装置 200 の消費電力を低減することができる。P 型の MOS トランジスタ 113, 114 に印加される最大の電圧 V_{DDH} を制御する制御回路は、たとえば図 2 に示した周辺回路 230 に設けることができる。

【0072】

図 4 において、駆動信号 420 の電圧 V_{DDH} を可変とする場合について説明したが、駆動信号 420 の電圧 V_{DDH} を一定（一例としては 5 [V]）としてもよい。この場合も、周辺回路における消費電力を低減することができる。

30

【0073】

（実施の形態にかかる液晶駆動回路の他の構成例）

図 5 は、実施の形態にかかる液晶駆動回路の他の構成例 1 を示す図である。図 5 において、図 1 に示した部分と同様の部分については同一の符号を付して説明を省略する。図 1 においてはレプリカ回路 120 および差動アンプ 130 を用いて画素回路 110 の MOS トランジスタ 117, 118 のゲート電圧を制御する構成について説明したが、このような構成に限らない。

【0074】

たとえば、図 5 に示すように、液晶駆動回路 100 は、図 1 に示したレプリカ回路 120 および差動アンプ 130 に代えてバイアス回路 510 を備えていてもよい。バイアス回路 510 は、トランジスタ 511 と、直流の定電流源 512 と、直流の電圧源 513 と、を備えている。

40

【0075】

トランジスタ 511 は、定電流源 512 と電圧源 513 との間に設けられた MOS トランジスタである。トランジスタ 511 のゲートは、定電流源 512 と、画素回路 110 の MOS トランジスタ 117, 118 の各ゲートと、に接続されている。これにより、MOS トランジスタ 117, 118 の各ゲートに一定のゲート電圧を供給することができる。

【0076】

図 5 に示した構成においても、図 1 に示した構成と同様に、1 画素あたりの面積の増加

50

を抑えつつ、消費電力の低減を図ることができる。また、図 5 に示した構成において、図 4 に示したように、駆動電圧の最大の電圧を可変としてもよい。

【0077】

図 6 は、実施の形態にかかる液晶駆動回路の他の構成例 2 を示す図である。この例は、たとえば液晶駆動回路を N 型シリコン基板上に構成したものに相当する。図 6 において、図 1 に示した部分と機能的に同様の部分については同一の符号を付して説明を省略する。図 6 に示す構成においては、画素回路 110 は、MOS トランジスタ 111, 112 の側が電源 (VSSH) に接続され、MOS トランジスタ 113, 114 の側が接地されている。この場合は、保護用の MOS トランジスタとして図 1 に示した N 型の MOS トランジスタ 117, 118 に代えて P 型の MOS トランジスタ 611, 612 を設けた構成とする。また、保護用の MOS トランジスタ 611 は MOS トランジスタ 111 と MOS トランジスタ 113, 115 との間に接続され、保護用の MOS トランジスタ 612 は MOS トランジスタ 112 と MOS トランジスタ 114, 116 との間に接続される。

【0078】

また、レプリカ回路 120 においても、保護用の MOS トランジスタとして図 1 に示した N 型の MOS トランジスタ 127, 128 に代えて P 型の MOS トランジスタ 621, 622 を設けた構成とする。また、保護用の MOS トランジスタ 621 は MOS トランジスタ 121 と MOS トランジスタ 123, 125 との間に接続され、保護用の MOS トランジスタ 622 は MOS トランジスタ 122 と MOS トランジスタ 124, 126 との間に接続される。

【0079】

また、画素回路 110 の出力端子 119 は、MOS トランジスタ 112 と MOS トランジスタ 612 との間に設けられる。また、MOS トランジスタ 115, 116 の各ゲートにはワード線の反転信号 (/WL) が入力される。

【0080】

図 6 に示した構成においても、図 1 に示した構成と同様に、1 画素あたりの面積の増加を抑えつつ消費電力の低減を図るとともに、動作の安定化を図ることができる。また、図 6 に示した構成において、図 5 に示したように、レプリカ回路 120 および差動アンプ 130 に代えてバイアス回路 510 (図 5 参照) を設けた構成としてもよい。また、図 6 に示した構成において、図 4 に示したように、駆動電圧の最大の電圧を可変としてもよい。

【0081】

図 7 は、実施の形態にかかる液晶駆動回路の他の構成例 3 を示す図である。図 7 において、図 1 に示した部分と同様の部分については同一の符号を付して説明を省略する。図 7 に示すように、画素回路 110 は、図 1 に示した負荷抵抗回路部 131 において、MOS トランジスタ 113, 114 に代えて負荷抵抗 711, 712 を設けることにより、抵抗負荷型の SRAM セルとしてもよい。この場合は、レプリカ回路 120 においても、MOS トランジスタ 123, 124 に代えて負荷抵抗 721, 722 を設けた構成とする。

【0082】

図 7 に示した構成においても、図 1 に示した構成と同様に、1 画素あたりの面積の増加を抑えつつ消費電力の低減を図るとともに、動作の安定化を図ることができる。また、図 7 に示した構成において、図 4 に示したように、駆動電圧の最大の電圧を可変としてもよい。また、図 7 に示した構成において、図 5 に示したように、レプリカ回路 120 および差動アンプ 130 に代えてバイアス回路 510 (図 5 参照) を設けた構成としてもよい。

【0083】

また、図 7 に示した構成において、図 6 に示したように、MOS トランジスタ 111, 112 の側が電源 (VSSH) に接続され、負荷抵抗 711, 712 の側が接地された構成としてもよい。この場合は、保護用の MOS トランジスタとして N 型の MOS トランジスタ 117, 118 に代えて P 型の MOS トランジスタ 611, 612 を設け、保護用の MOS トランジスタとして MOS トランジスタ 127, 128 に代えて P 型の MOS トランジスタ 621, 622 を設けた構成とする。

【 0 0 8 4 】

以上説明したように、液晶表示装置によれば、1画素あたりの面積の増加を抑えつつ、消費電力の低減を図ることができる。

【産業上の利用可能性】

【 0 0 8 5 】

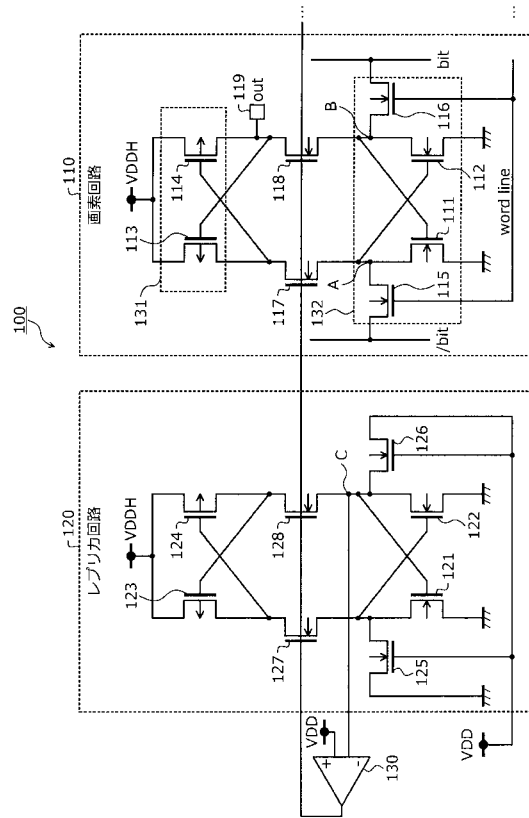
以上のように、本発明にかかる液晶表示装置は、L C O Sなどの液晶パネルを用いて画像を表示する液晶表示装置に有用であり、特に、画像を光情報記録媒体に照射してホログラムを形成することで情報を記録するホログラフィックメモリに適している。

【符号の説明】

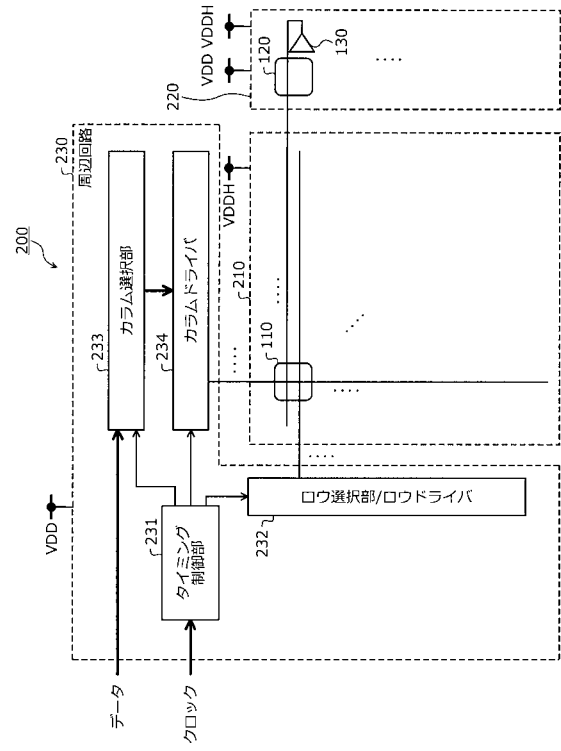
【 0 0 8 6 】

1 0 0	液晶駆動回路	10
1 1 0	画素回路	
1 1 1 ~ 1 1 8 , 1 2 1 ~ 1 2 8 , 6 1 1 , 6 1 2 , 6 2 1 , 6 2 2	M O S トランジスタ	
1 1 9	出力端子	
1 2 0	レプリカ回路	
1 3 0	差動アンプ	
1 3 1	負荷抵抗回路部	
1 3 2	記憶回路部	
2 0 0	液晶表示装置	20
2 1 0	液晶表示部	
2 2 0 , 5 1 0	バイアス回路	
2 3 0	周辺回路	
2 3 1	タイミング制御部	
2 3 2	ロウ選択部 / ロウドライバ	
2 3 3	カラム選択部	
2 3 4	カラムドライバ	
3 0 0	模擬回路	
3 0 1 , 5 1 1	トランジスタ	
3 0 2	可変抵抗	30
3 0 3	負荷	
3 0 4 , 5 1 3	電圧源	
3 0 5	ノード	
4 0 1	データ転送期間	
4 0 2	液晶応答期間	
4 0 3	記録メディア書込期間	
4 1 0	制御信号	
4 2 0	駆動信号	
5 1 2	定電流源	
7 1 1 , 7 1 2 , 7 2 1 , 7 2 2	負荷抵抗	40

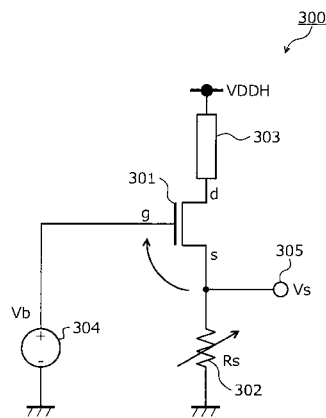
【図 1】



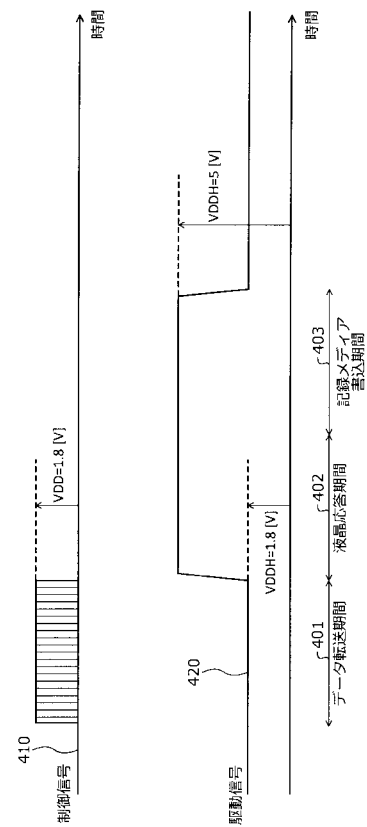
【図 2】



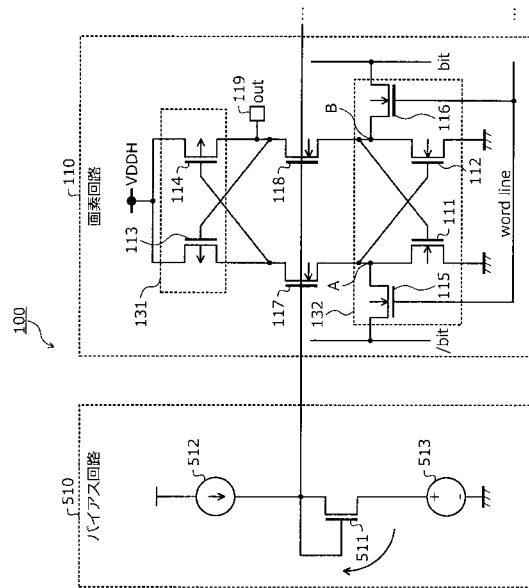
【図 3】



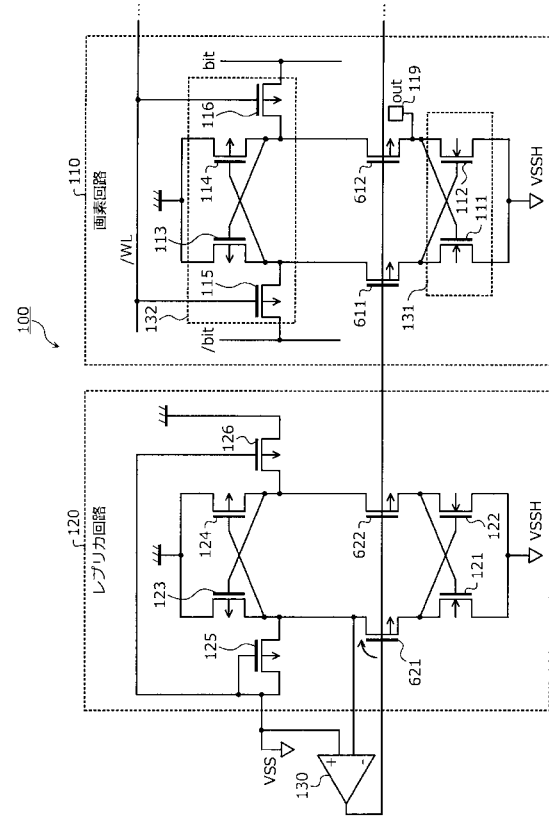
【図 4】



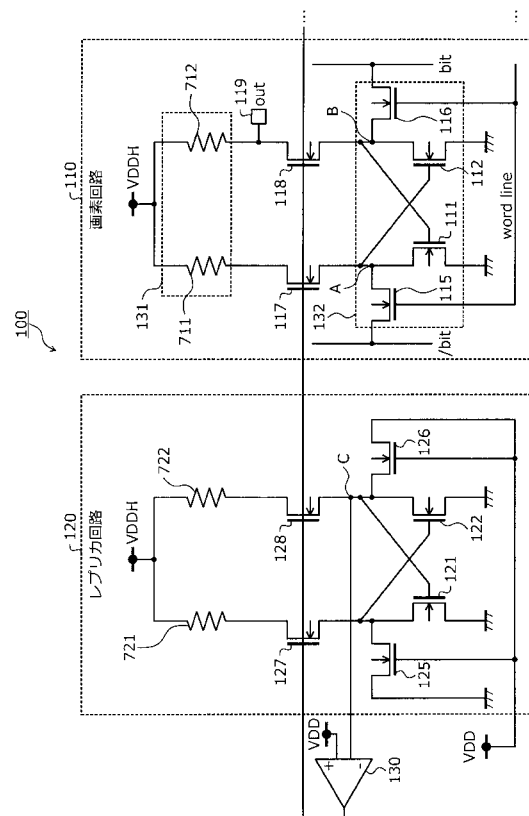
【図 5】



【図 6】



【図 7】



(51) Int.Cl.

テーマコード（参考）

F ターム(参考)	5C006	AC15	BA12	BB16	BB28	BF04	BF06	BF25	BF27	BF33	FA20
		FA26	FA41	FA46	FA47						
	5C080	AA10	BB05	DD05	DD19	DD22	DD26	FF11	JJ02	JJ03	JJ04
		KK02	KK43								

专利名称(译)	液晶表示装置		
公开(公告)号	JP2017021159A	公开(公告)日	2017-01-26
申请号	JP2015138183	申请日	2015-07-09
[标]申请(专利权)人(译)	西铁城控股株式会社		
申请(专利权)人(译)	西铁城钟表有限公司		
[标]发明人	永田 洋一		
发明人	永田 洋一		
IPC分类号	G09G3/36 G02F1/1368 G09G3/20 G02F1/13 G11C11/412		
FI分类号	G09G3/36 G02F1/1368 G09G3/20.624.B G09G3/20.611.A G09G3/20.621.H G02F1/13.505 G11C11/40.301 G11C11/412		
F-TERM分类号	2H088/EA22 2H088/HA06 2H088/HA08 2H088/MA20 2H192/AA24 2H192/CB23 2H192/CB24 2H192/CB26 2H192/FB02 2H192/GD61 5B015/HH01 5B015/HH03 5B015/JJ03 5B015/KA09 5B015/KA13 5B015/KB65 5C006/AC15 5C006/BA12 5C006/BB16 5C006/BB28 5C006/BF04 5C006/BF06 5C006/BF25 5C006/BF27 5C006/BF33 5C006/FA20 5C006/FA26 5C006/FA41 5C006/FA46 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD19 5C080/DD22 5C080/DD26 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK02 5C080/KK43		
代理人(译)	酒井 昭徳		
外部链接	Espacenet		

摘要(译)

本发明的一个目的是在抑制每像素面积增加的同时降低功耗。像素电路(110)是为每个显示像素提供的CMOS型SRAM单元。另外,像素电路110包括在负载电阻电路单元131和存储器电路单元132之间的保护MOS晶体管117和118。对于存储电路单元132,使用具有比负载电阻电路单元131和保护MOS晶体管117和118低的高电压的晶体管。[选图]图1

