

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-161729

(P2016-161729A)

(43) 公開日 平成28年9月5日(2016.9.5)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	5B018
G11C 16/02 (2006.01)	G11C 17/00 601B	5B225
G06F 12/16 (2006.01)	G11C 17/00 601Q	5C006
G09G 3/20 (2006.01)	G11C 17/00 611C	5C080
	G06F 12/16 310A	

審査請求 未請求 請求項の数 9 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2015-39672 (P2015-39672)
 (22) 出願日 平成27年2月28日 (2015.2.28)

(71) 出願人 303018827
 NLTテクノロジー株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100114557
 弁理士 河野 英仁
 (72) 発明者 森下 静夫
 神奈川県川崎市中原区下沼部1753番地
 NLTテクノロジー株式会社内
 Fターム(参考) 5B018 GA04 HA23 MA23 NA06
 5B225 CA11 DB05 DD08 FA01 FA02
 FA10
 5C006 AF51 AF53 BB15 BC05 BF04
 BF06 BF08 BF14 BF16 BF22
 BF26 EB05 FA33
 5C080 AA05 AA06 AA10 DD25 DD29

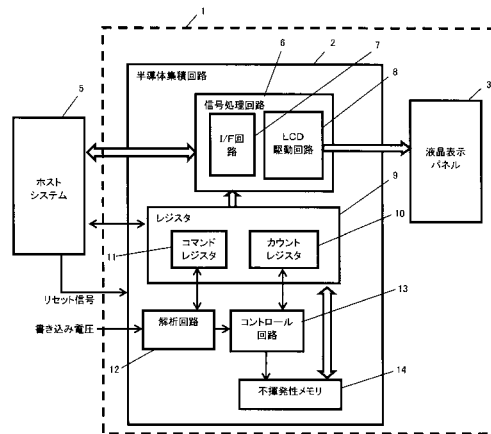
(54) 【発明の名称】 表示用半導体集積回路及び表示装置

(57) 【要約】 (修正有)

【課題】 過剰な書き込みによる表示用半導体集積回路に与えるストレスや誤認による不良品扱いの歩留り悪化を防止することが出来る表示用半導体集積回路を提供する。

【解決手段】 画素データや同期信号を処理する信号処理回路6と、液晶表示装置の表示設定情報を記録するレジスタ9と、このレジスタの一部または全ての表示設定情報を記録する不揮発性メモリ14と、この不揮発性メモリの書き込みシーケンスを制御するコントロール回路13と、書き込みシーケンスはホストシステム5から供給されるコマンドによって実行され、そのコマンド毎に正しく実行されたか否かを解析する解析回路12とをみ、レジスタ内にはコマンドを受けるコマンドレジスタ11と、不揮発性メモリの書き込み回数を保持するカウントレジスタ10とを含む。また、解析回路は、解析結果によって、正しく処理させたならば不揮発性メモリへ設定情報を書き込むと同時に、書き込み回数を計数する。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

表示に必要な画素データや同期信号を処理する信号処理回路と、表示装置の表示設定情報を記録するレジスタと、該レジスタの一部または全ての表示設定情報を記憶する不揮発性メモリと、ホストシステムから供給されるコマンドによって実行される前記不揮発性メモリの書き込みシーケンスを制御するコントロール回路と、前記コマンド毎に正しく実行されたか否かを解析する解析回路とを有し、

前記レジスタ内には前記ホストシステムから供給される前記コマンドを受けるコマンドレジスタと、前記不揮発性メモリの書き込み回数を保持するカウントレジスタとを含み、前記解析回路は、その解析結果によって、前記不揮発性メモリへ設定情報を書き込むと同時に、書き込み回数を計数する機能を有することを特徴とする表示用半導体集積回路。

10

【請求項 2】

前記解析回路は、前記ホストシステムからの指示により前記カウントレジスタの値が読み出され、前記不揮発性メモリに書き込める書き込み回数をユーザーに認識可能とすることを特徴する請求項1に記載の表示用半導体集積回路。

【請求項 3】

前記解析回路は前記コマンドの動作チェックを行うことを特徴する請求項 1 に記載の表示用半導体集積回路。

【請求項 4】

前記解析回路は、前記コマンドの動作チェックを行った結果によって、正しいコマンド処理を行ったか否かを判定することを特徴とする請求項 3 に記載の表示用半導体集積回路。

20

【請求項 5】

前記解析回路は、前記正しいコマンド処理を行った場合は、前記不揮発性メモリに設定情報を書き込むと同時に書き込み回数の計数動作を行うことを特徴する請求項 4 に記載の表示用半導体集積回路。

【請求項 6】

前記解析回路は、前記設定情報を書き込む際に、既に前記不揮発性メモリに保持されている設定情報が前記書き込む設定情報と同値であった場合は、書き込み動作を行わないことを特徴する請求項 1 に記載の表示用半導体集積回路。

【請求項 7】

前記比較回路は、前記ホストシステムから入力されるコマンド内の前記不揮発性メモリを選択する選択ビットと、参照値と、を入力信号とする NAND 回路を含むことを特徴する請求項 1 に記載の表示用半導体集積回路。

30

【請求項 8】

比較回路は、前記不揮発性メモリが書き込み動作に必要な待機時間と、内部タイマーの参照値と、を入力信号とするフリップフロップ回路を含むことを特徴する請求項 1 に記載の表示用半導体集積回路。

【請求項 9】

表示パネルと請求項 1 乃至 8 の何れか一に記載の表示用半導体集積回路とを有することを特徴とする表示装置。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は所定の書き込みシーケンスを持ち合わせた不揮発性メモリを有する表示用半導体集積回路に関する。

【背景技術】**【0002】**

近年、携帯電話や P D A 等の携帯電子機器の表示装置としては、一般に複数の表示画素が、例えばマトリクス状に 2 次元配列されたドットマトリクス型液晶パネルが用いられている。そして、機器内部には、この液晶パネルの表示制御を行う半導体集積回路化さ

50

れた表示制御装置や液晶パネルを駆動するドライバ回路もしくはそのようなドライバ回路を内蔵した液晶表示装置が搭載されている。ところで、液晶表示装置は、使用する液晶の種類や駆動方式によって、ガンマ特性や駆動電圧、動作クロックの周波数等仕様が異なっていると同時に、製造ばらつきによる特性の変動もある。そこで、表示用駆動装置を提供するメーカーは、仕様の異なる液晶表示装置や製造ばらつきのある液晶表示装置に対しても適用できるように表示用駆動装置を構成して、装置の汎用性を高め、製造コストを下げるような工夫をしている。

【先行技術文献】

【特許文献】

【0003】

10

【特許文献1】特許文献1 特開2004-184944号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

従来、仕様が異なる液晶表示装置であっても駆動できるようにする為の対策として、表示用半導体集積回路の内部にレジスタが設けられている。この内部レジスタとともに、表示用半導体集積回路の外部にEPROMのような不揮発性メモリを設けておいて、電源投入時の初期設定等で不揮発性メモリから内部のレジスタに駆動条件等の設定情報を転送する方式が実用化されている。

【0005】

20

表示用半導体集積回路を用いて表示装置を製造する場合、製造ばらつきによる特性の変動がある為、製造過程上で、表示用半導体集積回路に内蔵された不揮発性メモリに設定情報を予め書き込んでおく。例えば、フリッカ等はパネルの製造ばらつきによって、変動する1つの要素であって、個々の固有の値が不揮発性メモリに書き込まれる。その際、不揮発性メモリへの設定情報の書き込み方法として、各半導体メーカーによって定められた書き込みシーケンスプログラムが用いられている。書き込むプログラムで不揮発性メモリへ書き込むようにした発明としては、例えば、特許文献1に記載のものがある。特許文献1によると、書き込み回数を使用する側が管理する必要がない為、もしプログラム実行中に不具合が発生したとしても、使用する側は把握することができずに使用されていた。これでは、書き込み回数に限度があるにも関わらず、どのような過程の上で書き込み回数が増えているのか、使用する側は全く把握することができず、書き込み回数について不安を残していた。また、誤って所定の書き込み回数を超過して書き込みを行う恐れもあった。

30

【0006】

また、逆に限度回数を超えていなかった場合でも、超えたものと誤認して不良品として扱われ、歩留りを悪化させていた。

【0007】

更に、各種設定情報はホストシステムからの書き込みシーケンスによって、不揮発性メモリへ書き込まれる。しかし、その書き込みシーケンスの過程で、一部のコマンドが実行されていない、または間違ったコマンドが実行されても、ホストシステムへその結果が知らされていない場合がある。このような場合に書き込みが未了かどうか分からず、また、書き込み回数も書き込み限度回数を超えたかどうかも知ることが出来なかった為、限度回数を超えると、不揮発性メモリに不要なストレスを与えていた。

40

【0008】

この発明は、前述の課題を解決する為になされたものであり、書き込みシーケンス(プログラム)に基づくコマンドが正しく実行されていることを確認し、書き込み回数や不揮発性メモリの書き込みを管理し、過剰な書き込みによる表示用半導体集積回路に与えるストレスや誤認による不良品扱いの歩留り悪化を防止することを目的としている。

【課題を解決するための手段】

【0009】

前記課題を解決する為に、本発明の表示用半導体集積回路は、表示に必要な画素データ

50

や同期信号を処理する信号処理回路と、表示装置の表示設定情報を記録するレジスタと、レジスタの一部または全ての表示設定情報を記録する不揮発性メモリと、ホストシステムから供給されるコマンドによって実行される前記不揮発性メモリの書き込みシーケンスを制御するコントロール回路と、前記コマンド毎に正しく実行されたかどうかを解析する解析回路とを有し、前記レジスタ内には前記ホストシステムから供給される前記コマンドを受け取るコマンドレジスタと、前記不揮発性メモリの書き込み回数を保持するカウントレジスタとを含み、前記解析回路は、その解析結果によって、不揮発性メモリへ設定情報を書き込むと同時に、書き込み回数を計数する機能、を有することを特徴とする。

【発明の効果】

【0010】

本発明によれば、不揮発性メモリへの書き込みは製造工程上で行われる。従って、本発明によれば、解析回路により書き込みシーケンスに基づくコマンドが正しく実行されていることを確認することで、書き込み回数や不揮発性メモリの書き込みを管理でき、過剰な書き込みによる半導体集積回路に与えるストレスや誤認による不良品扱いの歩留り悪化を防止することが出来る。

【0011】

また、本発明によれば、解析回路によりコマンドの動作確認を行った上で、不揮発性メモリへの書き込み動作を実行するため、効率よく正しい書き込みが可能となる。

【図面の簡単な説明】

【0012】

【図1A】本発明の半導体集積回路を用いた液晶表示装置を示す平面図である。

【図1B】本発明の半導体集積回路を用いた液晶表示装置を示す断面図である。

【図2】本発明の半導体集積回路を用いた液晶表示装置の全体構成を表すブロック図である。

【図3】本発明の半導体集積回路を用いた液晶表示装置の不揮発性メモリの書き込みシーケンスを示すフローチャート図である。

【図4】本発明の半導体集積回路を用いた液晶表示装置の書き込みシーケンスに基づくコマンドを解析する解析回路のブロック図である。

【図5A】本発明の半導体集積回路を用いた液晶表示装置の解析回路内の比較回路1のブロック図である。

【図5B】本発明の半導体集積回路を用いた液晶表示装置の解析回路内の比較回路1の動作波形の説明図である。

【図6A】本発明の半導体集積回路を用いた液晶表示装置の解析回路内の比較回路2のブロック図である。

【図6B】本発明の半導体集積回路を用いた液晶表示装置の解析回路内の比較回路2の動作波形の説明図である。

【図7A】本発明の半導体集積回路を用いた液晶表示装置の解析回路内の比較回路3のブロック図である。

【図7B】本発明の半導体集積回路を用いた液晶表示装置の解析回路内の比較回路3の動作波形の説明図である。

【図7C】本発明の半導体集積回路を用いた液晶表示装置の解析回路内の比較回路3における、1bit時の比較器の真理値表である。

【図7D】本発明の半導体集積回路を用いた液晶表示装置の解析回路内の比較回路3の8bit回路の詳細回路図である。

【図8A】本発明の半導体集積回路を用いた液晶表示装置の解析回路内の比較回路4のブロック図である。

【図8B】本発明の半導体集積回路を用いた液晶表示装置の解析回路内の比較回路4の動作波形の説明図である。

【図8C】本発明の半導体集積回路を用いた液晶表示装置の解析回路内の比較回路4の8bit回路の詳細回路図である。

10

20

30

40

50

【図 9 A】本発明の半導体集積回路を用いた液晶表示装置の解析回路内の比較回路 5 のブロック図である。

【図 9 B】本発明の半導体集積回路を用いた液晶表示装置の解析回路内の比較回路 5 の待機時間が短かった場合の動作波形の説明図である。

【図 9 C】本発明の半導体集積回路を用いた液晶表示装置の解析回路内の比較回路 5 の待機時間が長かった場合の動作波形の説明図である。

【発明を実施するための形態】

【0013】

[実施例の構成]

以下、本発明の一実施例を説明する。

10

【0014】

図 1 は本発明の半導体集積回路を用いた液晶表示装置を示し、図 1 A が平面図であり、図 1 B が断面図である。

【0015】

液晶表示装置 1 は、液晶表示パネル 3 と、前記液晶表示パネル 3 上にある半導体集積回路 2 と、前記液晶パネル 3 に取り付けられたフレキシブル基板 4 と、本件には図示していないが、前記液晶表示パネル 3 と対向して配置されたバックライトとで構成されている。

【0016】

図 2 は液晶表示装置とホストシステムとの構成を示すブロック図である。

【0017】

20

ホストシステム 5 は、表示データ及び同期信号、各種設定情報を出し、図 1 に示すフレキシブル基板 4 の先端部と接続される。液晶表示装置 1 は、前記ホストシステム 5 から出力された情報を受信し、処理する半導体集積回路 2 と、前記半導体集積回路 2 から出力される液晶表示用駆動信号を受信する液晶表示パネル 3 とで構成されている。

【0018】

前記半導体集積回路 2 は、前記液晶表示パネル 3 を駆動する為の信号処理回路 6 と、各種設定情報(例えばノーマリーホワイト/ブラックのような駆動方法等)を記憶させておくレジスタ 9 と、前記レジスタ 9 内容の一部または全てを書き込んでおく為の不揮発性メモリ 14 と、書き込みを制御するコントロール回路 13 と、前記ホストシステム 5 から出力される所定の書き込みシーケンスに従ったコマンドが、正しく実行されたかどうかを解析し、その解析結果を基に、前記コントロール回路 13 へ書き込みを実行するかどうかを指示する信号や書き込み回数を計数するかどうかを指示する信号を出力する解析回路 12 とを含む。

30

【0019】

また、前記レジスタ 9 は、前記ホストシステム 5 から出力される書き込みシーケンスに従ったコマンドを保存するコマンドレジスタ 11 と、前記不揮発性メモリ 14 の書き込み回数を保存するカウントレジスタ 10 とを含む。

【0020】

前記の構成において、2 はアクティブマトリクス方式で液晶表示パネルを駆動して表示を行う半導体集積回路、3 はこの半導体集積回路 2 により駆動する液晶表示パネルである。

40

【0021】

そして、前記半導体集積回路 2 に内蔵された信号処理回路 6 は、前記液晶表示パネル 3 と別に制御装置としてのホストシステム 5 と接続され、更に、ホストシステム 5 は半導体集積回路 2 に内蔵された設定情報を記録するレジスタ 9 と接続されている。

【0022】

尚、半導体集積回路 2 は不揮発性メモリ 14 に書き込みを行うのに必要な書き込み電圧が印加される外部端子と、半導体集積回路 2 を初期化するリセット信号端子が設けられている。なお、ここで、書き込み電圧の印加は、ホストシステムで行う場合と記載されない他の入力手段で行ってもよいことは言うまでもない。

50

【 0 0 2 3 】

更に、この実施例の半導体集積回路 2 はホストシステム 5 から供給されるコマンドにより設定情報を不揮発性メモリ 1 4 へ書き込んだり、読み込んだりするコントロール回路 1 3 と、以下に説明する書き込みシーケンスにおいて、各コマンド毎の事象に対し、正しく実行されたかどうかを解析する解析回路 1 2 と、を備える。

【 0 0 2 4 】

また、この実施例のレジスタ 9 は書き込み回数を示すカウントレジスタ 1 0 と、書き込みシーケンスの内容に基づいて実行するコマンドを示すコマンドレジスタ 1 1 と、を含んでおり、不揮発性メモリ 1 4 に書き込める書き込み回数をユーザーが認識することが可能である。即ち、ホストシステム 5 からの指示があるとホストシステム 5 へレジスタ 9 内の

10

【 0 0 2 5 】

(実施例の動作の説明)

図 3 は不揮発性メモリ 1 4 の書き込みシーケンスを示したフローチャートである。この書き込み動作の説明は特に制限されるものでないが、本実施例の半導体集積回路 2 ではコマンドコードに対応した書き込みシーケンスで書き込み動作を実行させる。更に解析回路 1 2 で各コマンド毎に動作チェックを行われ、この動作チェックの結果に基づいて、正しいコマンド処理を行ったか否かを判定される。また、正しいコマンド処理を行った場合は、不揮発性メモリ 1 4 に設定情報を書き込むと同時に書き込み回数の計数が行われる。

【 0 0 2 6 】

20

次に書き込みシーケンスを示す図 3 を参照しながら、解析回路 1 2 の動作を説明する。

【 0 0 2 7 】

図 3 の書き込みシーケンスと解析回路 1 2 との関係は、書き込みシーケンスに従って、1 コマンド毎に解析回路が付随していることにある。

【 0 0 2 8 】

まず、ホストシステム 5 から供給されるコマンドにより、データ書き込みが指示されると(ステップ 1)、外部から書き込み電圧が供給される(ステップ 2)。

【 0 0 2 9 】

供給された書き込み電圧は解析回路 1 2 を介して不揮発性メモリ 1 4 に供給され、当該解析回路 1 2 内で参照電圧と比較が行われる(ステップ 3)。

30

【 0 0 3 0 】

この比較の結果、供給された電圧が参照電圧より低い場合(N G)、書き込み電圧に達していない状態である為、以後書き込みシーケンスが実行されたとしても不揮発性メモリ 1 4 には書き込みが行われない(ステップ 1 5)。

【 0 0 3 1 】

また、レジスタ 9 内の書き込み回数の計数は行われない(ステップ 1 4)。一方、基準電圧に等しいかまたは高い場合(O K)には、次のコマンドレジスタからのコマンドが供給されるのを待つ。

【 0 0 3 2 】

続いて、不揮発性メモリ 1 4 を選択するコマンドが供給される(ステップ 4)。

40

【 0 0 3 3 】

このコマンド中に不揮発性メモリ 1 4 を選択するビットが設けられている為、この選択ビットと参照値との比較が行われる(ステップ 5)。

【 0 0 3 4 】

この比較の結果、選択ビットの値が参照値と異なる場合(N G)、不揮発性メモリ 1 4 を選択していない状態である為、以後の書き込みシーケンスを実行されたとしても不揮発性メモリ 1 4 には書き込みが行われない(ステップ 1 5)。

【 0 0 3 5 】

また、レジスタ 9 内の書き込み回数の計数は行われない(ステップ 1 4)。

【 0 0 3 6 】

50

一方、参照値と等しい場合(O K)、次のコマンドが供給されるのを待つ。

【0037】

続いて、書き込む値がホストシステム5より供給される(ステップ6)。この書き込む値が過去の値との比較が行われる(ステップ7)。

【0038】

この比較の結果、書き込む値が過去の値と等しい場合(O K)、既に書き込まれている値の為、以後の書き込みシーケンスを実行されたとしても不揮発性メモリ14には書き込みが行われない(ステップ15)。

【0039】

また、レジスタ9内の書き込み回数の計数は行われない(ステップ14)。

【0040】

一方、書き込む値が過去の値と異なる場合(N G)、新しい値の為、次のコマンドが供給されるのを待つ。

【0041】

続いて、書き込み指示のコマンドがホストシステム5から供給される(ステップ8)。この書き込み指示のコマンドと参照値とを比較する(ステップ9)。

【0042】

この比較の結果、コマンドと参照値が異なる場合(N G)、書き込み指示を受けていない為、以後の書き込みシーケンスを実行されたとしても、不揮発性メモリ14には書き込みが行われない(ステップ15)。

【0043】

また、レジスタ9内の書き込み回数の計数は行われない(ステップ14)。

【0044】

一方、コマンドと参照値とが等しい場合(O K)、書き込み指示を受けた為、次のコマンドが供給されるのを待つ。

【0045】

続いて、書き込み待機時間の経過を待つ。前述の書き込み指示を受けてから、ホストシステム5から供給されるリセット信号が供給されるまでの時間を確認する(ステップ10)。この実施例では20msを待機時間とするが、この限りではない。この20msとリセット信号が供給されるまでの時間を比較する(ステップ11)。

【0046】

この比較の結果、20msより短かった場合(N G)、待機時間に達していない為、以後の書き込みシーケンスを実行されたとしても不揮発性メモリ14には書き込みは行われない(ステップ15)。

【0047】

また、レジスタ9内の書き込み回数の計数は行われない(ステップ14)。

一方、20msより長かった場合(O K)、待機時間を満足している為、不揮発性メモリ14への書き込みを終了する(ステップ13)。また、書き込み回数の値を計数させる(ステップ13)。

【0048】

以下同様にして、ホストシステム5から供給されるコマンドにより、参照値と比較しながら、順次コマンドの動作チェックを行う。

【0049】

図4は図3に示す書き込みシーケンスに基づくコマンドを解析する解析回路12のブロック図である。解析回路12は各コマンドの比較回路の結果をOR回路に inputs し、不揮発性メモリ14の書き込みやカウントレジスタ10を計数させるか否かを指示する信号をコントロール回路13に出力する。

【0050】

尚、本発明の場合、不揮発性メモリ14の書き込みやカウントレジスタ10を計数させる許可を論理値“0”とした為、前記各比較回路の出力が全て“0”になるように設定し

10

20

30

40

50

た。

【 0 0 5 1 】

図 5 から図 9 は書き込みシーケンスで実行される各コマンド毎の比較回路 2 1 ~ 2 5 を示すブロック図及び説明図である。

【 0 0 5 2 】

図 5 A に示す比較回路 2 1 は、外部から入力される書き込み電圧と、参照電圧 V_{ref} と、を比較するコンパレータ回路で構成されている。このコンパレータ回路の出力信号に基づいて、書き込み電圧の設定範囲内にあるか否かを判定する。

【 0 0 5 3 】

また、前記コンパレータ回路から出力される信号は解析回路 1 2 内の OR 回路に入力される。OR 回路から出力される信号はコントロール回路 1 3 を介し、書き込み許可信号、及びカウントレジスタ 1 0 の計数信号となる。

10

【 0 0 5 4 】

尚、OR 回路の出力が “ 0 ” の場合、書き込み及び計数を行うことを意味する。また、逆に “ 1 ” の場合、書き込み及び計数を行われないことを意味する。

【 0 0 5 5 】

また、図 5 B の動作波形は、書き込み電圧が参照電圧 V_{ref} を下回った場合に V_{out} 出力は “ 0 ” から “ 1 ” に変化し、これ以降書き込み電圧が十分な電圧にないことを示している。

【 0 0 5 6 】

図 6 A に示す比較回路 2 2 は、ホストシステム 5 から入力されるコマンド内の不揮発性メモリ 1 4 を選択する選択ビットと、参照値と、を入力信号とする NAND 回路で構成されている。ここで、選択ビットは、ホストシステムあるいはレジスタからの 8 b i t のコマンド内に信号として予め含まれた形で送信されるか、あるいは、回路設計時に固定データとして決定し、比較回路内で予め設定されることで決定される。

20

【 0 0 5 7 】

尚、本発明の場合、選択ビットを “ 1 ” とした為、参照値は “ 1 ” になるような回路構成とした。

【 0 0 5 8 】

この NAND 回路の出力信号に基づいて、不揮発性メモリ 1 4 が選択したか否かを判定する。

30

【 0 0 5 9 】

また、前記 NAND 回路から出力される信号は解析回路 1 2 内の OR 回路に入力される。OR 回路から出力される信号はコントロール回路 1 3 を介し、書き込み許可信号、及びカウントレジスタ 1 0 の計数許可信号となる。

【 0 0 6 0 】

また、図 6 B の動作波形は、選択ビットが “ 0 ” から “ 1 ” に変化した以降、NAND 回路の出力 V_{out} は、“ 0 ” となり、不揮発性メモリ 1 4 を選択することを示している。

【 0 0 6 1 】

図 7 A に示す比較回路 2 3 は、ホストシステム 5 から入力される不揮発性メモリ 1 4 へ書き込むデータ（設定情報）（ $X_0 - 7$ ）と、不揮発性メモリ 1 4 へ過去書き込まれたデータ（設定情報）（ $Y_0 - 7$ ）と、を入力信号とする排他的論理和回路で構成されている。

40

【 0 0 6 2 】

尚、本発明の場合、データ幅は 8 b i t s とした為、8 b i t s を b i t 毎に比較する回路構成とした。また、各比較回路の出力は AND 回路に入力される。この AND 回路の出力信号に基づいて、書き込むデータが過去書き込まれたデータと同値か否かを判定する。異値であれば書き込み動作を行う。同値であれば書き込み動作は行わず、不揮発性メモリ 1 4 に対し、無意味な負担を減らす。

50

【 0 0 6 3 】

また、前記 AND 回路から出力される信号は解析回路 1 2 内の OR 回路に入力される。OR 回路から出力される信号はコントロール回路 1 3 を介し、書き込み許可信号、及びカウンタレジスタ 1 0 の計数許可信号となる。

【 0 0 6 4 】

図 7 C の真理値表によると、1 b i t 時の比較器を表している。2 入力 X 0、Y 0 が同値だった場合、出力 Z 0 は “ 1 ” を出力し、異値だった場合、出力 Z 0 は “ 0 ” を出力する。この論理和は一般的に否定排他的論理和と呼ばれ、論理回路に表すと図 7 D の回路図となる。同様に 8 b i t の出力 Z 0 - 7 を AND 回路の 8 入力端子に接続し、出力 V o u t を解析回路 1 2 内の OR 回路に入力する。

10

【 0 0 6 5 】

また、図 7 B の動作波形は、過去の値 X 0 - 7 (8 b i t) と新しい値 Y 0 - 7 (8 b i t) とを前記の排他的論理和に入力することにより、同値だった場合、出力 V o u t は “ 1 ” を出力し、異値だった場合、出力 V o u t は “ 0 ” を出力することを示している。

【 0 0 6 6 】

図 8 A に示す比較回路 2 4 は、ホストシステム 5 から入力される書き込み指示コマンドと、参照値と、を入力信号とする排他的論理和回路で構成されている。ここで、参照値は、ホストシステムあるいはレジスタからの 8 b i t のコマンド内に信号として予め含まれた形で送信されるか、あるいは、回路設計時に固定データとして決定し、比較回路内で予め設定されることで決定される。

20

【 0 0 6 7 】

尚、本発明の場合、コマンドのデータ幅は 8 b i t とした為、8 b i t を比較する回路構成とした。

【 0 0 6 8 】

また、コマンドのデータ幅を 8 b i t とした為、前記比較回路 2 4 は、図 7 D で説明した否定排他的論理和回路の否定回路を除いた排他的論理和回路 8 個を含む。各排他的論理回路の出力は、図 8 C で示すように、OR 回路の入力端子に接され、前記 OR 回路の出力 V o u t は解析回路 1 2 内の OR 回路に接続されている。解析回路 1 2 内の OR 回路から出力される信号はコントロール回路 1 3 を介し、書き込み許可信号、及びカウンタレジスタ 1 0 の計数許可信号となる。

30

【 0 0 6 9 】

例えば、書き込み指示コマンドを “ E E ” h (h は 1 6 進数を表す) とすると、参照値は、“ E E ” h を設定する。これにより、各排他的論理和回路の入力端子 Y 0 ~ Y 7 には、Y 0 = “ 0 ” , Y 1 = “ 1 ” , Y 2 = “ 1 ” , Y 3 = “ 1 ” , Y 4 = “ 0 ” , Y 5 = “ 1 ” , Y 6 = “ 1 ” , Y 7 = “ 1 ” のような論理値を設定する。図 8 B の動作波形は、各入力端子の値が同値であれば、排他的論理和回路の出力は全て “ 0 ” を出力する為、OR 回路の出力は “ 0 ” となり、解析回路 1 2 内の OR 回路の出力は “ 0 ” が出力されることを示している。

【 0 0 7 0 】

また、異値であれば、排他的論理和回路の出力は全て “ 1 ” を出力する為、OR 回路の出力は “ 1 ” となり、解析回路 1 2 内の OR 回路の出力は “ 1 ” が出力される。

40

【 0 0 7 1 】

前記比較回路 2 4 内の OR 回路の出力信号に基づいて、書き込み指示コマンドか否かを判定する。出力が 0 の場合は書き込み動作を行い、出力が 1 の場合は書き込み動作を行わない。

【 0 0 7 2 】

図 9 A に示す比較回路 2 5 は不揮発生メモリが書き込み動作に必要な待機時間と、参照値と、を入力信号とするフリップフロップ回路で構成されている。

尚、本発明の場合、待機時間は書き込み指示コマンドが入力され、次にリセット信号が入力されるまでの時間として、その時間は 2 0 m s とした。比較回路 2 5 は 2 0 m s を計数するタイマー出力信号と、書き込み指示コマンドの入力からリセット信号が入力されるま

50

でを計数した出力信号と、を入力信号とするフリップフロップ回路とで構成されている。

【0073】

前記比較回路25は、図8で説明した書き込み指示コマンドを受信すると同時に、内部のタイマー動作を開始する。タイマーは、20msが経過すると論理値の“1”から“0”を出力する。前記出力された信号はフリップフロップのデータ入力端子とOR回路に入力される。

【0074】

また、前記比較回路25は、書き込み指示コマンドを受信した後、ホストシステム5からリセット信号を受信するまでの時間を計数し、前記リセット信号の受信した直後、“0”から“1”を出力する。前記出力信号は前記フリップフロップのクロック入力端子に入力され、“0”から“1”の変化時にデータ入力に入力された値を出力する。

10

【0075】

例えば、図9Bの動作波形は、リセット信号を受信した時間が20msより短かった場合、タイマー出力は“1”を出力している為、フリップフロップ回路のデータ入力が“1”となり、フリップフロップ回路の出力端子は“1”が出力されることを示している。また、図9Cの動作波形は、リセット信号を受信した時間が20msより長かった場合、タイマー出力は“0”を出力している為、フリップフロップ回路のデータ入力が“0”となり、フリップフロップ回路の出力端子は“0”が出力されることを示している。

【0076】

このフリップフロップ回路から出力信号に基づいて、所定の待機時間を満たされたか否かを判定する。待機時間を満たしていれば（出力が0）、書き込み動作を行い、満たしていなければ（出力が1）、書き込み動作は行わない。

20

【0077】

また、前記フリップフロップ回路から出力される信号は解析回路12内のOR回路に入力される。OR回路から出力される信号はコントロール回路13を介し、書き込み許可信号、及びカウントレジスタ10の計数許可信号となる。

実施例では、表示装置が液晶表示装置の場合について述べたが、他の表示装置、例えば、プラズマディスプレイ、ELディスプレイにも適用可能である。更に、不揮発性メモリとしてはEPROMを想定するが、EEPROM、フラッシュメモリ、MRAM、強誘電体メモリに適用することも可能である。

30

【産業上の利用可能性】

【0078】

液晶やプラズマ等の表示装置の表示用駆動回路に用いられる不揮発性メモリを内蔵した半導体集積回路に利用されることが可能となる。

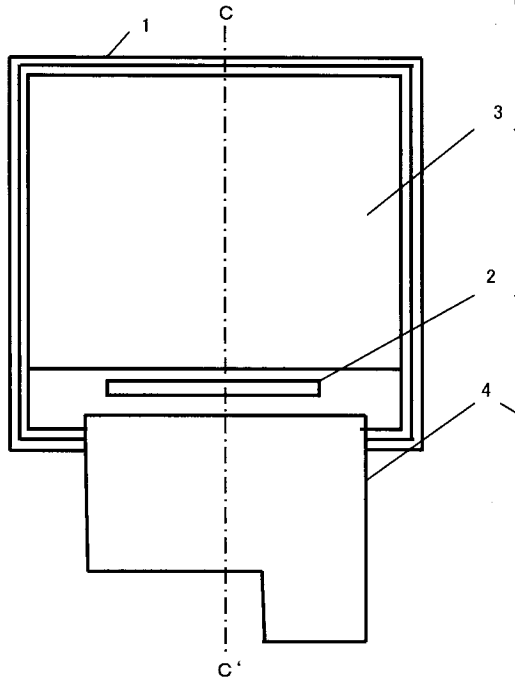
【符号の説明】

【0079】

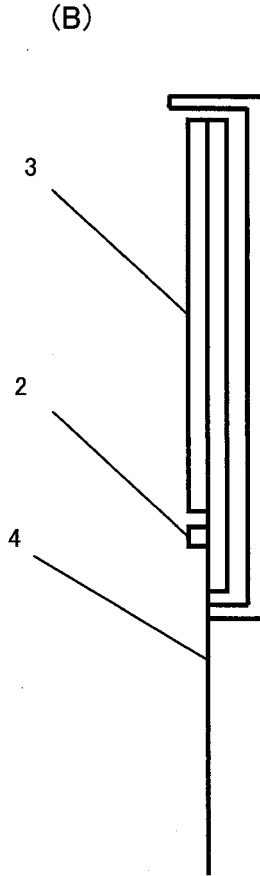
- | | | | |
|----|----------|----|----------|
| 1 | 液晶表示装置 | 2 | 半導体集積回路 |
| 3 | 液晶表示パネル | 4 | フレキシブル基板 |
| 5 | ホストシステム | 6 | 信号処理回路 |
| 7 | I/F回路 | 8 | LCD駆動回路 |
| 9 | レジスタ | 10 | カウントレジスタ |
| 11 | コマンドレジスタ | 12 | 解析回路 |
| 13 | コントロール回路 | 14 | 不揮発性メモリ |
| 21 | 比較回路1 | 22 | 比較回路2 |
| 23 | 比較回路3 | 24 | 比較回路4 |
| 25 | 比較回路5 | | |

40

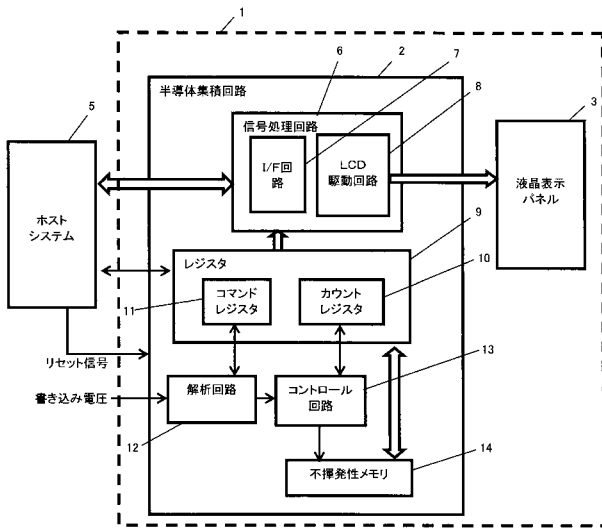
【図1A】



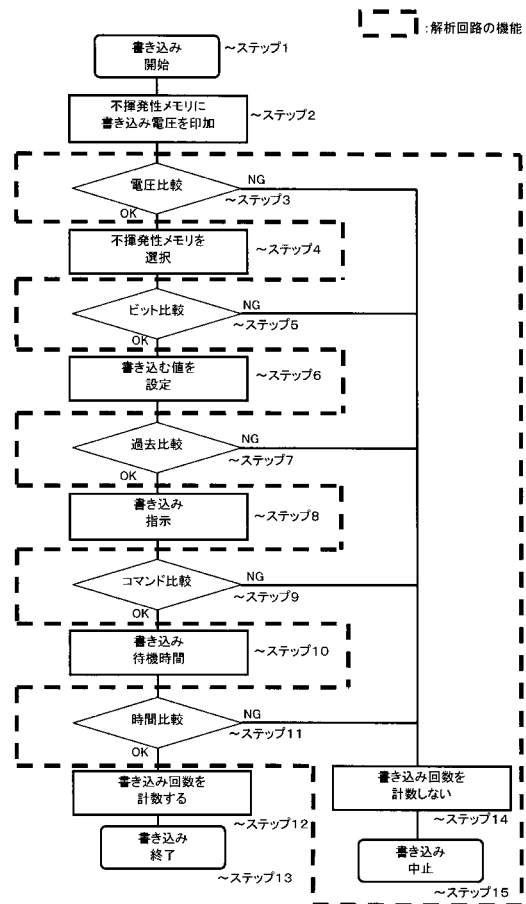
【図1B】



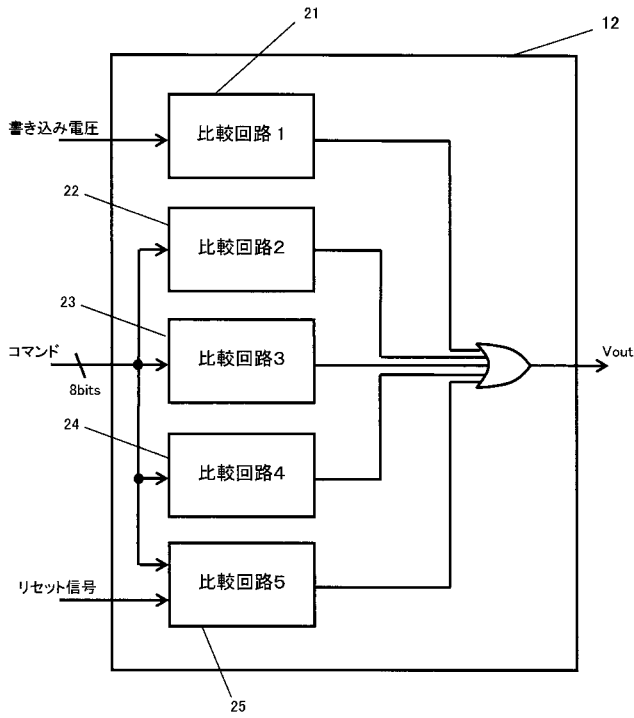
【図2】



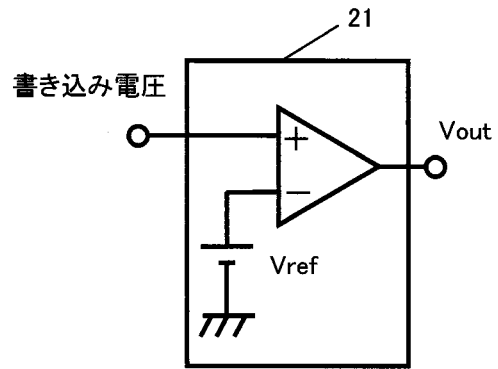
【図3】



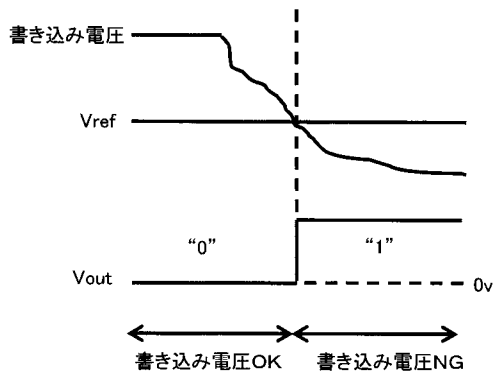
【 図 4 】



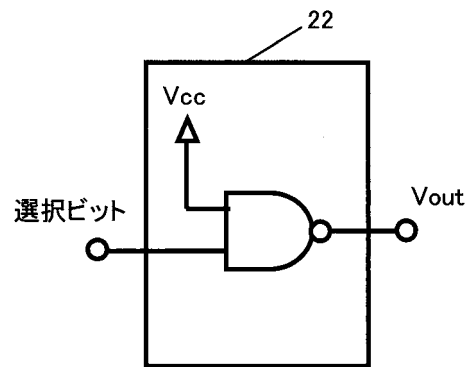
【 図 5 A 】



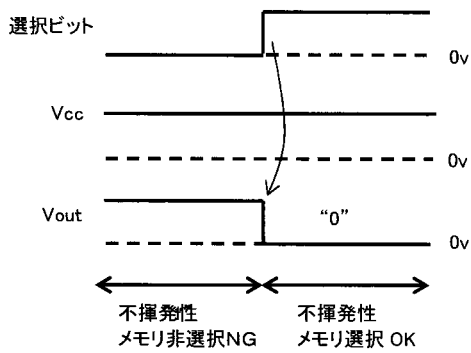
【 図 5 B 】



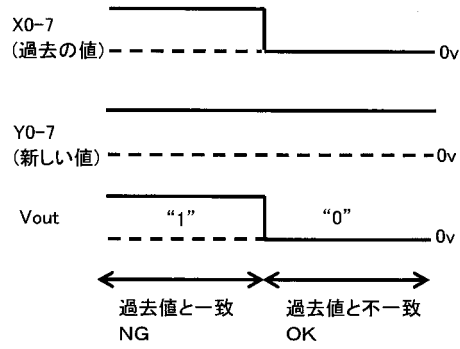
【 図 6 A 】



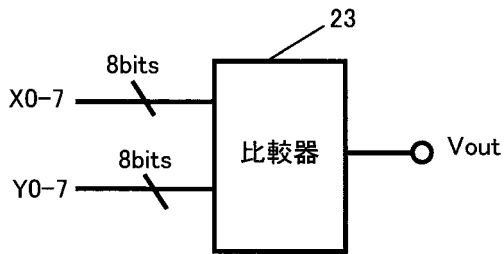
【図 6 B】



【図 7 B】



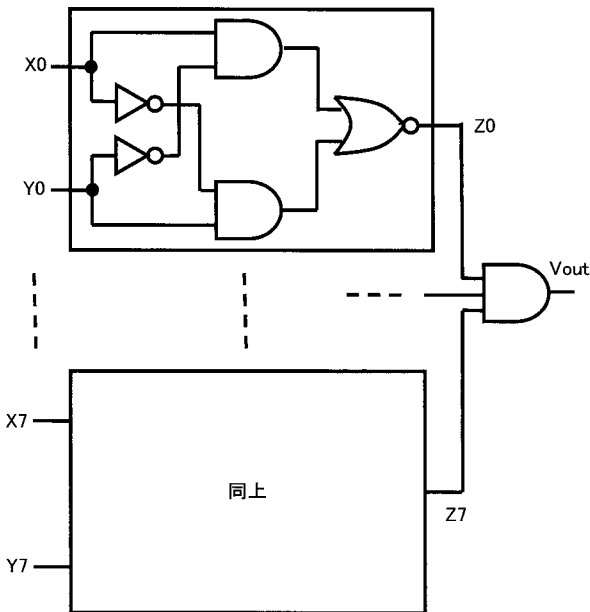
【図 7 A】



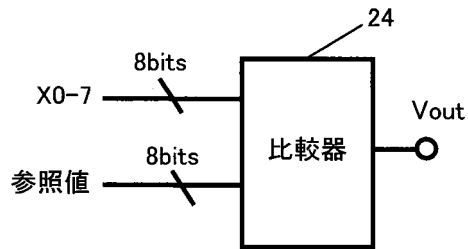
【図 7 C】

X0	Y0	Z0
0	0	1
0	1	0
1	0	0
1	1	1

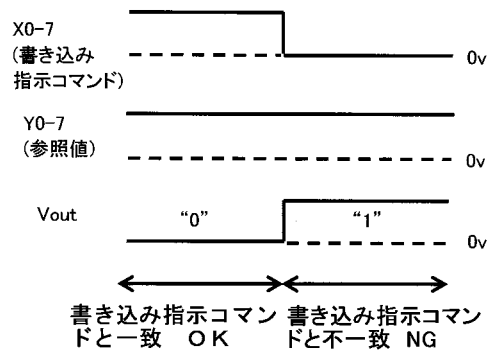
【図 7 D】



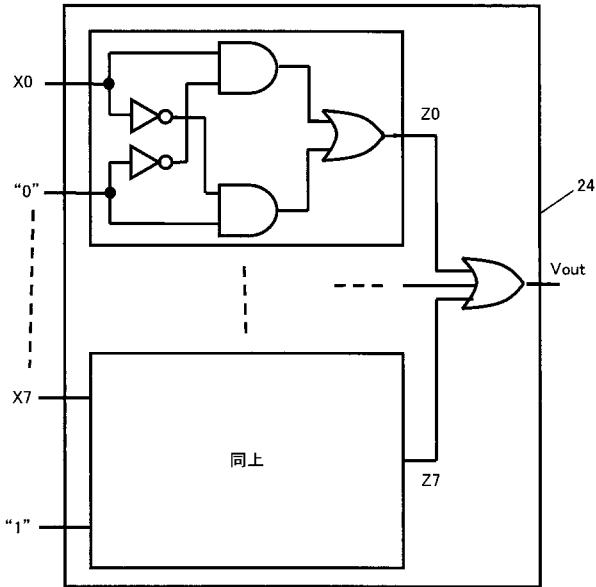
【図 8 A】



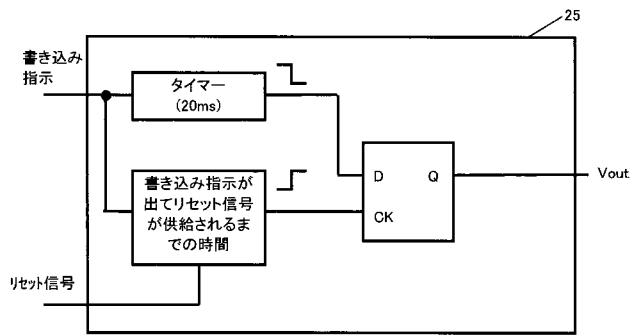
【図 8 B】



【 図 8 C 】

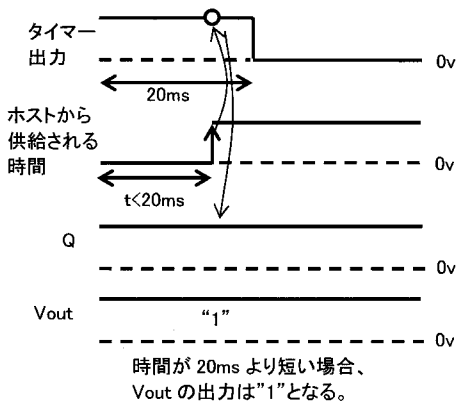


【 図 9 A 】



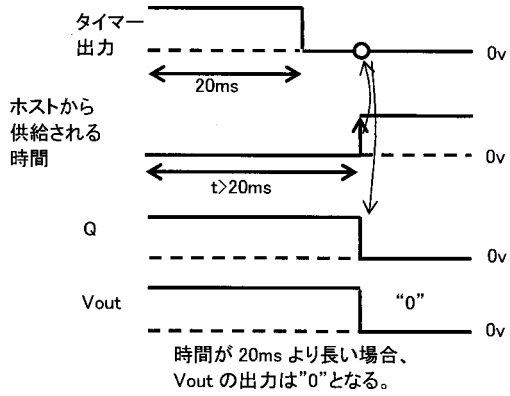
【 図 9 B 】

待機時間が短かった場合(NG)



【 図 9 C 】

待機時間が長かった場合(OK)



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 7 0 K

テーマコード(参考)

专利名称(译)	表示用半导体集成电路及び表示装置		
公开(公告)号	JP2016161729A	公开(公告)日	2016-09-05
申请号	JP2015039672	申请日	2015-02-28
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	NLT科技有限公司		
[标]发明人	森下 静夫		
发明人	森下 静夫		
IPC分类号	G09G3/36 G11C16/02 G06F12/16 G09G3/20		
FI分类号	G09G3/36 G11C17/00.601.B G11C17/00.601.Q G11C17/00.611.C G06F12/16.310.A G09G3/20.670.K G06F12/00.550.Z G06F12/16 G11C16/10.120 G11C16/22 G11C16/34.163		
F-TERM分类号	5B018/GA04 5B018/HA23 5B018/MA23 5B018/NA06 5B225/CA11 5B225/DB05 5B225/DD08 5B225/FA01 5B225/FA02 5B225/FA10 5C006/AF51 5C006/AF53 5C006/BB15 5C006/BC05 5C006/BF04 5C006/BF06 5C006/BF08 5C006/BF14 5C006/BF16 5C006/BF22 5C006/BF26 5C006/EB05 5C006/FA33 5C080/AA05 5C080/AA06 5C080/AA10 5C080/DD25 5C080/DD29		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种显示半导体集成电路，该显示半导体集成电路能够防止由于过度写入而导致的显示半导体集成电路上的应力以及由于误识别导致的处理不良产品时的成品率降低。 解决方案：信号处理电路6用于处理像素数据和同步信号，寄存器9用于记录液晶显示设备的显示设置信息，非易失性存储器14用于记录该寄存器的部分或全部显示设置信息。 用于控制非易失性存储器的写入顺序的控制电路13和用于分析写入顺序是否由主机系统5提供的命令执行并且针对每个命令正确执行的分析电路12。 然而，该寄存器包括用于接收命令的命令寄存器11和用于保持在非易失性存储器中的写入次数的计数寄存器10。 此外，如果根据分析结果正确地进行处理，则分析电路将设置信息写入非易失性存储器并同时计数写入次数。 [选择图]图2

