

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-79938
(P2020-79938A)

(43) 公開日 令和2年5月28日(2020.5.28)

(51) Int.Cl.	F I	テーマコード(参考)
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 3/20 (2006.01)	G09G 3/20 680C	5C058
H04N 7/01 (2006.01)	G09G 3/20 631B	5C063
H04N 5/66 (2006.01)	G09G 3/20 631Q	5C080
	G09G 3/20 650J	

審査請求 未請求 請求項の数 11 O L (全 33 頁) 最終頁に続く

(21) 出願番号 特願2019-202166 (P2019-202166)
 (22) 出願日 令和1年11月7日(2019.11.7)
 (31) 優先権主張番号 特願2018-212774 (P2018-212774)
 (32) 優先日 平成30年11月13日(2018.11.13)
 (33) 優先権主張国・地域又は機関 日本国(JP)

(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区新宿四丁目1番6号
 (74) 代理人 100116665
 弁理士 渡辺 和昭
 (74) 代理人 100194102
 弁理士 磯部 光宏
 (74) 代理人 100179475
 弁理士 仲井 智至
 (74) 代理人 100216253
 弁理士 松岡 宏紀
 (72) 発明者 塩原 隆一
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

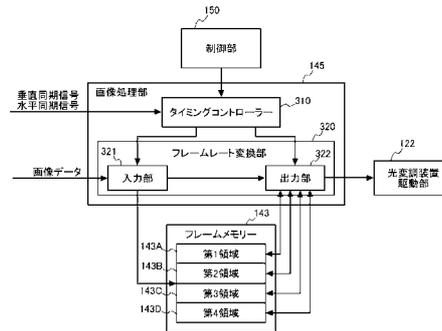
(54) 【発明の名称】 表示装置、及び表示装置の制御方法

(57) 【要約】

【課題】 表示装置における表示の遅延を、より短くする。

【解決手段】 液晶パネル115に画像を描画する光変調装置駆動部122と、部分サブフレームの各々を記憶するフレームメモリ143と、を備え、光変調装置駆動部122は、画像データの入力フレーム周波数を逡倍した描画周波数で液晶パネル115の第1画素領域115A~第4画素領域115Dの各々に画像を描画する倍速処理を実行し、フレームメモリ143の第2領域143Bは、第1領域143Aへの部分サブフレームの書き込みが開始された後に、部分サブフレームの書き込みを開始し、光変調装置駆動部122は、第2領域143Bへの部分サブフレームの書き込みが終了する前であって、部分サブフレームの第1領域143Aへの書き込みが完了したタイミングに対応して、液晶パネル115の第1画素領域115Aに部分サブフレームを描画する。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

表示装置であって、

第 1 表示領域及び第 2 表示領域を有する表示部と、

第 1 記憶部と、

第 2 記憶部と、

前記表示装置に入力された画像信号に含まれる画像データを第 1 画像データと第 2 画像データとに分割し、前記第 1 画像データを前記第 1 記憶部に記憶させ、前記第 2 画像データを前記第 2 記憶部に記憶させる入力部と、

前記第 1 記憶部から読み出された前記第 1 画像データに基づく画像を前記第 1 表示領域に描画し、前記第 2 記憶部から読み出された前記第 2 画像データに基づく画像を前記第 2 表示領域に描画する表示制御部と、を備え、

前記表示制御部は、前記画像信号に含まれる同期信号の周波数よりも周波数の高い表示同期信号に同期して前記第 1 画像データ及び前記第 2 画像データの各々に基づく画像を前記第 1 表示領域及び前記第 2 表示領域の各々に描画する倍速処理を実行し、

前記入力部は、前記第 1 記憶部に前記第 1 画像データを記憶させる処理を開始した後に、前記第 2 記憶部に前記第 2 画像データを記憶させる処理を開始し、

前記表示制御部は、前記第 2 記憶部に前記第 2 画像データを記憶させる処理が終了する前に、前記表示同期信号に同期して前記第 1 画像データに基づく画像の前記第 1 表示領域への描画を開始する、表示装置。

【請求項 2】

前記画像信号に含まれる前記同期信号の周波数を逡倍した逡倍周波数を有する前記表示同期信号を生成し、生成した前記表示同期信号を前記表示制御部に出力し、前記表示制御部に前記倍速処理を実行させるタイミングコントローラーを備える、請求項 1 記載の表示装置。

【請求項 3】

前記表示制御部は、前記第 1 記憶部から読み出された前記第 1 画像データに基づく画像を、前記表示同期信号に同期して前記第 1 表示領域に複数回描画し、前記第 2 記憶部から読み出された前記第 2 画像データに基づく画像を、前記表示同期信号に同期して前記第 2 表示領域に複数回描画する、請求項 2 記載の表示装置。

【請求項 4】

前記第 1 画像データ及び前記第 2 画像データを前記第 1 記憶部及び前記第 2 記憶部からそれぞれ読み出し、読み出した前記第 1 画像データ及び前記第 2 画像データを前記表示制御部に出力する出力部を備え、

前記タイミングコントローラーは、前記逡倍周波数を有する第 1 読出信号及び第 2 読出信号を生成し、生成した前記第 1 読出信号及び前記第 2 読出信号を前記出力部に出力し、

前記出力部は、前記第 1 読出信号に同期して、前記第 1 記憶部から前記第 1 画像データを複数回読み出し、前記第 2 読出信号に同期して、前記第 2 記憶部から前記第 2 画像データを複数回読み出す、請求項 2 又は 3 記載の表示装置。

【請求項 5】

前記タイミングコントローラーは、前記入力部が、前記第 1 記憶部に前記第 1 画像データを記憶させる処理が終了する前に、前記第 1 読出信号を前記出力部に出力して前記第 1 画像データの読み出しを開始させ、前記入力部が、前記第 2 記憶部に前記第 2 画像データを記憶させる処理が終了する前に、前記第 2 読出信号を前記出力部に出力して前記第 2 画像データの読み出しを開始させる、請求項 4 記載の表示装置。

【請求項 6】

前記表示制御部は、前記第 1 画像データ及び前記第 2 画像データをライン単位に前記第 1 表示領域及び前記第 2 表示領域に描画し、

前記第 1 表示領域及び前記第 2 表示領域への画像の描画を、1 ラインごとに交互に行う、請求項 1 から 5 のいずれか一項に記載の表示装置。

10

20

30

40

50

【請求項 7】

前記第 1 記憶部及び前記第 2 記憶部を含む n 個 (n は 2 以上の整数) の記憶部を備え、
前記表示部は、前記第 1 表示領域及び前記第 2 表示領域を含む n 個の表示領域を有し、
前記入力部は、前記画像データを n 分割して分割画像データを生成し、生成した前記分割画像データを n 個の前記記憶部の各々に記憶させ、

前記タイミングコントローラは、前記同期信号の周波数を n 倍した周波数の前記表示同期信号を生成し、

前記表示制御部は、前記表示同期信号に同期して n 個の前記表示領域の各々に、前記分割画像データに基づく画像をそれぞれ描画する、請求項 2 記載の表示装置。

【請求項 8】

表示装置の制御方法であって、

前記表示装置に入力された画像信号に含まれる画像データを第 1 画像データと第 2 画像データとに分割し、前記第 1 画像データを第 1 記憶部に記憶させ、前記第 2 画像データを第 2 記憶部に記憶させる記憶ステップと、

前記第 1 記憶部から読み出された前記第 1 画像データに基づく画像を表示部の第 1 表示領域に描画し、前記第 2 記憶部から読み出された前記第 2 画像データに基づく画像を前記表示部の第 2 表示領域に描画する描画ステップと、を有し、

前記描画ステップは、前記画像信号に含まれる同期信号の周波数よりも周波数の高い表示同期信号に同期して前記第 1 画像データ及び前記第 2 画像データの各々に基づく画像を前記第 1 表示領域及び前記第 2 表示領域の各々に描画する倍速処理を実行し、

前記記憶ステップは、前記第 1 記憶部に前記第 1 画像データを記憶させる処理を開始した後に、前記第 2 記憶部に前記第 2 画像データを記憶させる処理を開始し、

前記描画ステップは、前記第 2 記憶部に前記第 2 画像データを記憶させる処理が終了する前に、前記第 1 記憶部に前記第 1 画像データを記憶させる処理が終了すると、前記表示同期信号に同期して前記第 1 画像データに基づく画像の前記第 1 表示領域への描画を開始する、表示装置の制御方法。

【請求項 9】

表示装置であって、

第 1 表示領域、及び前記第 1 表示領域と隣接する第 2 表示領域を有する表示部と、

第 1 記憶部と、

第 2 記憶部と、

前記表示装置に入力された画像信号に含まれる画像データを第 1 画像データと第 2 画像データとに分割し、前記第 1 画像データを前記第 1 記憶部に記憶させ、前記第 2 画像データを前記第 2 記憶部に記憶させる入力部と、

前記第 1 記憶部から読み出された前記第 1 画像データに基づく画像を前記第 1 表示領域に描画し、前記第 2 記憶部から読み出された前記第 2 画像データに基づく画像を前記第 2 表示領域に描画する表示制御部と、を備え、

前記表示制御部は、前記画像信号に含まれる同期信号の周波数よりも周波数の高い表示同期信号に同期して前記第 1 画像データ及び前記第 2 画像データの各々に基づく画像を前記第 1 表示領域及び前記第 2 表示領域の各々に描画する倍速処理を実行し、

前記入力部は、前記第 1 記憶部に前記第 1 画像データを記憶させる処理を開始した後に、前記第 2 記憶部に前記第 2 画像データを記憶させる処理を開始し、

前記表示制御部は、前記第 2 記憶部に前記第 2 画像データを記憶させる処理が終了する前に、前記表示同期信号に同期して前記第 1 画像データに基づく画像の前記第 1 表示領域への描画を開始し、

前記表示制御部は、前記第 1 画像データに基づく画像を前記第 1 表示領域に第 1 の極性の電圧で描画することを開始してから、前記第 1 画像データに基づく画像を前記第 1 表示領域に描画し終えるまでの間に、前記第 1 画像データに基づく画像の少なくとも一部を、前記第 1 の極性とは異なる第 2 の極性の電圧で前記第 2 表示領域に描画する、表示装置。

【請求項 10】

10

20

30

40

50

前記表示部は、さらに、前記第2表示領域と隣接する第3表示領域を有し、

前記表示制御部は、前記第2画像データに基づく画像を前記第2表示領域に前記第2の極性の電圧で描画することを開始してから、前記第2画像データに基づく画像を前記第2表示領域に描画し終えるまでの間に、第3画像データに基づく画像の少なくとも一部を、前記第1の極性の電圧で前記第3表示領域に描画する、請求項9に記載の表示装置。

【請求項11】

表示装置の制御方法であって、

前記表示装置に入力された画像信号に含まれる画像データを第1画像データと第2画像データとに分割し、前記第1画像データを第1記憶部に記憶させ、前記第2画像データを第2記憶部に記憶させる記憶ステップと、

前記第1記憶部から読み出された前記第1画像データに基づく画像を表示部の第1表示領域に描画し、前記第2記憶部から読み出された前記第2画像データに基づく画像を、前記第1表示領域に隣接する前記表示部の第2表示領域に描画する描画ステップと、を有し、

前記描画ステップは、前記画像信号に含まれる同期信号の周波数よりも周波数の高い表示同期信号に同期して前記第1画像データ及び前記第2画像データの各々に基づく画像を前記第1表示領域及び前記第2表示領域の各々に描画する倍速処理を実行し、

前記記憶ステップは、前記第1記憶部に前記第1画像データを記憶させる処理を開始した後に、前記第2記憶部に前記第2画像データを記憶させる処理を開始し、

前記描画ステップは、前記第2記憶部に前記第2画像データを記憶させる処理が終了する前に、前記第1記憶部に前記第1画像データを記憶させる処理が終了すると、前記表示同期信号に同期して前記第1画像データに基づく画像の前記第1表示領域への描画を開始し、

前記描画ステップは、前記第1画像データに基づく画像を前記第1表示領域に第1の極性の電圧で描画することを開始してから、前記第1画像データに基づく画像を前記第1表示領域に描画し終えるまでの間に、前記第2画像データに基づく画像の少なくとも一部を、前記第1の極性とは異なる第2の極性の電圧で前記第2表示領域に描画する、表示装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置、及び表示装置の制御方法に関する。

【背景技術】

【0002】

従来、フレーム単位で画像を表示する装置において、残像感を低減するためにフレーム周波数を過倍する倍速処理を実行するものが知られている（例えば、特許文献1参照）。特許文献1に記載されたように、フレーム単位で画像を処理する場合、いったんフレームメモリーにフレーム単位で画像信号を格納する。このため、画像信号の格納および読み出しに伴い1フレーム以上の遅延が発生する。特許文献1記載の装置は、遅延時間を短縮するため一部の信号処理を省略する機能を備えている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2011-223457号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明は、表示装置における表示の遅延を、より短くすることを目的とする。

【課題を解決するための手段】

【0005】

10

20

30

40

50

上記目的を達成する一態様は、表示装置であって、第1表示領域及び第2表示領域を有する表示部と、第1記憶部と、第2記憶部と、前記表示装置に入力された画像信号に含まれる画像データを第1画像データと第2画像データとに分割し、前記第1画像データを前記第1記憶部に記憶させ、前記第2画像データを前記第2記憶部に記憶させる入力部と、前記第1記憶部から読み出された前記第1画像データに基づく画像を前記第1表示領域に描画し、前記第2記憶部から読み出された前記第2画像データに基づく画像を前記第2表示領域に描画する表示制御部と、を備え、前記表示制御部は、前記画像信号に含まれる同期信号の周波数よりも周波数の高い表示同期信号に同期して前記第1画像データ及び前記第2画像データの各々に基づく画像を前記第1表示領域及び前記第2表示領域の各々に描画する倍速処理を実行し、前記入力部は、前記第1記憶部に前記第1画像データを記憶させる処理を開始した後に、前記第2記憶部に前記第2画像データを記憶させる処理を開始し、前記表示制御部は、前記第2記憶部に前記第2画像データを記憶させる処理が終了する前に、前記表示同期信号に同期して前記第1画像データに基づく画像の前記第1表示領域への描画を開始する、表示装置である。

10

【0006】

上記表示装置において、前記画像信号に含まれる前記同期信号の周波数を n 倍した n 倍周波数を有する前記表示同期信号を生成し、生成した前記表示同期信号を前記表示制御部に出し、前記表示制御部に前記倍速処理を実行させるタイミングコントローラを備える構成であってもよい。

20

【0007】

上記表示装置において、前記表示制御部は、前記第1記憶部から読み出された前記第1画像データに基づく画像を、前記表示同期信号に同期して前記第1表示領域に複数回描画し、前記第2記憶部から読み出された前記第2画像データに基づく画像を、前記表示同期信号に同期して前記第2表示領域に複数回描画する構成であってもよい。

30

【0008】

上記表示装置において、前記第1画像データ及び前記第2画像データを前記第1記憶部及び前記第2記憶部からそれぞれ読み出し、読み出した前記第1画像データ及び前記第2画像データを前記表示制御部に出し、出力部を備え、前記タイミングコントローラは、前記 n 倍周波数を有する第1読出信号及び第2読出信号を生成し、生成した前記第1読出信号及び前記第2読出信号を前記出力部に出し、前記出力部は、前記第1読出信号に同期して、前記第1記憶部から前記第1画像データを複数回読み出し、前記第2読出信号に同期して、前記第2記憶部から前記第2画像データを複数回読み出す構成であってもよい。

【0009】

上記表示装置において、前記タイミングコントローラは、前記入力部が、前記第1記憶部に前記第1画像データを記憶させる処理が終了する前に、前記第1読出信号を前記出力部に出し、前記第1画像データの読み出しを開始させ、前記入力部が、前記第2記憶部に前記第2画像データを記憶させる処理が終了する前に、前記第2読出信号を前記出力部に出し、前記第2画像データの読み出しを開始させる構成であってもよい。

40

【0010】

上記表示装置において、前記表示制御部は、前記第1画像データ及び前記第2画像データをライン単位に前記第1表示領域及び前記第2表示領域に描画し、前記第1表示領域及び前記第2表示領域への画像の描画を、1ラインごとに交互に行う構成であってもよい。

【0011】

上記表示装置において、前記第1記憶部及び前記第2記憶部を含む n 個(n は2以上の整数)の記憶部を備え、前記表示部は、第1表示領域及び前記第2表示領域を含む n 個の表示領域を有し、前記入力部は、前記画像データを n 分割して分割画像データを生成し、生成した前記分割画像データを n 個の前記記憶部の各々に記憶させ、前記タイミングコントローラは、前記同期信号の周波数を n 倍した周波数の前記表示同期信号を生成し、前記表示制御部は、前記表示同期信号に同期して n 個の前記表示領域の各々に、前記分割画

50

像データに基づく画像をそれぞれ描画する構成であってもよい。

【0012】

上記目的を達成する別の態様は、表示装置の制御方法であって、前記表示装置に入力された画像信号に含まれる画像データを第1画像データと第2画像データとに分割し、前記第1画像データを第1記憶部に記憶させ、前記第2画像データを第2記憶部に記憶させる記憶ステップと、前記第1記憶部から読み出された前記第1画像データに基づく画像を表示部の第1表示領域に描画し、前記第2記憶部から読み出された前記第2画像データに基づく画像を前記表示部の第2表示領域に描画する描画ステップと、を有し、前記描画ステップは、前記画像信号に含まれる同期信号の周波数よりも周波数の高い表示同期信号に同期して前記第1画像データ及び前記第2画像データの各々に基づく画像を前記第1表示領域及び前記第2表示領域の各々に描画する倍速処理を実行し、前記記憶ステップは、前記第1記憶部に前記第1画像データを記憶させる処理を開始した後に、前記第2記憶部に前記第2画像データを記憶させる処理を開始し、前記描画ステップは、前記第2記憶部に前記第2画像データを記憶させる処理が終了する前に、前記第1記憶部に前記第1画像データを記憶させる処理が終了すると、前記表示同期信号に同期して前記第1画像データに基づく画像の前記第1表示領域への描画を開始する、表示装置の制御方法である。

10

【0013】

上記目的を達成する別の態様は、表示装置であって、第1表示領域、及び前記第1表示領域と隣接する第2表示領域を有する表示部と、第1記憶部と、第2記憶部と、前記表示装置に入力された画像信号に含まれる画像データを第1画像データと第2画像データとに分割し、前記第1画像データを前記第1記憶部に記憶させ、前記第2画像データを前記第2記憶部に記憶させる入力部と、前記第1記憶部から読み出された前記第1画像データに基づく画像を前記第1表示領域に描画し、前記第2記憶部から読み出された前記第2画像データに基づく画像を前記第2表示領域に描画する表示制御部と、を備え、前記表示制御部は、前記画像信号に含まれる同期信号の周波数よりも周波数の高い表示同期信号に同期して前記第1画像データ及び前記第2画像データの各々に基づく画像を前記第1表示領域及び前記第2表示領域の各々に描画する倍速処理を実行し、前記入力部は、前記第1記憶部に前記第1画像データを記憶させる処理を開始した後に、前記第2記憶部に前記第2画像データを記憶させる処理を開始し、前記表示制御部は、前記第2記憶部に前記第2画像データを記憶させる処理が終了する前に、前記表示同期信号に同期して前記第1画像データに基づく画像の前記第1表示領域への描画を開始し、前記表示制御部は、前記第1画像データに基づく画像を前記第1表示領域に第1の極性の電圧で描画することを開始してから、前記第1画像データに基づく画像を前記第1表示領域に描画し終えるまでの間に、前記第1画像データに基づく画像の少なくとも一部を、前記第1の極性とは異なる第2の極性の電圧で前記第2表示領域に描画する、表示装置。

20

30

【0014】

上記表示装置において、前記表示部は、さらに、前記第2表示領域と隣接する第3表示領域を有し、前記表示制御部は、前記第2画像データに基づく画像を前記第2表示領域に前記第2の極性の電圧で描画することを開始してから、前記第2画像データに基づく画像を前記第2表示領域に描画し終えるまでの間に、第3画像データに基づく画像の少なくとも一部を、前記第1の極性の電圧で前記第3表示領域に描画する構成であっても良い。

40

【0015】

上記目的を達成する別の態様は、表示装置の制御方法であって、前記表示装置に入力された画像信号に含まれる画像データを第1画像データと第2画像データとに分割し、前記第1画像データを第1記憶部に記憶させ、前記第2画像データを第2記憶部に記憶させる記憶ステップと、前記第1記憶部から読み出された前記第1画像データに基づく画像を表示部の第1表示領域に描画し、前記第2記憶部から読み出された前記第2画像データに基づく画像を、前記第1表示領域に隣接する前記表示部の第2表示領域に描画する描画ステップと、を有し、前記描画ステップは、前記画像信号に含まれる同期信号の周波数よりも周波数の高い表示同期信号に同期して前記第1画像データ及び前記第2画像データの各

50

々に基づく画像を前記第 1 表示領域及び前記第 2 表示領域の各々に描画する倍速処理を実行し、前記記憶ステップは、前記第 1 記憶部に前記第 1 画像データを記憶させる処理を開始した後に、前記第 2 記憶部に前記第 2 画像データを記憶させる処理を開始し、前記描画ステップは、前記第 2 記憶部に前記第 2 画像データを記憶させる処理が終了する前に、前記第 1 記憶部に前記第 1 画像データを記憶させる処理が終了すると、前記表示同期信号に同期して前記第 1 画像データに基づく画像の前記第 1 表示領域への描画を開始し、前記描画ステップは、前記第 1 画像データに基づく画像を前記第 1 表示領域に第 1 の極性の電圧で描画することを開始してから、前記第 1 画像データに基づく画像を前記第 1 表示領域に描画し終えるまでの間に、前記第 2 画像データに基づく画像の少なくとも一部を、前記第 1 の極性とは異なる第 2 の極性の電圧で前記第 2 表示領域に描画する、表示装置の制御方法。

10

【図面の簡単な説明】

【0016】

【図 1】プロジェクターの構成を示すブロック図。

【図 2】画像処理部の構成を示す図。

【図 3】画像処理部及び光変調装置駆動部の動作タイミングを示す図。

【図 4】液晶パネルへの画像の描画方法を説明するための図。

【図 5】プロジェクターの動作を示すフローチャート。

【図 6】画像処理部及び光変調装置駆動部の他の動作タイミングを示す図。

【図 7】液晶パネルの概略構成、および周辺回路を示す概要図。

20

【図 8】液晶パネルにおける画素の等価回路図。

【図 9】第 1 画素領域における走査信号のタイミング図、および、データ信号の極性を示す図。

【図 10】第 2 画素領域における走査信号のタイミングチャート、および、データ信号の極性を示す図。

【図 11】各画素領域における極性パターンを示すタイミング図。

【図 12】各画素領域における書込み状態を連続するサブフレームに渡る時間経過とともに示す図。

【図 13】比較例における各画素領域の書込み状態を連続するサブフレームに渡る時間経過とともに示す図。

30

【発明を実施するための形態】

【0017】

図 1 は、表示装置として動作するプロジェクター 100 の構成を示すブロック図である。まず、図 1 を参照してプロジェクター 100 の構成について説明する。

【0018】

プロジェクター 100 は、投射部 110 と、投射部 110 を駆動する駆動部 120 とを備える。投射部 110 は、光源 111、光変調装置 112 及び光学ユニット 113 を備える。駆動部 120 は、光源駆動部 121 及び光変調装置駆動部 122 を備える。

【0019】

光源 111 は、ハロゲンランプ、キセノンランプ、超高圧水銀ランプ等のランプ、又は LED (Light Emitting Diode) やレーザー光源等の固体光源を備える。

40

光源駆動部 121 は、後述する制御部 150 の制御に従い、光源 111 を点灯又は消灯させる。また、光源駆動部 121 は、点灯した光源 111 の輝度を調整する。

【0020】

光変調装置 112 は、光源 111 が発した光を変調する光変調素子を備える。本実施形態では、光変調装置 112 が光変調素子として透過型の液晶パネル 115 を備える場合について説明するが、光変調素子は反射型の液晶パネル 115 であってもよいし、デジタルミラーデバイス (Digital Micromirror Device) であってもよい。液晶パネル 115 は、本発明の「画像を表示する表示領域」に対応する。

【0021】

50

液晶パネル 115 は、本発明の「表示部」の一例に相当し、表示単位としての複数の画素を垂直方向及び水平方向にマトリクス状に配置して構成される。また、液晶パネル 115 は、後述する図 4 に示すように液晶パネル 115 の垂直方向において、複数の画素領域 115A ~ 115D に分割される。

【0022】

光変調装置駆動部 122 には、後述する画像処理部 145 から同期信号や画像データが入力される。光変調装置駆動部 122 は、入力された画像データに基づいて液晶パネル 115 を駆動する駆動信号を生成する。光変調装置駆動部 122 は、同期信号や駆動信号に基づいて液晶パネル 115 に画像を描画する。すなわち、光変調装置駆動部 122 は、液晶パネル 115 を構成する各画素の透過率を画像に対応した透過率に変更する。これにより、光源 111 の発した光が、透過率を変更された液晶パネル 115 により変調されて画像光が生成される。生成された画像光は、光学ユニット 113 に入射される。光変調装置駆動部 122 は、画像データに基づき表示領域に画像を描画する「表示制御部」の一例に相当する。

10

【0023】

光学ユニット 113 は、入射された画像光を投射面 105 上に結像させるレンズやミラーを備える。光学ユニット 113 は、ズームレンズやフォーカスレンズ等の各種のレンズ又はレンズ群を含む構成とすることも可能である。

【0024】

プロジェクター 100 は、操作部 131、リモコン受光部 133 及び入力インターフェース 135、記憶部 137、画像インターフェース 141、フレームメモリー 143、画像処理部 145 及び制御部 150 を備える。入力インターフェース 135、記憶部 137、画像インターフェース 141、画像処理部 145 及び制御部 150 は、バス 107 を介して相互にデータ通信可能に接続される。

20

【0025】

操作部 131 は、プロジェクター 100 の筐体表面に設けられた各種のボタンやスイッチを備え、これらのボタンやスイッチの操作に対応した操作信号を生成して入力インターフェース 135 に出力する。入力インターフェース 135 は、操作部 131 から入力された操作信号を制御部 150 に出力する。

【0026】

リモコン受光部 133 は、リモコン 5 から送信される赤外線信号を受光し、受光した赤外線信号をデコードして操作信号を生成する。リモコン受光部 133 は、生成した操作信号を入力インターフェース 135 に出力する。入力インターフェース 135 は、リモコン受光部 133 から入力された操作信号を制御部 150 に出力する。

30

【0027】

記憶部 137 は、例えば、ハードディスクドライブや、SSD (Solid State Drive) 等の大容量のフラッシュ型の半導体メモリー、更にフラッシュ型の半導体メモリー等の不揮発性の記憶装置である。記憶部 137 は、制御部 150 が実行する制御プログラムや、制御部 150 が処理したデータ、画像データ等を記憶する。

【0028】

画像インターフェース 141 は、コネクタ及びインターフェース回路を備え、プロジェクター 100 に画像データを供給する画像供給装置 200 に有線接続される。画像供給装置 200 が供給する画像データは、静止画像データであってもよいし、動画像データ (映像データ) であってもよい。また、画像供給装置 200 は、DVD やブルーレイ等の光ディスクの再生装置であってもよいし、パーソナルコンピューター、デジタルカメラやデジタルビデオカメラなどであってもよい。また、本実施形態では、プロジェクター 100 と画像供給装置 200 とが有線で接続される場合を説明するが、プロジェクター 100 と画像供給装置 200 とを無線で接続した構成であってもよい。

40

【0029】

画像インターフェース 141 は、画像供給装置 200 から画像信号を受信し、受信した

50

画像信号に含まれる画像データ及び同期信号を取り出す。画像データは、複数の画素の各々の階調を色成分毎に示すデータである。また、同期信号は、同期タイミングを示す信号であり、水平同期信号及び垂直同期信号を含む。画像インターフェース141は、取り出した同期信号を、制御部150及び画像処理部145に出力し、画像データを画像処理部145に出力する。制御部150は、水平同期信号及び垂直同期信号に基づいて処理の実行タイミングを判定し、判定したタイミングに基づいてプロジェクター100の各部を制御する。画像処理部145は、水平同期信号及び垂直同期信号に同期して画像データに画像処理を実行し、処理後の画像データを光変調装置駆動部122に出力する。

画像インターフェース141が画像信号から取得した画像データは、本発明の「画像データ」の一例に対応する。また、本実施形態では画像データが画像供給装置200から供給されるデータである場合を説明するが、画像データは、予めプロジェクター100の記憶部137に記憶したデータであってもよい。

【0030】

画像処理部145及びフレームメモリー143は、例えば、集積回路により構成することができる。集積回路は、LSI、ASIC(Application Specific Integrated Circuit)、PLD(Programmable Logic Device)を含む。PLDには、例えば、FPGA(Field-Programmable Gate Array)が含まれる。また、集積回路の構成の一部にアナログ回路が含まれていてもよく、プロセッサと集積回路との組み合わせであってもよい。プロセッサと集積回路との組み合わせは、マイクロコントローラ(MCU)、SoC(System-on-a-chip)、システムLSI、チップセットなどと呼ばれる。

【0031】

画像処理部145は、画像インターフェース141から入力された画像データをフレームメモリー143に展開する。フレームメモリー143は、複数のバンクを備える。各バンクは、1フレーム分の画像データを書き込み可能な記憶容量を有する。フレームメモリー143は、例えば、SDRAM(Synchronous Dynamic Random Access Memory)により構成される。

【0032】

画像処理部145は、フレームメモリー143に展開した画像データに対して、例えば、解像度変換処理又はリサイズ処理、歪曲収差の補正、キーストーン補正、形状補正処理、デジタルズーム処理、画像の色合いや輝度の調整等の画像処理を行う。

また、画像処理部145は、フレームレート変換処理を実行する。フレームレート変換処理とは、液晶パネル115に描画する画像データのフレーム周波数を、画像供給装置200から供給された画像データのフレーム周波数とは異なる周波数に変換して表示する処理である。フレーム周波数とは、単位時間である1秒当たりに表示される画像数であり、垂直同期信号の周波数に対応する。画像供給装置200から供給された画像データのフレーム周波数を入力フレーム周波数といい、液晶パネル115に描画する画像データのフレーム周波数を描画周波数という。一般に、画像供給装置200から入力される画像データのフレーム周波数の例としては、60Hzなどがある。

【0033】

画像処理部145は、垂直同期信号の入力フレーム周波数を描画周波数に変換した垂直同期信号を生成する。生成した垂直同期信号を表示同期信号という。画像処理部145は、生成した表示同期信号を光変調装置駆動部122に出力する。

画像処理部145は、例えば、入力フレーム周波数、すなわち、垂直同期信号の周波数が60Hzである場合、60Hzを2倍した120Hzの描画周波数、又は60Hzを4倍した240Hzの描画周波数の表示同期信号を生成する。画像処理部145は、フレームメモリー143から読み出した画像データを、生成した表示同期信号と共に光変調装置駆動部122に出力する。光変調装置駆動部122は、入力された表示同期信号に同期して、液晶パネル115に画像を描画する逡倍速処理を実行する。また、表示同期信号の描画周波数は、入力フレーム周波数の整数倍、すなわち、入力フレーム周波数を逡倍した逡倍周波数である場合が最も好ましいが、表示同期信号の描画周波数は、入力フレーム周波

10

20

30

40

50

数よりも高い周波数であればよい。

【0034】

画像処理部145は、液晶パネル115に描画する画像の元となる画像データを生成する。例えば、入力フレーム周波数が60Hzとする。一般に液晶パネルは、強い光を照射すると、内蔵トランジスタのリーク電流によりコントラストが時間とともに低下する現象が発生する。そこで、入力した同一のフレーム画像を複数回連続して描画する。例えば、入力フレーム周波数を60Hzとしたときに、同一時間に4回繰り返し描画を行う場合、同一の入力フレームを240Hzで表示する。このように複数回（ここでは4回）繰り返し描画することで、高コントラストを維持することができる。

これはすなわち、液晶パネル115に描画する単位時間に4回描画を行うという意味であり、これを以後4倍速表示と呼ぶことにする。このような4倍速表示の場合、画像処理部145は、受信した画像信号から取り出した1フレーム分を高速（4倍速）にフレームメモリー143から4回画像データを読み出して出力することを意味する。

画像処理部145は、フレームメモリー143から同一の画像データを複数回表示する。フレームレート変換処理を行って垂直同期信号の周波数を描画周波数に変更した場合に、同一の1フレーム分の画像が表示される期間を、本発明では繰り返し表示フレーム期間という。繰り返し表示フレーム期間に描画される1フレーム分の画像は表示フレーム画像である。

【0035】

制御部150は、メモリー151及びプロセッサ153を備える。

メモリー151は、プロセッサ153が実行するプログラムやデータを不揮発的に記憶する記憶装置であり、磁気的記憶装置、フラッシュROM等の半導体記憶素子、或いはその他の種類の不揮発性記憶装置により構成される。また、メモリー151は、プロセッサ153のワークエリアを構成するRAMを含んでもよい。メモリー151は、制御部150により処理されるデータや、プロセッサ153が実行する制御プログラムを記憶する。

【0036】

プロセッサ153は、単一のプロセッサで構成されてもよいし、複数のプロセッサがプロセッサ153として機能する構成であってもよい。プロセッサ153は、制御プログラムを実行してプロジェクター100の各部を制御する。例えば、プロセッサ153は、画像処理部145に対して、操作部131やリモコン5により受け付けた操作に対応した画像処理の実行指示と、具体的な処理の内容を指示する。指示される具体的な処理の内容には、幾何的な歪みを補正するための補正值やその補正の方向等が含まれる。また、プロセッサ153は、光源駆動部121を制御して光源111の点灯と消灯を制御し、また光源111の輝度を調整する。

【0037】

図2は、画像処理部145の構成を示すブロック図である。

画像処理部145は、タイミングコントローラ310及びフレームレート変換部320を備える。フレームレート変換部320は、入力部321及び出力部322を備える。

【0038】

タイミングコントローラ310には、画像インターフェース141、制御部150、入力部321及び出力部322が接続される。

タイミングコントローラ310には、制御部150から制御信号が入力され、画像インターフェース141から垂直同期信号及び水平同期信号が入力される。タイミングコントローラ310は、入力される制御信号に従ってフレームレート変換処理を行ない、垂直同期信号の描画周波数を変更する。すなわち、タイミングコントローラ310は、制御部150の制御に従い、120Hz又は240Hzの表示同期信号を生成する。

【0039】

また、タイミングコントローラ310は、入力された垂直同期信号及び水平同期信号に基づき、入力部321がフレームメモリー143に画像データを書き込むタイミングを

10

20

30

40

50

制御する書込信号を生成する。タイミングコントローラー 310 は、生成した書込信号を入力部 321 に出力する。また、タイミングコントローラー 310 は、垂直同期信号及び水平同期信号に基づき、出力部 322 がフレームメモリー 143 から画像データを読み出すタイミングを制御する読出信号を生成する。タイミングコントローラー 310 は、生成した読出信号を出力部 322 に出力する。

【0040】

入力部 321 は、画像インターフェース 141、タイミングコントローラー 310、フレームメモリー 143 及び出力部 322 に接続される。入力部 321 には、画像インターフェース 141 から画像データが入力され、タイミングコントローラー 310 から書込信号が入力される。

10

【0041】

タイミングコントローラー 310 は、垂直同期信号に同期して書込信号を入力部 321 に出力する。この垂直同期信号は、画像供給装置 200 から受信した画像信号に含まれる垂直同期信号である。入力部 321 は、タイミングコントローラー 310 から書込信号が入力されると、画像データのフレームメモリー 143 への書き込みを開始する。入力部 321 は、タイミングコントローラー 310 から次の書込信号が入力されるまでの間に、1 フレーム分の画像データをフレームメモリー 143 に書き込む。

【0042】

フレームメモリー 143 の領域は、第 1 領域 143 A、第 2 領域 143 B、第 3 領域 143 C 及び第 4 領域 143 D の 4 つの領域に分割されている。第 1 領域 143 A、第 2 領域 143 B、第 3 領域 143 C 及び第 4 領域 143 D の各領域は、本発明の「 n 個の記憶部」の一例に相当する。

20

【0043】

図 2 には、フレームメモリー 143 が垂直方向に 4 つに分割され、分割された各領域がフレームメモリー 143 の縦方向に並ぶ場合を示す。第 1 領域 143 A、第 2 領域 143 B、第 3 領域 143 C 及び第 4 領域 143 D の各領域の水平方向のサイズは、画像データの 1 ラインのサイズに対応する。本実施形態では、フレームメモリー 143 の領域を 4 つに分割した場合を示すが、分割数 n は入力フレーム周波数と描画周波数とに基づいて任意に変更可能である。分割数 n は、2 以上の整数である。例えば、入力フレーム周波数を 2 倍した描画周波数の表示同期信号を生成する場合、フレームメモリー 143 の領域を 2 つに分割し、入力フレーム周波数を 6 倍した描画周波数の表示同期信号を生成する場合、フレームメモリー 143 の領域を 6 つに分割する。なお、分割数 n は、入力フレーム周波数と描画周波数とは関係なく設定されてもよい。

30

【0044】

入力部 321 は、画像データを複数に分割し、分割した画像データの各々をフレームメモリー 143 の各領域 143 A ~ 143 D に記憶させる。第 1 領域 143 A、第 2 領域 143 B、第 3 領域 143 C 及び第 4 領域 143 D の各々に書き込まれた画像データを部分サブフレームという。部分サブフレームは、本発明の「分割画像データ」に相当する。フレームメモリー 143 に画像データを書き込む場合、入力部 321 は、まず、第 1 領域 143 A に書き込み、第 1 領域 143 A の書き込みが終了すると、第 2 領域 143 B、第 3 領域 143 C、第 4 領域 143 D の順に書き込む。入力部 321 は、第 1 領域 143 A に部分サブフレームを書き込む処理を開始した後に、第 2 領域 143 B に部分サブフレームを書き込む処理を開始する。これにより、画像データが 4 つの部分サブフレームに分割される。

40

【0045】

第 1 領域 143 A、第 2 領域 143 B、第 3 領域 143 C 及び第 4 領域 143 D の 4 つの領域は、複数の異なる SDRAM により構成してもよいし、1 つの SDRAM の領域をアドレスにより 4 つの領域に分けてもよい。

【0046】

また、タイミングコントローラー 310 は、不図示のカウンターを備え、水平同期信号

50

が入力されるごとに、カウンターをカウントアップする。カウンターのカウント値は、フレームメモリ 143 に書き込み中のフレームのうち、すでに書き込まれたライン数に対応する。タイミングコントローラ 310 は、垂直同期信号に基づいて 1 フレーム分の画像データの書き込みが完了するタイミングを判定する。タイミングコントローラ 310 は、垂直同期信号が入力され、1 フレーム分の画像データの書き込みが完了したタイミングでカウンターのカウント値をリセットする。

【0047】

また、タイミングコントローラ 310 は、垂直同期信号の周波数を逡倍して表示同期信号、及び読出信号を生成する。タイミングコントローラ 310 は、例えば、PLL (Phase Locked Loop) 回路を備える。タイミングコントローラ 310 は、制御部 150 から 4 倍の指示が入力され、垂直同期信号の周波数が 60 Hz である場合、60 Hz を 4 倍した 240 Hz の表示同期信号及び読出信号を PLL 回路により生成する。また、タイミングコントローラ 310 は、制御部 150 から 2 倍の指示が入力された場合、60 Hz を 2 倍した 120 Hz の表示同期信号及び読出信号を生成する。タイミングコントローラ 310 は、生成した表示同期信号及び読出信号を出力部 322 に出力する。また、タイミングコントローラ 310 は、読出信号を出力部 322 に出力し、表示同期信号を光変調装置駆動部 122 に出力してもよい。

10

【0048】

出力部 322 は、タイミングコントローラ 310、入力部 321、フレームメモリ 143 及び光変調装置駆動部 122 に接続される。

20

出力部 322 には、タイミングコントローラ 310 から読出信号及び表示同期信号が入力される。また、出力部 322 には、入力部 321 から書込開始信号及び書込終了信号が入力される。書込開始信号とは、1 フレーム分の画像データのフレームメモリ 143 への書き込みを開始するときに入力部 321 が出力する信号である。また、書込終了信号は、1 フレーム分の画像データのフレームメモリ 143 への書き込みを終了したときに入力部 321 が出力する信号である。

【0049】

出力部 322 は、第 1 領域 143 A、第 2 領域 143 B、第 3 領域 143 C 及び第 4 領域 143 D の各々に独立してアクセスすることができる。すなわち、出力部 322 は、第 1 領域 143 A からデータを読み出しながら第 2 領域 143 B や第 3 領域 143 C からデータを読み出すことも可能である。

30

【0050】

出力部 322 には、タイミングコントローラ 310 から 4 つの読出信号が入力される。4 つの読出信号を、第 1 読出信号、第 2 読出信号、第 3 読出信号及び第 4 読出信号という。第 1 読出信号、第 2 読出信号、第 3 読出信号及び第 4 読出信号の周波数は、同一である。

【0051】

出力部 322 は、タイミングコントローラ 310 から入力される第 1 読出信号に同期して、フレームメモリ 143 の第 1 領域 143 A に書き込まれた部分サブフレームを読み出す。また、出力部 322 は、タイミングコントローラ 310 から入力される第 2 読出信号に同期して、フレームメモリ 143 の第 2 領域 143 B に書き込まれた部分サブフレームを読み出す。また、出力部 322 は、タイミングコントローラ 310 から入力される第 3 読出信号に同期して、フレームメモリ 143 の第 3 領域 143 C に書き込まれた部分サブフレームを読み出す。また、出力部 322 は、タイミングコントローラ 310 から入力される第 4 読出信号に同期して、フレームメモリ 143 の第 4 領域 143 D に書き込まれた部分サブフレームを読み出す。出力部 322 は、読み出した部分サブフレームの各々を表示同期信号と共に光変調装置駆動部 122 に出力する。

40

【0052】

光変調装置駆動部 122 は、出力部 322 から入力される表示同期信号に同期して、入力された部分サブフレームの各々に基づく画像を液晶パネル 115 に描画する。

50

【 0 0 5 3 】

図 3 は、画像処理部 1 4 5 及び光変調装置駆動部 1 2 2 の動作タイミングを示す図である。

図 3 に示す (a) には、1 フレーム分の画像データであるフレーム A、フレーム B 及びフレーム C の 3 つのフレームがプロジェクター 1 0 0 によって処理される期間を示す。

入力部 3 2 1 は、フレーム A が入力されると、入力されたフレーム A をフレームメモリー 1 4 3 の第 1 領域 1 4 3 A、第 2 領域 1 4 3 B、第 3 領域 1 4 3 C 及び第 4 領域 1 4 3 D に順に書き込む。第 1 領域 1 4 3 A に書き込まれた部分サブフレームを部分サブフレーム A 1 と表記する。第 2 領域 1 4 3 B に書き込まれた部分サブフレームを部分サブフレーム A 2 と表記する。第 3 領域 1 4 3 C に書き込まれた部分サブフレームを部分サブフレーム A 3 と表記する。第 4 領域 1 4 3 D に書き込まれた部分サブフレームを部分サブフレーム A 4 と表記する。フレーム B 及び C についても同様に、部分サブフレーム B 1、C 1、部分サブフレーム B 2、C 2、部分サブフレーム B 3、C 3、部分サブフレーム B 4、C 4 と表記する。

10

【 0 0 5 4 】

図 3 に示す (b) には、垂直同期信号と、入力部 3 2 1 が書込信号に同期してフレームメモリー 1 4 3 に書き込む部分サブフレームとを示す。

以下では、画像処理部 1 4 5 がフレーム B を処理する場合について説明する。入力部 3 2 1 は、書込信号に同期して、部分サブフレーム B 1 を第 1 領域 1 4 3 A に書き込み、部分サブフレーム B 2 を第 2 領域 1 4 3 B に書き込み、部分サブフレーム B 3 を第 3 領域 1 4 3 C に書き込み、部分サブフレーム B 4 を第 4 領域 1 4 3 D に書き込む。

20

【 0 0 5 5 】

第 1 領域 1 4 3 A が本発明の「第 1 記憶部」に相当する場合、第 2 領域 1 4 3 B は本発明の「第 2 記憶部」に相当する。この場合、部分サブフレーム B 1 は、本発明の「第 1 画像データ」に相当し、部分サブフレーム B 2 は、本発明の「第 2 画像データ」に相当する。

同様に、第 2 領域 1 4 3 B が本発明の「第 1 記憶部」に相当する場合、第 3 領域 1 4 3 C は本発明の「第 2 記憶部」に相当する。この場合、部分サブフレーム B 2 は、本発明の「第 1 画像データ」に相当し、部分サブフレーム B 3 は、本発明の「第 2 画像データ」に相当する。

30

同様に、第 3 領域 1 4 3 C が本発明の「第 1 記憶部」に相当する場合、第 4 領域 1 4 3 D は本発明の「第 2 記憶部」に相当する。この場合、部分サブフレーム B 3 は、本発明の「第 1 画像データ」に相当し、部分サブフレーム B 4 は、本発明の「第 2 画像データ」に相当する。

【 0 0 5 6 】

図 3 に示す (c - 1)、(c - 2)、(c - 3) 及び (c - 4) には、読出信号と、読出信号に従って出力部 3 2 2 が読み出す部分サブフレームを示す。

タイミングコントローラ 3 1 0 は、出力部 3 2 2 に第 1 ~ 第 4 読出信号を出力して、出力部 3 2 2 がフレームメモリー 1 4 3 から部分サブフレームを読み出すタイミングを制御する。出力部 3 2 2 は、タイミングコントローラ 3 1 0 から第 1 読出信号が入力されると、第 1 領域 1 4 3 A から部分サブフレーム B 1 を読み出す。

40

【 0 0 5 7 】

出力部 3 2 2 が、第 1 領域 1 4 3 A から部分サブフレーム B 1 の読み出しを開始するタイミングは、第 2 領域 1 4 3 B への部分サブフレーム B 2 の書き込みが終了する前である。また、出力部 3 2 2 は、部分サブフレーム B 1 の第 1 領域 1 4 3 A への書き込みが完了したタイミングに対応して、第 1 領域 1 4 3 A から部分サブフレーム B 1 を読み出し、光変調装置駆動部 1 2 2 に出力する。なお、出力部 3 2 2 は、部分サブフレーム B 1 の第 1 領域 1 4 3 A への書き込みが完了する前に、第 1 領域 1 4 3 A から部分サブフレーム B 1 を読み出して光変調装置駆動部 1 2 2 に出力してもよい。また、図 3 に示すように、部分サブフレーム B 1 の書き込み完了タイミングと、部分サブフレーム B 1 の読出開始タイミ

50

ングとを同期させてもよい。

【 0 0 5 8 】

図 4 は、液晶パネル 1 1 5 の構成を示す図である。

液晶パネル 1 1 5 は、第 1 画素領域 1 1 5 A、第 2 画素領域 1 1 5 B、第 3 画素領域 1 1 5 C 及び第 4 画素領域 1 1 5 D の 4 つの画素領域を備える。第 1 画素領域 1 1 5 A は、本発明の「第 1 表示領域」の一例に相当し、第 2 画素領域 1 1 5 B は、本発明の「第 2 表示領域」の一例に相当する。

光変調装置駆動部 1 2 2 は、出力部 3 2 2 により第 1 領域 1 4 3 A から読み出された部分サブフレームを第 1 画素領域 1 1 5 A に描画し、出力部 3 2 2 により第 2 領域 1 4 3 B から読み出された部分サブフレームを第 2 画素領域 1 1 5 B に描画する。また、光変調装置駆動部 1 2 2 は、出力部 3 2 2 により第 3 領域 1 4 3 C から読み出された部分サブフレームを第 3 画素領域 1 1 5 C に描画し、出力部 3 2 2 により第 4 領域 1 4 3 D から読み出された部分サブフレームを第 4 画素領域 1 1 5 D に描画する。液晶パネル 1 1 5 の画素領域の分割数 n は、入力フレーム周波数と描画周波数とに基づいて任意に変更可能である。

【 0 0 5 9 】

また、出力部 3 2 2 は、タイミングコントローラ 3 1 0 から入力される第 1 読出信号に同期して、第 1 領域 1 4 3 A から部分サブフレーム B 1 を 4 回読み出す。出力部 3 2 2 は、部分サブフレーム B 1 を読み出すごとに、読み出した部分サブフレーム B 1 を光変調装置駆動部 1 2 2 に出力する。光変調装置駆動部 1 2 2 には、出力部 3 2 2 から部分サブフレーム B 1 が 4 回入力されるため、液晶パネル 1 1 5 の第 1 画素領域 1 1 5 A には、部分サブフレーム B 1 が 4 回描画される。

本実施形態では、入力フレーム周波数と描画周波数とに基づいて決定される分割数 n が 4 であるため、光変調装置駆動部 1 2 2 が第 1 画素領域 1 1 5 A に 4 回、部分サブフレーム B 1 に基づく画像を描画する場合を説明する。分割数 n の値が変更になれば、光変調装置駆動部 1 2 2 が液晶パネル 1 1 5 に描画する描画回数 n も変更される。

【 0 0 6 0 】

また、タイミングコントローラ 3 1 0 は、部分サブフレーム B 1 の 1 回目の読み出しが完了した直後に、出力部 3 2 2 が第 2 領域 1 4 3 B から部分サブフレーム B 2 を部分サブフレーム B 1 に連続して読み出すように第 2 読出信号を出力部 3 2 2 に出力する。図 3 の (c - 1) 及び (c - 2) に示すように、部分サブフレーム B 1 の 1 回目の読み出し完了タイミングと、部分サブフレーム B 2 の読出開始タイミングとを同期させてもよい。

【 0 0 6 1 】

出力部 3 2 2 は、タイミングコントローラ 3 1 0 から入力される第 2 読出信号に同期して、第 2 領域 1 4 3 B から部分サブフレーム B 2 を 4 回読み出す。出力部 3 2 2 は、部分サブフレーム B 2 を読み出すごとに、読み出した部分サブフレーム B 2 を光変調装置駆動部 1 2 2 に出力する。光変調装置駆動部 1 2 2 には、出力部 3 2 2 から部分サブフレーム B 2 が 4 回入力されるため、液晶パネル 1 1 5 の第 2 画素領域 1 1 5 B には、部分サブフレーム B 2 が 4 回描画される。また、出力部 3 2 2 は、第 1 領域 1 4 3 A の部分サブフレーム B 1 と、第 2 領域 1 4 3 B の部分サブフレーム B 2 とを同時に読み出す。すなわち、部分サブフレーム B 1 の 2 回目の読み出しタイミングと、部分サブフレーム B 2 の 1 回目の読み出しタイミングとは、タイミングが重なる場合がある。あるいは、部分サブフレーム B 1 の 2 回目の読み出しタイミングと、部分サブフレーム B 2 の 1 回目の読み出しタイミングとは、細かいタイミングでは実際には微妙に重ならず、ほぼ同じタイミングで微妙に異なるタイミングで読み出してもよい。

【 0 0 6 2 】

また、タイミングコントローラ 3 1 0 は、部分サブフレーム B 2 の 1 回目の読み出しが完了した直後に、出力部 3 2 2 が第 3 領域 1 4 3 C から部分サブフレーム B 3 を部分サブフレーム B 2 に連続して読み出すように第 3 読出信号を出力部 3 2 2 に出力する。図 3 の (c - 2) 及び (c - 3) に示すように、部分サブフレーム B 2 の 1 回目の読み出し完了タイミングと、部分サブフレーム B 3 の読出開始タイミングとを同期させてもよい。

【 0 0 6 3 】

出力部 3 2 2 は、タイミングコントローラ 3 1 0 から入力される第 3 読出信号に同期して、第 3 領域 1 4 3 C から部分サブフレーム B 3 を 4 回読み出す。出力部 3 2 2 は、部分サブフレーム B 3 を読み出すごとに、読み出した部分サブフレーム B 3 を光変調装置駆動部 1 2 2 に出力する。光変調装置駆動部 1 2 2 には、出力部 3 2 2 から部分サブフレーム B 3 が 4 回入力されるため、液晶パネル 1 1 5 の第 3 画素領域 1 1 5 C には、部分サブフレーム B 3 が 4 回描画される。また、出力部 3 2 2 は、第 1 領域 1 4 3 A の部分サブフレーム B 1 と、第 2 領域 1 4 3 B の部分サブフレーム B 2 と、第 3 領域 1 4 3 C の部分サブフレーム B 3 とを同時に読み出す。すなわち、部分サブフレーム B 1 の 3 回目の読み出しタイミングと、部分サブフレーム B 2 の 2 回目の読み出しタイミングと、部分サブフレーム B 3 の 1 回目の読み出しタイミングとは、タイミングが重なる場合がある。あるいは、部分サブフレーム B 1 の 3 回目の読み出しタイミングと、部分サブフレーム B 2 の 2 回目の読み出しタイミングと、部分サブフレーム B 3 の 1 回目の読み出しタイミングとは、細かいタイミングでは実際には微妙に重ならず、ほぼ同じタイミングで微妙に異なるタイミングで読み出してもよい。

10

【 0 0 6 4 】

また、タイミングコントローラ 3 1 0 は、部分サブフレーム B 3 の 1 回目の読み出しが完了した直後に、出力部 3 2 2 が第 4 領域 1 4 3 D から部分サブフレーム B 4 を部分サブフレーム B 3 に連続して読み出すように第 4 読出信号を出力部 3 2 2 に出力する。図 3 の (c - 3) 及び (c - 4) に示すように、部分サブフレーム B 3 の 1 回目の読み出し完了タイミングと、部分サブフレーム B 4 の読出開始タイミングとを同期させてもよい。

20

【 0 0 6 5 】

出力部 3 2 2 は、タイミングコントローラ 3 1 0 から入力される第 4 読出信号に同期して、第 4 領域 1 4 3 D から部分サブフレーム B 4 を 4 回読み出す。出力部 3 2 2 は、部分サブフレーム B 4 を読み出すごとに、読み出した部分サブフレーム B 4 を光変調装置駆動部 1 2 2 に出力する。光変調装置駆動部 1 2 2 には、出力部 3 2 2 から部分サブフレーム B 4 が 4 回入力されるため、液晶パネル 1 1 5 の第 4 画素領域 1 1 5 D には、部分サブフレーム B 4 が 4 回描画される。また、出力部 3 2 2 は、第 1 領域 1 4 3 A の部分サブフレーム B 1 と、第 2 領域 1 4 3 B の部分サブフレーム B 2 と、第 3 領域 1 4 3 C の部分サブフレーム B 3 と、第 4 領域 1 4 3 D の部分サブフレーム B 4 とを同時に読み出す。すなわち、部分サブフレーム B 1 の 4 回目の読み出しタイミングと、部分サブフレーム B 2 の 3 回目の読み出しタイミングと、部分サブフレーム B 3 の 2 回目の読み出しタイミングと、部分サブフレーム B 4 の 1 回目の読み出しタイミングとは、タイミングが重なる場合がある。あるいは、部分サブフレーム B 1 の 4 回目の読み出しタイミングと、部分サブフレーム B 2 の 3 回目の読み出しタイミングと、部分サブフレーム B 3 の 2 回目の読み出しタイミングと、部分サブフレーム B 4 の 1 回目の読み出しタイミングとは、細かいタイミングでは実際には微妙に重ならず、ほぼ同じタイミングで微妙に異なるタイミングで読み出してもよい。

30

【 0 0 6 6 】

また、画像処理部 1 4 5 は、フレーム B に後続するフレーム C についても同様に処理を行う。

40

【 0 0 6 7 】

また、図 3 に示す (d - 1) ~ (d - 4) には、光変調装置駆動部 1 2 2 が液晶パネル 1 1 5 に描画する画像を示す。

例えば、図 3 に示すタイミング F では、液晶パネル 1 1 5 に、部分サブフレーム C 1、B 2、B 3、B 4 に基づく画像が描画される。つまり、部分サブフレーム C 1、B 2、B 3、B 4 に基づく画像が表示フレーム画像として表示される。また、図 3 に示すタイミング G では、液晶パネル 1 1 5 に、部分サブフレーム C 1、C 2、B 3、B 4 に基づく画像が描画され、表示フレーム画像として表示される。タイミング F からタイミング G までの間に、部分サブフレーム B 1 に基づく画像が部分サブフレーム C 1 に基づく画像に書き換

50

えられる。

【0068】

また、図3に示すタイミングHでは、液晶パネル115に、部分サブフレームC1、C2、C3、B4に基づく画像が描画され、表示フレーム画像として表示される。タイミングGからタイミングHの間に、部分サブフレームB2に基づく画像が部分サブフレームC2に基づく画像に書き換えられる。

【0069】

また、図3に示すタイミングIでは、液晶パネル115に、部分サブフレームC1、C2、C3、C4に基づく画像が描画され、表示フレーム画像として表示される。タイミングHからタイミングIまでの間に、部分サブフレームB3に基づく画像が部分サブフレームC3に基づく画像に書き換えられる。

10

【0070】

また、図3に示すタイミングJでは、液晶パネル115に、部分サブフレームC1、C2、C3、C4に基づく画像が描画され、表示フレーム画像として表示される。タイミングIからタイミングJまでの間に、部分サブフレームB4に基づく画像が部分サブフレームC4に基づく画像に書き換えられる。

【0071】

図4に示す第1画素領域115Aには、第1領域143Aから読み出された部分サブフレーム、すなわち、図3に示す部分サブフレームA1、B1及びC1に基づく画像が描画される。また、第2画素領域115Bには、第2領域143Bから読み出された部分サブフレーム、すなわち、図3に示す部分サブフレームA2、B2及びC2に基づく画像が描画される。また、第3画素領域115Cには、第3領域143Cから読み出された部分サブフレーム、すなわち、図3に示す部分サブフレームA3、B3及びC3に基づく画像が描画される。また、第4画素領域115Dには、第4領域143Dから読み出された部分サブフレーム、すなわち、図3に示す部分サブフレームA4、B4及びC4に基づく画像が描画される。

20

【0072】

図3に示す(c-1)~(c-4)に示すように、出力部322は、フレームメモリ143の第1領域143A、第2領域143B、第3領域143C及び第4領域143Dの各々に並列にアクセスし、各領域から部分サブフレームの画像データを読み出す。出力部322は、読み出した部分サブフレームの画像データを光変調装置駆動部122に出力する。

30

【0073】

光変調装置駆動部122は、図4に示すように1ラインごとに液晶パネル115に画像を描画する。例えば、図3のタイミングFからの描画の処理の手順を以下に説明する。まず、光変調装置駆動部122は、第1画素領域115Aの1ライン目のラインa1に画像を描画する。次に、光変調装置駆動部122は、第2画素領域115Bのxライン目のラインbxに画像を描画する。次に、光変調装置駆動部122は、第3画素領域115Cのyライン目のラインcyに画像を描画する。

40

【0074】

光変調装置駆動部122は、第1画素領域115A~第4画素領域115Dの各領域の1つのラインに画像を描画すると、第1画素領域115A~第4画素領域115Dの各領域の次のラインに順に画像を描画する。すなわち、光変調装置駆動部122は、第1画素領域115Aの2ライン目のラインa2、第2画素領域115Bのx+1ライン目のラインbx+1、第3画素領域115Cのy+1ライン目のラインcy+1の順に描画する。第4画素領域115Dはdnライン、つまり第4画素領域115Dの最終ラインに描画したため、次はラインd1に画像を描画する。

【0075】

また、液晶パネル115の画素領域が第1画素領域115Aと第2画素領域115Bとの2つの画素領域から構成される場合、光変調装置駆動部122は、第1画素領域115

50

Aと第2画素領域115Bとに交互に画像を描画する。

【0076】

図5は、プロジェクター100の動作を示すフローチャートである。

図5に示すフローチャートを参照しながらプロジェクター100の動作を説明する。

まず、制御部150は、画像インターフェース141が画像供給装置200から画像信号を受信したか否かを判定する(ステップS1)。制御部150は、画像インターフェース141が画像信号を受信していない場合(ステップS1/NO)、画像信号を受信するまで処理の開始を待機する。また、制御部150は、画像インターフェース141が画像信号を受信した場合(ステップS1/YES)、画像インターフェース141に、受信した画像信号から画像データや同期信号を取り出させる。

10

【0077】

画像インターフェース141は、画像信号に含まれる垂直同期信号や水平同期信号、画像データを取り出し(ステップS2)、取り出した画像データ、垂直同期信号や水平同期信号を画像処理部145に出力する。また、画像インターフェース141は、取り出した垂直同期信号や水平同期信号を制御部150に出力する。

【0078】

画像処理部145は、タイミングコントローラ310において、入力された垂直同期信号に同期した書込信号を生成し、生成した書込信号を入力部321に出力する。入力部321は、書込信号が入力されると、フレームメモリー143の第1領域143A、第2領域143B、第3領域143C及び第4領域143Dの各領域に画像データを書き込む(ステップS3)。ステップS3は、本発明の「記憶ステップ」に相当する。

20

【0079】

また、タイミングコントローラ310は、PLL回路により垂直同期信号の周波数を逡倍して第1読出信号、第2読出信号、第3読出信号、及び第4読出信号の各信号を生成する(ステップS4)。

【0080】

タイミングコントローラ310は、生成した第1読出信号、第2読出信号、第3読出信号及び第4読出信号を所定のタイミングで出力部322に出力する。出力部322は、第1読出信号、第2読出信号、第3読出信号及び第4読出信号の各信号のタイミングに合わせて第1領域143A~143Dの各領域から部分サブフレームを読み出す(ステップS5)。例えば、第1領域143A~143Dの各領域に、図3に示す部分サブフレームB1~B4が書き込まれている場合を仮定して説明する。出力部322は、入力された第1読出信号に同期して第1領域143Aから部分サブフレームB1を読み出し、光変調装置駆動部122に出力する。また、出力部322は、入力された第2読出信号に同期して第2領域143Bから部分サブフレームB2を読み出し、光変調装置駆動部122に出力する。また、出力部322は、入力された第3読出信号に同期して第3領域143Cから部分サブフレームB3を読み出し、光変調装置駆動部122に出力する。また、出力部322は、入力された第4読出信号に同期して第4領域143Dから部分サブフレームB4を読み出し、光変調装置駆動部122に出力する。

30

【0081】

光変調装置駆動部122は、出力部322から入力された部分サブフレームをライン単位に液晶パネル115に描画する(ステップS6)。ステップS6は、本発明の「描画ステップ」に相当する。また、光源111が発した光が液晶パネル115を透過することで画像光が生成され、生成された画像光が光学ユニット113により投射面105に投射される(ステップS7)。

40

【0082】

次に、制御部150は、画像供給装置200から画像信号の受信が継続しているか否かを判定する(ステップS8)。制御部150は、画像信号の受信が継続している場合(ステップS8/YES)、ステップS2に戻り、受信した画像信号から同期信号や画像データを取り出し、ステップS3以降の処理を再度行なう。また、制御部150は、画像信号

50

の受信が停止した場合（ステップ S 8 / N O）、この処理フローを終了する。

【 0 0 8 3 】

図 6 は、画像処理部 1 4 5 及び光変調装置駆動部 1 2 2 の他の動作タイミングを示す図である。

図 6 の（ c - 1 ）～（ c - 4 ）には、出力部 3 2 2 がフレームメモリー 1 4 3 から部分サブフレーム B 1 及び C 1 の読み出しを開始するタイミングが示される。出力部 3 2 2 は、入力部 3 2 1 が第 1 領域 1 4 3 A に部分サブフレーム B 1 の書き込みを開始した後であって、入力部 3 2 1 が部分サブフレーム B 1 の書き込みを完了する前に、部分サブフレーム B 1 の読み出しを開始する。タイミングコントローラ 3 1 0 は、入力部 3 2 1 が部分サブフレーム B 1 の書き込みを完了する前に、出力部 3 2 2 に第 1 読出信号を出力し、出力部 3 2 2 に、第 1 領域 1 4 3 A に書き込まれた部分サブフレームの読み出しを開始させる。また、出力部 3 2 2 は、第 1 領域 1 4 3 A からサブフレーム B 1 を 4 回連続して読み出し、読み出した部分サブフレーム B 1 を光変調装置駆動部 1 2 2 に出力する。

10

【 0 0 8 4 】

また、出力部 3 2 2 は、部分サブフレーム B 1 の 2 回目の読み出しタイミングに同期して、部分サブフレーム B 2 の 1 回目の読み出しを開始する。出力部 3 2 2 が第 2 領域 1 4 3 B から部分サブフレーム B 2 の読み出しを開始するタイミングは、部分サブフレーム B 2 の第 2 領域 1 4 3 B への書き込みが完了する前であってもよい。タイミングコントローラ 3 1 0 は、入力部 3 2 1 が部分サブフレーム B 2 の書き込みを完了する前に、出力部 3 2 2 に第 2 読出信号を出力し、出力部 3 2 2 に、第 2 領域 1 4 3 B に書き込まれた部分サブフレームの読み出しを開始させる。出力部 3 2 2 は、読み出した部分サブフレーム B 1 及び B 2 を光変調装置駆動部 1 2 2 に出力する。

20

【 0 0 8 5 】

また、出力部 3 2 2 は、部分サブフレーム B 1 の 3 回目の読み出しタイミング、及び部分サブフレーム B 2 の 2 回目の読み出しタイミングに同期して、部分サブフレーム B 3 の 1 回目の読み出しを開始する。出力部 3 2 2 が第 3 領域 1 4 3 C から部分サブフレーム B 3 の読み出しを開始するタイミングは、部分サブフレーム B 3 の第 3 領域 1 4 3 C への書き込みが完了する前であってもよい。タイミングコントローラ 3 1 0 は、入力部 3 2 1 が部分サブフレーム B 3 の書き込みを完了する前に、出力部 3 2 2 に第 3 読出信号を出力し、出力部 3 2 2 に、第 3 領域 1 4 3 C に書き込まれた部分サブフレームの読み出しを開始させる。出力部 3 2 2 は、第 3 領域 1 4 3 C から部分サブフレーム B 3 を読み出す。出力部 3 2 2 は、読み出した部分サブフレーム B 1、B 2 及び B 3 を光変調装置駆動部 1 2 2 に出力する。

30

【 0 0 8 6 】

また、出力部 3 2 2 は、部分サブフレーム B 1 の 4 回目の読み出しタイミング、部分サブフレーム B 2 の 3 回目の読み出しタイミング、及び部分サブフレーム B 3 の 2 回目の読み出しタイミングに同期して部分サブフレーム B 4 の読み出しを開始する。出力部 3 2 2 が第 4 領域 1 4 3 D から部分サブフレーム B 4 の読み出しを開始するタイミングは、部分サブフレーム B 4 の第 4 領域 1 4 3 D への書き込みが完了する前であってもよい。タイミングコントローラ 3 1 0 は、入力部 3 2 1 が部分サブフレーム B 4 の書き込みを完了する前に、出力部 3 2 2 に第 4 読出信号を出力し、出力部 3 2 2 に、第 4 領域 1 4 3 D に書き込まれた部分サブフレームの読み出しを開始させる。出力部 3 2 2 は、第 4 領域 1 4 3 D から部分サブフレーム B 4 を読み出す。出力部 3 2 2 は、読み出した部分サブフレーム B 1、B 2、B 3 及び B 4 を光変調装置駆動部 1 2 2 に出力する。

40

【 0 0 8 7 】

また、出力部 3 2 2 は、フレーム B に後続するフレーム C についても同様に処理する。

【 0 0 8 8 】

また、図 6 に示す（ d - 1 ）には、部分サブフレーム B 1 及び C 1 が液晶パネル 1 1 5 に描画されるタイミングを示す。また、図 6 に示す（ d - 2 ）には、部分サブフレーム B 2 及び C 2 が液晶パネル 1 1 5 に描画されるタイミングを示す。また、図 6 に示す（ d -

50

3)には、部分サブフレームB3及びC3が液晶パネル115に描画されるタイミングを示す。また、図6に示す(d-4)には、部分サブフレームB4及びC4が液晶パネル115に描画されるタイミングを示す。

【0089】

例えば、図6に示すタイミングS、すなわち、部分サブフレームC1の読み出しが開始されたタイミングの直前では、液晶パネル115に、部分サブフレームB1、B2、B3及びB4に基づく画像が描画されており、タイミングS以降に、部分サブフレームC1、B2、B3、及びB4に基づく画像の描画が開始される。

また、図6に示すタイミングT、すなわち部分サブフレームC2の読み出しが開始されるタイミングの直前では、液晶パネル115に、部分サブフレームC1、B2、B3及びB4に基づく画像が描画されている。すなわち、タイミングSからタイミングTの間に、液晶パネル115の第1画素領域115Aに描画される画像が、部分サブフレームB1に基づく画像から部分サブフレームC1に基づく画像に書き換えられる。

【0090】

また、図6に示すタイミングUの直前、すなわち部分サブフレームC3の読み出しが開始されるタイミングの直前では、液晶パネル115に、部分サブフレームC1、C2、B3及びB4に基づく画像が描画されている。すなわち、タイミングTからタイミングUの間に、液晶パネル115の第2画素領域115Bに描画される画像が、部分サブフレームB2に基づく画像から部分サブフレームC2に基づく画像に書き換えられる。

【0091】

また、図6に示すタイミングVの直前、すなわち部分サブフレームC4の読み出しが開始されるタイミングの直前では、液晶パネル115に、部分サブフレームC1、C2、C3及びB4に基づく画像が描画されている。すなわち、タイミングUからタイミングVの間に、液晶パネル115の第3画素領域115Cに描画される画像が、部分サブフレームB3に基づく画像から部分サブフレームC3に基づく画像に書き換えられる。

【0092】

また、図6に示すタイミングWの直前、すなわち部分サブフレームD1の読み出しが開始されるタイミングの直前では、液晶パネル115に、部分サブフレームC1、C2、C3及びC4に基づく画像が描画されている。すなわち、タイミングVからタイミングWの間に、液晶パネル115の第4画素領域115Dに描画される画像が、部分サブフレームB4に基づく画像から部分サブフレームC4に基づく画像に書き換えられる。

【0093】

以上説明したように本実施形態のプロジェクトー100は、液晶パネル115を備える光変調装置112と、フレームメモリー143と、入力部321と、光変調装置駆動部122と、を備える表示装置である。

液晶パネル115は、第1表示領域として第1画素領域115Aを備え、第2表示領域として第2画素領域115Bを備える。

フレームメモリー143は、第1記憶部として第1領域143Aを備え、第2記憶部として第2領域143Bを備える。

入力部321は、入力された画像信号に含まれる画像データを部分サブフレームに分割し、分割した部分サブフレームの各々を第1領域143A及び第2領域143Bに記憶させる。

【0094】

光変調装置駆動部122は、第1領域143A部から読み出された部分サブフレームに基づく画像を第1画素領域115Aに描画する。また、光変調装置駆動部122は、第2領域143Bから読み出された部分サブフレームに基づく画像を第2画素領域115Bに描画する。さらに、光変調装置駆動部122は、倍速処理を実行する。この倍速処理は、画像信号に含まれる同期信号の周波数よりも周波数の高い表示同期信号に同期して部分サブフレームに基づく画像を第1画素領域115A及び第2画素領域115Bの各々に描画する処理である。

10

20

30

40

50

【0095】

入力部321は、第1領域143Aに部分サブフレームを記憶させる処理を開始した後、第2領域143Bに部分サブフレームを記憶させる処理を開始する。光変調装置駆動部122は、入力部321が第2領域143Bに部分サブフレームを記憶させる処理が終了する前に、倍速処理の同期信号である表示同期信号に同期して部分サブフレームに基づく画像の第1画素領域115Aへの描画を開始する。

【0096】

従って、部分サブフレームを第2領域143Bに記憶させる処理の終了を待機することなく、第1領域143Aに記憶させた部分サブフレームに基づく画像が倍速処理によって第1画素領域115Aに描画される。このため、表示の遅延を、より短くすることができる。

10

【0097】

また、プロジェクター100は、タイミングコントローラ310を備える。タイミングコントローラ310は、画像信号に含まれる垂直同期信号の周波数を逡倍した逡倍周波数の表示同期信号を生成し、生成した表示同期信号を光変調装置駆動部122に出力して光変調装置駆動部122に倍速処理を実行させる。

従って、表示される画像の画質を維持し、さらに残像感を軽減することができる。

【0098】

光変調装置駆動部122は、第1領域143Aから読み出された部分サブフレームに基づく画像を、表示同期信号に同期して第1画素領域115Aに複数回描画し、第2領域143Bから読み出された部分サブフレームに基づく画像を、表示同期信号に同期して第2画素領域115Bに複数回描画する。

20

従って、表示される画像のコントラストを維持することができる。

【0099】

また、プロジェクター100は、第1領域143A及び第2領域143Bから部分サブフレームを読み出し、読み出した部分サブフレームの各々を光変調装置駆動部122に出力する出力部322を備える。

タイミングコントローラ310は、逡倍周波数の第1読出信号及び第2読出信号を生成し、生成した第1読出信号及び第2読出信号を出力部322に出力する。

出力部322は、第1読出信号に同期して、第1領域143Aから部分サブフレームを複数回読み出し、第2読出信号に同期して、第2領域143Bから部分サブフレームを複数回読み出す。

30

従って、光変調装置駆動部122により、表示同期信号に同期して、第1画素領域115Aに部分サブフレームを複数回描画し、第2画素領域115Bに部分サブフレームを複数回描画することができ、表示される画像のコントラストを維持することができる。

【0100】

タイミングコントローラ310は、入力部321が、第1領域143Aに部分サブフレームを記憶させる処理が終了する前に、第1読出信号を出力部322に出力し、出力部322に、第1領域143Aに書き込まれた部分サブフレームの読み出しを開始させる。

また、タイミングコントローラ310は、入力部321が、第2領域143Bに部分サブフレームを記憶させる処理が終了する前に、第2読出信号を出力部322に出力し、出力部322に、第2領域143Bに書き込まれた部分サブフレームの読み出しを開始させる。

40

従って、第1領域143Aに部分サブフレームを記憶する処理の終了を待機することなく、第1領域143Aから部分サブフレームの読み出しを開始するので、表示の遅延をより短くすることができる。同様に、第2領域143Bに部分サブフレームを記憶する処理の終了を待機することなく、第2領域143Bから部分サブフレームの読み出しを開始するので、表示の遅延をより短くすることができる。

【0101】

光変調装置駆動部122は、部分サブフレームをライン単位に第1画素領域115A及

50

び第2画素領域115Bに描画し、第1画素領域115A及び第2画素領域115Bへの画像の描画を、1ラインごとに交互に行う。

従って、第1画素領域115A及び第2画素領域115Bへの画像の描画タイミングのズレを軽減することができる。

【0102】

フレームメモリー143は、第1領域143A及び第2領域143Bを含むn個の領域を備える。液晶パネル115は、第1画素領域115A及び第2画素領域115Bを含むn個の画素領域に分割されている。

入力部321は、画像データをn分割してn個の部分サブフレームを生成し、生成したn個の部分サブフレームを液晶パネル115のn個の画素領域に記憶させる。

タイミングコントローラ310は、垂直同期信号の周波数をn倍した周波数の表示同期信号を生成する。

光変調装置駆動部122は、表示同期信号に同期してn個の表示領域の各々に、部分サブフレームに基づく画像を描画する。

従って、フレームメモリー143の領域をn個の領域に分割することで、液晶パネル115のn個の画素領域に、垂直同期信号の周波数をn倍した表示同期信号に同期して画像を描画することができる。このため、画像データをn個に分割し、垂直同期信号のn倍で倍速処理を行い、液晶パネル115に描画することができる。

【0103】

上述した実施形態は、本発明の好適な実施の形態である。ただし、上述の実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々の変形実施が可能である。

例えば、図5に示すフローチャートの処理単位は、プロジェクター100の処理を理解容易にするために、主な処理内容に応じて分割したものである。図5のフローチャートに示す処理単位の分割の仕方や名称によって本発明が制限されることはなく、処理内容に応じて、さらに多くの処理単位に分割することもできるし、1つの処理単位がさらに多くの処理を含むように分割することもできる。また、上記のフローチャートの処理順序も、図示した例に限られるものではない。

【0104】

また、図1及び図2に示した各機能部は機能的構成を示すものであって、具体的な実装形態は特に制限されない。つまり、必ずしも各機能部に個別に対応するハードウェアが実装される必要はなく、一つのプロセッサがプログラムを実行することで複数の機能部の機能を実現する構成とすることも勿論可能である。また、複数のプロセッサが協働して、一つまたは複数の機能部の機能を実現する構成とすることも可能である。さらに、上記実施形態においてソフトウェアで実現される機能の一部をハードウェアで実現してもよく、或いは、ハードウェアで実現される機能の一部をソフトウェアで実現してもよい。その他、プロジェクター100の他の各部の具体的な細部構成についても、本発明の趣旨を逸脱しない範囲で任意に変更可能である。

【0105】

また、本発明の表示装置の制御方法は、表示装置が備えるコンピューターに、表示装置の制御方法に対応したプログラムを実行させることで実現できる。また、このプログラムは、コンピューターで読み取り可能に記録した記録媒体に記録しておくことも可能である。記録媒体としては、磁氣的、光学的記録媒体又は半導体メモリーデバイスを用いることができる。具体的には、フレキシブルディスク、HDD (Hard Disk Drive)、CD-ROM (Compact Disk Read Only Memory)、DVD (Digital Versatile Disk)、Blu-ray (登録商標) Disc、光磁気ディスク、フラッシュメモリー、カード型記録媒体等の可搬型、或いは固定式の記録媒体が挙げられる。また、記録媒体は、画像表示装置が備える内部記憶装置であるRAM (Random Access Memory)、ROM (Read Only Memory)、HDD等の不揮発性記憶装置であってもよい。また、表示装置の制御方法に対応したプログラムをサーバー装置等に記憶させておき、サーバー装置から表示装置に、プロ

10

20

30

40

50

グラムをダウンロードすることで表示装置の制御方法を実現することもできる。

【0106】

また、本発明の表示装置はプロジェクター100に限定されず、液晶パネルに画像を表示する液晶モニター又は液晶テレビを表示装置として採用してもよい。プラズマディスプレイパネル、OLED (Organic Light-Emitting Diode)、OEL (Organic Electro Luminescence) ディスプレイ等の有機EL表示パネルを備えた表示装置を用いてもよい。

【0107】

液晶パネルの概要、表示駆動方法

図7は、液晶パネルの概略構成、および周辺回路を示す概要図である。図8は、液晶パネルにおける画素の等価回路図である。

10

ここでは、液晶パネル115の好適例における表示駆動方法について詳細に説明する。まずは、図7、図8を用いて、液晶パネル115の概要、および液晶パネル115の周辺回路について説明する。

【0108】

液晶パネル115は、素子基板6と、対向基板7とが一定の間隙を保って貼り合わせられるとともに、この間隙に、液晶8が挟持された透過型の液晶パネルである。

素子基板6には、X方向に沿って複数の走査線12が延在し、Y方向に沿って複数のデータ線14が延在している。走査線12と、データ線14との交点には、nチャンネル型のTFT16、画素電極18を含む画素が形成されている。

対向基板7には、透明性を有するコモン電極17が全面に渡って設けられている。コモン電極17には、時間的に一定な電位である電圧Comが印加される。

20

【0109】

図8に示すように、画素は、TFT16、画素電極18、容量素子25などから構成されている。TFT16のゲート電極は走査線12に接続され、ソース電極はデータ線14に接続され、ドレイン電極は画素電極18に接続されている。

容量素子25の一端は画素電極18に接続され、他端は容量線15に接続されている。容量線15は、走査線12と同様、X方向に沿って延在しており、定電位に保たれている。定電位は、例えば、電圧Comとしても良い。

一つの画素において、画素電極18と重なる部分が液晶素子19となる。詳しくは、コモン電極17と、一つの画素電極18との間で液晶8を挟持した部分が、一つの画素における液晶素子19に相当する。なお、図7では、容量素子25、および容量線15の図示を省略している。

30

【0110】

この構成において、走査線12に選択電圧を印加し、TFT16をオンさせるとともに、データ線14からオン状態のTFT16を介して、画素電極18に、階調(明るさ)に応じた電圧のデータ信号を供給する。これにより、選択電圧を印加した走査線12とデータ信号を供給したデータ線14との交差に対応する液晶素子19に、階調に応じた電圧実効値を保持させることができる。これにより、画素ごとに透過率を調整することができる。

なお、プロジェクターの高輝度化に伴い、光源からは強い光が出射される。この光の一部が液晶パネル115に入射すると、TFT16領域において光リーク電流が生じ、画素容量に保持している表示データが時間とともに失われてしまう。表示データの損失はフリッカーや、画素ムラなどの表示不良に繋がるため、画素毎に容量素子25が形成されている。このように、液晶素子19の容量性、および容量素子25により画素容量を確保して、画素電極18に印加された電圧(表示データ)を保持する構成となっている。また、本実施形態では、好適例において、液晶8をVA方式として、液晶素子19が電圧無印加時において黒状態となるノーマリーブラックモードとしている。

40

【0111】

図7に戻る。

光変調装置駆動部122は、走査制御回路20、変換回路30などから構成されている

50

。前述したように、光変調装置駆動部 1 2 2 には、画像処理部 1 4 5 (図 1) から同期信号や画像データが入力される。以降、画像処理部 1 4 5 から供給される同期信号を同期信号 Sync、画像データを画像信号 Vid-in として説明する。

走査制御回路 2 0 には、同期信号 Sync が入力される。好適例において、同期信号 Sync は、6 0 H z を 4 倍した 2 4 0 H z の信号である。走査制御回路 2 0 は、各種の制御信号を生成し、同期信号 Sync に同期して各部を制御する。

変換回路 3 0 には、画像信号 Vid-in が入力される。変換回路 3 0 は、D / A 変換回路を含んで構成されており、デジタルの画像信号 Vid-in を D / A 変換処理して、アナログのデータ信号 Vx を出力する。変換回路 3 0 は、極性反転機能も備えており、正負の極性のデータ信号 Vx を出力可能である。なお、好適例において、画像信号 Vid-in は、同期信号 Sync に同期した 4 倍速表示に対応したデータ信号である。

【 0 1 1 2 】

液晶パネル 1 1 5 には、走査線駆動回路 2 1、およびデータ線駆動回路 3 1 が設けられている。詳しくは、素子基板 6 において、平面的に対向基板 7 から張り出した一辺に設けられた接続部分に、当該回路を内蔵した I C (Integrated Circuit) が C O G (Chip On Glass) 実装されている。または、当該 I C を搭載した F P C (Flexible Printed Circuits) が接続部分に実装される構成であっても良い。

走査線駆動回路 2 1 は、走査制御回路 2 0 から供給される制御信号 Y ctr に従って、1, 2, 3, ..., m 行目の走査線 1 2 に、走査信号 Y 1、Y 2、Y 3、..., Y m を供給する。詳しくは、選択した走査線 1 2 への走査信号を選択電圧 V H (H レベル) とし、それ以外の走査線への走査信号を非選択電圧 V L (L レベル) とする。

【 0 1 1 3 】

データ線駆動回路 3 1 は、変換回路 3 0 から供給されるデータ信号 Vx を、走査制御回路 2 0 からの制御信号 X ctr に従って、1 ~ n 列目のデータ線 1 4 にデータ信号 X 1 ~ X n としてサンプリングする。

なお、走査線 1 2 の選択順は、図 4 で説明した通り、4 つの画素領域において、各領域の 1 つ目のラインに画像を順次描画した後、各領域における次のラインに順に画像を描画する。そして、1 フレームにおいて、各領域に 4 回の描画を行う。これにより、4 領域において、4 倍速の表示駆動が行われる。なお、ラインは、走査線 1 2 に沿った画素行のことである。

さらに、本実施形態では、データ信号 X 1 ~ X n の極性を反転させる極性反転駆動を採用することで、画像品質を向上させている。極性反転駆動については、次に説明する。

【 0 1 1 4 】

*** 極性反転駆動の概要 ***

図 9 は、第 1 画素領域における走査信号のタイミング図、および、データ信号の極性を示す図である。図 1 0 は、第 2 画素領域における走査信号のタイミングチャート、および、データ信号の極性を示す図である。前述の通り、液晶パネル 1 1 5 は、表示領域 (画素領域) を 4 分割し、各表示領域において、4 倍速の表示駆動を行う。なお、投射部 1 1 0 (図 1) が投射する画像は、液晶パネル 1 1 5 の表示領域に表示された画像を拡大したものであるため、液晶パネル 1 1 5 を表示部と読み替えても良い。

図 9 は、第 1 画素領域 1 1 5 A (図 4) における走査信号のタイミングチャートであり、1 フレームを第 1 フィールド ~ 第 4 フィールドの 4 つのフィールドに分けている。図 1 0 は、第 2 画素領域 1 1 5 B (図 4) における走査信号のタイミングチャートであり、同様に、1 フレームを 4 つのフィールドに分けている。なお、フィールドをサブフレームと読み替えても良い。以下、図 9、図 1 0 を主体に、適宜、図 4、図 7 を交えて説明する。

【 0 1 1 5 】

走査線駆動回路 2 1 は、走査制御回路 2 0 (図 7) から供給される制御信号 Y ctr に従って、1, 2, 3, ..., m 行目の走査線 1 2 に対して、走査信号 Y a 1, Y b 1, Y c 1, Y d 1, Y a 2, ..., Y d n を供給する。

なお、走査信号 Y a 1, Y b 1, Y c 1, Y d 1, Y a 2, ..., Y d n は、図 4 のライ

10

20

30

40

50

ン a 1、ライン b 1、ライン c 1、ライン d 1、ライン a 2、...、ライン d nに対応している。詳しくは、ライン a 1に沿った画素行の走査線 1 2 に走査信号 Y a 1 が供給され、ライン b 1に沿った画素行の走査線 1 2 に走査信号 Y b 1 が供給される。同様に、ライン c 1には走査信号 Y c 1 が供給され、ライン d 1には走査信号 Y d 1 が供給され、ライン a 2には走査信号 Y a 2 が供給され、ライン d nには走査信号 Y d n が供給される。

【0116】

図9における走査信号 Y a 1では、第1フィールドの開始タイミングで選択電圧 V H が水平走査期間 H において供給され、以降、第2フィールド～第4フィールドの各開始タイミングにおいて、同様に選択電圧 V H が供給される。以降、選択電圧 V H のことを選択パルスともいう。

第1画素領域 1 1 5 A の第1フィールドにおいて走査信号 Y a 1 の選択パルスが供給されると、次に、第2画素領域 1 1 5 B (図10)の第1フィールドにおいて走査信号 Y b 1 の選択パルスが供給される。同様に、走査信号 Y b 1 の選択パルスに続いて、第3画素領域 1 1 5 C の第1フィールドにおいて走査信号 Y c 1 の選択パルスが供給され、次いで、第4画素領域 1 1 5 D の第1フィールドにおいて走査信号 Y d 1 の選択パルスが供給される。なお、第3画素領域、第4画素領域のタイミング図は省略している。

【0117】

そして、第4画素領域 1 1 5 D の走査信号 Y d 1 の選択パルスに続いて、第1画素領域 1 1 5 A の第1フィールドにおいて走査信号 Y a 2 の選択パルスが供給される。以降、同様に、次の領域における次のラインが順次選択され、第4画素領域 1 1 5 D のライン d n が選択されると第1フィールドにおける書込みが終了し、続いて、第2フィールドにおける書込みが始まる。第2フィールドにおける書込みに続けて、順次、第3フィールド、第4フィールドの書込みが行われる。

【0118】

第1フィールドにおいて、走査信号 Y a 1 により選択パルスが供給されると、変換回路 3 0 (図7)から供給されるデータ信号 V x が、1行目1列～1行目 n 列の画素電極 1 8 に印加される。ここで、第1フィールドで供給されるデータ信号 V x は、正極性としている。また、実際にデータ信号 V x が供給される期間を有効水平走査期間 H a としている。

なお、図9において、データ信号 V x が正極性であれば、基準電圧 V cnt に対し、変換回路 3 0 によって処理された階調レベルに応じた分だけ高位側の電圧(図において で示す)となる。負極性であれば、基準電圧 V cnt に対し、階調レベルに応じた分だけ低位側の電圧(図において で示す)となる。

また、ノーマリーブラックモードの場合、正極性であれば、データ信号 V x は、白に相当する電圧 V w (+) から黒に相当する電圧 V b (+) までの間の電圧であり、基準電圧 V cnt から階調に応じた分だけ偏位させた電圧となる。負極性であれば、データ信号 V x は、白に相当する電圧 V w (-) から黒に相当する電圧 V b (-) までの間の電圧となる。

以下、同様に、第1フィールドにおいて、走査信号 Y a 2 ~ 走査信号 Y a n の選択電圧 V H の供給に伴い、正極性のデータ信号 V x が、対応する画素の画素電極 1 8 に印加される。

【0119】

図9に示すように、第2フィールドにおいては、データ信号 V x を負極性としている。そして、図示は省略するが、次の第3フィールドではデータ信号 V x を正極性とし、第4フィールドではデータ信号 V x を負極性とする。つまり、サブフレームごとに、データ信号 V x を正極性と負極性とに交互に切り替える極性反転駆動としている。正極性は第1の極性に相当し、負極性は第2の極性に相当する。なお、正負を入れ替えても良い。

このように、第1画素領域 1 1 5 A における極性反転駆動は、奇数フィールドでは正極性、偶数フィールドでは負極性の書込みパターンを採用している。なお、図示は省略するが、第3画素領域 1 1 5 C においても同様の極性書込みパターンとしている。

つまり、奇数の画素領域においては、奇数フィールドでは正極性、偶数フィールドでは負極性の書込みパターンを採用している。

10

20

30

40

50

【0120】

これに対して、偶数の画素領域においては、奇数フィールドでは負極性、偶数フィールドでは正極性の書込みパターンを採用している。詳しくは、図10に示すように、第2画素領域115Bにおいては、第1フィールドで供給されるデータ信号Vxが負極性となっている。第2フィールドにおけるデータ信号Vxは正極性となる。そして、図示は省略するが、次の第3フィールドではデータ信号Vxを負極性とし、第4フィールドではデータ信号Vxを正極性とする。つまり、第2画素領域115Bにおける極性反転駆動は、第1画素領域115Aの極性反転駆動における極性を反転した極性パターンとなっている。また、図示は省略するが、第4画素領域115Dにおいても同様の極性パターンとしている。

10

【0121】

*** 極性反転駆動の詳細 ***

図11は、各画素領域における極性パターンを示すタイミング図であり、図3、図6に対応している。図12は、各画素領域における書込み状態を連続するサブフレームに渡る時間経過とともに示した図である。なお、図3、図6での説明と重複する説明は省略し、相違点を中心に説明する。

【0122】

図11に示すように、第1画素領域115A、および、第3画素領域115Cにおいては、正極性の書込みから開始し、次いで負極性の書込みを行う。以降、この正極性/負極性の書込みを1周期として、繰り返し書込みを行う。書込みとは、各画素電極18(図7)へのデータ信号の印加を指す。なお、実際のデータ信号は、図9で説明した通り、画素ごとに異なる階調の電圧となるが、図11では、簡略化して極性のみを示している。

20

また、正極性/負極性の切替は、垂直同期信号の周波数を逡倍した読出信号に同期させている。好適例において読出信号は、垂直同期信号の周波数を60Hzとしたときに、4倍の240Hzの周波数の信号としている。なお、垂直同期信号の周波数を逡倍した信号であれば良く、例えば、表示同期信号に同期させても良い。

【0123】

他方、第2画素領域115B、および、第4画素領域115Dにおいては、負極性の書込みから開始し、次いで正極性の書込みを行う。以降、この負極性/正極性の書込みを1周期として、繰り返し書込みを行う。

30

このように、偶数画素領域における極性反転駆動の極性パターンは、奇数画素領域における極性反転駆動の極性パターンを反転した極性パターンとなっている。

【0124】

図12は、各画素領域における書込み状態を連続するサブフレームに渡る時間経過とともに示した図である。縦軸は4つの画素領域を示しており、横軸は時間経過を示している。

なお、各画素領域は、マトリックス状に配置された複数の画素からなる一様な表示領域を、複数の画素行(ライン)単位で4つに区分けした部分領域なので、各画素領域間には境界線は存在せず、各画素領域は隣接している。例えば、第1画素領域115Aと、第2画素領域115Bとは、Y方向において隣接している。詳しくは、第1画素領域115Aのラインa_nにおける画素行と、第2画素領域115Bのラインb₁における画素行とは、Y方向において隣接しているが、両者の間に物理的な境界はなく、領域内の画素行と同様な画素行である。他の画素領域、および、各画素領域間においても同様である。

40

第1画素領域115Aにおいて、第1フィールドでは、ラインa₁から正極性の書込みが行われる。同様に、ラインa₂~ラインa_nにおいても、正極性の書込みが行われる。書込まれた正極性の電圧は、第2フィールドでの書込みが行われるまで保持される。

なお、ここでは、極性パターンを説明するために、第1画素領域115Aだけに着目して説明している。実際に、4つの画素領域に渡って書込む際には、図4で説明した通り、第1画素領域115Aのラインa₁を書込んだ後は、第2画素領域115Bのラインb₁を書込み、次いで第3画素領域115Cのラインc₁、第4画素領域115Dのラインd

50

1の順に書込みが行われる。

【0125】

第2画素領域115Bにおいて、第1フィールドでは、ラインb1から負極性の書込みが行われる。同様に、ラインb2～ラインbnにおいても、負極性の書込みが行われる。書込まれた負極性の電圧は、第2フィールドでの書込みが行われるまで保持される。

第3画素領域115Cにおいて、第1フィールドでは、ラインc1から正極性の書込みが行われる。同様に、ラインc2～ラインcnにおいても、正極性の書込みが行われる。書込まれた正極性の電圧は、第2フィールドでの書込みが行われるまで保持される。

第4画素領域115Dにおいて、第1フィールドでは、ラインd1から負極性の書込みが行われる。同様に、ラインd2～ラインdnにおいても、負極性の書込みが行われる。書込まれた負極性の電圧は、第2フィールドでの書込みが行われるまで保持される。

10

【0126】

第2フィールドにおいて、第1画素領域115Aのラインa1～ラインanには、負極性の書込みが行われ、書込まれた電圧は次の書込みが行われるまで保持される。

第2フィールドにおいて、第2画素領域115Bのラインb1～ラインbnには、正極性の書込みが行われ、書込まれた電圧は次の書込みが行われるまで保持される。

第2フィールドにおいて、第3画素領域115Cのラインc1～ラインcnには、負極性の書込みが行われ、書込まれた電圧は次の書込みが行われるまで保持される。

第2フィールドにおいて、第4画素領域115Dのラインd1～ラインdnには、正極性の書込みが行われ、書込まれた電圧は次の書込みが行われるまで保持される。

20

【0127】

同様に、第1画素領域115Aにおいて、第3フィールドでは正極性、第4フィールドでは負極性の書込みが行われる。

第2画素領域115Bにおいて、第3フィールドでは負極性、第4フィールドでは正極性の書込みが行われる。

第3画素領域115Cにおいて、第3フィールドでは正極性、第4フィールドでは負極性の書込みが行われる。

第4画素領域115Dにおいて、第3フィールドでは負極性、第4フィールドでは正極性の書込みが行われる。

【0128】

30

*** 極性反転駆動による効果 ***

図13は、比較例における各画素領域の書込み状態を連続するサブフレームに渡る時間経過とともに示した図であり、図12と対応している。

ここでは、図12で説明した本実施形態に係る表示駆動方法の効果について、図13の比較例の駆動方法と比較して説明する。

【0129】

図13は、比較例における極性駆動方法の極性パターンを示している。第1画素領域115Aへの書込み極性パターンは図12と同じであるが、第2画素領域115Bへの書込み極性パターンは図12と異なる。詳しくは、図13の第2画素領域115Bへの書込み極性パターンは、第1画素領域115Aへの書込み極性パターンと同じになっており、第1フィールドは正極性で、第2フィールドは負極性となっている。

40

【0130】

同様に、図13の第4画素領域115Dへの書込み極性パターンも、第1画素領域115Aへの書込み極性パターンと同じになっている。つまり、奇数の画素領域と偶数の画素領域とで極性パターンが反転している図12と異なり、図13の比較例では4つの画素領域全てが、第1画素領域115Aへの書込み極性パターンとなっている。換言すれば、図13の比較例では4つの画素領域共に、第1フィールドは正極性で、第2フィールドは負極性となる極性パターンとなっている。

【0131】

図13において、第2画素領域115Bのラインb1に、第1フィールドにて書込みす

50

る場合について説明する。第1フィールドでは、第2画素領域115Bのラインb1における各画素（画素行）には、正極性のデータ信号が印加される。この際、第1画素領域115Aのラインanにおける各画素（画素行）には、負極正の電圧が保持されている。

【0132】

ここで、ラインanにおける画素行と、ラインb1における画素行とは、Y方向において隣接している。つまり、負極正の画素行と、正極性の画素行とが、隣接することになるため、両者間の電圧ギャップにより、表示不良が生じてしまう。また、第2フィールドにおいても、ラインanの画素行は正極性、ラインb1の画素行は負極性となり、第1フィールドとは極性が入れ替るが、同様に、正極性の画素行と、負極性の画素行とが隣接してしまう。この現象は、第3フィールド、第4フィールドにおいても同様に生じる。

10

つまり、第1画素領域115Aと、第2画素領域115Bとの境界の画素行において、表示不良が発生してしまうという問題があった。

【0133】

前述したように、図13の比較例では4つの画素領域全てが、第1画素領域115Aへの書込み極性パターンとなっているため、画素領域間の境界における表示不良は、他の境界においても発生する。詳しくは、第2画素領域115Bと第3画素領域115Cとの境界、および、第3画素領域115Cと、第4画素領域115Dとの境界においても、表示不良が生じてしまう。この現象は、1フレームに渡って生じているため、次のフレームで画像が書き換えられても改善されないため、4分割駆動で極性反転駆動を行う際には大きな問題であった。

20

【0134】

図12に戻る。

これに対して、本実施形態の表示駆動方法における極性パターンによれば、画素領域間の境界における表示不良は発生しない。詳しくは、第2画素領域115Bのラインb1に第1フィールドにて書込みする場合、第2画素領域115Bのラインb1における画素行には、負極性のデータ信号が印加される。この際、第1画素領域115Aのラインanにおける画素行にも、負極正の電圧が保持されている。よって、両者の極性は一致するため、電圧ギャップによる表示不良は発生しない。

さらに、第2フィールドにおいても、ラインanの画素行は正極性、ラインb1の画素行も正極性となり、極性は一致する。第3フィールド、第4フィールドにおいても同様に、極性は一致する。

30

【0135】

同様に、第2画素領域115Bのラインbnにおける画素行と、第3画素領域115Cのラインc1における画素行との間においても、各サブフレームともに、電圧の極性は一致している。第3画素領域115Cのラインcnにおける画素行と、第4画素領域115Dのラインd1における画素行との間においても、各サブフレームともに、電圧の極性は一致している。

つまり、4つの画素領域における3ヶ所の画素領域間の境界において、各サブフレームともに、電圧の極性は一致している。

【0136】

40

以上述べた通り、本実施形態における表示駆動の制御方法によれば、液晶パネル115の表示領域を4分割した4つの画素領域において、それぞれ4倍速の表示駆動が行われる。

よって、1フレーム以上の遅延が発生していた従来の制御方法と異なり、本実施形態の制御方法によれば、1フレーム分のデータの蓄積を待たずに画像処理を行うことなどにより、表示の遅延を、より短くすることができる。さらに、4倍速駆動により、表示される画像のコントラストや、画質を維持するとともに、残像感を軽減することができる。

【0137】

さらに、データ信号の極性を反転させる極性反転駆動を採用したことにより、画像品質を向上させることができる。詳しくは、光変調装置駆動部122は、第1画像データに基

50

づく画像を第1画素領域115Aに、正極性の電圧で描画することを開始してから、第1画像データに基づく画像を第1画素領域115Aに描画し終えるまでの間に、第1画像データに基づく画像の少なくとも一部を、負極性の電圧で第2画素領域115Bに描画する。そして、第2画像データに基づく画像を第2画素領域115Bに、負極性の電圧で描画することを開始してから、第2画像データに基づく画像を第2画素領域115Bに描画し終えるまでの間に、第3画像データに基づく画像の少なくとも一部を、正極性の電圧で第3表示領域としての第3画素領域115Cに描画する。特に、偶数画素領域における極性反転駆動の極性パターンを、奇数画素領域における極性反転駆動の極性パターンを反転した極性パターンとすることで、画素領域間の境界における表示不良を抑制している。

従って、表示の遅延が少なく、高品質な画像を実現した、4領域×4倍速の表示駆動の制御方法を提供することができる。

【0138】

変形例

図11を用いて説明する。

上記実施形態では、第1画素領域115A、第3画素領域115Cにおいては、正極性の書込みから開始し、次いで負極性の書込みを行い、第2画素領域115B、第4画素領域115Dにおいては負極性の書込みから開始し、次いで正極性の書込みを行うものとして説明したが、これに限定するものではない。偶数画素領域における極性反転駆動の極性パターンと、奇数画素領域における極性反転駆動の極性パターンとが、異なっていれば良い。例えば、第1画素領域115A、第3画素領域115Cにおいては、負極性の書込みから開始し、次いで正極性の書込みを行い、第2画素領域115B、第4画素領域115Dにおいては正極性の書込みから開始し、次いで負極性の書込みを行う、極性パターンであっても良い。

この方法であっても、極性の異なる2つの画素行が隣接することはないため、上記実施形態と同様に、画素領域間の境界における表示不良を抑制することができる。

【符号の説明】

【0139】

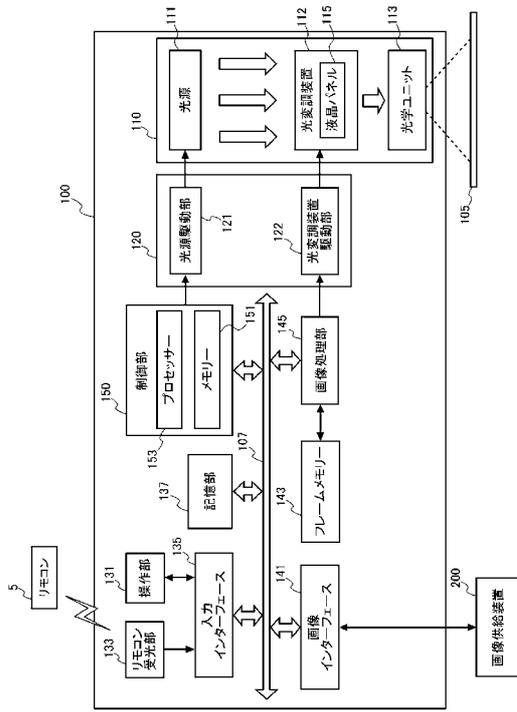
5...リモコン、100...プロジェクター(表示装置)、105...投射面、107...バス、110...投射部、111...光源、112...光変調装置、113...光学ユニット、115...液晶パネル(表示部)、120...駆動部、121...光源駆動部、122...光変調装置駆動部(表示制御部)、131...操作部、133...リモコン受光部、135...入力インターフェース、137...記憶部、141...画像インターフェース、143...フレームメモリ(第1記憶部、第2記憶部)、143A...第1領域、143B...第2領域、143C...第3領域、143D...第4領域、145...画像処理部、150...制御部、151...メモリ、153...プロセッサ、200...画像供給装置、310...タイミングコントローラ、320...フレームレート変換部、321...入力部、322...出力部、12...走査線、14...データ線、15...容量線、16...TFT、17...コモン電極、18...画素電極、19...液晶素子、20...走査制御回路、21...走査線駆動回路、25...容量素子、30...変換回路、31...データ線駆動回路。

10

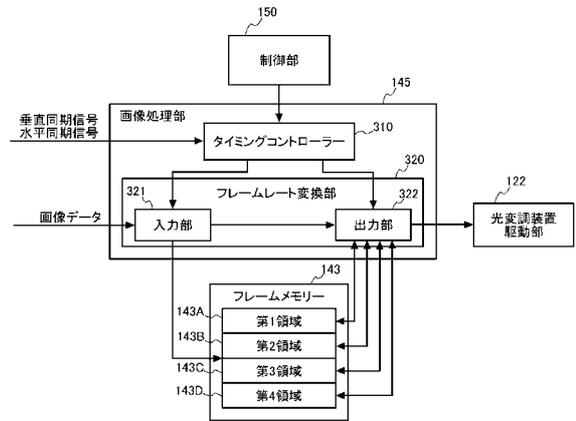
20

30

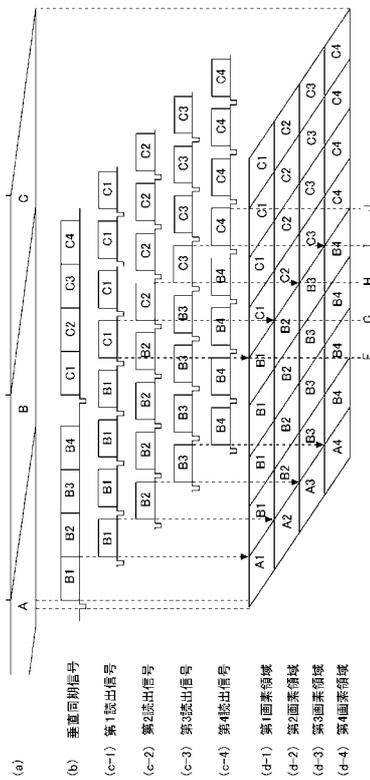
【図 1】



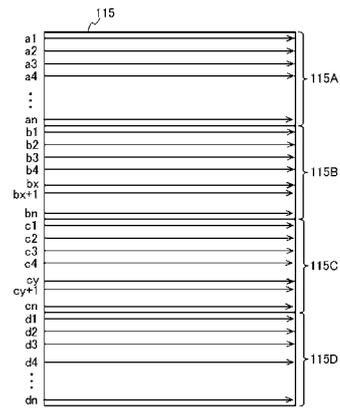
【図 2】



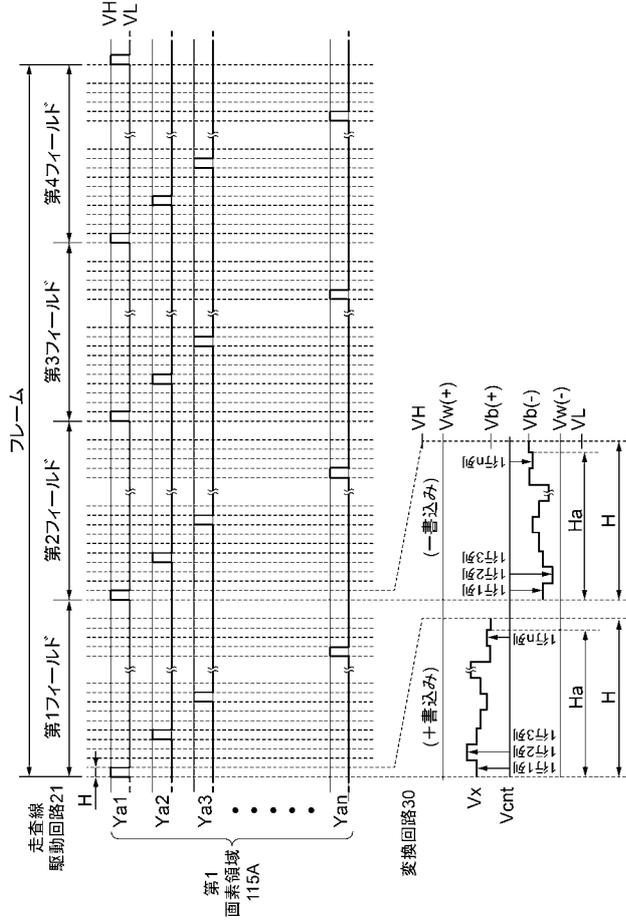
【図 3】



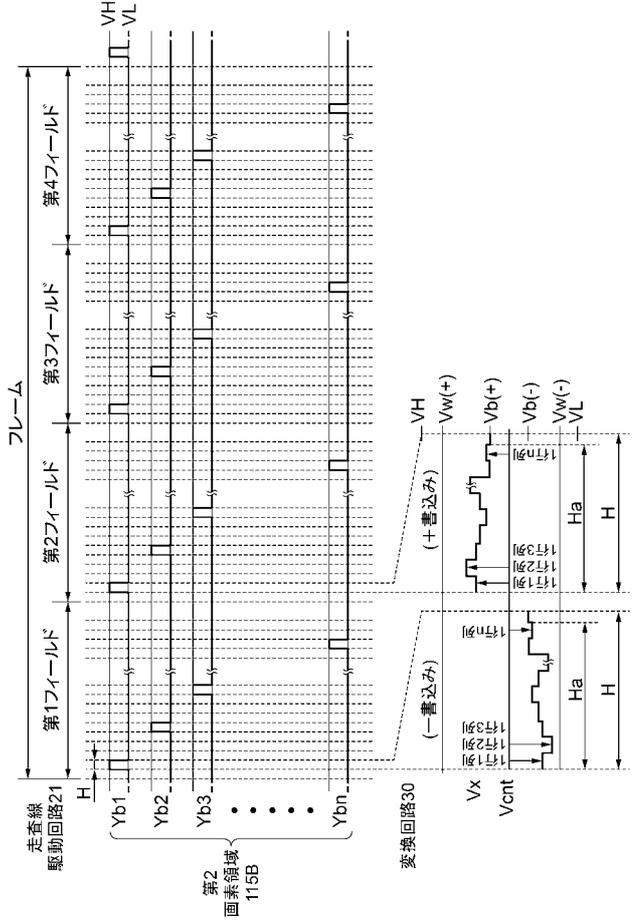
【図 4】



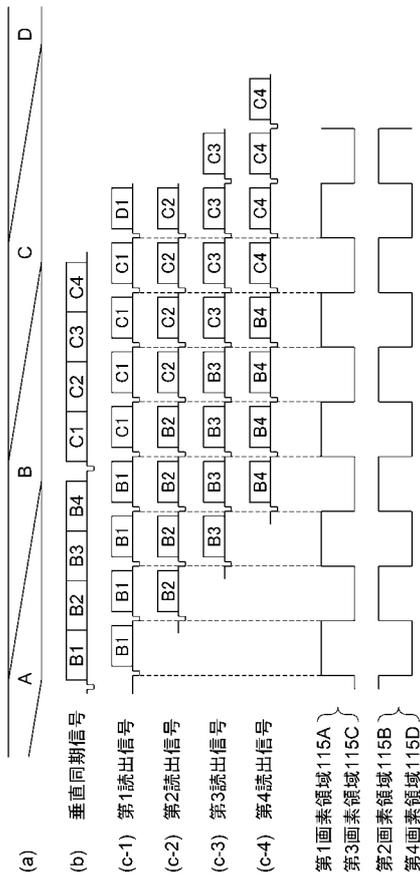
【 図 9 】



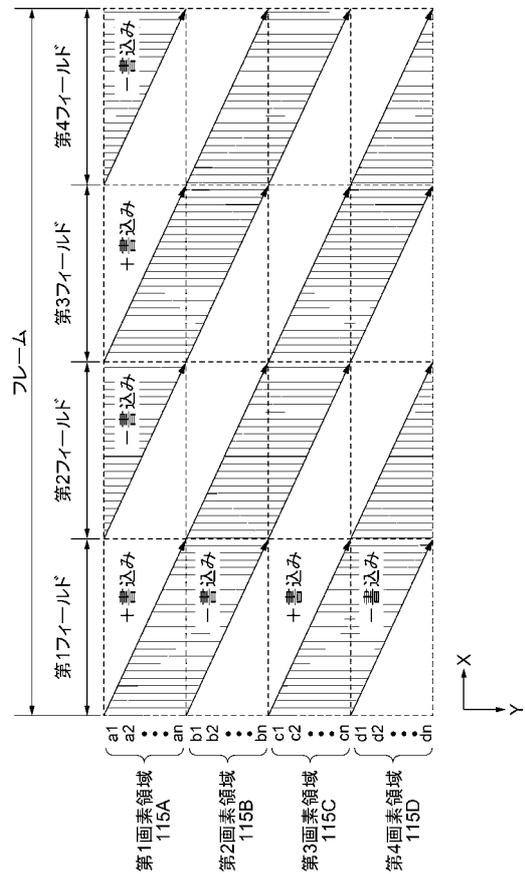
【 図 10 】



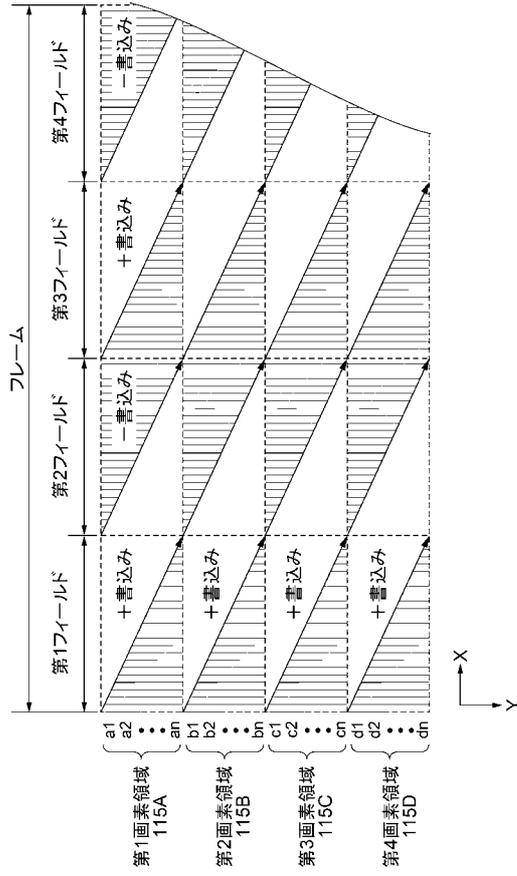
【 図 11 】



【 図 12 】



【 図 1 3 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 1 A
G 0 9 G	3/20	6 1 2 L
G 0 9 G	3/20	6 2 1 E
G 0 9 G	3/20	6 2 1 F
G 0 9 G	3/20	6 3 1 C
G 0 9 G	3/20	6 2 2 K
H 0 4 N	7/01	2 7 0
H 0 4 N	5/66	1 0 2 B
H 0 4 N	7/01	0 5 0

F ターム(参考) 5C006 AA02 AB01 AC22 AC28 AF02 AF03 AF04 AF05 AF06 AF42
 AF44 AF47 AF71 AF83 BB16 BC03 BC11 BF15 EA01 EB05
 EC11 FA12 FA16 FA22 FA23 FA34 FA36 FA54
 5C058 BA02 BA04 BA25 BA35
 5C063 CA05 CA14 CA16
 5C080 AA05 AA06 AA10 BB05 DD02 DD05 DD06 DD08 DD25 EE19
 EE21 EE28 FF11 GG15 GG17 JJ02 JJ03 JJ04 JJ07

专利名称(译)	显示装置及显示装置的控制方法		
公开(公告)号	JP2020079938A	公开(公告)日	2020-05-28
申请号	JP2019202166	申请日	2019-11-07
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	塩原隆一		
发明人	塩原 隆一		
IPC分类号	G09G3/36 G09G3/20 H04N7/01 H04N5/66		
FI分类号	G09G3/36 G09G3/20.680.C G09G3/20.631.B G09G3/20.631.Q G09G3/20.650.J G09G3/20.621.A G09G3/20.612.L G09G3/20.621.E G09G3/20.621.F G09G3/20.631.C G09G3/20.622.K H04N7/01.270 H04N5/66.102.B H04N7/01.050		
F-TERM分类号	5C006/AA02 5C006/AB01 5C006/AC22 5C006/AC28 5C006/AF02 5C006/AF03 5C006/AF04 5C006/AF05 5C006/AF06 5C006/AF42 5C006/AF44 5C006/AF47 5C006/AF71 5C006/AF83 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BF15 5C006/EA01 5C006/EB05 5C006/EC11 5C006/FA12 5C006/FA16 5C006/FA22 5C006/FA23 5C006/FA34 5C006/FA36 5C006/FA54 5C058/BA02 5C058/BA04 5C058/BA25 5C058/BA35 5C063/CA05 5C063/CA14 5C063/CA16 5C080/AA05 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD02 5C080/DD05 5C080/DD06 5C080/DD08 5C080/DD25 5C080/EE19 5C080/EE21 5C080/EE28 5C080/FF11 5C080/GG15 5C080/GG17 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ07		
代理人(译)	渡边和明 矶部光宏 仲井 智至 松冈广树		
优先权	2018212774 2018-11-13 JP		
外部链接	Espacenet		

摘要(译)

解决的问题：缩短显示设备中的显示延迟。提供了用于在液晶面板115上绘制图像的光学调制装置驱动单元122和用于存储每个部分子帧的帧存储器143。执行以倍增的绘制频率在液晶面板115的第一像素区域115A至第四像素区域115D中的每一个处绘制图像的双速处理，并且帧存储器143的第二区域143B改变为第一区域143A。在开始部分子帧的写入之后，开始部分子帧的写入，并且光调制器驱动单元122被配置为在完成部分子帧的写入之前将部分子帧写入第二区域143B。在完成对第一区域143A的写入的时刻，在液晶面板115的第一像素区域115A中绘制部分子帧。[选择图]图2

