

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2016-9029

(P2016-9029A)

(43) 公開日 平成28年1月18日 (2016.1.18)

|                                       |                |             |
|---------------------------------------|----------------|-------------|
| (51) Int.Cl.                          | F I            | テーマコード (参考) |
| <b>G09G 3/36 (2006.01)</b>            | G09G 3/36      | 2H193       |
| <b>G09G 3/20 (2006.01)</b>            | G09G 3/20 612T | 5C006       |
| <b>G02F 1/133 (2006.01)</b>           | G09G 3/20 611J | 5C080       |
|                                       | G09G 3/20 622C |             |
|                                       | G09G 3/20 622D |             |
| 審査請求 未請求 請求項の数 10 O L (全 17 頁) 最終頁に続く |                |             |

|           |                              |            |                                |
|-----------|------------------------------|------------|--------------------------------|
| (21) 出願番号 | 特願2014-128509 (P2014-128509) | (71) 出願人   | 000005049                      |
| (22) 出願日  | 平成26年6月23日 (2014. 6. 23)     |            | シャープ株式会社                       |
|           |                              |            | 大阪府大阪市阿倍野区長池町22番22号            |
|           |                              | (74) 代理人   | 100114557                      |
|           |                              |            | 弁理士 河野 英仁                      |
|           |                              | (74) 代理人   | 100078868                      |
|           |                              |            | 弁理士 河野 登夫                      |
|           |                              | (72) 発明者   | 高橋 和樹                          |
|           |                              |            | 大阪府大阪市阿倍野区長池町22番22号            |
|           |                              |            | シャープ株式会社内                      |
|           |                              | F ターム (参考) | 2H193 ZA04 ZA05 ZC25 ZD02 ZD12 |
|           |                              |            | ZD23 ZE10 ZF05 ZF12 ZF16       |
|           |                              |            | 5C006 AC24 AF50 AF73 BB16      |
|           |                              |            | 5C080 AA10 BB05 DD01 FF11 JJ02 |
|           |                              |            | JJ04                           |

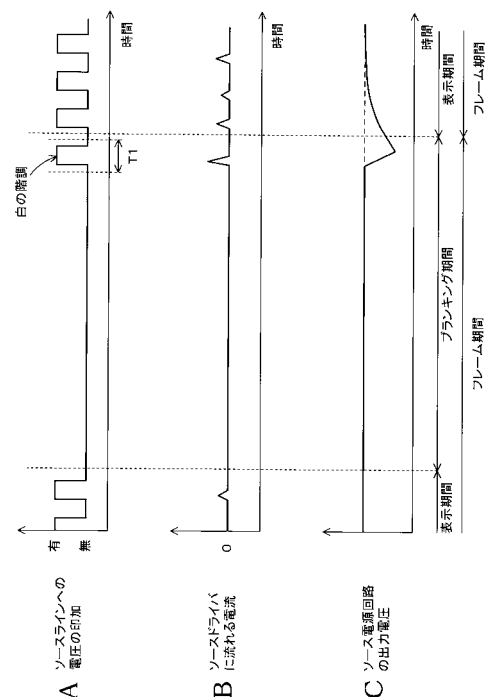
(54) 【発明の名称】 表示駆動装置、表示装置、表示駆動方法

## (57) 【要約】

【課題】液晶パネルに設けられた信号線の浮遊容量に起因する表示品位の低下を抑制する表示駆動装置、表示装置、及び表示駆動方法を提供する。

【解決手段】共通電極と、複数の画素電極、各画素電極に接続された複数のスイッチング素子、及び該複数のスイッチング素子に接続された複数の信号線とを対向配置してなる液晶パネルの前記スイッチング素子全てをオフ状態にするブランキング期間を周期的に設けるようにしてある表示駆動装置は、前記ブランキング期間における一部の時間内に、前記共通電極との電位差がゼロよりも大きい所定の電圧を前記信号線に印加する電圧印加部を備える。

【選択図】 図4



**【特許請求の範囲】****【請求項 1】**

共通電極と、複数の画素電極、各画素電極に接続された複数のスイッチング素子、及び該複数のスイッチング素子に接続された複数の信号線とを対向配置してなる液晶パネルの前記スイッチング素子全てをオフ状態にするブランキング期間を周期的に設けるようにしてある表示駆動装置において、

前記ブランキング期間における一部の時間内に、前記共通電極との電位差がゼロよりも大きい所定の電圧を前記信号線に印加する電圧印加部を備えること

を特徴とする表示駆動装置。

**【請求項 2】**

前記一部の時間の終点は、前記ブランキング期間の終期前における所定時間間隔内にあ

ることを特徴とする請求項 1 に記載の表示駆動装置。

**【請求項 3】**

前記電圧印加部は、前記一部の時間内に、前記複数の信号線夫々に前記所定の電圧を 1 回に限り印加すること

を特徴とする請求項 1 又は 2 に記載の表示駆動装置。

**【請求項 4】**

前記電圧印加部は、前記一部の時間に亘り、前記所定の電圧を前記複数の信号線夫々に反復的に印加するようにしてあること

を特徴とする請求項 1 又は 2 に記載の表示駆動装置。

**【請求項 5】**

前記電圧印加部は、前記ブランキング期間における残部の時間には、前記信号線に電圧を印加しないようにしてあること

を特徴とする請求項 1 から 4 までの何れか一つに記載の表示駆動装置。

**【請求項 6】**

請求項 1 から 5 までの何れか一つに記載の表示駆動装置と、

共通電極と、複数の画素電極、各画素電極に接続された複数のスイッチング素子、及び該複数のスイッチング素子に接続された複数の信号線とを対向配置してなる液晶パネルとを備え、

前記表示駆動装置は、前記液晶パネルの信号線に電圧を印加するようにしてあることを特徴とする表示装置。

**【請求項 7】**

前記液晶パネルは、前記共通電極及び画素電極間に電位差が生じていないとき、黒表示を行うように構成されており、

前記電圧印加部は、前記一部の時間内に、中間調よりも白側の階調を表す電圧を前記所定の電圧として、前記信号線に印加するようにしてあること

を特徴とする請求項 6 に記載の表示装置。

**【請求項 8】**

前記電圧印加部は、前記一部の時間内に、白の階調を表す電圧を前記所定の電圧として、前記信号線に印加するようにしてあること

を特徴とする請求項 7 に記載の表示装置。

**【請求項 9】**

前記表示駆動装置は、前記ブランキング期間の周期間に、前記液晶パネルに表示すべき画像の表示に応じた電圧を前記信号線に印加するようにしてあり、

前記電圧印加部は、前記ブランキング期間終了後、最初に信号線に印加される電圧を前記所定の電圧として、信号線に印加するようにしてあること

を特徴とする請求項 6 に記載の表示装置。

**【請求項 10】**

共通電極と、複数の画素電極、各画素電極に接続された複数のスイッチング素子、及び

10

20

30

40

50

該複数のスイッチング素子に接続された複数の信号線とを対向配置してなる液晶パネルの前記スイッチング素子全てをオフ状態にするブランキング期間を周期的に設けるようにしてある表示駆動方法において、

前記ブランキング期間の一部の時間内に、前記共通電極との電位差がゼロよりも大きい所定の電圧を信号線に印加すること

を特徴とする表示駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶パネルを駆動する表示駆動装置及び表示駆動方法に関する。また、当該表示駆動装置を備える表示装置に関する。

【背景技術】

【0002】

従来、液晶パネルと当該液晶パネルの表示を駆動する表示駆動装置とを備えた表示装置が知られている。一般に、液晶パネルは、共通電極を有する基板と、複数の画素電極、各画素電極に接続された複数のスイッチング素子、及び当該複数のスイッチング素子に接続された複数の信号線を有する基板との間に液晶物質が封入されている。

【0003】

表示駆動装置は、液晶パネルの表示面に画像を表示させるべく、当該液晶パネルに設けられたスイッチング素子のオン/オフ、信号線への電圧の印加等の制御を行っている。具体的には表示駆動装置は、一又は複数のスイッチング素子を順次オン状態にし、オン状態のスイッチング素子に接続された信号線を介して、表示させる画像に応じた電圧を当該オン状態のスイッチング素子に印加する。また、表示駆動装置は、各スイッチング素子に画像に係る電圧を印加した後、所定時間に亘り、スイッチング素子全てをオフ状態にし、当該スイッチング素子に接続された信号線に所定の電圧を印加する。所定時間は、所謂ブランキング期間を表す時間である。例えば、特許文献1に記載の表示装置で使用される表示駆動装置は、ブランキング期間中、黒の階調を表す電圧を信号線に印加する。以上のような表示駆動装置は、各スイッチング素子に画像に係る電圧を印加する時間と、ブランキング期間を表す時間とが交互に繰り返されるように電圧を印加することで、液晶パネルの表示面に静止画又は動画を表示させる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2008-268887号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

一般に、液晶パネルに設けられた各信号線には、周囲の共通電極、画素電極、他の信号線等との間に浮遊容量が存在する。当該浮遊容量は、ブランキング期間中に放電等に起因して蓄電可能な状態となっている。そのため、ブランキング期間終了後に各信号線に比較的高い電圧が印加された場合、各浮遊容量へ蓄えられる電荷が増大することで各信号線に比較的大きな電流が流れ、各信号線に電圧を印加するための電源の出力電圧が一時的に低下する虞がある。電源の出力電圧が低下した場合、次に印加すべき電圧よりも低い電圧が各信号線に印加されることで表示されるべき階調の画像を表示することができず、表示品位が低下する虞がある。

【0006】

本発明は斯かる事情に鑑みてなされたものであり、その目的は、液晶パネルに設けられた信号線の浮遊容量に起因する表示品位の低下を抑制する表示駆動装置、表示装置、及び表示駆動方法を提供することにある。

【課題を解決するための手段】

## 【 0 0 0 7 】

本発明に係る表示駆動装置は、共通電極と、複数の画素電極、各画素電極に接続された複数のスイッチング素子、及び該複数のスイッチング素子に接続された複数の信号線とを対向配置してなる液晶パネルの前記スイッチング素子全てをオフ状態にするブランキング期間を周期的に設けるようにしてある表示駆動装置において、前記ブランキング期間における一部の時間内に、前記共通電極との電位差がゼロよりも大きい所定の電圧を前記信号線に印加する電圧印加部を備えることを特徴とする。

## 【 0 0 0 8 】

本発明に係る表示駆動装置は、前記一部の時間の終点は、前記ブランキング期間の終期前における所定時間間隔内にあることを特徴とする。

10

## 【 0 0 0 9 】

本発明に係る表示駆動装置は、前記電圧印加部は、前記一部の時間内に、前記複数の信号線夫々に前記所定の電圧を1回に限り印加することを特徴とする。

## 【 0 0 1 0 】

本発明に係る表示駆動装置は、前記電圧印加部は、前記一部の時間に亘り、前記所定の電圧を前記複数の信号線夫々に反復的に印加するようにしてあることを特徴とする。

## 【 0 0 1 1 】

本発明に係る表示駆動装置は、前記電圧印加部は、前記ブランキング期間における残部の時間には、前記信号線に電圧を印加しないようにしてあることを特徴とする。

## 【 0 0 1 2 】

20

本発明に係る表示装置は、上述の表示駆動装置と、共通電極と、複数の画素電極、各画素電極に接続された複数のスイッチング素子、及び該複数のスイッチング素子に接続された複数の信号線とを対向配置してなる液晶パネルとを備え、前記表示駆動装置は、前記液晶パネルの信号線に電圧を印加するようにしてあることを特徴とする。

## 【 0 0 1 3 】

本発明に係る表示装置は、前記液晶パネルは、前記共通電極及び画素電極間に電位差が生じていないとき、黒表示を行うように構成されており、前記電圧印加部は、前記一部の時間内に、中間調よりも白側の階調を表す電圧を前記所定の電圧として、前記信号線に印加するようにしてあることを特徴とする。

## 【 0 0 1 4 】

30

本発明に係る表示装置は、前記電圧印加部は、前記一部の時間内に、白の階調を表す電圧を前記所定の電圧として、前記信号線に印加するようにしてあることを特徴とする。

## 【 0 0 1 5 】

本発明に係る表示装置は、前記表示駆動装置は、前記ブランキング期間の周期間に、前記液晶パネルに表示すべき画像の表示に応じた電圧を前記信号線に印加するようにしてあり、前記電圧印加部は、前記ブランキング期間終了後、最初に信号線に印加される電圧を前記所定の電圧として、信号線に印加するようにしてあることを特徴とする。

## 【 0 0 1 6 】

本発明に係る表示駆動方法は、共通電極と、複数の画素電極、各画素電極に接続された複数のスイッチング素子、及び該複数のスイッチング素子に接続された複数の信号線とを対向配置してなる液晶パネルの前記スイッチング素子全てをオフ状態にするブランキング期間を周期的に設けるようにしてある表示駆動方法において、前記ブランキング期間の一部の時間内に、前記共通電極との電位差がゼロよりも大きい所定の電圧を信号線に印加することを特徴とする。

40

## 【 発明の効果 】

## 【 0 0 1 7 】

本発明によれば、液晶パネルに設けられた信号線の浮遊容量に起因する表示品位の低下を抑制することができる。

## 【 図面の簡単な説明 】

## 【 0 0 1 8 】

50

【図 1】実施形態 1 における表示装置の構成を示すブロック図である。

【図 2】液晶パネルの構成を示す模式図である。

【図 3】各画素の等価回路を示す図である。

【図 4】表示駆動装置がソースラインに電圧を印加するタイミングを説明する説明図である。

【図 5】実施形態 2 における表示装置の構成を示すブロック図である。

【図 6】表示駆動装置がソースラインに電圧を印加するタイミングを説明する説明図である。

【図 7】実施形態 3 における表示駆動装置がソースラインに電圧を印加するタイミングを説明する説明図である。

10

【図 8】実施形態 4 における表示駆動装置がソースラインに電圧を印加するタイミングを説明する説明図である。

【発明を実施するための形態】

【0019】

以下、本発明をその実施の形態を示す図面に基づいて詳述する。

【0020】

(実施形態 1)

図 1 は、実施形態 1 における表示装置の構成を示すブロック図であり、図 2 は、液晶パネルの構成を示す模式図である。実施形態 1 における表示装置 100 は、液晶パネル 1 と、表示駆動装置 2 と、駆動電源部 3 とを備える。表示装置 100 は、駆動電源部 3 から供給される電力によって、表示駆動装置 2 が液晶パネル 1 を駆動させることにより、液晶パネル 1 の表示面に静止画、動画等の画像を表示させる。

20

【0021】

液晶パネル 1 は、TFT (Thin Film Transistor) 111、画素電極 112 などの素子が形成されるアレー基板 11 を備える。また、液晶パネル 1 は、アレー基板 11 に対向するように配置され、カラーフィルタ (CF: Color Filter)、共通電極 121 などが形成される CF 基板 12 を備える。アレー基板 11 及び CF 基板 12 は、例えば、ガラス等を土台として形成される。ここで、画素電極 112 は、アレー基板 11 上に画素毎に形成されるのに対し、共通電極 121 は、各画素電極 112 に共通する一の電極として CF 基板 12 上に形成される。アレー基板 11 及び CF 基板 12 間には空隙が形成され、この空隙内に液晶物質が封入されることによって液晶層が形成される。

30

【0022】

表示駆動装置 2 は、制御部 21、タイミングコントローラ 22、ソースドライバ 23、及びゲートドライバ 24 を備え、制御部 21 が各部を制御することにより、液晶パネル 1 の駆動制御を行う。制御部 21 は、外部から入力される画像信号に基づき、液晶パネル 1 に表示させるための表示データを生成し、タイミングコントローラ 22 に出力する。画像信号は例えば、HDMI (High Definition Multimedia Interface: 登録商標)、コンボジット、D 端子などの入力端子 (図示略) を通じて表示装置 100 に入力される。

【0023】

ここで、表示装置 100 は、当該入力端子を通じて外部より入力される画像信号が YCbCr 信号などの RGB 以外の信号である場合には、予め RGB 信号に変換し、信号フォーマットを統一する処理を行い、制御部 21 に入力するようにしてもよい。また、表示装置 100 は、当該入力端子を通じて外部より入力される画像信号に、予め彩度、シャープネスといった画像調整処理を施した後、制御部 21 に入力するようにしてもよい。

40

【0024】

タイミングコントローラ 22 は、制御部 21 から入力された表示データに基づき、ソースドライバ 23 及びゲートドライバ 24 の駆動を制御するための制御信号を、ソースドライバ 23 及びゲートドライバ 24 の夫々に出力する。制御部 21 は、所定のフレームレートで、一のフレーム画像を表示させるように、タイミングコントローラ 22 に制御信号を出力させる。所定のフレームレートは、例えば 60 Hz である。

50

## 【 0 0 2 5 】

ソースドライバ 2 3 は、ソースライン 1 1 3 に接続される。ソースドライバ 2 3 は、タイミングコントローラ 2 2 から入力された制御信号に基づいて、表示する画像の階調を表す電圧を、対応するソースライン 1 1 3 に印加する。ソースドライバ 2 3 における階調の数は例えば 2 5 6 であり、当該数の多少は問わない。実施形態 1 においてソースドライバ 2 3 は、線順次方式に従い、接続された全てのソースライン 1 1 3 に一度に電圧を印加するように構成されている。ソースドライバ 2 3 は、本発明の電圧印加部に相当する。なお、ソースドライバ 2 3 は、点順次方式に従い、各ソースライン 1 1 3 に順次電圧を印加するように構成されていてもよい。また、ソースドライバ 2 3 は、複数の IC ( Integrated Circuit ) によって構成されてもよいし、一の IC によって構成されてもよい。更に言うまでもなく、ソースドライバ 2 3 は、各種の反転駆動方式に従って階調を表す電圧を印加するように構成されてもよい。

10

## 【 0 0 2 6 】

ゲートドライバ 2 4 は、ゲートライン 1 1 4 に接続される。ゲートドライバ 2 4 は、タイミングコントローラ 2 2 から入力された制御信号に基づいて、T F T 1 1 1 のオン / オフを制御するための電圧をゲートライン 1 1 4 に印加する。このとき、ゲートドライバ 2 4 は、プログレッシブ方式に従ってライン順次に電圧を印加してもよいし、インターレース方式に従って、電圧を印加してもよい。また、ゲートドライバ 2 4 は、複数の IC によって構成されてもよいし、一の IC によって構成されてもよい。

20

## 【 0 0 2 7 】

駆動電源部 3 は、ソース電源回路 3 1 及びゲート電源回路 3 2 を備え、制御部 2 1 の指令に基づいて、表示装置 1 0 0 の動作に必要な電力を各部に供給する。ソース電源回路 3 1 は、例えば給電線を介してソースドライバ 2 3 に接続され、ソースドライバ 2 3 が画像の階調に係る電圧をソースライン 1 1 3 に印加するための電力を供給するための回路である。ゲート電源回路 3 2 は、例えば給電線を介してゲートドライバ 2 4 に接続され、ゲートドライバ 2 4 が T F T 1 1 1 のオン / オフに係る電圧をゲートライン 1 1 4 に印加するための電力を供給するための回路である。

## 【 0 0 2 8 】

なお、表示駆動装置 2 は、駆動電源部 3 から供給された電力によって、共通電極 1 2 1 に電圧を印加する構成であってもよい。このとき、所謂コモン反転駆動方式に従って、共通電圧に印加する電圧を周期的に変えてもよい。

30

## 【 0 0 2 9 】

次に、図 2 を参照して液晶パネル 1 の構成を詳述する。アレー基板 1 1 上に形成される T F T 1 1 1 及び画素電極 1 1 2 は、図 2 に示すように、マトリクス状 ( 例えば、行方向に 1 0 2 4 個、列方向に 7 6 8 個 ) に配置される。各画素電極 1 1 2 は、T F T 1 1 1 のドレイン端子と夫々接続される。

## 【 0 0 3 0 】

T F T 1 1 1 のゲート端子は、ゲートライン 1 1 4 に接続され、T F T 1 1 1 のソース端子はソースライン 1 1 3 に接続される。ゲートライン 1 1 4 は夫々、ゲートドライバ 2 4 における電圧の出力部に接続され、ソースライン 1 1 3 は夫々、ソースドライバ 2 3 における電圧の出力部に接続される。

40

## 【 0 0 3 1 】

T F T 1 1 1 は、ゲートドライバ 2 4 から順次ゲートライン 1 1 4 に電圧が印加されることによってオン / オフ制御され、オン期間にはソースドライバ 2 3 から各ソースライン 1 1 3 に入力される電圧を画素電極 1 1 2 に印加し、オフ期間にはそれまでの電圧を保持する。そして、T F T 1 1 1 を介して画素電極 1 1 2 に印加された電圧と、共通電極 1 2 1 に印加された電圧とにより、液晶物質の光学特性 ( T - V 特性 ) によって決定される光透過率を制御し、画像を表示する。実施形態 1 における液晶パネル 1 は、画素電極 1 1 2 及び共通電極 1 2 1 間の電位差がゼロのとき、光透過率がゼロとなるように構成されているものとする。即ち、液晶パネル 1 は、アレー基板 1 1 及び C F 基板 1 2 間に電位差が生

50

じていないときに黒表示を行う構成の所謂ノーマリブラック型の液晶パネルである。なお、TFT111はスイッチング素子に相当し、ソースライン113は信号線に相当する。

【 0 0 3 2 】

図 3 は、各画素の等価回路を示す図である。各画素における液晶素子は、TFT111 に接続される液晶容量 115 として表すことができる。上述したように、TFT111 のゲート端子はゲートライン 114 に接続され、TFT111 のソース端子はソースライン 113 に接続される。ゲートライン 114 にソースライン 113 の電圧を超える電圧が印加された場合、TFT111 がオンとなり、ソースライン 113 の電圧が TFT111 を介して画素電極 112 に印加され、液晶容量 115 に電荷が蓄電される。また、実施形態 1 では、液晶容量 115 に対して並列に接続された保持容量 116 を備え、画素電極 112 に電圧が印加される際に、この保持容量 116 にも電荷が蓄電される。そして、外部から電圧が印加されていない間は、保持容量 116 が保持している電位によって液晶素子の電圧値が維持される。

【 0 0 3 3 】

以上のように構成された表示装置 100 において、表示駆動装置 2 は、入力された画像信号に基づいて、所定のフレームレートでフレーム画像を液晶パネル 1 に表示させる。即ち、入力された画像信号が静止画を表す信号であれば、各フレームで一のフレーム画像を液晶パネル 1 に表示させ、当該画像信号が動画を表す信号であれば、各フレームで異なるフレーム画像を液晶パネル 1 に表示させる。また、表示駆動装置 2 は、各フレーム間でブランキング期間を設けている。ブランキング期間とは、液晶パネル 1 に設けられた T F T 1 1 1 全てがオフ状態にある期間である。即ち表示装置 100 は、周期的にブランキング期間を設けるように構成されている。実施形態 1 において表示駆動装置 2 は、ブランキング期間中の一部の時間中に、ソースライン 1 1 3 に電圧を印加する。以下、表示駆動装置 2 における電圧の印加態様について説明する。

【 0 0 3 4 】

図４は、表示駆動装置２がソースライン１１３に電圧を印加するタイミングを説明する説明図である。図４Ａには、ソースドライバ２３に接続された各ソースライン１１３へ電圧を印加するタイミングが示されており、縦軸の「有」は各ソースライン１１３に電圧が印加されていることを示し、「無」は各ソースライン１１３に電圧が印加されていないことを示している。図４Ｂには、ソース電源回路３１からソースドライバ２３へ流れる電流の推移が模式的に示されており、縦軸が電流値を示している。図４Ｃには、ソース電源回路３１の出力電圧の推移が模式的に示されており、縦軸が電圧値を示している。図４Ａ、図４Ｂ、及び図４Ｃ夫々の横軸は時間を示している。また、図４中、１フレームの期間をフレーム期間と称し、当該フレーム期間におけるブランキング期間以外の期間を表示期間と称する。

【 0 0 3 5 】

表示期間中の表示駆動装置 2 は、接続されたゲートライン 114 に T F T 111 をオンするための電圧を順次印加し、印加されているゲートライン 114 に接続された T F T 111 にフレーム画像の該当位置の階調を表す電圧を各ソースライン 113 に順次印加する。従って、図 4 A における表示期間中の「有」の期間は夫々、一のゲートライン 114 に接続されている各 T F T 111 にフレーム画像の該当位置の階調を表す電圧を印加するために、各ソースライン 113 に当該電圧が印加されていることを示している。また、ブランキング期間中の表示駆動装置 2 は、ブランキング期間の一部の時間 T 1 内に、1 回に限り各ソースライン 113 に白の階調を表す電圧を印加している。時間 T 1 の終点は、ブランキング期間の終期前における所定時間間隔内にある。所定時間間隔とは、例えば数マイクロ秒間また、ブランキング期間の残部の時間は、当該ブランキング期間の略全期間に亘る時間である。即ち、実施形態 1 における時間 T 1 は、各ソースライン 113 に 1 回に限り電圧を印加することが可能な最低限の時間である。

【 0 0 3 6 】

図 4 B に示された表示期間中に示される電流値は、表示駆動装置 2 が各ソースライン 1

1 3 に電圧を印加する都度、一のゲートライン 1 1 4 に接続される各 T F T 1 1 1 の画素電極 1 1 2 及び共通電極 1 2 1 間に流れる電流値の総計が示されている。また、図 4 B に示されたブランキング期間中に示される電流値には、各ソースライン 1 1 3 に白の階調を表す電圧が印加されたときに、各ソースライン 1 1 3 に流れる電流値の総計が示されている。このとき、各ソースライン 1 1 3 に存在する浮遊容量に電荷が蓄えられることに起因して、各ソースライン 1 1 3 に電流が流れる。

【 0 0 3 7 】

ここで、液晶パネル 1 は、ソースライン 1 1 3 及びゲートライン 1 1 4 には夫々、他のソースライン 1 1 3、ゲートライン 1 1 4、画素電極 1 1 2、共通電極 1 2 1 等との間に浮遊容量が存在する。表示期間中は、ソースドライバ 2 3 が各ソースライン 1 1 3 に反復的に画像の表示に応じた電圧を印加している。そのため、浮遊容量には電荷が蓄えられた状態であり、各ソースライン 1 1 3 について、画素電極 1 1 2 及び共通電極 1 2 1 間に流れる電流値に対し、浮遊容量に起因して流れる電流値は無視できる程度に少ない。一方、ブランキング期間中にあっては、残部の時間には各ソースライン 1 1 3 に電圧が印加されないことに起因して浮遊容量に蓄えられた電荷が放電し、当該浮遊容量は新たに電荷を蓄えることが可能な状態となっている。そのため、各ソースライン 1 1 3 に比較的高い電圧が加えられた場合、浮遊容量に蓄えられる電荷が増大することで、各信号線に比較的大きな電流が流れるため、ソース電源回路 3 1 の出力電圧が一時に低下する。

【 0 0 3 8 】

実施形態 1 における表示駆動装置 2 は、表示期間が到来する前のブランキング期間中に白の階調を表す電圧、即ち最大の電圧を各ソースライン 1 1 3 に印加するため、ソース電源回路 3 1 の出力電圧を確実に低下させることができる。当該出力電圧がブランキング期間中に低下した場合であっても、T F T 1 1 1 は全てオフ状態であるため、表示品位に影響を及ぼさない。また、当該出力電圧をブランキング期間中に事前に低下させることで、図 4 C に示されたように、次の表示期間が開始するまでの間にソース電源回路 3 1 の応答特性により、低下した電圧を上昇させることができる。

【 0 0 3 9 】

一方、ブランキング期間中に亘り電圧が印加されない場合に、次の表示期間の最初に白の階調を表す電圧が印加されたときは、表示期間開始後に出力電圧が低下する。ブランキング期間中に亘り黒の階調を表す電圧等の比較的低い電圧が各ソースライン 1 1 3 に印加されている場合に、次の表示期間の最初に白の階調を表す電圧が印加されたときも同様に、表示期間開始後に出力電圧が低下する。従って、実施形態 1 における表示装置 1 0 0 は、ブランキング期間終了後の表示品位を改善することができる。

また、時間 T 1 の終点は、ブランキング期間の終期前における所定時間間隔内にあり、当該終期に略一致する。従って、表示駆動装置 2 は、ソースライン 1 1 3 における浮遊容量が放電等することなく、ブランキング期間後、表示すべき画像の表示に応じた電圧の印加を行うことができる。そのため、ソース電源回路 3 1 の出力電圧が低下することに起因する、ブランキング期間後の表示品位の低下をより確実に抑制することができる。

以上より、実施形態 1 の表示装置 1 0 0 は、ソースライン 1 1 3 の浮遊容量に起因する表示品位の低下を抑制することができる。なお、T 1 の終点は、ブランキング期間の終期と一致するように構成されていてもよい。

【 0 0 4 0 】

また、実施形態 1 の表示装置 1 0 0 は、表示駆動装置 2 がブランキング期間中の時間 T 1 内で 1 回に限りソースライン 1 1 3 に白の電圧を印加するだけである。そのため、ブランキング期間に亘り、例えば黒等の階調を表し、共通電極 1 2 1 との電位差がゼロの電圧を印加する表示装置に比べ、表示装置 1 0 0 は電力消費を低減することができる。なお、実施形態 1 においては、ブランキング期間中に印加される電圧は、白の階調を表すことを説明したが、ソース電源回路 3 1 の出力電圧を低下させることができる電圧であればよい。例えば、表示駆動装置 2 は、中間調よりも白側の階調を表す電圧を各ソースライン 1 1 3 に印加してもよい。

10

20

30

40

50

## 【 0 0 4 1 】

更に、上述のように液晶パネル 1 に対して、当該ブランキング期間の一部の時間 T 1 内に共通電極 1 2 1 との電位差がゼロよりも大きい電圧を印加することによって、液晶パネル 1 のソースライン 1 1 3 に起因する表示品位の低下を抑制することができる。なお、電位差がゼロよりも大きい電圧は、ソース電源回路 3 1 の出力電圧を低下させることができる電圧であればよく、例えば中間調よりも白側の階調を表す電圧である。

## 【 0 0 4 2 】

## ( 実施形態 2 )

実施形態 1 の表示装置 1 0 0 においては、ブランキング期間中、表示駆動装置 2 が各ソースライン 1 1 3 に白の階調を表す電圧を印加する例を説明した。実施形態 2 では、印加する電圧が白以外の階調を表す電圧を印加する例を説明する。なお、以下で説明する構成及び作用を除くその他の構成及び作用は上述の実施形態 1 と同様であるため、同様の部分については同一の符号を付して、同様の構成に関する詳細な説明及びその作用効果の説明は省略する。

## 【 0 0 4 3 】

図 5 は、実施形態 2 における表示装置 1 0 0 の構成を示すブロック図である。実施形態 2 において、表示駆動装置 2 は、フレームメモリ 2 5 を備えている。制御部 2 1 は、入力された画像信号に基づいて、フレーム単位で表示すべき画像の表示データをフレームメモリ 2 5 に記憶する。制御部 2 1 は、各フレーム期間にフレーム画像を表示するときには、対応する表示データをフレームメモリ 2 5 から読み出し、タイミングコントローラ 2 2 に出力する。

## 【 0 0 4 4 】

図 6 は、表示駆動装置 2 がソースライン 1 1 3 に電圧を印加するタイミングを説明する説明図である。実施形態 2 において表示駆動装置 2 は、時間 T 1 内に 1 回に限り、次の表示期間の最初と同じ階調を表す電圧を各ソースライン 1 1 3 に印加する。具体的には、制御部 2 1 は、フレームメモリ 2 5 から次の表示期間に表示すべき表示データの中から、T F T 1 1 1 をオンするための電圧が最初に印加される一のゲートライン 1 1 4 に接続された T F T 1 1 1 の該当位置に表示すべきデータを読み出す。即ち、制御部 2 1 は、表示期間開始後、最初に表示される画像部分のデータを読み出す。次いで、制御部 2 1 は、読み出したデータをタイミングコントローラ 2 2 に出力する。その後、ソースドライバ 2 3 は、タイミングコントローラ 2 2 からの制御信号に従い、各ソースライン 1 1 3 に当該データを表す電圧を印加する。

## 【 0 0 4 5 】

以上のように、ブランキング期間後の表示期間の最初に各ソースライン 1 1 3 に印加される電圧を印加することにより、ブランキング期間中に信号線に印加すべき電圧を別途設定する必要とせず、液晶パネル 1 の表示品位の低下を抑制することができる。

## 【 0 0 4 6 】

## ( 実施形態 3 )

実施形態 1 及び 2 の表示装置 1 0 0 においては、ブランキング期間中、表示駆動装置 2 が各ソースライン 1 1 3 に一回に限り電圧を印加する例を説明した。実施形態 3 では、ブランキング期間中、表示駆動装置 2 が複数回に亘って、各ソースライン 1 1 3 に電圧を印加する例を説明する。なお、以下で説明する構成及び作用を除くその他の構成及び作用は上述の実施形態 1 と同様であるため、同様の部分については同一の符号を付し、同様の構成に関する詳細な説明及びその作用効果の説明は省略する。

## 【 0 0 4 7 】

図 7 は、実施形態 3 における表示駆動装置 2 がソースライン 1 1 3 に電圧を印加するタイミングを説明する説明図である。実施形態 3 において表示駆動装置 2 は、ブランキング期間中の一部の時間 T 2 に亘り、白の階調を表す電圧を反復的に各ソースライン 1 1 3 に印加する。時間 T 2 の終点は、ブランキング期間の終期前における所定時間間隔内にある。また、ブランキング期間の残部の時間は、当該ブランキング期間の略全期間に亘る時間

である。即ち、実施形態 3 における時間 T 2 は、各ソースライン 1 1 3 に複数回に亘り電圧を印加することが可能な最低限の時間である。複数回とは例えば、フレームレートが 60 Hz の場合、4 回 ~ 6 回程度の回数である。

#### 【0048】

以上のように時間 T 2 に亘り、白の階調を表す電圧を各ソースライン 1 1 3 に反復的に印加することによって、各ソースライン 1 1 3 の浮遊容量に蓄えられた電荷の放電等を確実に防止することができる。そのため、ブランキング期間後の表示期間に、ソース電源回路 3 1 の出力電圧の低下に起因する表示品位の低下をより確実に抑制することができる。

#### 【0049】

##### (実施形態 4)

実施形態 3 の表示装置 1 0 0 においては、ブランキング期間中、表示駆動装置 2 が各ソースライン 1 1 3 に複数回に亘り、白の階調を表す電圧を印加する例を説明した。実施形態 4 では、表示駆動装置 2 が印加する電圧が白以外の階調を表す電圧の例を説明する。なお、以下で説明する構成及び作用を除くその他の構成及び作用は上述の実施形態 2 及び 3 と同様であるため、同様の部分については同一の符号を付して、同様の構成に関する詳細な説明及びその作用効果の説明は省略する。

#### 【0050】

図 8 は、実施形態 4 における表示駆動装置 2 がソースライン 1 1 3 に電圧を印加するタイミングを説明する説明図である。実施形態 4 において表示駆動装置 2 は、時間 T 2 に亘り、次の表示期間の最初と同じ階調を表す電圧を反復的に各ソースライン 1 1 3 に印加する。このようにブランキング期間における一部の時間 T 2 に亘り、当該同じ階調を表す電圧を各ソースライン 1 1 3 に反復的に印加することによって、各ソースライン 1 1 3 の浮遊容量に蓄えられた電荷の放電等を確実に防止することができる。そのため、ブランキング期間後の表示期間に、ソース電源回路 3 1 の出力電圧の低下に起因する表示品位の低下をより確実に抑制することができる。また、反復的に各ソースライン 1 1 3 に白の階調を表す電圧を印加する場合に比べて、表示装置 1 0 0 は、ブランキング期間中の消費電力を抑えることができる。

#### 【0051】

##### (実施形態 5)

実施形態 1 ~ 4 の表示装置 1 0 0 においては、表示駆動装置 2 がブランキング期間中における残部の時間には、各ソースライン 1 1 3 に電圧を印加しないことを説明したが、当該残部の時間に電圧を印加する構成としてもよい。このとき、印加される電圧は、ブランキング期間中の一部の時間 T 1 又は T 2 に印加される電圧よりも低い電圧、例えば黒の階調を表す電圧等であれば、浮遊容量に蓄えられる電荷量が少ないため、実施形態 1 ~ 4 と同様の効果を得ることができる。なお、残部の期間に電圧が印加される回数は、一回でもよく、複数回でもよい。

#### 【0052】

##### (実施形態 6)

実施形態 1 ~ 5 においては、液晶パネル 1 がノーマリブラック型である場合に、表示駆動装置 2 がブランキング期間中に各ソースライン 1 1 3 に電圧を印加する例を説明したが、液晶パネル 1 がノーマリホワイト型であってもよい。このとき、ブランキング期間における一部の期間に印加する電圧を、黒を表す階調等の、実施形態 1 ~ 5 における階調を反転させた階調を表す電圧とすることで、実施形態 1 ~ 5 と同様の効果を得ることができる。

#### 【0053】

##### (実施形態 7)

実施形態 1 ~ 6 の表示装置 1 0 0 においては、ブランキング期間における一部の時間 T 1 又は T 2 の終点が、当該ブランキング期間の終期前における所定時間間隔内にあり、当該終期と略一致することを説明した。表示装置 1 0 0 は、時間 T 1 又は T 2 の終点が、ブランキング期間の終期と略一致していなくともよい。例えば、時間 T 1 又は T 2 の始点及

び終点がブランキング期間の前半にあってもよいし、当該始点及び終点がブランキング期間の前半及び後半にまたがってもよいし、当該始点及び終点がブランキング期間の後半にあってもよい。

【0054】

なお、実施形態1～7において説明した表示装置100は、種々の用途で適用可能である。例えば、チューナなどにて受信したテレビジョン放送に係る画像を表示する表示装置に同様の構成を適用することができる。また例えば、各電子機器の操作画面等にも適用可能である。

【0055】

本発明に係る表示駆動装置(2)は、共通電極(121)と、複数の画素電極(112)、各画素電極(112)に接続された複数のスイッチング素子(111)、及び該複数のスイッチング素子(111)に接続された複数の信号線(113)とを対向配置してなる液晶パネル(1)の前記スイッチング素子(111)全てをオフ状態にするブランキング期間を周期的に設けるようにしてある表示駆動装置(2)において、前記ブランキング期間における一部の時間内に、前記共通電極(121)との電位差がゼロよりも大きい所定の電圧を前記信号線(113)に印加する電圧印加部(23)を備えることを特徴とする。

10

【0056】

本発明にあつては、表示駆動装置(2)は、液晶パネル(1)に設けられたスイッチング素子(111)全てをオフ状態にするブランキング期間を周期的に設けている。表示駆動装置(2)の電圧印加部(23)は、ブランキング期間における一部の時間内に、共通電極(121)との電位差がゼロよりも大きい所定の電圧を信号線(113)に印加する。例えば、ブランキング期間中に共通電極(121)との電位差が比較的大きい電圧を信号線(113)に印加されることで、当該信号線(113)の浮遊容量に蓄えられる電荷の量が大きくなり、大きな電流が流れる。従って、表示駆動装置(2)は、信号線(113)に電圧を印加するための電源(31)の出力電圧をブランキング期間中に低下させることができる。ブランキング期間中に当該電源(31)の出力電圧が低下したとしても、スイッチング素子(111)がオフ状態のため、表示品位に問題はない。また、ブランキング期間後に表示すべき画像に応じた電圧が印加された場合、当該一部の時間中に信号線(113)の浮遊容量に電荷が蓄えられた状態であるため、電源(31)の出力電圧が低下することを抑制することができる。従って、液晶パネル(1)に設けられた信号線(113)の浮遊容量に起因する表示品位の低下を抑制することができる。

20

30

【0057】

本発明に係る表示駆動装置(2)は、前記一部の時間の終点は、前記ブランキング期間の終期前における所定時間間隔内にあることを特徴とする。

【0058】

本発明にあつては、一部の時間の終点は、ブランキング期間の終期前における所定時間間隔内にある。例えば当該所定時間間隔が短い場合、表示駆動装置(2)は、信号線における浮遊容量が放電等することなく、ブランキング期間後、表示すべき画像の表示に応じた電圧の印加を行うことができる。そのため、信号線(113)に印加すべき電圧の電源(31)の出力電圧が低下することに起因する表示品位の低下をより確実に抑制することができる。

40

【0059】

本発明に係る表示駆動装置(2)は、前記電圧印加部(23)は、前記一部の時間内に、前記複数の信号線(113)夫々に前記所定の電圧を1回に限り印加することを特徴とする。

【0060】

本発明にあつては、電圧印加部(23)は、ブランキング期間における一部の時間内に、複数の信号線(113)夫々に共通電極(121)との電位差がゼロよりも大きい所定の電圧を1回に限り印加する。従って、各信号線(113)の浮遊容量に電荷を蓄える目

50

的で、信号線（１１３）に印加する電圧を最低限とすることができる。従って、表示品位の低下を抑制しつつ、ブランキング期間中の電力消費を低減することができる。

【００６１】

本発明に係る表示駆動装置（２）は、前記電圧印加部（２３）は、前記一部の時間に亘り、前記所定の電圧を前記複数の信号線（１１３）夫々に反復的に印加するようにしてあることを特徴とする。

【００６２】

本発明にあつては、電圧印加部（２３）は、ブランキング期間中の一部の時間に亘り、所定の電圧を複数の信号線（１１３）夫々に反復的に印加する。従って、各信号線（１１３）の浮遊容量に蓄えられた電荷の放電等を確実に防止することができるため、信号線（１１３）に印加すべき電圧の出力電圧が低下することに起因する表示品位の低下をより確実に抑制することができる。

10

【００６３】

本発明に係る表示駆動装置（２）は、前記電圧印加部（２３）は、前記ブランキング期間における残部の時間には、前記信号線（１１３）に電圧を印加しないようにしてあることを特徴とする。

【００６４】

本発明にあつては、電圧印加部（２３）は、ブランキング期間における残部の期間には、信号線（１１３）に電圧を印加しない。従って、表示品位の低下を抑制しつつ、ブランキング期間中の電力消費をより低減することができる。

20

【００６５】

本発明に係る表示装置（１００）は、上述の表示駆動装置（２）と、共通電極（１２１）と、複数の画素電極（１１２）、各画素電極（１１２）に接続された複数のスイッチング素子（１１１）、及び該複数のスイッチング素子（１１１）に接続された複数の信号線（１１３）とを対向配置してなる液晶パネル（１）とを備え、前記表示駆動装置（２）は、前記液晶パネル（１）の信号線（１１３）に電圧を印加するようにしてあることを特徴とする。

【００６６】

本発明にあつては、表示装置（１００）は、上述の表示駆動装置（２）と、液晶パネル（１）とを備える。液晶パネル（１）は、共通電極（１２１）と、複数の画素電極（１１２）、各画素電極（１１２）に接続された複数のスイッチング素子（１１１）、及び当該複数のスイッチング素子（１１１）に接続された複数の信号線（１１３）とを対向配置して構成される。また、当該表示駆動装置（２）は、当該液晶パネル（１）の信号線（１１３）に電圧を印加する。従って、表示装置（１００）は、液晶パネル（１）に設けられた信号線（１１３）の浮遊容量に起因する表示品位の低下を抑制することができる。

30

【００６７】

本発明に係る表示装置（１００）は、前記液晶パネル（１）は、前記共通電極（１２１）及び画素電極（１１２）間に電位差が生じていないとき、黒表示を行うように構成されており、前記電圧印加部（２３）は、前記一部の時間内に、中間調よりも白側の階調を表す電圧を前記所定の電圧として、前記信号線に印加するようにしてあることを特徴とする。

40

【００６８】

本発明にあつては、液晶パネル（１）は、前記共通電極（１２１）及び画素電極（１１２）間に電位差が生じていないとき、黒表示を行う、いわゆるノーマリブラック方式である。電圧印加部（２３）は、中間調よりも白側の階調を表す電圧を前記所定の電圧として、信号線（１１３）に印加する。ノーマリブラック方式の液晶パネル（１）において、表示させる階調の度合いが高くなるにつれて、信号線（１１３）に印加すべき電圧が大きくなる。従って、電圧印加部（２３）が中間調よりも白側の階調を表す電圧をブランキング期間中に信号線（１１３）に印加することによって、電源（３１）の出力電圧を低下させることができる。従って、表示品位の低下を抑制することができる。

50

## 【 0 0 6 9 】

本発明に係る表示装置（１００）は、前記電圧印加部（２３）は、前記一部の時間内に、白の階調を表す電圧を前記所定の電圧として、前記信号線（１１３）に印加するようにしてあることを特徴とする。

## 【 0 0 7 0 】

本発明にあつては、電圧印加部（２３）は、白の階調を表す電圧を前記所定の電圧として、信号線（１１３）に印加する。ノーマリブラック方式の液晶パネル（１）において、白の階調を表す電圧は最大の電圧であるため、電源の出力電圧をブランキング期間中に確実に低下させることができる。従って、表示品位の低下を確実に抑制することができる。

## 【 0 0 7 1 】

本発明に係る表示装置（１００）は、前記表示駆動装置（２）は、前記ブランキング期間の周期間に、前記液晶パネル（１）に表示すべき画像の表示に応じた電圧を前記信号線（１１３）に印加するようにしてあり、前記電圧印加部（２３）は、前記ブランキング期間終了後、最初に信号線（１１３）に印加される電圧を前記所定の電圧として、信号線（１１３）に印加するようにしてあることを特徴とする。

## 【 0 0 7 2 】

本発明にあつては、表示駆動装置（２）は、ブランキング期間の終期間に、液晶パネル（１）に表示すべき画像の表示に応じた電圧を信号線（１１３）に印加する。電圧印加部は、ブランキング期間終了後、最初に信号線（１１３）に印加される電圧を、当該ブランキング期間において信号線（１１３）に印加する。従って、表示駆動装置（２）は、ブラン

10

20

## 【 0 0 7 3 】

本発明に係る表示駆動方法は、共通電極（１２１）と、複数の画素電極（１１２）、各画素電極（１１２）に接続された複数のスイッチング素子（１１１）、及び該複数のスイッチング素子（１１１）に接続された複数の信号線（１１３）とを対向配置してなる液晶パネル（１）の前記スイッチング素子（１１１）全てをオフ状態にするブランキング期間を周期的に設けるようにしてある表示駆動方法において、前記ブランキング期間の一部の時間内に、前記共通電極（１２１）との電位差がゼロよりも大きい所定の電圧を信号線（１１３）に印加することを特徴とする。

30

## 【 0 0 7 4 】

本発明にあつては、液晶パネル（１）に設けられたスイッチング素子（１１１）全てをオフ状態にするブランキング期間を周期的に設けている。また、当該ブランキング期間における一部の時間内に、共通電極（１２１）との電位差がゼロよりも大きい所定の電圧を液晶パネル（１）に設けられた信号線（１１３）に印加する。例えば、ブランキング期間中に共通電極（１２１）との電位差が比較的大きい電圧を信号線（１１３）に印加されることで、当該信号線（１１３）の浮遊容量に蓄えられる電荷の量が大きくなり、大きな電流が流れる。従って、表示駆動装置（２）は、信号線（１１３）に電圧を印加するための電源（３１）の出力電圧をブランキング期間中に低下させることができる。ブラン

40

## 【 0 0 7 5 】

更に、今回開示された実施形態は全ての点で例示であつて、制限的なものではないと考えられるべきである。本発明の範囲は、上記した意味ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味及び範囲内での全ての変更が含まれることが意図さ

50

れる。

【符号の説明】

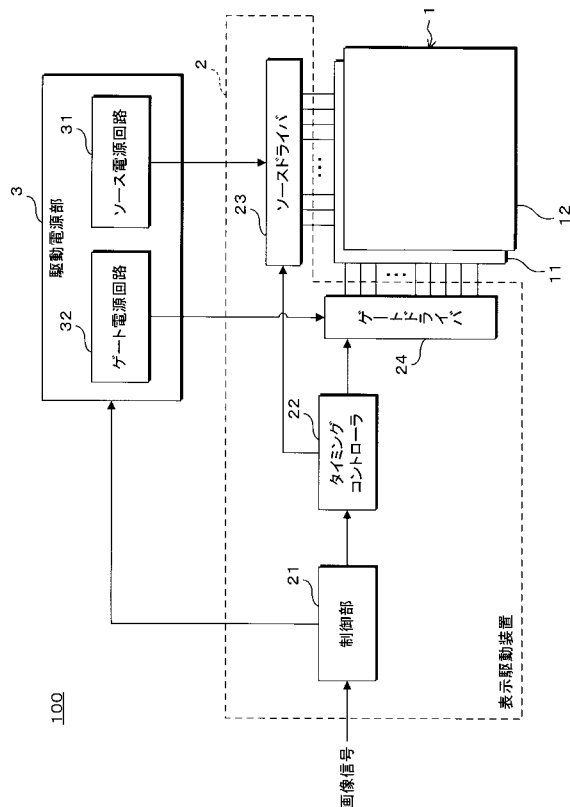
【0076】

- 1 液晶パネル
- 2 表示駆動装置
- 3 駆動電源部
- 11 アレー基板
- 12 CF基板
- 21 制御部
- 22 タイミングコントローラ
- 23 ソースドライバ（電圧印加部）
- 24 ゲートドライバ
- 25 フレームメモリ
- 31 ソース電源回路
- 32 ゲート電源回路
- 100 表示装置
- 111 TFT（スイッチング素子）
- 112 画素電極
- 113 ソースライン（信号線）
- 114 ゲートライン
- 121 共通電極

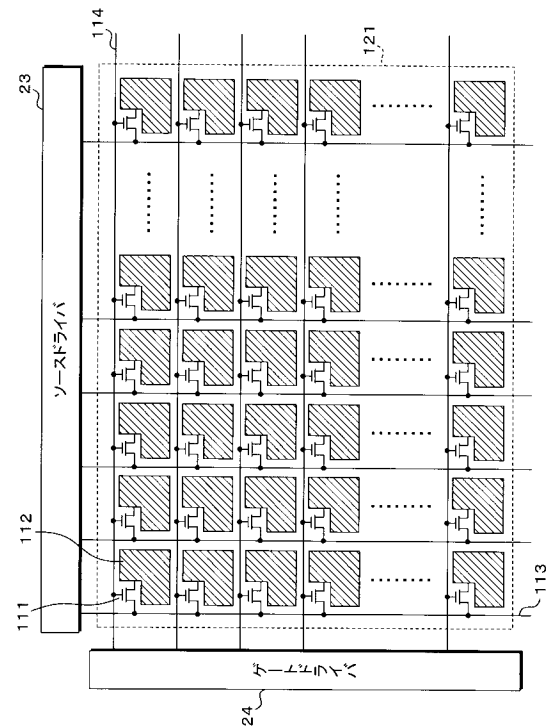
10

20

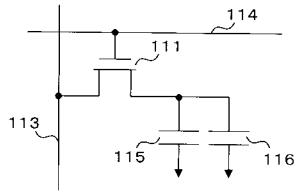
【図1】



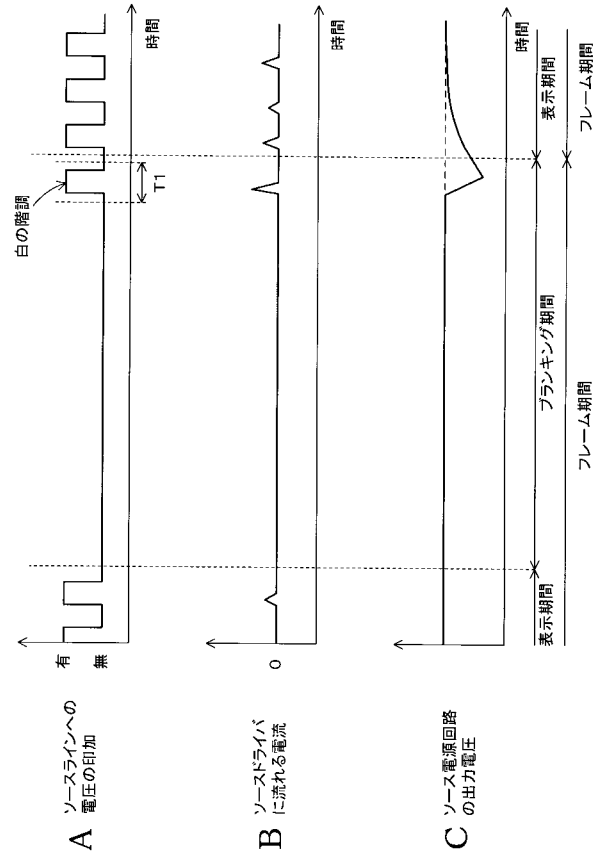
【図2】



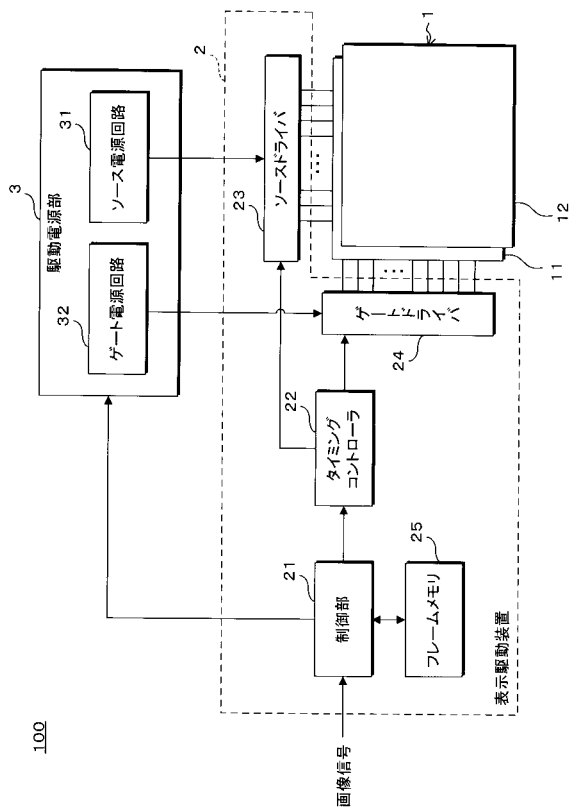
【図 3】



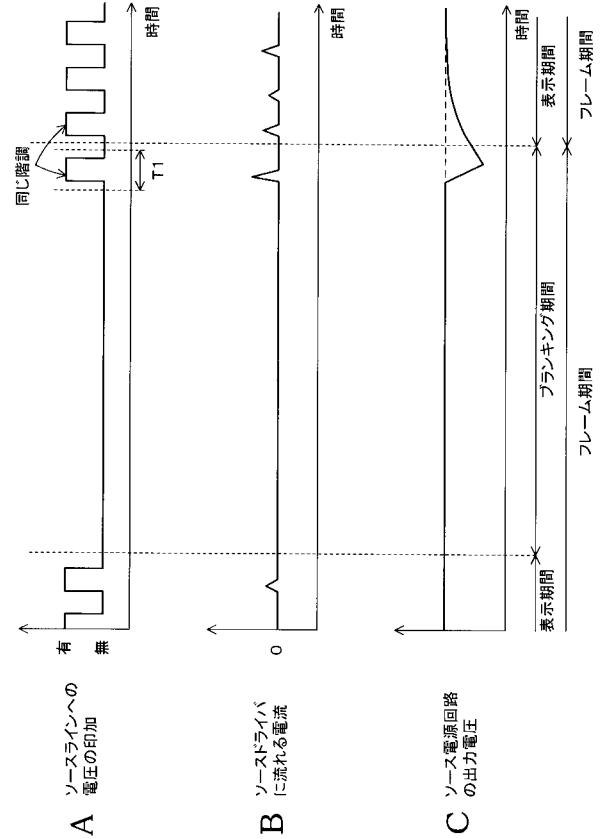
【図 4】



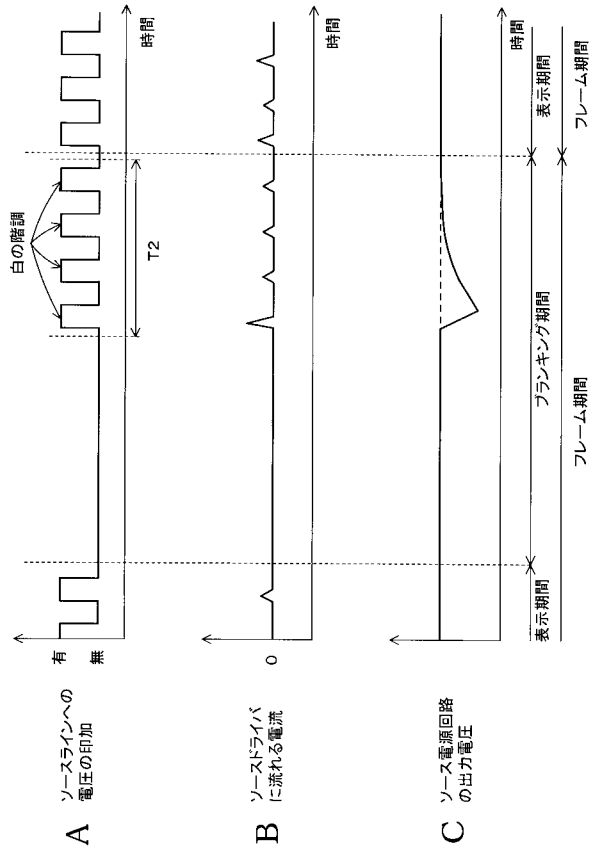
【図 5】



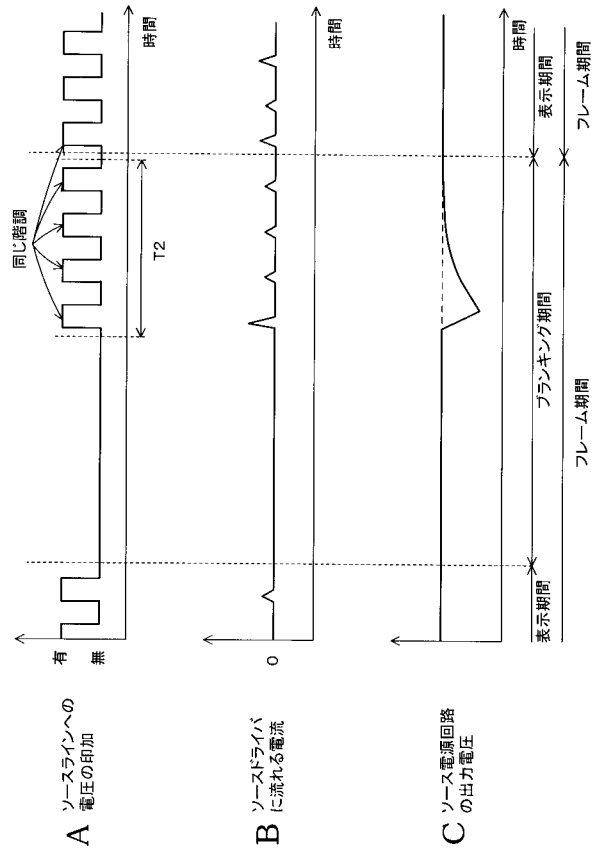
【図 6】



【図 7】



【図 8】



---

フロントページの続き

(51) Int. Cl.

F I

テーマコード ( 参考 )

|         |       |         |
|---------|-------|---------|
| G 0 9 G | 3/20  | 6 2 3 C |
| G 0 9 G | 3/20  | 6 2 3 D |
| G 0 2 F | 1/133 | 5 7 5   |

|                |                                                                                                                                                                                                                             |         |            |
|----------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 表示驱动装置、表示装置、表示驱动方法                                                                                                                                                                                                          |         |            |
| 公开(公告)号        | <a href="#">JP2016009029A</a>                                                                                                                                                                                               | 公开(公告)日 | 2016-01-18 |
| 申请号            | JP2014128509                                                                                                                                                                                                                | 申请日     | 2014-06-23 |
| [标]申请(专利权)人(译) | 夏普株式会社                                                                                                                                                                                                                      |         |            |
| 申请(专利权)人(译)    | 夏普公司                                                                                                                                                                                                                        |         |            |
| [标]发明人         | 高橋和樹                                                                                                                                                                                                                        |         |            |
| 发明人            | 高橋 和樹                                                                                                                                                                                                                       |         |            |
| IPC分类号         | G09G3/36 G09G3/20 G02F1/133                                                                                                                                                                                                 |         |            |
| FI分类号          | G09G3/36 G09G3/20.612.T G09G3/20.611.J G09G3/20.622.C G09G3/20.622.D G09G3/20.623.C G09G3/20.623.D G02F1/133.575                                                                                                            |         |            |
| F-TERM分类号      | 2H193/ZA04 2H193/ZA05 2H193/ZC25 2H193/ZD02 2H193/ZD12 2H193/ZD23 2H193/ZE10 2H193/ZF05 2H193/ZF12 2H193/ZF16 5C006/AC24 5C006/AF50 5C006/AF73 5C006/BB16 5C080/AA10 5C080/BB05 5C080/DD01 5C080/FF11 5C080/JJ02 5C080/JJ04 |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                   |         |            |

|       |                       |                                                          |                                                                                                                                                                                                                                                                                                                               |
|-------|-----------------------|----------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 摘要(译) | (21) 出願番号<br>(22) 出願日 | 特願2014-128509 (P2014-128509)<br>平成26年6月23日 (2014. 6. 23) | (71) 出願人 000006049<br>シャープ株式会社<br>大阪府大阪市阿倍野区長池町2番22号<br>(74) 代理人 100114557<br>弁理士 河野 英仁<br>(74) 代理人 100078868<br>弁理士 河野 登夫<br>(72) 発明者 高橋 和樹<br>大阪府大阪市阿倍野区長池町2番22号<br>シャープ株式会社内<br>Fターム(参考) 2H193 ZA04 ZA05 ZC25 ZD02 ZD12<br>ZD23 ZE10 ZF05 ZF12 ZF16<br>5C006 AC24 AF50 AF73 BB16<br>5C080 AA10 BB05 DD01 FF11 JJ02<br>JJ04 |
|-------|-----------------------|----------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|

提供一种显示驱动装置，显示装置和显示驱动方法，其抑制由于设置在液晶面板中的信号线的杂散电容引起的显示质量的劣化。一种液晶面板，其中公共电极，多个像素电极，连接至每个像素电极的多个开关元件以及连接至多个开关元件的多条信号线彼此面对。设置有用于周期性地断开所有开关元件的消隐时段的显示驱动装置在消隐时段的一部分内具有公共电极大于零的预定电势差。提供了一种向信号线施加电压的电压施加单元。[选择图]图4