

【特許請求の範囲】**【請求項 1】**

行方向及び列方向に 2 次元マトリクス状に配置されて画像表示部を構成する複数の画素のそれぞれが、

書き込み時に供給される画素データを第 1 のスイッチング素子によりサンプリングして第 1 のメモリに記憶する構成の初段記憶部と、

読み出し時にオンに制御される第 2 のスイッチング素子を通して前記初段記憶部の前記第 1 のメモリから読み出した前記画素データを第 2 のメモリに一時記憶する構成の 2 段目記憶部と、

対向配置された画素電極と共通電極との間に液晶が充填封入されており、前記 2 段目記憶部の前記第 2 のメモリに記憶された前記画素データが前記画素電極に印加されて画像表示を行う液晶表示素子と

を備え、

同じ列に配置された複数の前記画素のうち隣接する 2 つの画素の一方の画素内の前記初段記憶部の出力端子を他方の画素内の前記初段記憶部の前記第 1 のスイッチング素子の入力端子に接続することを、最下行の各画素及び最上行の各画素の一方から他方まで一方向に繰り返して構成された列毎のシフトレジスタと、

前記列毎のシフトレジスタの初段を構成する前記最下行又は最上行の画素の前記初段記憶部に表示すべき画素データを供給して記憶させると共に、記憶させた前記画素データを前記列毎のシフトレジスタの最終段まで、シフトクロックに同期させてシフトさせるシフトレジスタ制御手段と

を備えることを特徴とする液晶表示装置。

【請求項 2】

前記初段記憶部は、前記第 1 のスイッチング素子がスイッチングトランジスタであり、前記第 1 のメモリが単一のインバータ又は互いの出力端子が互いの入力端子に接続された 2 つのインバータからなる自己保持型メモリであることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】

前記 2 段目記憶部は、前記第 2 のスイッチング素子がスイッチングトランジスタ又はトランスミッションゲートであり、前記第 2 のメモリがインバータ又は容量であることを特徴とする請求項 1 又は 2 記載の液晶表示装置。

【請求項 4】

前記シフトクロックは互いに逆論理値の第 1 及び第 2 のシフトクロックからなり、

前記シフトレジスタ制御手段は、前記第 1 のシフトクロックにより前記列毎のシフトレジスタの初段への書き込みと奇数段の記憶画素データの隣接する偶数段へのシフトを行い、前記第 2 のシフトクロックにより前記列毎のシフトレジスタの偶数段の記憶画素データの隣接する奇数段へのシフトを行い、

2 値の前記画素データの本来の論理値を示す正転画素データ及び逆論理値を示す反転画素データを前記第 1 のシフトクロックの周期毎に交互に前記表示すべき画素データとして出力する画素データ発生手段を更に有することを特徴とする請求項 1 乃至 3 のうちいずれか一項記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は液晶表示装置に係り、特にサブフレームデータに基づいて複数のサブフレームの組み合わせによって階調表示を行うデジタル駆動方式の液晶表示装置に関する。

【背景技術】**【0002】**

近年、プロジェクタ装置やプロジェクションテレビには画像を投影するための中心部品として L C O S (Liquid Crystal on Silicon) 型液晶表示装置が多く用いられている。こ

10

20

30

40

50

の L C O S 型液晶表示装置の表示方式として、C M O S (Complementary Metal Oxide Semiconductor) 等の半導体素子へ映像信号をパルス幅変調 (P W M ; Pulse Width Modulation) して得たデジタル映像データを液晶表示素子の画素電極に印加して液晶の配向を時間的に切り替えて駆動するデジタル駆動方式がある。デジタル駆動方式は、アナログ映像信号を液晶表示素子の画素電極に印加するアナログ駆動方式に比べて、階調表示で劣る面はあるが、焼き付きには強いというメリットがある。

【 0 0 0 3 】

また、デジタル駆動方式の液晶表示装置では、例えばサブフレームデータに基づいて複数のサブフレームの組み合わせによって階調表示を行う。このデジタル駆動方式では、表示する映像信号の 1 画像の表示単位である 1 フレームを、1 フレーム期間より短時間である表示期間をもつ複数のサブフレームに分割し、それら複数のサブフレームを表示すべき階調に応じてデジタル信号である 1 ビットのサブフレームデータにより選択的にオン、オフにして 1 フレームの画像を表示すべき階調に応じたサブフレームの組み合わせで画素を駆動する。

10

【 0 0 0 4 】

このようなデジタル駆動方式の液晶表示装置として、各画素が、列データ線を介して供給される 1 ビットのサブフレームデータを保持する第 1 シフトレジスタと、第 1 シフトレジスタに保持されたサブフレームデータを転送して液晶表示素子の画素電極に印加する第 2 シフトレジスタを備える構成の液晶表示装置が知られている (例えば、特許文献 1 参照) 。

20

【 0 0 0 5 】

上記第 1 シフトレジスタは、列データ線を介して供給される 1 ビットのサブフレームデータを行選択信号によりサンプリングする第 1 のスイッチングトランジスタと、第 1 のスイッチングトランジスタでサンプリングされたサブフレームデータを保持する第 1 のインバータとからなる。上記第 2 シフトレジスタは、共通信号線を介してトリガパルスが供給された時にオンとされて第 1 のインバータに保持されたサブフレームデータを転送する第 2 のスイッチングトランジスタと、第 2 のスイッチングトランジスタにより転送されたサブフレームデータを画素電極に印加する第 2 のインバータとからなる。

【 0 0 0 6 】

特許文献 1 に記載の液晶表示装置によれば、第 1 のインバータのゲート部にダイナミック・ランダム・アクセス・メモリ (D R A M) として保持されたサブフレームデータを、第 2 のスイッチングトランジスタを介して全画素同時に画素電極へ転送することが可能になる。このため、画素電極に印加されるサブフレームデータの電圧は、液晶表示素子の画素電極に対向する共通電極を駆動する共通電極電圧波形との間で全ての画素で同期をとることが可能となり、液晶に印加する電圧 (画素電極電圧と共通電極電圧との電位差) の極性をサブフレーム毎に反転することができて、焼き付きなどの画質劣化を抑えることが可能となる。また、立体映像表示などのための左右で異なる映像信号に対しても、一瞬で切り替えることができて、明るさを減らす黒データ表示などが不要になるという効果が得られる。また、特許文献 1 に記載の液晶表示装置では、第 1 シフトレジスタ及び第 2 シフトレジスタが共にインバータからなるため、トランジスタ数を削減することができ、これにより画素の微細化も可能になるという効果もある。

30

40

【 先行技術文献 】

【 特許文献 】

【 0 0 0 7 】

【 特許文献 1 】 特開 2 0 1 3 - 1 0 1 2 8 5 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

しかしながら、特許文献 1 に記載の液晶表示装置では、消費電力が大きいという課題がある。デジタル駆動方式の液晶表示装置で電力を消費するのは主に外部からのデータ入力

50

部と書き込み動作を行う画素部である。特に画素部における電源電圧は外部のデータ入力部より高い電圧が使用されるため、消費電力への影響が大きい。また、画素部は横方向の画素数4096、縦方向の画素数2400の液晶表示装置（以下、これを「4K2Kパネル」という）のように多画素になるほど画素数の増加と配線の長さが長くなることにより、配線の負荷容量値が増えるので、列データ線へ信号を出力するドライバの消費電力が大きくなる。

【0009】

しかも、4K2Kパネルのような多画素な構成ではデータ量が非常に多くなり、44ビット幅のサブフレームデータにより64サブフレームで1フレームの階調表示を行う場合、水平1ライン単位で4096画素に同時書き込みをしても、60Hzプログレッシブ表示では約10MHzに1回は書き込み動作を行う必要があり、高速動作が要求され、消費電力への影響度合いは非常に大きい。必要なデータレートは37.749Gbps（1/60/64/(4096×2400)）であり、44チャンネルの小振幅差動信号方式（LVDS；Low Voltage Differential Signaling）で伝送する場合、1チャンネルあたりのデータレートは最低でも約857.9Mbpsは必要になる。実際には、LVDSでデータを送る以外の時間が必要なため、約1Gbps程度は必要になる。

10

【0010】

ここで、特許文献1に記載の液晶表示装置の画素への信号書き込み時の消費電力PはCMOSのロジックであるので次式で表される。

【0011】

$$P = N \times F_c \times C_L \times V_{dd}^2 + N \times P_{sc} + N \times P_{lk} \quad (1)$$

ただし、(1)式中、Nは列データ線の本数、F_cは駆動周波数、C_Lは列データ線の負荷容量、V_{dd}は信号電圧、P_{sc}は列データ線へサブフレームデータを出力するドライバと画素の第1のインバータの貫通電流による消費電力、P_{lk}はドライバ等のリーク電流による消費電力である。消費電力P_{sc}は負荷容量の消費電力より小さく、また、リーク電流による消費電力P_{lk}はほぼ無視できるレベルである。よって、C_Lで発生する消費電力が、(N×P_{sc}+N×P_{lk})より大きい場合、及び列データ線の本数Nが多い場合は、(1)式は次式で表される。

20

【0012】

$$P \approx N \times F_c \times C_L \times V_{dd}^2 \quad (2)$$

ここで、列データ線の負荷容量C_Lは数pFであり、例えばライン毎に0と1とが書き換わる場合、列データ線を駆動する充放電電流が一番多くなる。4K2Kパネルの場合、列データ線は4000本以上あることになるので、列データ線1本あたりの負荷容量を2pFとすると、全列データ線の負荷容量C_Lは8000pFを超える。

30

【0013】

また、行走査線を駆動する場合、1ラインの4000画素以上を同時に駆動することになるので、1ライン選択周期は100ns（1/60/64/2400）で高速ではないが、4000画素以上の各画素の第1のスイッチングトランジスタ（画素選択用トランジスタ）をドライブするため、負荷容量は数pFから10pF程度となる。よって、消費電力はフルハイビジョンの液晶表示装置よりも増加する。

40

【0014】

更に、画素読み出し時には画素内の入力サブフレームデータの初段記憶部である第1のインバータから2段目記憶部の第2のインバータへのデータ転送が、全画素でほぼ同時に行われるため、寄生負荷容量への充放電及び第2のインバータへの書き込み電流が発生することになり、場合によっては800万画素（=4096×2400）の第2のインバータで充放電が発生するため、消費電力が極めて大きくなる。

【0015】

以上の理由から、(1)式中の消費電力P_{lk}はほぼ無視できるレベルであるが、特許文献1記載の従来の液晶表示装置では、消費電力Pが非常に大きいという問題がある。大なる消費電流はチップ内の電源GND配線の寄生抵抗により電圧変動を発生させ、結果とし

50

てロジック部分の誤動作を生みやすいという問題もある。

【0016】

本発明は以上の点に鑑みなされたもので、回路構成を大幅に変更することなく、複数の画素からなる画像表示部への書き込み動作による消費電力を従来に比べて低減し得るデジタル駆動方式の液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0017】

本発明は上記の目的を達成するため、行方向及び列方向に2次元マトリクス状に配置されて画像表示部を構成する複数の画素のそれぞれが、

書き込み時に供給される画素データを第1のスイッチング素子によりサンプリングして第1のメモリに記憶する構成の初段記憶部と、読み出し時にオンに制御される第2のスイッチング素子を通して初段記憶部の第1のメモリから読み出した画素データを第2のメモリに一時記憶する構成の2段目記憶部と、対向配置された画素電極と共通電極との間に液晶が充填封入されており、2段目記憶部の第2のメモリに記憶された画素データが画素電極に印加されて画像表示を行う液晶表示素子とを備え、

同じ列に配置された複数の画素のうち隣接する2つの画素の一方の画素内の初段記憶部の出力端子を他方の画素内の初段記憶部の第1のスイッチング素子の入力端子に接続することを、最下行の各画素及び最上行の各画素の一方から他方まで一方向に繰り返して構成された列毎のシフトレジスタと、

列毎のシフトレジスタの初段を構成する最下行又は最上行の画素の初段記憶部に表示すべき画素データを供給して記憶させると共に、記憶させた画素データを列毎のシフトレジスタの最終段まで、シフトクロックに同期させてシフトさせるシフトレジスタ制御手段とを備えることを特徴とする。

【発明の効果】

【0018】

本発明によれば、回路構成を大幅に変更することなく、画像表示部への書き込み動作による消費電力を従来に比べて低減することができる。

【図面の簡単な説明】

【0019】

【図1】本発明の液晶表示装置の一実施の形態のブロック図である。

【図2】本発明の液晶表示装置における、同じ画素列に配置されたn個の画素のうち隣接する2個の画素の第1の実施形態の要部の回路図である。

【図3】図2に示した画素の書き込み時の動作説明用タイミングチャートである。

【図4】本発明の液晶表示装置における、同じ画素列に配置されたn個の画素のうち隣接する2個の画素の第2の実施形態の要部の回路図である。

【図5】本発明の液晶表示装置における、同じ画素列に配置されたn個の画素のうち隣接する2個の画素の第3の実施形態の要部の回路図である。

【図6】本発明の液晶表示装置における、同じ画素列に配置されたn個の画素のうち隣接する2個の画素の第4の実施形態の要部の回路図である。

【図7】本発明の液晶表示装置における、同じ画素列に配置されたn個の画素のうち隣接する2個の画素の第5の実施形態の要部の回路図である。

【発明を実施するための形態】

【0020】

次に、本発明の実施の形態について図面と共に説明する。

【0021】

図1は、本発明になる液晶表示装置の一実施の形態のブロック図を示す。同図において、本実施形態の液晶表示装置10は、複数の画素12が2次元マトリクス状に配置された画像表示部11と、高速インタフェース(I/F)回路13と、データセクタ(D/S)付並列D型フリップフロップ(DFP)14と、画素調整シフトレジスタ15と、水平方向信号ドライバ16と、制御回路17と、初段記憶部シフト用クロックドライバ・転送

10

20

30

40

50

用インバータチェーン駆動回路 18 及び 19 とから構成された、デジタル駆動方式の液晶表示装置である。

【0022】

画像表示部 11 は、行方向（水平方向）に m 個（ m は 2 以上の自然数）配置され、列方向（縦方向）に n 個（ n は 2 以上の自然数）配置された、全部で $m \times n$ 個の画素 12 が 2 次元マトリクス状に配置された構成である。各画素 12 は図 1 ではそれぞれ一つの矩形で模式的に示してある。各画素 12 は、対向して設けられた画素電極（あるいは液晶駆動電極）と共通電極との間に液晶が充填封入された公知の構造の液晶表示素子（図示せず）を有する。周知のように画素電極は画素毎に別々に設けられ、共通電極は全画素に共通に設けられている。

10

【0023】

水平方向に配置された m 個の画素 12 は、初段記憶部シフト用クロックドライバ・転送用インバータチェーン駆動回路 18 及び 19 にそれぞれ両端が接続された水平方向に平行に、かつ、交互に $n/2$ 本ずつ配置された正転シフトクロック信号線と反転シフトクロック信号線に別々に接続されている。つまり、隣接する 2 ラインの m 個の画素のうち一方のラインの m 個の画素は正転シフトクロック信号線に接続され、もう一方のラインの m 個の画素が反転シフトクロック信号線に接続されている。一方、縦方向に配置された n 個の画素 12 のうち、例えば画像表示部 11 において一番下の位置に配置された画素が、水平方向信号ドライバ 16 に一端が接続された縦方向に平行に配された m 本の列データ線に別々に接続されている。つまり、1 本の列データ線は、対応して設けられた同じ列の n 個の画素のうち最下行（ n ライン目）の画素 12 に接続されている。本実施形態の液晶表示装置 10 は、画素 12 が後述するように初段記憶部と 2 段目記憶部と画素電極とが直列接続された構成であり、そのうちの初段記憶部が縦方向に n 段のシフトレジスタを構成している点に特徴がある。この初段記憶部が縦方向に接続された n 段のシフトレジスタは、本発明の列毎のシフトレジスタを構成している。

20

【0024】

高速 I/F 回路 13 は、外部から供給される画像の画素データ（ここではサブフレームデータ）を、LVD S などを用いた高速 I/F で受けて、D/S 付並列 DFF 14 に供給する。D/S 付並列 DFF 14 は、高速 I/F 回路 13 から例えば 64 ビットのデジタル信号バスを介して供給される画素データを、データセクタ（D/S）により 64 ビット単位で水平画素位置に正しく配置保持させて画素調整シフトレジスタ 15 へ出力する。画素調整シフトレジスタ 15 は、D/S 付並列 DFF 14 から供給される画素データをシフトして水平位置調整を行う。ここでは、例えば 1 ライン分の画素数 m が「4096」の場合に、その両側に表示位置を調整するための調整画素が 4 個程度配置されるものとする。画素調整シフトレジスタ 15 は、4100（= 4096 + 4）段のシフトレジスタによりシフト動作を行う。これにより、結果的に表示しようとしている画素に画素データを書き込むことができる。

30

【0025】

水平方向信号ドライバ 16 は、本発明の画素データ発生手段を構成しており、画素調整シフトレジスタ 15 から供給された 1 ラインの各サブフレームデータに対応する画素の列データ線へ出力する。制御回路 17 は、高速 I/F 回路 13 から供給される信号に基づいて、D/S 付並列 DFF 14、画素調整シフトレジスタ 15、及び水平方向信号ドライバ 16 の動作を制御する。

40

【0026】

例えば、制御回路 17 は、D/S 付並列 DFF 14 には D/S で信号を選択するためのイネーブル信号やラッチするためのクロックを生成する。また、制御回路 17 は、画素調整シフトレジスタ 15 に対しては、シフトするためのクロックやパラレル入力するためのロード信号を生成する。垂直駆動回路にあたる初段記憶部シフト用クロックドライバ・転送用インバータチェーン駆動回路 18 および 19 に対しては、シフトクロックやタイミングを合わせるための制御信号を生成する。LVD S から入力されるコマンドビットがそれ

50

らのもととなる。

【0027】

初段記憶部シフト用クロックドライバ・転送用インバータチェーン駆動回路18及び19内の転送用インバータチェーン駆動回路は、各画素12内の2段目記憶部に印加する転送パルスインバータチェーン回路を通して、少しずつ遅延させ、同時に転送回路がオンしないようにばらけさせるためのものである。また、初段記憶部シフト用クロックドライバ・転送用インバータチェーン駆動回路が18及び19で示すように画像表示部11の左右に同じ構成のものが2つ設けられているのは、画像表示部11の画素数が多く、1つではドライブ能力が不足するという問題を考慮したものである。しかし、原理的には一つでよい。初段記憶部シフト用クロックドライバ・転送用インバータチェーン駆動回路18及び19の初段記憶部シフト用クロックドライバと制御回路17とは本発明におけるシフトレジスタ制御手段を構成している。

10

【0028】

次に、本発明の液晶表示装置の要部である画素12の各実施の形態について詳細に説明する。

【0029】

図2は、本発明になる液晶表示装置における、同じ画素列に配置されたn個の画素のうち隣接する2個の画素の第1の実施形態の要部の回路図を示す。本実施形態の液晶表示装置10では、画素書き込み時には隣接する2行の画素群単位で制御するので、図2にはその制御単位の2行の画素群のうち、同じ列の2個の画素のみを示している（ただし、画素内の液晶表示素子は画素電極のみ図示している）。

20

【0030】

図2において、画素12_nはnライン目の画素、画素12_{n-1}は(n-1)ライン目の画素であり、それぞれ第1のスイッチング素子を構成するNチャンネルMOS型電界効果トランジスタ（以下、NMOSTランジスタ）による第1のスイッチングトランジスタnmos1_n、nmos1_{n-1}と、第1のインバータinv1_n、inv1_{n-1}とからなる初段記憶部と、第2のスイッチング素子を構成するNMOSTランジスタによる第2のスイッチングトランジスタnmos2_n、nmos2_{n-1}と、第2のインバータinv2_n、inv2_{n-1}とからなる2段目記憶部とからなる。初段記憶部はDRAMを構成している。第1のインバータinv1_n、inv1_{n-1}は第1のメモリを構成し、第2のインバータinv2_n、inv2_{n-1}は第2のメモリを構成している。

30

【0031】

初段記憶部内の第1のインバータinv1_n、inv1_{n-1}の各出力端子は、同じ画素内の2段目記憶部内の第2のスイッチングトランジスタnmos2_n、nmos2_{n-1}のドレインに接続される一方、1ライン上の画素12_{n-1}、12_{n-2}（図示せず）の初段記憶部内の第1のスイッチングトランジスタnmos1_{n-1}、nmos1_{n-2}のソースに接続されている。なお、図2には示していない画素12_n~12_{n-1}と同じ列の画素12_{n-2}~12₂においても初段記憶部内の第1のインバータの出力端子の出力端子が1ライン上の画素12_{n-3}~12₁（いずれも図示せず）の初段記憶部内の第1のスイッチングトランジスタのソースに接続されている。

【0032】

これらの同じ1列のn個の画素12_n~12₁において、各初段記憶部の第1のインバータの出力端子と1ライン上の画素の初段記憶部内の第1のスイッチングトランジスタnmosのソースとが接続された初段記憶部接続回路は、本発明の列毎のシフトレジスタに相当する縦方向のシフトレジスタVSR1を構成している。また、第2のインバータinv2_n及び2_{n-1}の各出力端子は画素12_n及び12_{n-1}内の各液晶表示素子の画素電極に接続される。なお、初段記憶部を構成するDRAMは画素書き込み時に用いられ、2段目記憶部は画素読み出し時に用いられる。

40

【0033】

nmos1_nのゲートは初段記憶部シフト用クロックドライバ・転送用インバータチェーン駆動回路18及び19に両端が接続された正転シフトクロック信号線gnに接続されている。また、nmos1_{n-1}のゲートは初段記憶部シフト用クロックドライバ・転送用インバー

50

タチェーン駆動回路 18 及び 19 に両端が接続された反転シフトクロック信号線 g_{n-1} に接続されている。正転シフトクロック信号線が伝送する正転シフトクロックと反転シフトクロック信号線が伝送する反転シフトクロックとは、常に逆論理値の関係にある初段記憶部シフト用クロックである。従って、 $nmos\ 1_n$ 及び $nmos\ 1_{n-1}$ の一方がオンの時は他方がオフの関係にある。

【0034】

一方、 $nmos\ 2_n$ のゲートは初段記憶部シフト用クロックドライバ・転送用インバータチェーン駆動回路 18 及び 19 に両端が接続された第 1 の転送信号線 $trga$ に接続されている。また、 $nmos\ 2_{n-1}$ のゲートは初段記憶部シフト用クロックドライバ・転送用インバータチェーン駆動回路 18 及び 19 に両端が接続された第 2 の転送信号線 $trgb$ に接続されている。第 1 及び第 2 の転送信号線 $trga$ 及び $trgb$ が伝送する第 1 及び第 2 の転送信号は、インバータチェーン駆動回路により若干の位相差がある転送クロックである。従って、 $nmos\ 2_n$ 及び 2_{n-1} の一方がオンになると僅かな時間遅れて他方がオンとなる関係にある。

10

【0035】

従来はサブフレーム期間の直前に列データ線に供給するサブフレームデータをドライバで書き込み、それを画素選択信号（行走査信号）により 1 行単位で選択した各画素の初段記憶部に書き込んでいた。これに対し、本実施形態の液晶表示装置 10 では、従来装置のような列データ線及びそのドライバを除き、各画素 12 の初段記憶部の第 1 のインバータの出力端子を 1 ライン上の画素の初段記憶部の第 1 のスイッチングトランジスタのソースに接続することで縦方向にシフトレジスタ VSR_1 を構成して各画素 12 への書き込みを行う。この初段記憶部に書き込むサブフレームデータを水平ライン分シフト動作で動かすことにより、画素 12 への書き込みが行われることになる。

20

【0036】

すなわち、各サブフレーム期間の直前に隣接する 2 行の各画素のうち一方の画素内の初段記憶部にサブフレームデータを書き込み、続いて隣接する 2 行の各画素のうち他方の画素内の初段記憶部に一方の画素内の初段記憶部に書き込まれたサブフレームデータを読み出して書き込むことを交互に繰り返すシフト動作を 2 行の画素単位で行うことで、全画素の初段記憶部にサブフレームデータを書き込む。

【0037】

書き込み終了後は、サブフレーム期間の最初に 1 回だけ、隣接する 2 行の各画素内の初段記憶部に記憶されたそれぞれのサブフレームデータを、前記第 1 及び第 2 の転送信号の制御に従って僅かな時間ずらして 2 段目記憶部に転送して画素電極に印加する。全画素の 2 段目記憶部は転送信号により 1 行単位で極めて僅かな時間ずらずらして順次に制御される。従って、全画素はサブフレーム期間の最初にほぼ同時に画素内の画素電極にサブフレームデータが印加されて、サブフレーム期間サブフレーム表示を行う。

30

【0038】

次に、図 2 に示した画素の書き込み時の動作について、図 3 のタイミングチャートを併せ参照して更に詳細に説明する。図 1 の水平方向信号ドライバ 16 から並列に出力される各 1 ビットのサブフレームデータは、最初に第 1 ラインの画素 12 で表示されるべき画素データである。以下、第 2 ラインから第 n ラインまでライン順に各画素 12 で表示されるべきサブフレームデータが出力されて画像表示部 11 の第 n ラインの画素 12_n に入力される。ただし、隣接する 2 ラインの画素 12 のうち下側のラインの画素内の初段記憶部から 1 ライン上の画素内の初段記憶部に転送される際に、サブフレームデータは反転されて出力されるため、水平方向信号ドライバ 16 からは 2 値のサブフレームデータの本来の論理値を示す正転サブフレームデータと逆論理値を示す反転サブフレームデータとが、後述する縦方向の垂直レジスタへのシフトクロックの周期毎に交互に出力される。

40

【0039】

すなわち、或る一列に配置された n 個の画素のうち図 2 に示した第 n ラインの画素 12_n の初段記憶部内の $nmos\ 1_n$ のソースには図 3 (K) に示すように、第 1 ラインで表示される正転サブフレームデータ d_1 、第 2 ラインで表示される反転サブフレームデータ d_2

50

、第3ラインで表示される正転サブフレームデータd3、第4ラインで表示される反転サブフレームデータ/d4・・・の順で第nラインで表示される正転サブフレームデータd_nまでが供給される。

【0040】

一方、上記サブフレームデータの出力タイミングに同期して図3(A)に示す第2のシフトクロックが信号線g_{n-1}に供給され、かつ、同図(B)に示す第1のシフトクロックが信号線g_nに供給される。これら第1及び第2のシフトクロックは互いに逆論理値の関係にあり、かつ、サブフレームデータの出力期間と同一の周期を有している対称方形波である。また、サブフレームデータd1が縦方向のシフトレジスタの初段である画素12_nの初段記憶部内のnmos1_nのソースに供給される時刻t1からt3までの期間のうち前半の時刻t1からt2までの期間は図3(B)に示すように“H”レベルの第1のシフトクロックが信号線g_nを介してnmos1_nのゲートに印加され、同図(A)に示すように“L”レベルの第2のシフトクロックが信号線g_{n-1}を介してnmos1_{n-1}のゲートに印加されるため、nmos1_nがオン、nmos1_{n-1}がオフに制御される。このため、サブフレームデータd1が画素12_nの初段記憶部内のnmos1_nを介してインバータinv1_nに印加され、そのゲートに保持される。

10

【0041】

続いて、サブフレームデータd1が画素12_nの初段記憶部に供給される時刻t1からt3までの期間のうち後半の時刻t2からt3までの期間では、図3(B)に示すように“L”レベルの第1のシフトクロックが信号線g_nを介してnmos1_nのゲートに印加され、同図(A)に示すように“H”レベルの第2のシフトクロックが信号線g_{n-1}を介してnmos1_{n-1}のゲートに印加されるため、nmos1_nがオフ、nmos1_{n-1}がオンに制御される。このため、インバータinv1_nのゲートに保持されていたサブフレームデータd1がインバータinv1_nにより極性反転されて/d1として画素12_{n-1}の初段記憶部内のnmos1_{n-1}を介してインバータinv1_{n-1}に転送され、そのゲートに保持される。

20

【0042】

続いて、サブフレームデータd2を極性反転した反転サブフレームデータ/d2が画素12_nの初段記憶部に時刻t3からt5までの期間供給される。そのうち前半の時刻t3からt4までの期間では、図3(B)に示すように“H”レベルの第1のシフトクロックが信号線g_nを介してnmos1_nのゲートに印加され、同図(A)に示すように“L”レベルの第2のシフトクロックが信号線g_{n-1}を介してnmos1_{n-1}のゲートに印加されるため、nmos1_nがオン、nmos1_{n-1}がオフに制御される。このため、反転サブフレームデータ/d2が画素12_nの初段記憶部内のnmos1_nを介してインバータinv1_nに印加され、そのゲートに保持される。

30

【0043】

続いて、反転サブフレームデータ/d2が画素12_nの初段記憶部に供給される時刻t3からt5までの期間のうち後半の時刻t4からt5までの期間では、図3(B)に示すように“L”レベルの第1のシフトクロックが信号線g_nを介してnmos1_nのゲートに印加され、同図(A)に示すように“H”レベルの第2のシフトクロックが信号線g_{n-1}を介してnmos1_{n-1}のゲートに印加されるため、nmos1_nがオフ、nmos1_{n-1}がオンに制御される。このため、インバータinv1_nのゲートに保持されていたサブフレームデータ/d2がインバータinv1_nにより極性反転されて本来の極性のサブフレームデータd2として画素12_{n-1}の初段記憶部内のnmos1_{n-1}を介してインバータinv1_{n-1}に転送され、そのゲートに保持される。

40

【0044】

以下、同様に画素12_{n-1}の上側の第n-2ラインから第1ラインまでの各画素の初段記憶部内の第1のスイッチングトランジスタであるnmosにもその下側の第n-1ラインから第2ラインまでの各画素の初段記憶部の第1のインバータに保持されたサブフレームデータが反転されて転送される動作が繰り返される。これにより、画素12_nの初段記憶部内のインバータinv1_nには図3(C)に模式的に示すサブフレームデータが記憶され、画

50

素 12_{n-1} の初段記憶部内のインバータ $inv1_{n-1}$ には図 3 (D) に模式的に示すサブフレームデータが記憶される。また、図 3 (E)、(F)、(G)、(H)、(I)、(J) は、画素 12_{n-2} 、画素 12_{n-3} 、画素 12_4 、画素 12_3 、画素 12_2 、画素 12_1 の初段記憶部に保持されたサブフレームデータを模式的に示す。

【 0 0 4 5 】

このようにして、信号線 gn により n 個目のシフトクロックが伝送され、かつ、正転サブフレームデータ dn が画素 12_n の初段記憶部に供給される時刻 $t6$ で、図 3 (C) に模式的に示すように第 n ラインの画素 12_n の初段記憶部にサブフレームデータ dn が記憶保持されると同時に、この時刻 $t6$ で、図 3 (D) ~ (J) に模式的に示すように、第 $n - 1$ ラインから第 1 ラインまでの画素 12_{n-2} から画素 12_1 までのすべてで、それぞれ正転サブフレームデータ $dn-1$ から $d1$ が記憶保持され、シフト動作による書き込み動作が完了する。他の列のそれぞれ n 個の画素 12 についても上記の書き込み動作と並行して、同様の書き込み動作が行われることは勿論である。

10

【 0 0 4 6 】

なお、同じ 1 列の n 個の画素 $12_n \sim 12_1$ の各初段記憶部により構成される縦方向のシフトレジスタ $VSR1$ は、図 3 (A)、(B) に示したシフトクロックの 1 周期で 2 ライン分データをシフトするため、縦方向のシフトレジスタ $VSR1$ の初段の画素 12_n に供給されるシフトクロックの数が一番多く n 個、一番最後の画素 12_1 に供給されるシフトクロックの数が $n / 2$ 個になり、何段目の画素であるかによって本来のデータを記憶するまでのシフトクロックの数が異なる。よって、データ転送用のシフトクロックはライン毎に異なるようにドライバで構成する。具体的には、シフトクロックをカウントするカウンタとその出力をデコードする回路を用いて、ゲート回路でクロックをゲーティングすることで実現できる。

20

【 0 0 4 7 】

次に、本実施形態の効果である書き込み時の消費電力が従来の液晶表示装置の書き込み時の消費電力よりも低減することについて説明する。

【 0 0 4 8 】

上記したように、本実施形態では、画素 12 へ書き込まれるサブフレームデータは、同じ 1 列の n 個の画素 $12_n \sim 12_1$ の各初段記憶部により構成される縦方向のシフトレジスタ $VSR1$ の初段の画素 12_n より 1 ライン毎の書き込み周期 (例えば、 10MHz) でシフト動作されていき、一番最後の n 段目の画素 12_1 までシフト動作を行うことで全画素の初段記憶部への書き込み動作が終了する。この縦方向のシフトレジスタ $VSR1$ のシフト動作が全画素について同期して常に行われるため、本実施形態の書き込み時の消費電力 $P1$ は次式で表される。

30

【 0 0 4 9 】

$$P1 = L \times N \times Fc \times CLm \times Vdd^2 + N \times Pscm + N \times Plkm \quad (3)$$

ただし、(3) 式中、 L は縦方向ライン数 (上記の例では n)、 N は縦方向の信号線の本数 (上記の例では n)、 Fc は駆動周波数、 CLm は図 2 に示した一画素の初段記憶部の負荷容量 ($nmos1_{n-1}$ の接合容量とライン間の信号配線に伴う寄生容量が主になる)、 Vdd はシフトする信号電圧である。また、 $Pscm$ は初段記憶部の貫通電流による消費電力で、小さな値であり、従来あった列データ線ドライバの貫通電流は無いので非常に小さな値である。また、 $Plkm$ は初段記憶部のリーク電流による消費電力で、ほぼ無視できるレベルであり、従来の列データ線ドライバのリーク電流分小さな値である。

40

【 0 0 5 0 】

ここで、本実施形態の書き込み時の消費電力 $P1$ と (2) 式に示した従来の液晶表示装置の書き込み時の消費電力と比べると以下のような差がある。

【 0 0 5 1 】

$$CL \quad CLm \times L \quad (4)$$

$$N \times Psc \quad N \times Pscm \quad (5)$$

$$N \times Plk \quad N \times Plkm \quad (6)$$

50

ここで、 P_{sc} は従来の列データ線へサブフレームデータを出力するドライバの消費電力と画素の第1のインバータの貫通電流による消費電力との和からなるのに対し、本実施形態における P_{scm} は画素の初段記憶部の貫通電流による消費電力のみである。よって、(5)式は次式に書き改めることができる。

【0052】

$$N \times (P_{scm} + P_{scd}) \quad N \times P_{scm} \quad (7)$$

ただし、(7)式中、 P_{scd} は列データ線のドライバの貫通電流にまつわる消費電力である。また、(6)式も次式に書き改めることができる。

【0053】

$$N \times (P_{lkm} + P_{lkd}) \quad N \times P_{lkm} \quad (8)$$

ただし、(8)式中、 P_{lkd} は列データ線のドライバのリーク電流にまつわる消費電力である。

【0054】

C_L は C_{Lm} とほぼ同じ値となる可能性があるが、縦方向の信号線(列データ線)のドライバの接合容量分は小さい。よって、(4)式も次式に書き改めることができる。

【0055】

$$C_L > C_{Lm} \times L \quad (9)$$

よって、(7)式、(8)式で表される従来の液晶表示装置における列データ線のドライバによる消費電力分は本実施形態の液晶表示装置では確実に低減できることになる。

【0056】

このように、本実施形態の液晶表示装置10によれば、従来の液晶表示装置では列データ線を介して画素に書き込んでいた画素データ(具体的にはサブフレームデータ)を画素の初段記憶部(スイッチングトランジスタ $nmos1_n \sim 1_1$ とインバータ $inv1_n \sim 1_1$ によるDRAM回路)を縦方向にシフトレジスタを構成できるように接続し、最終的に画素の2段目記憶部に入力する画素データを前段のラインに保持する構成とした。また、本実施形態の液晶表示装置では、縦方向の列データ線を無くしたため、それをドライブするための大消費電力のドライバ回路を省略できて、なおかつ、大きな負荷容量を駆動する必要がなくなるため、縦方向のシフトレジスタの設計を最適化することで消費電力を低減できる。

【0057】

また、本実施形態の液晶表示装置によれば、全画素のそれぞれにおいて画素電極へ初段記憶部からほぼ同時に記憶画素データを印加することにより、信頼性向上、明るさ工場などの効果が得られる。

【0058】

次に、本発明の液晶表示装置の要部である画素12の第2の実施の形態について詳細に説明する。図4は、本発明になる液晶表示装置における、同じ画素列に配置されたn個の画素のうち隣接する2個の画素の第2の実施形態の要部の回路図を示す。なお、画素内の液晶表示素子は画素電極のみ図示している。同図中、図2と同一構成部分には同一符号を付し、その説明を省略する。

【0059】

図4において、画素 12_n はnライン目の画素、画素 12_{n-1} は(n-1)ライン目の画素であり、それぞれ初段記憶部と2段目記憶部と液晶表示素子の画素電極とが直列接続された構成である点は第1の実施形態の画素と同じであるが、初段記憶部の構成と縦方向のシフトレジスタの構成が第1の実施形態の画素と異なる。

【0060】

すなわち、画素 12_n の初段記憶部は、NMOSトランジスタによる第1のスイッチングトランジスタ $nmos1_n$ のソースに、第1のインバータ $inv3_n$ の入力端子と第2のインバータ $inv4_n$ の出力端子にそれぞれ接続された構成である。同様に、画素 12_{n-1} の初段記憶部は、NMOSトランジスタによる第1のスイッチングトランジスタ $nmos1_{n-1}$ のソースに、第1のインバータ $inv3_{n-1}$ の入力端子と第2のインバータ $inv4_{n-1}$ の出力端子にそれ

10

20

30

40

50

ぞれ接続された構成である。インバータ $inv3_n$ とインバータ $inv4_n$ とは互いの入力端子が一方の出力端子に接続された自己保持型メモリを構成しており、スイッチングトランジスタ $nmos1_n$ と共にスタティック・ランダム・アクセス・メモリ (SRAM) を構成している。同様に、インバータ $inv3_{n-1}$ とインバータ $inv4_{n-1}$ とは互いの入力端子が一方の出力端子に接続された自己保持型のメモリを構成しており、スイッチングトランジスタ $nmos1_{n-1}$ と共に SRAM を構成している。

【0061】

また、初段記憶部を構成する SRAM の出力端子 (インバータ $inv3_n$ 、 $inv3_{n-1}$ の各出力端子及びインバータ $inv4_n$ 、 $inv4_{n-1}$ の入力端子) は、同じ画素内の 2 段目記憶部内の第 2 のスイッチングトランジスタ $nmos2_n$ 、 $nmos2_{n-1}$ のドレインに接続される一方、1 ライン上の画素 12_{n-1} 、 12_{n-2} (図示せず) の初段記憶部内のスイッチングトランジスタ $nmos1_{n-1}$ 、 $nmos1_{n-2}$ のソースと自己保持型メモリの入力端子 (インバータ 3_n 、 3_{n-1} の入力端子とインバータ 4_n 、 4_{n-1} の出力端子) との接続点に接続されている。なお、図 2 には示していない画素 $12_n \sim 12_{n-1}$ と同じ列の画素 $12_{n-2} \sim 12_2$ においても初段記憶部の SRAM の出力端子が 1 ライン上の画素 $12_{n-3} \sim 12_1$ (いずれも図示せず) の初段記憶部内の第 1 のスイッチングトランジスタのソースと自己保持型メモリの入力端子との共通接続点に接続されている。

10

【0062】

これらの同じ 1 列の n 個の画素 $12_n \sim 12_1$ において、各初段記憶部の SRAM の出力端子と 1 ライン上の画素の初段記憶部内の第 1 のスイッチングトランジスタ $nmos$ のソースと自己保持型メモリの入力端子との接続点に接続された初段記憶部接続回路は、縦方向のシフトレジスタ $VSR2$ を構成している。また、第 2 のインバータ $inv2_n$ 及び 2_{n-1} の各出力端子は画素 12_n 及び 12_{n-1} 内の各液晶表示素子の画素電極に接続される。なお、初段記憶部は画素書き込み時に用いられ、2 段目記憶部は画素読み出し時に用いられる。

20

【0063】

本実施形態も第 1 の実施形態と同様に、画素 12 へ書き込まれるサブフレームデータは、同じ 1 列の n 個の画素 $12_n \sim 12_1$ の各初段記憶部により構成される縦方向のシフトレジスタ $VSR2$ の初段の画素 12_n より 1 ライン毎の書き込み周期 (例えば、 10MHz) でシフト動作されていき、一番最後の n 段目の画素 12_1 までシフト動作を行うことで全画素の初段記憶部への書き込み動作が終了する。この縦方向のシフトレジスタ $VSR2$ はスタティック型のシフトレジスタであり、ダイナミック型のシフトレジスタより低い周波数まで動作する。本実施形態の書き込み時の消費電力 $P2$ は次式で表される。

30

【0064】

$$P2 = L \times N \times Fc \times CLm \times Vdd^2 + N \times Psmr + N \times Plkm \quad (10)$$

ただし、(10) 式中、 L は縦方向ライン数 (上記の例では n)、 N は縦方向の信号線の本数 (上記の例では n)、 Fc は駆動周波数、 CLm は図 4 に示した一画素の初段記憶部の負荷容量 ($nmos1_{n-1}$ の接合容量とライン間の信号配線に伴う寄生容量が主になる)、 Vdd はシフトする信号電圧である。また、 $Psmr$ は初段記憶部の SRAM を書き換える電力で、基本的には SRAM を反転するための駆動電流に信号電圧 Vdd を乗算した値で表される。 $Plkm$ は初段記憶部のリーク電流による消費電力である。

40

【0065】

(10) 式で表される本実施形態の書き込み時の消費電力 $P2$ も (3) 式で表される第 1 の実施形態の書き込み時の消費電力 $P1$ と同様であり、下記のような (11) 式と (8) 式とから消費電力を小さくすることが可能であることが分かる。

【0066】

すなわち、(10) 式中の ($N \times Psmr$) は (5) 式の ($N \times Pscm$) と同じように考えられる。つまり、初段記憶部の貫通電流と SRAM の書き換え時の消費電力は従来の消費電力と本実施形態の消費電力との関係で同じようになる。つまり、(11) 式のような関係となる。

【0067】

50

$$N \times (P_{srm} + P_{scd}) \quad N \times P_{srm} \quad (11)$$

ただし、(11)式中、 P_{scd} は列データ線のドライバの貫通電流にまつわる消費電力である。

【0068】

また、本実施形態では、ドライバ回路を作る必要がないため、面積的に小さくすることが可能であり、コスト削減に寄与することができる。

【0069】

次に、本発明の液晶表示装置の要部である画素12の第3の実施の形態について詳細に説明する。図5は、本発明になる液晶表示装置における、同じ画素列に配置された n 個の画素のうち隣接する2個の画素の第3の実施形態の要部の回路図を示す。なお、画素内の液晶表示素子は画素電極のみ図示している。同図中、図4と同一構成部分には同一符号を付し、その説明を省略する。

10

【0070】

図5において、画素 12_n は n ライン目の画素、画素 12_{n-1} は $(n-1)$ ライン目の画素であり、それぞれ初段記憶部と2段目記憶部と液晶表示素子の画素電極とが直列接続された構成である点は第1及び第2の実施形態の画素と同じであり、また縦方向のシフトレジスタの構成も第2の実施の形態の $VSR2$ と同一であるが、2段目記憶部の構成が第2の実施形態の画素と異なる。

【0071】

すなわち、画素 12_n の2段目記憶部は、互いのドレイン同士とソース同士とが接続された $NMOS$ トランジスタ $nmos3_n$ 及び P チャネル MOS 型電界効果トランジスタ(以下、 $PMOS$ トランジスタ) $pmos1_n$ とからなるトランスミッションゲートと保持容量 CL_n とからなる。トランスミッションゲートは第2のスイッチング素子を構成している。同様に、画素 12_{n-1} の2段目記憶部は、互いのドレイン同士とソース同士とが接続された $NMOS$ トランジスタ $nmos3_{n-1}$ 及び $PMOS$ トランジスタ $pmos1_{n-1}$ とからなるトランスミッションゲートと保持容量 CL_{n-1} とからなる。画素 12_n 、 12_{n-1} 内の各2段目記憶部内のトランスミッションゲートの一方の端子は同じ画素の初段記憶部の $SRAM$ の出力端子に接続され、他方の端子は同じ画素の保持容量 CL_n 、 CL_{n-1} の非接地側端子と画素電極 PE_n 、 PE_{n-1} との共通接続点に接続されている。

20

【0072】

また、 $nmos3_n$ のゲートは初段記憶部シフト用クロックドライバ・転送用インバータチェーン駆動回路18及び19に両端が接続された第1の転送信号線pmos1_nのゲートは初段記憶部シフト用クロックドライバ・転送用インバータチェーン駆動回路18及び19に両端が接続された第3の転送信号線/trgaに接続されている。また、 $nmos2_{n-1}$ のゲートは初段記憶部シフト用クロックドライバ・転送用インバータチェーン駆動回路18及び19に両端が接続された第2の転送信号線pmos1_{n-1}のゲートは初段記憶部シフト用クロックドライバ・転送用インバータチェーン駆動回路18及び19に両端が接続された第4の転送信号線/trgbに接続されている。第1及び第3の転送信号線

30

40

【0073】

これにより、画素読み出し時に、画素 12_n の2段目記憶部のトランスミッションゲートがオンになると同じ画素の初段記憶部の $SRAM$ から出力されたサブフレームデータがトランスミッションゲートを通して保持容量 CL_n に供給されて保持されるとともに画素電極 PE_n に印加されて液晶表示素子にサブフレーム期間表示を行わせる。また、これより僅かな時間ずれたタイミングで、画素 12_{n-1} の2段目記憶部のトランスミッションゲートがオンになり、同じ画素の初段記憶部の $SRAM$ から出力されたサブフレームデータがトランスミッションゲートを通して保持容量 CL_{n-1} に供給されて保持されるとともに

50

画素電極 PE_{n-1} に印加されて液晶表示素子にサブフレーム期間表示を行わせる。本実施形態も第 1 の実施形態と同様の消費電力の低減効果が得られる。

【0074】

次に、本発明の液晶表示装置の要部である画素 12 の第 4 の実施の形態について詳細に説明する。図 6 は、本発明になる液晶表示装置における、同じ画素列に配置された n 個の画素のうち隣接する 2 個の画素の第 4 の実施形態の要部の回路図を示す。なお、画素内の液晶表示素子は画素電極のみ図示している。同図中、図 2 及び図 5 と同一構成部分には同一符号を付し、その説明を省略する。

【0075】

図 6 において、画素 12_n は n ライン目の画素、画素 12_{n-1} は $(n-1)$ ライン目の画素であり、それぞれ初段記憶部と 2 段目記憶部と液晶表示素子の画素電極とが直列接続された構成である点は第 1 ~ 第 3 の実施形態の画素と同じであり、また縦方向のシフトレジスタの構成も第 1 の実施の形態の $VSR1$ と同一であるが、2 段目記憶部の構成が第 1 及び第 2 の実施形態の画素と異なり、第 3 の実施の形態と同じ構成である。

【0076】

図 6 に示す実施の形態では、画素 12_n 、画素 12_{n-1} の読み出し時に、同じ画素の初段記憶部の $DRAM$ から極性反転して出力されたサブフレームデータがトランスマッションゲートを介して保持容量 CL_n 、 CL_{n-1} に保持されるとともに、画素電極 PE_n 、 PE_{n-1} に印加されて液晶表示素子にサブフレーム期間表示を行わせる。本実施形態も第 1 ~ 第 3 実施形態と同様の消費電力低減効果が得られる。

【0077】

次に、本発明の液晶表示装置の要部である画素 12 の第 5 の実施の形態について詳細に説明する。図 7 は、本発明になる液晶表示装置における、同じ画素列に配置された n 個の画素のうち隣接する 2 個の画素の第 5 の実施形態の要部の回路図を示す。なお、画素内の液晶表示素子は画素電極のみ図示している。同図中、図 4 及び図 6 と同一構成部分には同一符号を付し、その説明を省略する。

【0078】

図 7 において、画素 12_n は n ライン目の画素、画素 12_{n-1} は $(n-1)$ ライン目の画素であり、それぞれ初段記憶部と 2 段目記憶部と液晶表示素子の画素電極とが直列接続された構成である点は第 1 ~ 第 4 の実施形態の画素と同じであり、また縦方向のシフトレジスタの構成も第 2 及び第 3 の実施の形態の $VSR2$ と同一であるが、本実施形態は 2 段目記憶部の構成が第 1 ~ 第 4 の実施形態の構成と異なる。

【0079】

すなわち、本実施の形態の画素 12_n 及び画素 12_{n-1} の 2 段目記憶部は、図 5 及び図 6 に示した第 3 及び第 4 の実施の形態の画素の 2 段目記憶部と比較すると、保持容量 CL_n 、 CL_{n-1} の代わりに第 1 及び第 2 の実施形態と同様のインバータ 2_n 、 2_{n-1} を設けた点に特徴がある。

【0080】

すなわち、本実施形態の画素 12_n 及び画素 12_{n-1} は初段記憶部が図 4 に示した第 2 及び第 3 の実施の形態と同様に $SRAM$ の構成とし、2 段目記憶部は図 5 及び図 6 に示した第 3 及び第 4 の実施形態と同様に第 2 のスイッチング素子に相当するトランスマッションゲートと、第 2 のメモリに相当するインバータとからなる構成としたものである。本実施形態も第 1 ~ 第 4 の実施形態と同様の消費電力低減効果が得られる。

【0081】

なお、本発明は以上の実施の形態に限定されるものではなく、例えば本発明はサブフレームデータ以外の画素データに基づいて画像表示を行うデジタル駆動方式の液晶表示装置にも適用できる。また、表示する画素データは最下行の画素から最上行の画素の方向にシフトするように説明したが、逆方向にシフトするように構成してもよいことは勿論である。

【符号の説明】

10

20

30

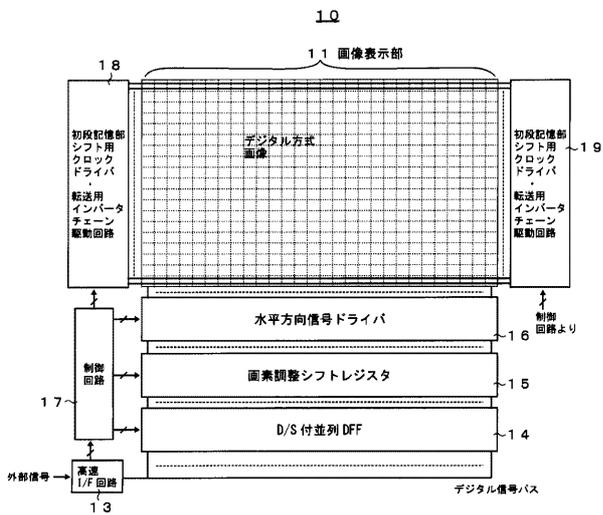
40

50

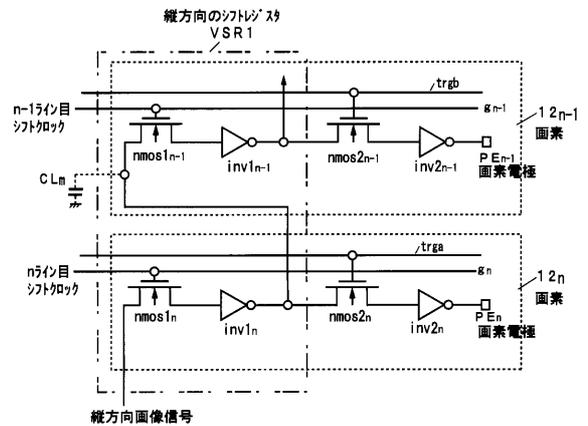
【 0 0 8 2 】

- 1 0 液晶表示装置
 - 1 1 画像表示部
 - 1 2、 1 2₁ ~ 1 2_n 画素
 - 1 3 高速インタフェース (I / F) 回路
 - 1 4 データセクタ (D / S) 付並列 D 型フリップフロップ (D F F)
 - 1 5 画素調整シフトレジスタ
 - 1 6 水平方向信号ドライバ
 - 1 7 制御回路
 - 1 8、 1 9 初段記憶部シフト用クロックドライバ・転送用インバータチェーン駆動回路
- nmos 1_n、 nmos 1_{n-1} 初段記憶部内の第 1 のスイッチング用 N M O S トランジスタ
 nmos 2_n、 nmos 2_{n-1} 2 段目記憶部内の第 2 のスイッチング用 N M O S トランジスタ
 inv 1_n、 inv 1_{n-1} 初段記憶部内の第 1 のインバータ
 inv 2_n、 inv 2_{n-1} 2 段目記憶部内の第 2 のインバータ
 nmos 3_n、 nmos 3_{n-1} 2 段目記憶部内の第 3 のスイッチング用 N M O S トランジスタ
 pmos 1_n、 pmos 1_{n-1} 2 段目記憶部内の第 1 のスイッチング用 P M O S トランジスタ
 C L_n、 C L_{n-1} 2 段目記憶部内の保持容量
 P E_n、 P E_{n-1} 画素電極
 V S R 1、 V S R 2 縦方向のシフトレジスタ

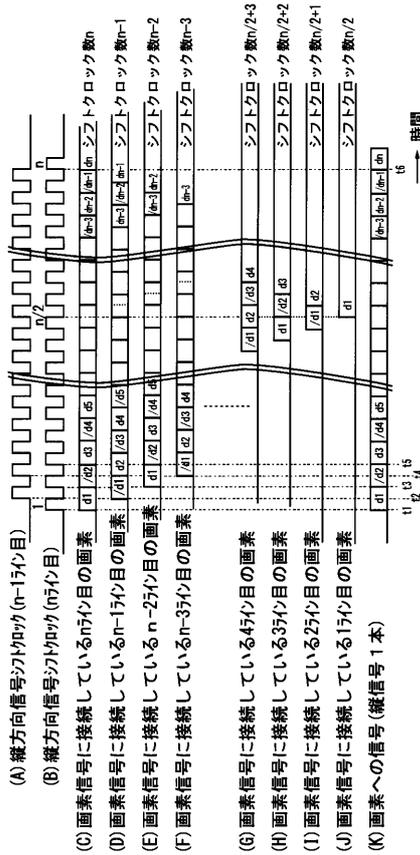
【 図 1 】



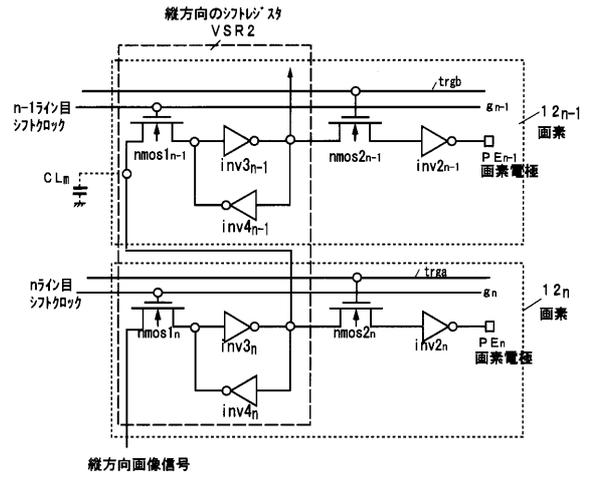
【 図 2 】



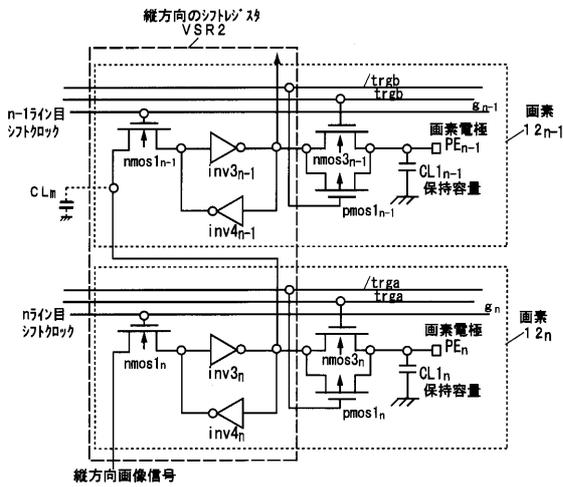
【 図 3 】



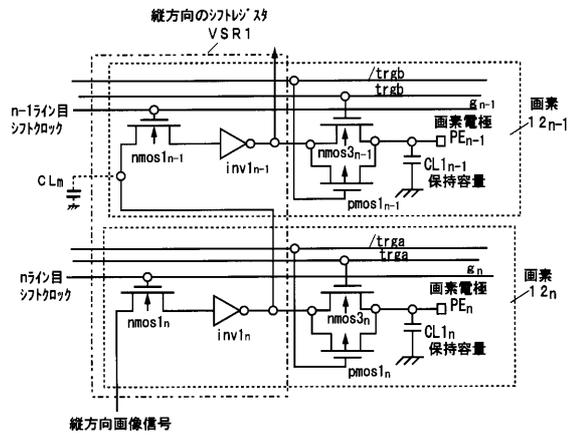
【 図 4 】



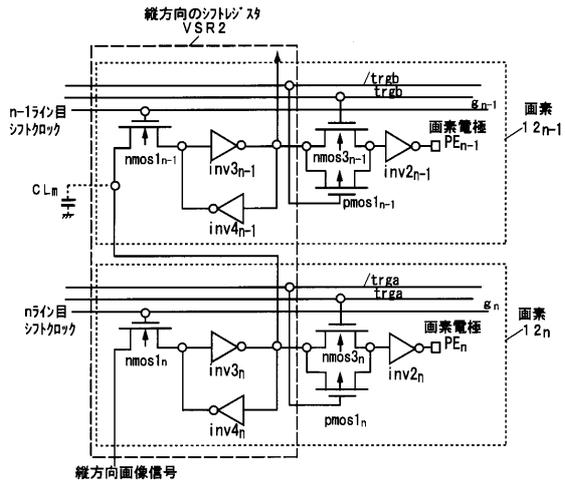
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 2 F 1/133 5 0 5

Fターム(参考) 5C080 AA10 BB05 DD09 DD23 DD26 EE29 FF09 FF11 JJ02 JJ03

专利名称(译)	液晶表示装置		
公开(公告)号	JP2015179138A	公开(公告)日	2015-10-08
申请号	JP2014055708	申请日	2014-03-19
[标]申请(专利权)人(译)	JVC 建伍株式会社		
申请(专利权)人(译)	JVC建伍公司		
[标]发明人	清水健 井上智文		
发明人	清水 健 井上 智文		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.624.B G09G3/20.641.E G09G3/20.611.A G09G3/20.621.M G02F1/133.505		
F-TERM分类号	2H193/ZD25 2H193/ZF24 2H193/ZF32 2H193/ZF44 5C006/AA14 5C006/BB16 5C006/BC06 5C006/BC23 5C006/BF03 5C006/BF06 5C006/BF24 5C006/BF27 5C006/FA42 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD09 5C080/DD23 5C080/DD26 5C080/EE29 5C080/FF09 5C080/FF11 5C080/JJ02 5C080/JJ03		
外部链接	Espacenet		

摘要(译)

本发明的一个目的是与传统像素相比，减少了由于对由多个像素组成的图像显示部分的写入操作而导致的功耗，而无需大幅度改变电路配置。
 解决方案：第一级存储单元中的第一反相器inv1 \bar{n} 和inv1 n-1的每个输出端子在同一像素中具有第二级存储单元中的第二开关晶体管nmos2 \bar{n} 和nmos2 n-1。) 在一行上连接到像素12 n-1和12 n-2 (未示出) 的第一级存储单元中的第一开关晶体管nmos1 n-1和nmos1 n-2的源极。已连接。在同一行的n个像素12 \bar{n} 至121的相同数目中，每个初始存储单元的第一反相器的输出端子和该像素的初始存储单元中的第一开关晶体管nMOS的源极在一行上 与之连接的第一级存储部分连接电路构成垂直移位寄存器VSR1。垂直移位寄存器沿列方向从底部行的像素向顶部行的像素移位并保持像素数据。 [选择图]图2

(21) 出願番号	特願2014-55708 (P2014-55708)	(71) 出願人	308036402
(22) 出願日	平成26年3月19日 (2014. 3. 19)		株式会社 JVCケンウッド 神奈川県横浜市神奈川区守屋町3丁目12番地
		(74) 代理人	100085235 弁理士 松浦 兼行
		(72) 発明者	清水 健 神奈川県横浜市神奈川区守屋町3丁目12番地
		(72) 発明者	井上 智文 神奈川県横浜市神奈川区守屋町3丁目12番地
		Fターム(参考)	2H193 ZD25 ZF24 ZF32 ZF44 5C006 AA14 BB16 BC06 BC23 BF03 BF06 BF24 BF27 FA42 FA47 最終頁に続く