

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-41283

(P2013-41283A)

(43) 公開日 平成25年2月28日(2013.2.28)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	5C006
G11C 19/28 (2006.01)	G11C 19/28 D	5C080
G11C 19/00 (2006.01)	G11C 19/00 J	5C094
G09G 3/20 (2006.01)	G09G 3/20 621M	5G435
G09F 9/30 (2006.01)	G09G 3/20 622E	5J055

審査請求 有 請求項の数 1 O L (全 144 頁) 最終頁に続く

(21) 出願番号 特願2012-188696 (P2012-188696)
 (22) 出願日 平成24年8月29日 (2012.8.29)
 (62) 分割の表示 特願2007-447 (P2007-447) の分割
 原出願日 平成19年1月5日 (2007.1.5)
 (31) 優先権主張番号 特願2006-1941 (P2006-1941)
 (32) 優先日 平成18年1月7日 (2006.1.7)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 梅崎 敦司
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 5C006 AA22 BB16 BC06 BF03 BF06
 BF25 BF26 BF27 BF34 BF36
 BF37 EB04 FA31 FA47 FA48
 5C080 AA06 AA10 BB05 CC03 CC06
 DD09 DD12 DD25 DD26 DD27
 DD29 FF11 JJ02 JJ03 JJ06
 KK02 KK20 KK23 KK34 KK43
 KK47 KK50

最終頁に続く

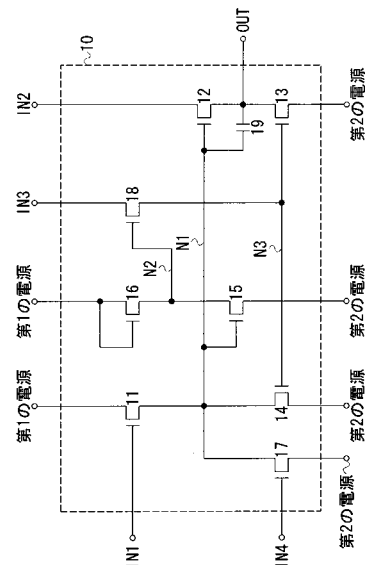
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】動作を不安定にすることなく、各トランジスタの特性劣化を抑制することが可能な半導体装置を提供することを課題とする。

【解決手段】非選択期間において、トランジスタが一定時間毎にオンすることで、シフトレジスタ回路の出力端子に電源電位を供給する。そしてシフトレジスタ回路の出力端子は、該トランジスタを介して電源電位が供給される。該トランジスタは非選択期間において常時オンしていないので、該トランジスタのしきい値電位のシフトは、抑制される。また、シフトレジスタ回路の出力端子は、該トランジスタを介して一定期間毎に電源電位が供給される。そのため、シフトレジスタ回路は、ノイズが出力端子に発生することを抑制できる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

液晶素子を有する第 1 の画素及び第 2 の画素と、駆動回路と、第 1 の配線と、第 2 の配線と、第 3 の配線と、第 4 の配線と、第 5 の配線と、第 6 の配線と、を有し、

前記第 1 の画素は、前記第 5 の配線を介して前記駆動回路に電氣的に接続され、

前記第 2 の画素は、前記第 6 の配線を介して前記駆動回路に電氣的に接続され、

前記駆動回路は、シフトレジスタを有し、

前記シフトレジスタは、複数のフリップフロップを有し、前記複数のフリップフロップのうち少なくとも一つは、第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ及び第 4 のトランジスタを有し、

前記第 1 のトランジスタは、第 1 端子が前記第 1 の配線に電氣的に接続され、第 2 端子が前記第 2 のトランジスタのゲート端子に電氣的に接続され、ゲート端子が前記第 5 の配線に電氣的に接続され、

前記第 2 のトランジスタは、第 1 端子が前記第 3 の配線に電氣的に接続され、第 2 端子が第 6 の配線に電氣的に接続され、

前記第 3 のトランジスタは、第 1 端子が前記第 2 の配線に電氣的に接続され、第 2 端子が前記第 2 のトランジスタのゲート端子に電氣的に接続され、ゲート端子が前記第 4 の配線に電氣的に接続され、

前記第 4 のトランジスタは、第 1 端子が前記第 2 の配線に電氣的に接続され、第 2 端子が前記第 6 の配線に電氣的に接続され、ゲート端子が前記第 4 の配線に電氣的に接続されていることを特徴とする液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体装置に関する。特に、トランジスタを用いて構成されるシフトレジスタに関する。また、半導体装置を具備する表示装置、及び当該表示装置を具備する電子機器に関する。

【背景技術】**【0002】**

近年、液晶表示装置や発光装置などの表示装置は、液晶テレビなどの大型表示装置の増加から、活発に開発が進められている。特に絶縁体上に非結晶半導体により形成されたトランジスタを用いて、画素回路、及びシフトレジスタ回路等を含む駆動回路（以下、内部回路という）を一体形成する技術は、低消費電力化、低コスト化に大きく貢献するため、活発に開発が進められている。絶縁体上に形成された内部回路は、FPC等を介して絶縁体の外に配置されたコントローラIC等に（以下、外部回路という）接続され、その動作が制御されている。

【0003】

また、絶縁体上に一体形成された内部回路として、非結晶半導体のトランジスタを用いて構成されるシフトレジスタ回路が考案されている（特許文献 1 参照）。

【0004】

しかしながら、上記シフトレジスタ回路は、出力端子がフローティング状態になる期間があるため、ノイズが出力端子に発生しやすくなっていた。この出力端子に発生したノイズによって、シフトレジスタ回路が誤動作していた。

【0005】

上記問題点を解決するために、出力端子がフローティング状態にならないシフトレジスタ回路が考案されている。いわゆるスタティック駆動によって、このシフトレジスタ回路は動作する（特許文献 2 参照）。

【0006】

特許文献 2 に示すシフトレジスタ回路は、スタティック駆動を可能にしている。そのため、このシフトレジスタ回路は、出力端子がフローティング状態にならないため、出力端子

10

20

30

40

50

に発生するノイズを減らすことができる。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】国際公開第95/31804号パンフレット

【特許文献2】特開2004-78172号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

上記、特許文献2に示すシフトレジスタ回路では、その動作期間が1選択信号を出力する選択期間と、非選択信号を出力する非選択期間とに分かれており、この動作期間のうちほとんどの期間が非選択期間になる。非選択期間においては、出力端子にトランジスタを介して低電位を供給している。つまり、この出力端子に低電位を供給するためのトランジスタは、シフトレジスタ回路の動作期間のうちほとんどの期間においてオンしている。

【0009】

非結晶半導体を用いて作製されるトランジスタの特性は、オンする時間、及び印加する電位に従って、劣化することが知られている。中でも、トランジスタのしきい値電位が上昇するしきい値電位シフトは、トランジスタ特性が劣化するときに顕著に表れる。このしきい値電位シフトがシフトレジスタ回路の誤動作の大きな原因の1つであった。

【0010】

このような問題点に鑑み、本発明では、非選択期間においてもノイズが少なく、且つトランジスタの劣化を抑制できるシフトレジスタ回路、当該シフトレジスタ回路を具備する半導体装置又は表示装置、若しくは当該表示装置を具備する電子機器を提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明は、半導体装置が有するトランジスタが常時オンしていることをなくして、当該トランジスタの特性劣化を抑制することを特徴としている。

【0012】

本発明の半導体装置の一は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、インバータと、第1の配線と、第2の配線と、第3の配線とを有し、前記第1のトランジスタは、第1端子が前記第1の配線に電氣的に接続され、第2端子が前記第2のトランジスタの第2端子に電氣的に接続され、ゲート端子が前記インバータの第1端子に電氣的に接続され、前記第2のトランジスタは、第1端子が前記第2の配線に電氣的に接続され、ゲート端子が前記第3のトランジスタの第2端子に電氣的に接続され、前記第3のトランジスタは、第1端子が前記第3の配線に電氣的に接続され、ゲート端子が前記インバータの第2端子に電氣的に接続され、前記第1のトランジスタのゲート端子は、当該ゲート端子を浮遊状態にするためのトランジスタに電氣的に接続されていることを特徴とする。

【0013】

本発明の半導体装置の一は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第1の配線と、第2の配線と、第3の配線と、第4の配線とを有し、前記第1のトランジスタは、第1端子が前記第1の配線に電氣的に接続され、第2端子が前記第2のトランジスタの第2端子に電氣的に接続され、ゲート端子が前記第4のトランジスタのゲート端子に電氣的に接続され、前記第2のトランジスタは、第1端子が前記第2の配線に電氣的に接続され、ゲート端子が前記第3のトランジスタの第2端子に電氣的に接続され、前記第3のトランジスタは、第1端子が前記第3の配線に電氣的に接続され、ゲート端子が前記第4のトランジスタの第2端子、及び前記第5のトランジスタの第2端子に電氣的に接続され、前記第4のトランジスタは、第1端子が前記第2の配線に電氣的に接続され、前記第5のトランジスタは、第

10

20

30

40

50

され、前記第 6 のトランジスタは、第 1 端子が前記第 4 のトランジスタに電氣的に接続され、ゲート端子が前記第 5 の配線に電氣的に接続され、前記第 7 のトランジスタは、第 1 端子が前記第 2 の配線に電氣的に接続され、前記第 8 のトランジスタは、第 1 端子が前記第 2 の配線に電氣的に接続され、ゲート端子が前記第 6 の配線に電氣的に接続されていることを特徴とする。

【0017】

また、本発明において、前記第 4 のトランジスタのチャンネル長 L とチャンネル幅 W の比 W/L は、前記第 5 のトランジスタのチャンネル長 L とチャンネル幅 W の比 W/L の 10 倍以上であってもよい。

【0018】

また、本発明において、前記第 1 のトランジスタ、及び前記第 3 のトランジスタは、同じ導電型でもよい。

【0019】

また、本発明において、前記第 1 のトランジスタ、及び前記第 4 のトランジスタは、N チャンネル型でもよいし、P チャンネル型でもよい。

【0020】

また、本発明において、前記第 1 のトランジスタの第 2 端子と、ゲート端子との間に電氣的に接続された容量素子が設けられていてもよい。

【0021】

また、本発明において、前記容量素子の代わりに、MOS トランジスタを用いて、容量が形成されていてもよい。

【0022】

また、本発明において、前記容量素子は、第 1 の電極と、第 2 の電極と、第 1 の電極と第 2 の電極とに挟持された絶縁体とを有し、前記第 1 の電極が半導体層であり、前記第 2 の電極がゲート配線層であり、前記絶縁体がゲート絶縁膜でもよい。

【0023】

また、本発明において、前記第 1 の配線には、クロック信号が供給され、前記第 3 の配線には、前記クロック信号と位相が 180 度異なる反転クロック信号が供給されていてもよい。

【0024】

本発明の表示装置の一は、複数の画素と、駆動回路とを有する表示装置であって、前記画素は、駆動回路によって制御され、前記駆動回路は、複数のトランジスタと、前記トランジスタを常時オンしないようにする回路とを有することを特徴とする。

【0025】

また、本発明において、駆動回路は上記説明した半導体装置を有していてもよい。

【0026】

また、本発明において、前記画素は、少なくとも 1 つのトランジスタを有し、前記画素が有するトランジスタと、前記駆動回路が有するトランジスタとは、同じ導電型であってもよい。

【0027】

また、本発明において、前記画素は、前記駆動回路と同一基板上に形成されてもよい。

【0028】

また、本発明の表示装置は電子機器に適用されたものであってもよい。

【0029】

以上、本発明は、前記第 2 のトランジスタ、及び前記第 7 のトランジスタを常時オンしないようにするために、前記第 3 の配線に供給されている信号によって、前記第 2 のトランジスタ、及び前記第 7 のトランジスタのオンあるいはオフを制御するものである。

【0030】

また、前記第 1 のトランジスタがオンするときに、前記第 2 のトランジスタがオンしないように、前記第 1 のトランジスタのゲート端子をインバータを介して前記第 2 のトランジ

10

20

30

40

50

スタのゲート端子に接続することで、前記第3のトランジスタをオフしている。この前記第3のトランジスタがオフする前に、前記第2のトランジスタがオフしていれば、前記第2のトランジスタは引き続きオフする。したがって、前記第1の配線と第2の配線とが前記第1のトランジスタ、及び前記第2のトランジスタを介して導通することはない。

【0031】

なお、前記第1のトランジスタがオンして、前記第2のトランジスタがオフしているときに、前記第1の配線の電位が変化すれば、前記第1のトランジスタの第2端子の電位も変化する。このとき、前記第1のトランジスタのゲート端子が浮遊状態であれば、前記第1のトランジスタのゲート端子の電位は、前記容量素子の容量結合によって同時に変化する。ここで、前記第1のトランジスタのゲート端子の電位は、前記第1の配線の電位と前記第1のトランジスタのしきい値電位との和以上、又は以下の値まで変化すれば、前記第1のトランジスタは引き続きオンする。このように、前記第1の配線の電位が変化しても、前記第1のトランジスタがオンし、前記第1のトランジスタの第1端子と第2端子とを同電位にする機能も有する。

10

【0032】

なお、明細書に示すスイッチは、例えば電氣的スイッチ、機械的なスイッチを用いることができる。つまり電流の流れを制御できるものであればよく、特定のものに限定されない。トランジスタでもよいし、ダイオード（PNダイオード、PINダイオード、ショットキーダイオード、ダイオード接続のトランジスタなど）でもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているものやマルチゲート構造にしているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（ V_{ss} 、 GND 、 $0V$ など）に近い状態の場合はNチャンネル型を、反対に、ソース端子の電位が、高電位側電源（ V_{dd} など）に近い状態の場合はPチャンネル型を用いることが望ましい。なぜなら、ゲートとソースの間の電圧の絶対値を大きくできるため、スイッチとして機能させる際に動作させやすいからである。なお、Nチャンネル型とPチャンネル型の両方を用いて、CMOS型のスイッチにしてもよい。

20

30

【0033】

なお、本発明において接続されているとは、電氣的に接続されていることと同義である。したがって、間に別の素子やスイッチなどが配置されていてもよい。

【0034】

なお、表示素子、表示素子を有する装置である表示装置、発光素子、発光素子を有する装置である発光装置は、様々な形態を用いたり、様々な素子を有することが出来る。例えば、EL素子（有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子）、電子放出素子、液晶素子、電子インクなど、電気磁氣的作用によりコントラストが変化する表示媒体を適用することができる。なお、EL素子を用いた表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ（FED）やSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）など、液晶素子を用いた表示装置としては液晶ディスプレイ、電子インクを用いた表示装置としては電子ペーパーがある。

40

【0035】

なお、本発明において、適用可能なトランジスタの種類に限定はなく、非結晶シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ（TFET）、半導体基板やSOI基板を用いて形成されるトランジスタ、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、ZnO、 $a\text{-InGaZnO}$ などの化合物半導体を用いたトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、そ

50

の他のトランジスタを適用することができる。また、トランジスタが配置されている基板の種類に限定はなく、単結晶基板、SOI基板、ガラス基板、プラスチック基板などに配置することができる。

【0036】

なお、すでに述べたように、本発明におけるトランジスタは、どのようなタイプのトランジスタでもよいし、どのような基板上に形成されていてもよい。したがって、回路の全てがガラス基板上に形成されていてもよいし、プラスチック基板に形成されていてもよいし、単結晶基板に形成されていてもよいし、SOI基板上に形成されていてもよいし、どのような基板上に形成されていてもよい。あるいは、回路の一部が、ある基板に形成されており、回路の別の一部が、別の基板に形成されていてもよい。つまり、回路の全てが同じ基板上に形成されていなくてもよい。例えば、回路の一部は、ガラス基板上にトランジスタを用いて形成し、回路の別の一部は、単結晶基板上に形成し、そのICチップをCOG (Chip On Glass) で接続してガラス基板上に配置してもよい。あるいは、そのICチップをTAB (Tape Automated Bonding) やプリント基板を用いてガラス基板と接続してもよい。

10

【0037】

なお、トランジスタの構成は、特に限定されない。例えば、ゲート本数が2本以上になっているマルチゲート構造になっていてもよいし、チャンネルの上下にゲート電極が配置されている構造でもよいし、チャンネルの上にゲート電極が配置されている構造でもよいし、チャンネルの下にゲート電極が配置されている構造でもよいし、正スタガ構造であってもよいし、逆スタガ構造でもよいし、チャンネル領域が複数の領域に分かれていてもよいし、並列に接続されていてもよいし、直列に接続されていてもよいし、チャンネル(もしくはその一部)にソース電極やドレイン電極が重なっていてもよいし、LDD領域があってもよい。

20

【0038】

なお、本明細書においては、一画素とは画像の最小単位を示すものとする。よって、R(赤)G(緑)B(青)の色要素からなるフルカラー表示装置の場合には、一画素とはRの色要素のドットとGの色要素のドットとBの色要素のドットとから構成されるものとする。

【0039】

なお、本明細書において、画素がマトリクスに配置されているとは、縦縞と横縞を組み合わせたいわゆる格子状に配置されている場合はもちろんのこと、三色の色要素(例えばRGB)でフルカラー表示を行う場合に、三色の色要素のドットがいわゆるデルタ配置されている場合も含むものとする。また、色要素のドット毎にその発光領域の大きさが異なってもよい。

30

【0040】

トランジスタとは、それぞれ、ゲート電極と、ドレイン領域と、ソース領域とを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャンネル形成領域を有する。ここで、ソース領域とドレイン領域とは、トランジスタの構造や動作条件等によって変わるため、いずれがソース領域またはドレイン領域であるかを限定することが困難である。そこで、本明細書においては、ソース領域及びドレイン領域として機能する領域を、それぞれ第1端子、第2端子と表記する。

40

【0041】

なお、本明細書において、半導体装置とは半導体素子(トランジスタやダイオードなど)を含む回路を有する装置をいう。また、半導体特性を利用することで機能しうる装置全般でもよい。また、表示装置とは、基板上に液晶素子やEL素子などの表示素子を含む複数の画素やそれらの画素を駆動させる周辺駆動回路が形成された表示パネル本体だけでなく、それにフレキシブルプリントサーキット(FPC)やプリント配線基板(PWB)が取り付けられたものも含む。また、発光装置とは、EL素子やLEDで用いる素子などの自発光型の表示素子を用いている表示装置をいう。

【発明の効果】

50

【 0 0 4 2 】

本発明の半導体装置は、第3の配線に供給されている信号によってオン、オフが制御されるトランジスタを一定時間毎にオンさせることができる。こうすることで、本発明の半導体装置を用いたシフトレジスタ回路の該トランジスタは非選択期間において常時オンしていないので、該トランジスタのしきい値電位のシフトを抑制することができる。また、本発明の半導体装置を用いたシフトレジスタ回路の出力端子は、該トランジスタを介して一定期間毎に電源電位が供給される。そのため、本発明の半導体装置を用いたシフトレジスタ回路は、出力端子に発生するノイズを抑制することができる。

【 図面の簡単な説明 】

【 0 0 4 3 】

10

【 図 1 】 実施の形態 1 を示す図。

【 図 2 】 実施の形態 1 を示す図。

【 図 3 】 実施の形態 1 を示す図。

【 図 4 】 実施の形態 1 を示す図。

【 図 5 】 実施の形態 1 を示す図。

【 図 6 】 実施の形態 1 を示す図。

【 図 7 】 実施の形態 1 を示す図。

【 図 8 】 実施の形態 1 を示す図。

【 図 9 】 実施の形態 1 を示す図。

【 図 1 0 】 実施の形態 1 を示す図。

20

【 図 1 1 】 実施の形態 1 を示す図。

【 図 1 2 】 実施の形態 1 を示す図。

【 図 1 3 】 実施の形態 1 を示す図。

【 図 1 4 】 実施の形態 1 を示す図。

【 図 1 5 】 実施の形態 1 を示す図。

【 図 1 6 】 実施の形態 1 を示す図。

【 図 1 7 】 実施の形態 2 を示す図。

【 図 1 8 】 実施の形態 2 を示す図。

【 図 1 9 】 実施の形態 2 を示す図。

【 図 2 0 】 実施の形態 3 を示す図。

30

【 図 2 1 】 実施の形態 3 を示す図。

【 図 2 2 】 実施の形態 3 を示す図。

【 図 2 3 】 実施の形態 3 を示す図。

【 図 2 4 】 実施の形態 3 を示す図。

【 図 2 5 】 実施の形態 3 を示す図。

【 図 2 6 】 実施の形態 3 を示す図。

【 図 2 7 】 実施の形態 3 を示す図。

【 図 2 8 】 実施の形態 3 を示す図。

【 図 2 9 】 実施の形態 3 を示す図。

【 図 3 0 】 実施の形態 3 を示す図。

40

【 図 3 1 】 実施の形態 3 を示す図。

【 図 3 2 】 実施の形態 3 を示す図。

【 図 3 3 】 実施の形態 3 を示す図。

【 図 3 4 】 実施の形態 3 を示す図。

【 図 3 5 】 実施の形態 3 を示す図。

【 図 3 6 】 実施の形態 3 を示す図。

【 図 3 7 】 実施の形態 3 を示す図。

【 図 3 8 】 実施の形態 3 を示す図。

【 図 3 9 】 実施の形態 3 を示す図。

【 図 4 0 】 実施の形態 3 を示す図。

50

【図 4 1】	実施の形態 3 を示す図。	
【図 4 2】	実施の形態 3 を示す図。	
【図 4 3】	実施の形態 3 を示す図。	
【図 4 4】	実施の形態 3 を示す図。	
【図 4 5】	実施の形態 3 を示す図。	
【図 4 6】	実施の形態 3 を示す図。	
【図 4 7】	実施の形態 3 を示す図。	
【図 4 8】	実施の形態 3 を示す図。	
【図 4 9】	実施の形態 3 を示す図。	
【図 5 0】	実施の形態 3 を示す図。	10
【図 5 1】	実施の形態 3 を示す図。	
【図 5 2】	実施の形態 3 を示す図。	
【図 5 3】	実施の形態 3 を示す図。	
【図 5 4】	実施の形態 3 を示す図。	
【図 5 5】	実施の形態 3 を示す図。	
【図 5 6】	実施の形態 3 を示す図。	
【図 5 7】	実施の形態 3 を示す図。	
【図 5 8】	実施の形態 3 を示す図。	
【図 5 9】	実施の形態 3 を示す図。	
【図 6 0】	実施の形態 3 を示す図。	20
【図 6 1】	実施の形態 3 を示す図。	
【図 6 2】	実施の形態 3 を示す図。	
【図 6 3】	実施の形態 3 を示す図。	
【図 6 4】	実施の形態 3 を示す図。	
【図 6 5】	実施の形態 3 を示す図。	
【図 6 6】	実施の形態 3 を示す図。	
【図 6 7】	実施の形態 3 を示す図。	
【図 6 8】	実施の形態 3 を示す図。	
【図 6 9】	実施の形態 3 を示す図。	
【図 7 0】	実施の形態 3 を示す図。	30
【図 7 1】	実施の形態 3 を示す図。	
【図 7 2】	実施の形態 3 を示す図。	
【図 7 3】	実施の形態 3 を示す図。	
【図 7 4】	実施の形態 3 を示す図。	
【図 7 5】	実施の形態 3 を示す図。	
【図 7 6】	実施の形態 3 を示す図。	
【図 7 7】	実施の形態 3 を示す図。	
【図 7 8】	実施の形態 3 を示す図。	
【図 7 9】	実施の形態 3 を示す図。	
【図 8 0】	実施の形態 3 を示す図。	40
【図 8 1】	実施の形態 3 を示す図。	
【図 8 2】	実施の形態 3 を示す図。	
【図 8 3】	実施の形態 3 を示す図。	
【図 8 4】	実施の形態 3 を示す図。	
【図 8 5】	実施の形態 3 を示す図。	
【図 8 6】	実施の形態 3 を示す図。	
【図 8 7】	実施の形態 3 を示す図。	
【図 8 8】	実施の形態 4 を示す図。	
【図 8 9】	実施の形態 4 を示す図。	
【図 9 0】	実施の形態 4 を示す図。	50

【図 9 1】実施の形態 4 を示す図。

【図 9 2】実施例 1 を示す図。

【図 9 3】実施例 1 を示す図。

【図 9 4】実施例 1 を示す図。

【図 9 5】実施例 2 を示す図。

【図 9 6】実施例 3 を示す図。

【図 9 7】実施例 3 を示す図。

【図 9 8】実施例 3 を示す図。

【図 9 9】実施例 3 を示す図。

【図 1 0 0】実施例 4 を示す図。

10

【図 1 0 1】実施例 4 を示す図。

【図 1 0 2】実施例 4 を示す図。

【図 1 0 3】実施例 4 を示す図。

【図 1 0 4】実施例 4 を示す図。

【図 1 0 5】実施例 4 を示す図。

【図 1 0 6】実施例 4 を示す図。

【図 1 0 7】実施例 4 を示す図。

【図 1 0 8】実施例 4 を示す図。

【図 1 0 9】実施例 4 を示す図。

【図 1 1 0】実施例 4 を示す図。

20

【図 1 1 1】実施例 4 を示す図。

【図 1 1 2】実施例 7 を示す図。

【図 1 1 3】実施例 7 を示す図。

【図 1 1 4】実施例 7 を示す図。

【図 1 1 5】実施例 7 を示す図。

【図 1 1 6】実施例 6 を示す図。

【図 1 1 7】実施例 5 を示す図。

【図 1 1 8】実施例 3 を示す図。

【図 1 1 9】実施例 3 を示す図。

【図 1 2 0】実施例 3 を示す図。

30

【図 1 2 1】実施例 3 を示す図。

【図 1 2 2】実施の形態 4 を示す図。

【図 1 2 3】実施の形態 5 を示す図。

【図 1 2 4】実施の形態 3 を示す図。

【図 1 2 5】実施の形態 3 を示す図。

【発明を実施するための形態】

【0 0 4 4】

以下、本発明の実施の形態及び実施例において図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態及び実施例の記載内容に限定して解釈されるものではない。

40

【0 0 4 5】

(実施の形態 1)

図 1 に、本発明のシフトレジスタ回路が有するフリップフロップ回路 1 0 の一形態を示す。本発明のシフトレジスタ回路はフリップフロップ回路 1 0 を複数段有している。図 1 に示すフリップフロップ回路 1 0 は、トランジスタ 1 1、トランジスタ 1 2、トランジスタ 1 3、トランジスタ 1 4、トランジスタ 1 5、トランジスタ 1 6、トランジスタ 1 7、トランジスタ 1 8、及び 2 つの電極を持つ容量素子 1 9 を有している。ただし、容量素子 1 9 は、トランジスタ 1 2 のゲート容量で代用できる場合には、必ずしも必要ではない。

【0 0 4 6】

50

フリップフロップ回路 10 に示すように、トランジスタ 11 のゲート端子が入力端子 IN 1 に接続され、第 1 端子が第 1 の電源に接続され、第 2 端子がトランジスタ 12 のゲート端子、トランジスタ 14 の第 2 端子、トランジスタ 15 のゲート端子、トランジスタ 17 の第 2 端子、及び容量素子 19 の第 2 電極に接続されている。トランジスタ 15 の第 1 端子が第 2 の電源に接続され、第 2 端子がトランジスタ 16 の第 2 端子、及びトランジスタ 18 のゲート端子に接続されている。トランジスタ 16 のゲート端子、及び第 1 端子が第 1 の電源に接続されている。トランジスタ 18 の第 1 端子が入力端子 IN 3 に接続され、第 2 端子がトランジスタ 13 のゲート端子、及びトランジスタ 14 のゲート端子に接続されている。トランジスタ 13 の第 1 端子が第 2 の電源に接続され、第 2 端子が容量素子 19 の第 1 電極、トランジスタ 12 の第 2 端子、及び出力端子 OUT に接続されている。トランジスタ 12 の第 1 端子が入力端子 IN 2 に接続されている。トランジスタ 14 の第 1 端子が第 2 の電源に接続されている。トランジスタ 17 のゲート端子が入力端子 IN 4 に接続され、第 1 端子が第 2 の電源に接続されている。

10

【0047】

なお、フリップフロップ回路 10 では、トランジスタ 11 の第 2 端子、トランジスタ 12 のゲート端子、トランジスタ 14 の第 2 端子、トランジスタ 15 のゲート端子、トランジスタ 17 の第 2 端子、及び容量素子 19 の第 2 電極の節点を N1 とする。トランジスタ 15 の第 2 端子、及びトランジスタ 16 の第 2 端子の節点を N2 とする。トランジスタ 13 のゲート端子、トランジスタ 14 のゲート端子、及びトランジスタ 18 の第 2 端子の節点を N3 とする。

20

【0048】

また、第 1 の電源には、電源電位 VDD が供給され、第 2 の電源には電源電位 VSS が供給されている。第 1 の電源の電源電位 VDD と第 2 の電源の電源電位 VSS との電位差 ($VDD - VSS$) が、フリップフロップ回路 10 の電源電圧に相当する。また、電源電位 VDD は、電源電位 VSS よりも高い電位である。

【0049】

また、入力端子 IN 1 ~ 入力端子 IN 4 には、それぞれ制御信号が供給されている。また、出力端子 OUT は、出力信号を出力している。入力端子 IN 1 には、制御信号として前の段のフリップフロップ回路 10 の出力信号が供給されている。入力端子 IN 4 には、制御信号として次の段のフリップフロップ回路 10 の出力信号が供給されている。

30

【0050】

また、トランジスタ 11 ~ トランジスタ 18 は、それぞれ N チャネル型である。ただし、トランジスタ 11 ~ トランジスタ 18 は、それぞれ P チャネル型でもよい。

【0051】

次に、図 2 に示すタイミングチャートを用いて、図 1 に示すフリップフロップ回路 10 の動作について説明する。図 2 は、図 1 に示した入力端子 IN 1 ~ 入力端子 IN 4 にそれぞれ供給される制御信号と、出力端子 OUT から出力される出力信号と、節点 N1 ~ 節点 N3 の電位のタイミングチャートを示している。また、図 2 に示すタイミングチャートは、便宜上、期間 T1 ~ 期間 T4 に分割している。

40

【0052】

なお、期間 T4 以降の期間では、期間 T3 と期間 T4 とを順に繰り返している。また、図 2 では、期間 T1 を選択準備期間と定義し、期間 T2 を選択期間と定義し、期間 T3、及び期間 T4 を非選択期間と定義する。つまり、1 つの選択準備期間と、1 つの選択期間と、複数の非選択期間とを順に繰り返している。

【0053】

また、図 2 に示すタイミングチャートでは、制御信号、及び出力信号は 2 値の値をもっている。つまり、これらの信号はデジタル信号であり、これらのデジタル信号の電位は H 信号のときは第 1 の電源の電源電位と同電位である VDD (以下、電位 VDD、又は H レベルともいう) であり、L 信号のときは第 2 の電源の電源電位と同電位である VSS (以下、電位 VSS、又は L レベルともいう) である。

50

【 0 0 5 4 】

また、図 3 ~ 図 6 は、それぞれ期間 T 1 ~ 期間 T 4 の動作に対応したフリップフロップ回路 1 0 を示している。

【 0 0 5 5 】

また、図 3 ~ 図 6 では、実線で示したトランジスタがオンしていることを示している。破線で示したトランジスタがオフしていることを示している。実線で示した配線は電源、又は入力端子に接続されていることを示している。破線で示した配線が電源、又は入力端子に接続されていないことを示している。

【 0 0 5 6 】

次に、図 3 ~ 図 6 を用いて、各期間ごとの動作について説明する。

10

【 0 0 5 7 】

まず、期間 T 1 におけるフリップフロップ回路 1 0 の動作について、図 3 を用いて説明する。図 3 は、期間 T 1 におけるフリップフロップ回路 1 0 の接続状態を示す図である。

【 0 0 5 8 】

期間 T 1 では、入力端子 I N 1 は H レベルになり、トランジスタ 1 1 がオンする。入力端子 I N 4 は L レベルになり、トランジスタ 1 7 がオフする。節点 N 3 は後に説明する期間 T 3 で得た V S S を維持しているため、トランジスタ 1 4 がオフする。節点 N 1 はトランジスタ 1 1 を介して第 1 の電源と導通し、節点 N 1 の電位が上昇して V n 1 1 になる。節点 N 1 が V n 1 1 になると、トランジスタ 1 1 がオフする。ここで、V n 1 1 は、電源電位 V D D からトランジスタ 1 1 のしきい値電位 V t h 1 1 を引いた値 (V D D - V t h 1 1) である。なお、V n 1 1 は、トランジスタ 1 2、及びトランジスタ 1 5 をオンできる電位である。

20

【 0 0 5 9 】

節点 N 1 の電位は V n 1 1 になり、トランジスタ 1 1 がオフし、トランジスタ 1 2、及びトランジスタ 1 5 がオンする。節点 N 2 はトランジスタ 1 5 を介して第 2 の電源と導通、及びトランジスタ 1 6 を介して第 1 の電源と導通し、節点 N 2 の電位が V n 2 1 になる。ここで、V n 2 1 は、トランジスタ 1 6 とトランジスタ 1 5 との動作点によって決定される。なお、トランジスタ 1 5 とトランジスタ 1 6 は、その 2 つのトランジスタを用いてインバータを構成している。よって、トランジスタ 1 5 のゲート端子 (節点 N 1) に H レベルの信号が入力されたときには、節点 N 2 には L レベルの信号が入力される。ここで、V n 2 1 は、トランジスタ 1 8 をオフできる電位である。したがって、入力端子 I N 3 が H レベルであっても、トランジスタ 1 8 がオフしているので、節点 N 3 は V S S を維持することができる。入力端子 I N 2 は L レベルになっており、出力端子 O U T はトランジスタ 1 2 を介して入力端子 I N 2 と導通し、出力端子 O U T の電位が V S S になる。

30

【 0 0 6 0 】

節点 N 2 の電位は V n 2 1 になり、トランジスタ 1 8 がオフしているので、節点 N 3 は V S S を維持し、トランジスタ 1 3、及びトランジスタ 1 4 がオフする。

【 0 0 6 1 】

以上の動作により、期間 T 1 では、トランジスタ 1 2 をオンしており、出力端子 O U T を L レベルにしている。また、トランジスタ 1 1 がオフなので、節点 N 1 をフローティング状態にしている。

40

【 0 0 6 2 】

次に、期間 T 2 におけるフリップフロップ回路 1 0 の動作について、図 4 を用いて説明する。図 4 は、期間 T 2 におけるフリップフロップ回路 1 0 の接続状態を示す図である。

【 0 0 6 3 】

期間 T 2 では、入力端子 I N 1 は L レベルになり、トランジスタ 1 1 がオフしている。入力端子 I N 4 は L レベルのままであり、トランジスタ 1 7 がオフしている。そのため、節点 N 1 は期間 T 1 に引き続きフローティング状態になり、期間 T 1 の電位 V n 1 1 を維持する。

【 0 0 6 4 】

50

節点 N 1 の電位は V_{n11} を維持しているため、トランジスタ 1 2 がオンしている。そして、入力端子 I N 2 が H レベルになる。すると、出力端子 O U T はトランジスタ 1 2 を介して入力端子 I N 2 と導通しているため、出力端子 O U T の電位が V_{SS} から上昇する。節点 N 1 の電位は容量素子 1 9 の容量結合によって V_{n12} に変化し、トランジスタ 1 2 がオンし続ける。いわゆるブートストラップ動作が行われる。その結果、出力端子 O U T は入力端子 I N 2 の電位である V_{DD} と等しい電位まで上昇する。なお、 V_{n12} は、電位 V_{DD} とトランジスタ 1 2 のしきい値電位 V_{th12} との和以上の値である。

【 0 0 6 5 】

節点 N 1 の電位が V_{n12} になっても、トランジスタ 1 5 は引き続きオンのままである。そのため、節点 N 2 の電位、及び節点 N 3 の電位は、期間 T 1 のときの電位と同じ電位になる。

10

【 0 0 6 6 】

以上の動作により、期間 T 2 では、ブートストラップ動作により、フローティング状態の節点 N 1 の電位を上昇させることで、トランジスタ 1 2 がオンし続けている。よって、出力端子 O U T の電位を V_{DD} にし、出力端子 O U T を H レベルにしている。

【 0 0 6 7 】

次に、期間 T 3 におけるフリップフロップ回路 1 0 の動作について、図 5 を用いて説明する。図 5 は、期間 T 3 におけるフリップフロップ回路 1 0 の接続状態を示す図である。

【 0 0 6 8 】

期間 T 3 では、入力端子 I N 1 は L レベルのままであり、トランジスタ 1 1 がオフしている。入力端子 I N 4 は H レベルになり、トランジスタ 1 7 がオンする。すると、節点 N 1 はトランジスタ 1 7 を介して第 2 の電源と導通し、節点 N 1 の電位が V_{SS} になる。

20

【 0 0 6 9 】

節点 N 1 の電位は V_{SS} になり、トランジスタ 1 2、及びトランジスタ 1 5 がオフする。節点 N 2 はトランジスタ 1 6 を介して第 1 の電源と導通しているため、節点 N 2 の電位が上昇して V_{n22} になる。ここで、 V_{n22} は、電源電位 V_{DD} からトランジスタ 1 6 のしきい値電位 V_{th16} を引いた値 ($V_{DD} - V_{th16}$) である。なお、 V_{n22} は、トランジスタ 1 8 をオンできる電位である。

【 0 0 7 0 】

節点 N 2 の電位は V_{n22} になり、トランジスタ 1 8 がオンする。そして、入力端子 I N 3 は H レベルになっているので、節点 N 3 はトランジスタ 1 8 を介して入力端子 I N 3 と導通し、節点 N 3 の電位が V_{n31} になる。ここで、 V_{n31} は、節点 N 2 の電位 V_{n22} からトランジスタ 1 8 のしきい値電位 V_{th18} を引いた値 ($V_{n22} - V_{th18}$) になる。なお、 V_{n31} は、電源電位 V_{DD} からトランジスタ 1 6 のしきい値電位 V_{th16} 、及びトランジスタ 1 8 のしきい値電位 V_{th18} を引いた値 ($V_{DD} - V_{th16} - V_{th18}$) に相当する。また、 V_{n31} は、トランジスタ 1 3、及びトランジスタ 1 4 をオンできる電位である。

30

【 0 0 7 1 】

節点 N 3 の電位は V_{n31} になり、トランジスタ 1 3 がオンする。そして、出力端子 O U T はトランジスタ 1 3 を介して第 2 の電源と導通しているため、出力端子 O U T の電位が V_{SS} になる。

40

【 0 0 7 2 】

以上の動作により、期間 T 3 では、節点 N 1 に V_{SS} を供給し、トランジスタ 1 2、及びトランジスタ 1 5 をオフしている。また、節点 N 3 を H レベルにし、トランジスタ 1 3、及びトランジスタ 1 4 をオンしている。よって、出力端子 O U T の電位を V_{SS} にし、出力端子 O U T を L レベルにしている。

【 0 0 7 3 】

次に、期間 T 4 におけるフリップフロップ回路 1 0 の動作について、図 6 を用いて説明する。図 6 は、期間 T 4 におけるフリップフロップ回路 1 0 の接続状態を示す図である。

【 0 0 7 4 】

50

期間 T 4 では、入力端子 I N 3 は L レベルになり、節点 N 3 の電位が V S S になる。よって、トランジスタ 1 3 がオフする。また、トランジスタ 1 4 もオフする。入力端子 I N 4 は L レベルになり、トランジスタ 1 7 がオフする。すると、節点 N 1 はフローティング状態になり、節点 N 1 の電位は V S S を維持する。

【 0 0 7 5 】

節点 N 1 の電位は V S S のままなので、トランジスタ 1 2 がオフのままであり、トランジスタ 1 5 もオフのままである。よって、節点 N 2 は V n 2 2 のままであり、トランジスタ 1 8 がオフのままである。

【 0 0 7 6 】

トランジスタ 1 2、及びトランジスタ 1 3 はオフするため、出力端子 O U T はフローティング状態になる。よって、出力端子 O U T の電位は、V S S を維持する。

10

【 0 0 7 7 】

以上の動作により、期間 T 4 では、出力端子 O U T の電位を V S S に維持し、トランジスタ 1 3、及びトランジスタ 1 4 をオフできる。このようにトランジスタ 1 3、及びトランジスタ 1 4 は常時、オンにならないので、トランジスタ 1 3、及びトランジスタ 1 4 の特性劣化を抑制することができる。

【 0 0 7 8 】

期間 T 1 ~ 期間 T 4 の関係について説明する。期間 T 1 の次の期間は期間 T 2 であり、期間 T 2 の次の期間は期間 T 3 であり、期間 T 3 の次の期間は期間 T 4 である。ここで、期間 T 4 の次の期間は期間 T 1、又は期間 T 3 である。つまり、期間 T 4 の次の期間は、入力端子 I N 1 が H レベルになれば期間 T 1 になり、入力端子 I N 1 が L レベルのままであれば期間 T 3 になる。また、期間 T 3 が期間 T 4 の次の期間だった場合は、入力端子 I N 4 は L レベルのままであり、トランジスタ 1 7 がオフのままである。

20

【 0 0 7 9 】

ここで、トランジスタ 1 1 ~ トランジスタ 1 8、及び容量素子 1 9 が有する機能を以下に説明する。

【 0 0 8 0 】

トランジスタ 1 1 は、入力端子 I N 1 に供給される制御信号に応じて、第 1 の電源と節点 N 1 とを接続するかしないかを選択するスイッチとしての機能を有する。期間 T 1 において、トランジスタ 1 1 は節点 N 1 に電源電位 V D D を供給し、節点 N 1 の電位が V n 1 1 になるとオフする機能を有する。

30

【 0 0 8 1 】

また、トランジスタ 1 1 は、入力端子 I N 1 に供給される制御信号に応じて、節点 N 1 をフローティング状態（浮遊状態）にする機能を有する。期間 T 1、及び期間 T 2 において、節点 N 1 の電位が V n 1 1 以上になるとオフする機能を有する。

【 0 0 8 2 】

トランジスタ 1 2 は、節点 N 1 の電位に応じて、入力端子 I N 2 と出力端子 O U T とを接続するかしないかを選択するスイッチとしての機能を有する。期間 T 1 において、トランジスタ 1 2 は、出力端子 O U T に V S S を供給する機能を有する。期間 T 2 において、トランジスタ 1 2 は、出力端子 O U T に V D D を供給する機能を有する。

40

【 0 0 8 3 】

トランジスタ 1 3 は、節点 N 3 の電位に応じて、第 2 の電源と出力端子 O U T とを接続するかしないかを選択するスイッチとしての機能を有する。期間 T 3 において、トランジスタ 1 3 は出力端子 O U T に電源電位 V S S を供給する機能を有する。

【 0 0 8 4 】

トランジスタ 1 4 は、節点 N 3 の電位に応じて、第 2 の電源と節点 N 1 とを接続するかしないかを選択するスイッチとしての機能を有する。期間 T 3 において、トランジスタ 1 3 は、節点 N 1 に電源電位 V S S を供給する機能を有する。

【 0 0 8 5 】

トランジスタ 1 5 は、節点 N 1 の電位に応じて、第 2 の電源と節点 N 2 とを接続するかし

50

ないかを選択するスイッチとしての機能を有する。期間 T 1、及び期間 T 2 において、トランジスタ 1 5 は、節点 N 2 に電源電位 V S S を供給する機能を有する。

【 0 0 8 6 】

トランジスタ 1 6 は、入力端子を第 1 の電源、出力端子を節点 N 2 とするダイオードとしての機能を有する。

【 0 0 8 7 】

トランジスタ 1 7 は、入力端子 I N 4 に供給される制御信号に応じて、第 2 の電源と節点 N 1 とを接続するかしないかを選択するスイッチとしての機能を有する。期間 T 2 の後の期間 T 3 において、トランジスタ 1 7 は、電源電位 V S S を節点 N 1 に供給するための機能を有する。

10

【 0 0 8 8 】

トランジスタ 1 8 は、節点 N 2 の電位に応じて、入力端子 I N 3 と節点 N 3 とを接続するかしないかを選択するスイッチとしての機能を有する。期間 T 3 において、トランジスタ 1 8 は、節点 N 3 に V D D を供給するための機能を有する。また、期間 T 4 において、トランジスタ 1 8 は、節点 N 3 に V S S を供給する機能を有する。

【 0 0 8 9 】

容量素子 1 9 は、出力端子 O U T の電位に応じて、節点 N 1 の電位を変化させるための機能を有する。期間 T 2 において、容量素子 1 9 は、出力端子 O U T の電位の上昇によって、節点 N 1 の電位を上昇させる機能を有する。

【 0 0 9 0 】

このように、図 1 に示すフリップフロップ回路 1 0 では、トランジスタ 1 3、及びトランジスタ 1 4 が期間 T 3 においてオンし、期間 T 4 においてオフすることで、トランジスタ 1 3、及びトランジスタ 1 4 が常時オンすることを避けられる。従って、トランジスタ 1 3、及びトランジスタ 1 4 の特性劣化が抑制される。そのため、図 1 に示すフリップフロップ回路 1 0 は、トランジスタ 1 3、及びトランジスタ 1 4 の特性劣化による誤動作も抑制することができる。

20

【 0 0 9 1 】

また、トランジスタ 1 3、及びトランジスタ 1 4 がオンすると、電源電位 V S S が出力端子 O U T、及び節点 N 1 に供給される。そのため、図 1 に示すフリップフロップ回路 1 0 は、一定期間毎に出力端子 O U T、及び節点 N 1 に電源電位 V S S を供給でき、出力端子 O U T、及び節点 N 1 の電位の変動を減らすことができる。

30

【 0 0 9 2 】

また、図 1 に示したフリップフロップ回路 1 0 は、全て N チャネル型のトランジスタで構成されているので、半導体層にアモルファスシリコンを用いることができ、製造工程の簡略化を図ることができる。したがって、製造コストの削減や歩留まりの向上を図ることができる。さらに、大型の表示パネルを作成することも可能となる。また、本発明のフリップフロップ回路を用いることにより、特性が劣化しやすいアモルファスシリコンのトランジスタを用いても、半導体装置の寿命を長くすることができる。

【 0 0 9 3 】

なお、期間 T 1 ~ 期間 T 4 において、フリップフロップ回路 1 0 がそれぞれ図 3 ~ 図 6 の状態を満たすようにトランジスタ、又はスイッチなどの素子を入れてればよい。

40

【 0 0 9 4 】

なお、容量素子 1 9 は、ゲート配線層と半導体層とによって形成されることが望ましい。ゲート配線層と半導体層とは、ゲート絶縁膜を介して堆積されている。ゲート絶縁膜の膜圧は層間膜などの他の絶縁層に比べて非常に薄いため、容量素子は絶縁体としてゲート絶縁膜を用いると小面積、大容量になる。

【 0 0 9 5 】

なお、トランジスタ 1 5 のサイズ (W / L) は、トランジスタ 1 6 のサイズよりも大きいことが望ましい。ここで、「 W 」はトランジスタのチャンネル幅を示し、「 L 」はトランジスタのチャンネル長を示す。トランジスタ 1 5 がオンする場合、節点 N 2 の電位はトランジ

50

スタ15、トランジスタ16との動作点によって決定される。つまり、トランジスタ15のサイズがトランジスタ16のサイズよりも十分大きくないと、節点N2の電位が高くなり、トランジスタ18がオフできなくなる。したがって、トランジスタ18がオフするようにするために、トランジスタ15のサイズは、トランジスタ16のサイズよりも十分大きくしておく必要がある。

【0096】

また、トランジスタ15のサイズは、トランジスタ16のサイズの4倍以上であることが望ましい。より望ましくは、10倍以上である。電源電圧が小さいときは、トランジスタのサイズ比は4倍程度でいいが、電源電圧が大きくなると、トランジスタのサイズ比は10倍程度必要となる。

10

【0097】

ここで、レベルシフト回路などがフリップフロップ回路10の出力端子OUTに接続されている場合は、トランジスタのサイズ比は4倍以上が望ましい。なぜなら、フリップフロップ回路10の出力信号の振幅電圧はレベルシフト回路などによって大きくなるため、フリップフロップ回路10が小さい電源電圧で動作することが多いからである。

【0098】

また、レベルシフト回路などがフリップフロップ回路10の出力端子OUTに接続されていない場合は、トランジスタのサイズ比は10倍以上が望ましい。なぜなら、フリップフロップ回路10の出力信号はレベルシフトせずに、なんらかの動作に適用されるため、フリップフロップ回路10が大きい電源電圧で動作することが多いからである。

20

【0099】

なお、各電源電位、及び制御信号の電位は、対象とするトランジスタのオン・オフを制御できれば、どんな電位でもよい。

【0100】

例えば、電源電位VDDは、制御信号のHレベルの電位よりも高くてもよい。なぜなら、節点N3の電位は $V_{n31} (V_{DD} - V_{th16} - V_{th18})$ であるため、電源電位VDDが高くなれば、節点N3の電位 V_{n31} も高くなるからである。したがって、節点N3の電位 V_{n31} が高くなることで、トランジスタ13、及びトランジスタ14のしきい値電位が特性劣化によって高くなっても、トランジスタ13、及びトランジスタ14は確実にオンすることができる。

30

【0101】

また、電源電位VDDは、各トランジスタのオン・オフを制御できれば、制御信号のHレベルの電位よりも低くてもよい。

【0102】

なお、容量素子19は、トランジスタ12のゲート端子と第2端子との間のゲート容量(寄生容量)が十分大きければ、必ずしも必要ではない。

【0103】

例えば、図7のフリップフロップ回路70のように、容量素子19を接続しなくてもよい。したがって、フリップフロップ回路70の素子数がフリップフロップ回路10の素子数に比べて1つ少なくなるので、フリップフロップ回路70は各素子を高密度に配置することができる。

40

【0104】

また、別の例として、図10のフリップフロップ回路100のように、トランジスタ101を用いて容量素子を形成してもよい。なぜなら、トランジスタ101がオンしていれば、トランジスタ101のゲート容量は容量素子として十分に機能するからである。

【0105】

なお、期間T1、及び期間T2(ブートストラップ動作時)において、トランジスタ101はオンしているため、チャンネル領域がトランジスタ101に形成され、トランジスタ101が容量素子として機能する。一方、期間T3、期間T4(ブートストラップ動作をしていないとき)において、トランジスタ101はオフしているため、チャンネル領域がトラ

50

ンジスタ 101 に形成されず、トランジスタ 101 は容量素子として機能しないか、小さい容量素子として機能する。

【0106】

ここで、先ほど述べた図 7 のフリップフロップ回路 70 のように、トランジスタ 101 を用いて容量素子を形成することで、トランジスタ 101 は必要なとき（期間 T1、及び期間 T2）だけ容量素子として機能し、不必要なとき（期間 T3、及び期間 T4）には容量素子として機能しないので、フリップフロップ回路 100 は節点 N1 や出力端子 OUT の電位の変化によって誤動作しにくくなる。

【0107】

なお、トランジスタ 101 は、トランジスタ 12 と同じ極性である。

10

【0108】

なお、トランジスタ 11 の第 1 端子は、期間 T1、及び期間 T2 において、節点 N1 をフローティング状態にできれば、どこに接続されていてもよい。

【0109】

例えば、図 8 のフリップフロップ回路 80 のように、トランジスタ 11 の第 1 端子は、入力端子 IN1 に接続されていてもよい。なぜなら、トランジスタ 11 の第 1 端子が入力端子 IN1 に接続されていても、期間 T1、及び期間 T2 において、節点 N1 をフローティング状態にできるからである。

【0110】

なお、図 1 のフリップフロップ回路 10 において、入力端子 IN1 の電位が変化すると、ノイズがトランジスタ 11 の第 1 端子とゲート端子との間の寄生容量によって第 1 の電源に発生する。また、電流がトランジスタ 11 のオン、オフによって第 1 の電源から節点 N1 に流れると、ノイズがその電流の電圧降下によって第 1 の電源に発生する。これらのノイズは入力端子 IN1 の電位の変化によって発生する。

20

【0111】

ここで、先ほど述べた図 8 のフリップフロップ回路 80 のように接続することにより、先ほど述べたノイズを抑制することができる。また、第 1 の電源のノイズが抑制されることにより、第 1 の電源を用いている他の回路が安定して動作することができる。

【0112】

なお、第 1 の電源を用いている他の回路とは、フリップフロップ回路 80 の出力端子 OUT に接続されるインバータ回路、レベルシフト回路、ラッチ回路、又は PWC 回路などである。

30

【0113】

なお、トランジスタ 16 は、トランジスタ 15 とでインバータ回路を構成できれば、様々なものを用いることができる。トランジスタ 16 は必ずしも整流性を有している必要はなく、電流が流れると、電圧が発生する素子であれば様々なものを用いることができる。

【0114】

例えば、図 9 のフリップフロップ回路 90 のように、トランジスタ 16 の代わりに抵抗素子 91 を接続してもよい。なぜなら、トランジスタ 16 の代わりに抵抗素子 91 を接続しても、抵抗素子 91 とトランジスタ 15 とで、インバータ回路を構成できるからである。

40

【0115】

なお、トランジスタ 15 がオフのときに、節点 N2 の電位は第 1 の電源の電位と同じ VDD になる。また、このときの節点 N3 の電位は電源電位 VDD からトランジスタ 18 のしきい値電位 V_{th18} を引いた値 ($VDD - V_{th18}$) になる。

【0116】

ここで、先ほど述べた図 9 のフリップフロップ回路 90 のように、トランジスタ 16 の代わりに抵抗素子 91 を用いることで、各トランジスタのしきい値電位が特性劣化によって高くなっても、節点 N2 の電位は VDD になり、節点 N3 の電位はトランジスタ 18 のしきい値電位分だけ VDD よりも小さくなるだけなので、トランジスタ 13、及びトランジスタ 14 がオンしやすくできる。

50

【0117】

なお、入力端子IN1、入力端子IN2、入力端子IN3、及び入力端子IN4は制御信号を供給されているが、本発明は必ずしもこれに限定しない。

【0118】

例えば、入力端子IN1、入力端子IN2、入力端子IN3、及び入力端子IN4は、電源電位VDDを供給されていてもよいし、電源電位VSSを供給されていてもよいし、他の電位を供給されていてもよい。

【0119】

なお、トランジスタ11の第1端子、及びトランジスタ16の第1端子は第1の電源に接続されているが、本発明は必ずしもこれに限定しない。

10

【0120】

例えば、トランジスタ11の第1端子、及びトランジスタ16の第1端子はそれぞれ別の電源に接続されていてもよい。このとき、トランジスタ16の第1端子に接続する電源の電位は、トランジスタ11の第1端子に接続されている電源の電位よりも高いことが望ましい。

【0121】

別の例として、トランジスタ11の第1端子、及びトランジスタ16の第1端子はそれぞれ制御信号が供給されていてもよい。

【0122】

なお、トランジスタ13の第1端子、トランジスタ14の第1端子、及びトランジスタ17の第1端子は第2の電源に接続されているが、本発明は必ずしもこれに限定しない。

20

【0123】

例えば、トランジスタ13の第1端子、トランジスタ14の第1端子、及びトランジスタ17の第1端子はそれぞれ別の電源に接続されていてもよい。

【0124】

別の例として、トランジスタ13の第1端子、トランジスタ14の第1端子、及びトランジスタ17の第1端子はそれぞれ制御信号が供給されていてもよい。

【0125】

図1で示したフリップフロップ回路10では、すべてNチャネル型のトランジスタで構成しているが、すべてPチャネル型のトランジスタで構成してもよい。ここで、すべてPチャネル型のトランジスタで構成した場合のフリップフロップ回路を図11に示す。

30

【0126】

図11に、本発明のシフトレジスタ回路が有するフリップフロップ回路110の一形態を示す。本発明のシフトレジスタ回路はフリップフロップ回路110を複数段有している。図11に示すフリップフロップ回路110は、トランジスタ111、トランジスタ112、トランジスタ113、トランジスタ114、トランジスタ115、トランジスタ116、トランジスタ117、トランジスタ118、及び2つの電極を持つ容量素子119を有している。ただし、容量素子119は、トランジスタ112のゲート容量で代用できる場合には、必ずしも必要ではない。

【0127】

フリップフロップ回路110に示すように、トランジスタ111のゲート端子が入力端子IN1に接続され、第1端子が第1の電源に接続され、第2端子がトランジスタ112のゲート端子、トランジスタ114の第2端子、トランジスタ115のゲート端子、トランジスタ117の第2端子、及び容量素子119の第2電極に接続されている。トランジスタ115の第1端子が第2の電源に接続され、第2端子がトランジスタ116の第2端子、及びトランジスタ118のゲート端子に接続されている。トランジスタ116のゲート端子、及び第1端子が第1の電源に接続されている。トランジスタ118の第1端子が入力端子IN3に接続され、第2端子がトランジスタ113のゲート端子、及びトランジスタ114のゲート端子に接続されている。トランジスタ113の第1端子が第2の電源に接続され、第2端子が容量素子119の第1電極、トランジスタ112の第2端子、及び

40

50

出力端子OUTに接続されている。トランジスタ112の第1端子が入力端子IN2に接続されている。トランジスタ114の第1端子が第2の電源に接続されている。トランジスタ117のゲート端子が入力端子IN4に接続され、第1端子が第2の電源に接続されている。

【0128】

なお、フリップフロップ回路110では、トランジスタ111の第2端子、トランジスタ112のゲート端子、トランジスタ114の第2端子、トランジスタ115のゲート端子、トランジスタ117の第2端子、及び容量素子119の第2電極の節点をN1とする。トランジスタ115の第2端子、及びトランジスタ116の第2端子の節点をN2とする。トランジスタ113のゲート端子、トランジスタ114のゲート端子、及びトランジスタ118の第2端子の節点をN3とする。

10

【0129】

また、第1の電源には、電源電位VSSが供給され、第2の電源には電源電位VDDが供給されている。第1の電源の電源電位VSSと第2の電源の電源電位VDDとの電位差($VDD - VSS$)が、フリップフロップ回路110の電源電圧に相当する。また、電源電位VDDは、電源電位VSSよりも高い電位である。

【0130】

また、入力端子IN1～入力端子IN4には、それぞれ制御信号が供給されている。また、出力端子OUTは、出力信号を出力している。入力端子IN1には、制御信号として前の段のフリップフロップ回路110の出力信号が供給されている。入力端子IN4には、制御信号として次の段のフリップフロップ回路110の出力信号が供給されている。

20

【0131】

また、トランジスタ111～トランジスタ118は、それぞれPチャネル型である。ただし、トランジスタ111～トランジスタ118は、それぞれNチャネル型でもよい。

【0132】

次に、図12に示すタイミングチャートを用いて、図11に示すフリップフロップ回路110の動作について説明する。図12は、図11に示した入力端子IN1～入力端子IN4にそれぞれ供給される制御信号と、出力端子OUTから出力される出力信号と、節点N1～節点N3の電位のタイミングチャートを示している。なお、制御信号、及び出力信号のタイミングについては、すべてNチャネル型のトランジスタで構成される場合(図1)に対してHレベル、及びLレベルが反転している。また、図12に示すタイミングチャートは、便宜上、期間T1～期間T4に分割している。

30

【0133】

なお、期間T4以降の期間では、期間T3と期間T4とを順に繰り返している。また、図12では、期間T1を選択準備期間と定義し、期間T2を選択期間と定義し、期間T3、及び期間T4を非選択期間と定義する。つまり、1つの選択準備期間と、1つの選択期間と、複数の非選択期間とを順に繰り返している。

【0134】

また、図12に示すタイミングチャートでは、制御信号、及び出力信号を2値の値を持ったデジタル信号とする。このデジタル信号の持つ2値の電位は、H信号のときは第2の電源の電源電位と同電位であるVDD(以下、電位VDD、又はHレベルともいう)であり、L信号のときは第1の電源の電源電位と同電位であるVSS(以下、電位VSS、又はLレベルともいう)である。

40

【0135】

次に、フリップフロップ回路110の各期間ごとの動作について説明する。

【0136】

まず、期間T1におけるフリップフロップ回路110の動作について説明する。

【0137】

期間T1では、入力端子IN1はLレベルになり、トランジスタ111がオンする。入力端子IN4はHレベルになり、トランジスタ117がオフする。節点N3は後に説明する

50

期間T3で得たVDDを維持しているため、トランジスタ114がオフする。節点N1はトランジスタ111を介して第1の電源と導通し、節点N1の電位が下がってVn11になる。節点N1がVn11になると、トランジスタ111がオフする。ここで、Vn11は、電源電位VSSとトランジスタ111のしきい値電位Vth111の絶対値との和となる値($VSS + |Vth111|$)である。なお、Vn11は、トランジスタ112、及びトランジスタ115をオンできる電位である。

【0138】

節点N1の電位はVn11になり、トランジスタ111がオフし、トランジスタ112、及びトランジスタ115がオンする。節点N2はトランジスタ115を介して第2の電源と導通、及びトランジスタ116を介して第1の電源と導通し、節点N2の電位がVn21になる。ここで、Vn21は、トランジスタ116とトランジスタ115との動作点によって決定される。なお、トランジスタ115とトランジスタ116は、その2つのトランジスタを用いてインバータを構成している。よって、トランジスタ115のゲート端子(節点N1)にLレベルの信号が入力されたときには、節点N2にはHレベルの信号が入力される。ここで、Vn21は、トランジスタ118をオフできる電位である。したがって、入力端子IN3がLレベルであっても、トランジスタ118はオフしているので、節点N3はVDDを維持することができる。入力端子IN2はHレベルになり、出力端子OUTはトランジスタ112を介して入力端子IN2と導通しているため、出力端子OUTの電位がVDDになる。

10

【0139】

節点N2の電位はVn21になり、トランジスタ118がオフしているため、節点N3はVDDを維持し、トランジスタ113、及びトランジスタ114がオフする。

20

【0140】

以上の動作により、期間T1では、トランジスタ112をオンしており、出力端子OUTをHレベルにしている。また、トランジスタ111がオフなので、節点N1をフローティング状態にしている。

【0141】

次に、期間T2におけるフリップフロップ回路110の動作について説明する。

【0142】

期間T2では、入力端子IN1はHレベルになり、トランジスタ111がオフしている。入力端子IN4はHレベルのままであり、トランジスタ117がオフしている。そのため、節点N1は期間T1に引き続きフローティング状態になり、期間T1の電位Vn11を維持する。

30

【0143】

節点N1の電位はVn11を維持しているため、トランジスタ112がオンしている。そして、入力端子IN2がHレベルになる。すると、出力端子OUTはトランジスタ112を介して入力端子IN2と導通し、出力端子OUTの電位がVDDから減少する。節点N1の電位は容量素子119の容量結合によってVn12に変化し、トランジスタ112がオンし続ける。いわゆるブートストラップ動作が行われる。その結果、出力端子OUTは入力端子IN2の電位であるVSSと等しい電位まで減少する。なお、Vn12は、電位VSSからトランジスタ112のしきい値電位Vth112の絶対値を引いた値($VSS - |Vth112|$)以下である。入力端子IN2はLレベルになっており、出力端子OUTはトランジスタ112を介して入力端子IN2と導通しているため、出力端子OUTの電位がVSSになる。

40

【0144】

節点N1の電位がVn12になっても、トランジスタ115は引き続きオフのままである。そのため、節点N2の電位、及び節点N3の電位は、期間T1のときの電位と同じ電位になる。

【0145】

以上の動作により、期間T2では、ブートストラップ動作により、フローティング状態の

50

節点 N 1 の電位を下げることで、出力端子 O U T を V S S にしている。

【 0 1 4 6 】

次に、期間 T 3 におけるフリップフロップ回路 1 1 0 の動作について説明する。

【 0 1 4 7 】

期間 T 3 では、入力端子 I N 1 は H レベルのままであり、トランジスタ 1 1 1 がオフしている。入力端子 I N 4 は L レベルになり、トランジスタ 1 1 7 がオンする。すると、節点 N 1 はトランジスタ 1 1 7 を介して第 2 の電源と導通し、節点 N 1 の電位が V D D になる。

【 0 1 4 8 】

節点 N 1 の電位は V D D になり、トランジスタ 1 1 2、及びトランジスタ 1 1 5 がオフする。節点 N 2 はトランジスタ 1 1 6 を介して第 1 の電源と導通しているため、節点 N 2 の電位が減少して V_{n22} になる。ここで、 V_{n22} は、電源電位 V S S とトランジスタ 1 1 6 のしきい値電位 V_{th116} の絶対値との和となる値 ($V_{SS} + |V_{th116}|$) である。なお、 V_{n22} は、トランジスタ 1 1 8 をオンできる電位である。

10

【 0 1 4 9 】

節点 N 2 の電位は V_{n22} になり、トランジスタ 1 1 8 がオンする。そして、入力端子 I N 3 は L レベルになっているので、節点 N 3 はトランジスタ 1 1 8 を介して入力端子 I N 3 と導通し、節点 N 3 の電位が V_{n31} になる。ここで、 V_{n31} は、節点 N 2 の電位 V_{n22} とトランジスタ 1 1 8 のしきい値電位 V_{th118} の絶対値との和となる値 ($V_{n22} + |V_{th118}|$) になる。なお、 V_{n31} は、電源電位 V S S とトランジスタ 1 1 6 のしきい値電位 V_{th116} の絶対値、及びトランジスタ 1 1 8 のしきい値電位 V_{th118} の絶対値との和となる値 ($V_{SS} + |V_{th116}| + |V_{th118}|$) に相当する。また、 V_{n31} は、トランジスタ 1 1 3、及びトランジスタ 1 1 4 をオンできる電圧である。

20

【 0 1 5 0 】

節点 N 3 の電位は V_{n31} になり、トランジスタ 1 1 3 がオンする。そして、出力端子 O U T はトランジスタ 1 1 3 を介して第 2 の電源と導通しているため、出力端子 O U T の電位が V D D になる。

【 0 1 5 1 】

以上の動作により、期間 T 3 では、節点 N 1 に V D D を供給し、トランジスタ 1 1 2、及びトランジスタ 1 1 5 をオフしている。また、節点 N 3 を L レベルにし、トランジスタ 1 1 3、及びトランジスタ 1 1 4 をオンしている。よって、出力端子 O U T の電位を V D D にし、出力端子 O U T を H レベルにしている。

30

【 0 1 5 2 】

次に、期間 T 4 におけるフリップフロップ回路 1 1 0 の動作について説明する。

【 0 1 5 3 】

期間 T 4 では、入力端子 I N 3 は H レベルになり、節点 N 3 の電位が V D D になる。よって、トランジスタ 1 1 3 がオフする。また、トランジスタ 1 1 4 もオフする。入力端子 I N 4 は H レベルになり、トランジスタ 1 1 7 がオフする。すると、節点 N 1 はフローティング状態になり、節点 N 1 の電位が V D D を維持する。

40

【 0 1 5 4 】

節点 N 1 の電位は V D D のままなので、トランジスタ 1 1 2 がオフのままであり、トランジスタ 1 1 5 もオフのままである。よって、節点 N 2 は V_{n22} のままであり、トランジスタ 1 1 8 がオフのままである。

【 0 1 5 5 】

トランジスタ 1 1 2、及びトランジスタ 1 1 3 はオフするため、出力端子 O U T はフローティング状態になる。よって、出力端子 O U T の電位が V D D を維持する。

【 0 1 5 6 】

以上の動作により、期間 T 4 では、出力端子 O U T の電位を V D D に維持し、トランジスタ 1 1 3、及びトランジスタ 1 1 4 をオフできる。このようにトランジスタ 1 1 3、及び

50

トランジスタ 114 は常時、オンにならないので、トランジスタ 113、及びトランジスタ 114 の特性劣化を抑制することができる。

【0157】

期間 T1 ~ 期間 T4 の関係について説明する。期間 T1 の次の期間は期間 T2 であり、期間 T2 の次の期間は期間 T3 であり、期間 T3 の次の期間は期間 T4 である。ここで、期間 T4 の次の期間は期間 T1、又は期間 T3 である。つまり、期間 T4 の次の期間は、入力端子 IN1 が L レベルになれば期間 T1 になり、入力端子 IN1 が H レベルのままであれば期間 T3 になる。また、期間 T3 が期間 T4 の次の期間だった場合は、入力端子 IN4 は H レベルのままであり、トランジスタ 117 がオフのままである。

【0158】

ここで、トランジスタ 111 ~ トランジスタ 118、及び容量素子 119 が有する機能は、それぞれ図 1 に示したトランジスタ 11 ~ トランジスタ 18、及び容量素子 19 と同じ機能を有する。

【0159】

このように、図 11 に示すフリップフロップ回路 110 では、トランジスタ 113、及びトランジスタ 114 が期間 T3 においてオンし、期間 T4 においてオフすることで、トランジスタ 113、及びトランジスタ 114 が常時オンしていることを避けられる。従って、トランジスタ 113、及びトランジスタ 114 の特性劣化が抑制される。そのため、図 11 に示すフリップフロップ回路 110 は、トランジスタ 113、及びトランジスタ 114 の特性劣化による誤動作も抑制することができる。

【0160】

また、トランジスタ 113、及びトランジスタ 114 がオンすると、電源電位 VDD が出力端子 OUT、及び節点 N1 に供給される。そのため、図 11 に示すフリップフロップ回路 110 は、一定期間毎に出力端子 OUT、及び節点 N1 に電源電位 VDD を供給でき、出力端子 OUT、及び節点 N1 の電位の変動を減らすことができる。

【0161】

また、図 11 に示したフリップフロップ回路 110 は、半導体層にポリシリコンを用いることができ、製造工程の簡略化を図ることができる。したがって、製造コストの削減や歩留まりの向上を図ることができる。さらに、ポリシリコンの特性は劣化しにくいいため、半導体層にアモルファスシリコンを用いた場合よりも、半導体装置の長寿命を長くすることができる。また、本発明のフリップフロップ回路を用いることにより、半導体装置の寿命をさらに長くすることができる。さらに、ポリシリコンを用いたトランジスタの移動度は大きいいため、フリップフロップ回路 110 は高速動作が可能となる。

【0162】

なお、容量素子 119 は、ゲート配線層と半導体層とによって形成されることが望ましい。ゲート配線層と半導体層とは、ゲート絶縁膜を介して堆積されている。ゲート絶縁膜の膜厚は層間膜などの他の絶縁層に比べて非常に薄いため、容量素子は絶縁体としてゲート絶縁膜を用いると小面積、大容量になる。

【0163】

なお、トランジスタ 115 のサイズ (W/L) は、トランジスタ 116 のサイズよりも大きいことが望ましい。ここで、「W」はトランジスタのチャネル幅を示し、「L」はトランジスタのチャネル長を示す。トランジスタ 115 がオンする場合、節点 N2 の電位はトランジスタ 115、トランジスタ 116 との動作点によって決定される。つまり、トランジスタ 115 のサイズはトランジスタ 116 のサイズよりも十分大きくないと、節点 N2 の電位が高くなり、トランジスタ 118 がオフできなくなる。したがって、トランジスタ 118 がオフするようにするために、トランジスタ 115 のサイズは、トランジスタ 116 のサイズよりも十分大きくしておく必要がある。

【0164】

また、トランジスタ 115 のサイズは、トランジスタ 116 のサイズの 4 倍以上であることが望ましい。より望ましくは、10 倍以上である。電源電圧が小さいときは、トランジ

10

20

30

40

50

スタのサイズ比は4倍程度でいいが、電源電圧が大きくなると、トランジスタのサイズ比は10倍程度必要となる。

【0165】

ここで、レベルシフト回路などがフリップフロップ回路110の出力端子OUTに接続されている場合は、トランジスタのサイズ比は4倍以上が望ましい。なぜなら、フリップフロップ回路110の出力信号の振幅電圧はレベルシフト回路などによって大きくなるため、フリップフロップ回路110が小さい電源電圧で動作することが多いからである。

【0166】

また、レベルシフト回路などがフリップフロップ回路110の出力端子OUTに接続されていない場合は、トランジスタのサイズ比は10倍以上が望ましい。なぜなら、フリップフロップ回路110の出力信号はレベルシフトせずに、なんらかの動作に適用されるため、フリップフロップ回路110が大きい電源電圧で動作することが多いからである。

10

【0167】

なお、各電源電位、及び制御信号の電位は、対象とするトランジスタのオン・オフを制御できれば、どんな電位でもよい。

【0168】

例えば、電源電位VSSは、制御信号のLレベルの電位よりも低くてもよい。なぜなら、節点N3の電位は $V_{n31} (V_{SS} + |V_{th16}| + |V_{th18}|)$ であるため、電源電位VSSが低くなれば、節点N3の電位 V_{n31} も低くなるからである。したがって、節点N3の電位 V_{n31} が低くなることで、トランジスタ113、及びトランジスタ114のしきい値電位が特性劣化によって低くなっても、トランジスタ113、及びトランジスタ114は確実にオンすることができる。

20

【0169】

また、電源電位VSSは、各トランジスタのオン・オフを制御できれば、制御信号のLレベルの電位よりも高くてもよい。

【0170】

なお、容量素子119は、トランジスタ112のゲート端子と第2端子との間のゲート容量(寄生容量)が十分大きければ、必ずしも必要ではない。

【0171】

例えば、図13のフリップフロップ回路130のように、容量素子119を接続しなくてもよい。したがって、フリップフロップ回路130の素子数がフリップフロップ回路110の素子数に比べて1つ少なくなるので、フリップフロップ回路130は各素子を高密度に配置することができる。

30

【0172】

また、別の例として、図16のフリップフロップ回路160のように、トランジスタ161を用いて容量素子を形成してもよい。なぜなら、トランジスタ161がオンしていれば、トランジスタ161のゲート容量は容量素子として十分に機能するからである。

【0173】

なお、期間T1、及び期間T2(ブートストラップ動作時)において、トランジスタ161はオンしているため、チャンネル領域がトランジスタ161に形成され、トランジスタ161が容量素子として機能する。一方、期間T3、期間T4(ブートストラップ動作をしていないとき)において、トランジスタ161はオフしているため、チャンネル領域がトランジスタ101に形成されず、トランジスタ161は容量素子として機能しないが、小さい容量素子として機能する。

40

【0174】

ここで、先ほど述べた図16のフリップフロップ回路160のように、トランジスタ161を用いて容量素子を形成することで、トランジスタ161は必要なとき(期間T1、及び期間T2)だけ容量素子として機能し、不必要なとき(期間T3、及び期間T4)には容量素子として機能しないので、フリップフロップ回路160は節点N1や出力端子OUTの電位の変化によって誤動作しにくくなる。

50

【0175】

なお、トランジスタ161は、トランジスタ112と同じ極性である。

【0176】

なお、トランジスタ111の第1端子は、期間T1、及び期間T2において、節点N1をフローティング状態にできれば、どこに接続されていてもよい。

【0177】

例えば、図14のフリップフロップ回路140のように、トランジスタ111の第1端子は、入力端子IN1に接続されていてもよい。なぜなら、トランジスタ111の第1端子が入力端子IN1に接続されていても、期間T1、及び期間T2において、節点N1をフローティング状態にできるからである。

10

【0178】

なお、図11のフリップフロップ回路110において、入力端子IN1の電位が変化すると、ノイズがトランジスタ111の第1端子とゲート端子との間の寄生容量によって第1の電源に発生する。また、電流がトランジスタ111のオン、オフによって第1の電源から節点N1に流れると、ノイズがその電流の電圧降下によって第1の電源に発生する。これらのノイズが入力端子IN1の電位の変化によって発生する。

【0179】

ここで、先ほど述べた図14のフリップフロップ回路140のように接続することにより、先ほど述べたノイズを抑制することができる。また、第1の電源のノイズが抑制されることにより、第1の電源を用いている他の回路が安定して動作することができる。

20

【0180】

なお、第1の電源を用いている他の回路とは、フリップフロップ回路140の出力端子OUTに接続されるインバータ回路、レベルシフト回路、ラッチ回路、又はPWC回路などである。

【0181】

なお、トランジスタ116は、トランジスタ115とでインバータ回路を構成できれば、様々なものを用いることができる。トランジスタ116は必ずしも整流性を有している必要はなく、電流が流れると、電圧が発生する素子であれば様々なものを用いることができる。

【0182】

例えば、図15のフリップフロップ回路150のように、トランジスタ116の代わりに抵抗素子151を接続してもよい。なぜなら、トランジスタ116の代わりに抵抗素子151を接続しても、抵抗素子151とトランジスタ115とで、インバータ回路を構成できるからである。

30

【0183】

なお、トランジスタ115がオフのときに、節点N2の電位は第1の電源の電位と同じVSSになる。また、このときの節点N3の電位は電源電位VSSとトランジスタ118のしきい値電位 V_{th118} の絶対値との和となる値($V_{SS} + |V_{th118}|$)になる。

【0184】

ここで、先ほど述べた図15のフリップフロップ回路150のように、トランジスタ116の代わりに抵抗素子151を用いることで、各トランジスタのしきい値電位が特性劣化によって高くなっても、節点N2の電位はVSSになり、節点N3の電位はトランジスタ118のしきい値電位分だけVSSよりも高くなるだけなので、トランジスタ113、及びトランジスタ114がオンしやすくなる。

40

【0185】

なお、入力端子IN1、入力端子IN2、入力端子IN3、及び入力端子IN4は制御信号を供給されているが、本発明は必ずしもこれに限定しない。

【0186】

例えば、入力端子IN1、入力端子IN2、入力端子IN3、及び入力端子IN4は、電

50

源電位 V_{DD} を供給されていてもよいし、電源電位 V_{SS} を供給されていてもよいし、他の電位を供給されていてもよい。

【0187】

なお、トランジスタ 111 の第 1 端子、及びトランジスタ 116 の第 1 端子は第 1 の電源に接続されているが、本発明は必ずしもこれに限定しない。

【0188】

例えば、トランジスタ 111 の第 1 端子、及びトランジスタ 116 の第 1 端子はそれぞれ別の電源に接続されていてもよい。このとき、トランジスタ 116 の第 1 端子に接続する電源の電位は、トランジスタ 111 の第 1 端子に接続されている電源の電位よりも高いことが望ましい。

10

【0189】

別の例として、トランジスタ 111 の第 1 端子、及びトランジスタ 116 の第 1 端子はそれぞれ制御信号が供給されていてもよい。

【0190】

なお、トランジスタ 113 の第 1 端子、トランジスタ 114 の第 1 端子、及びトランジスタ 117 の第 1 端子は第 2 の電源に接続されているが、本発明は必ずしもこれに限定しない。

【0191】

例えば、トランジスタ 113 の第 1 端子、トランジスタ 114 の第 1 端子、及びトランジスタ 117 の第 1 端子はそれぞれ別の電源に接続されていてもよい。

20

【0192】

なお、本実施形態は、本明細書中の他の実施形態、実施例のいかなる記載とも自由に組み合わせ実施することができる。すなわち、本発明のシフトレジスタ回路は、非選択期間において、トランジスタが一定時間毎にオンすることで、出力端子に電源電位を供給する。こうすることで、シフトレジスタ回路の出力端子は、該トランジスタを介して電源電位が供給される。該トランジスタは非選択期間において常時オンしていないので、該トランジスタのしきい値電位のシフトは、抑制される。また、シフトレジスタ回路の出力端子は、該トランジスタを介して一定期間毎に電源電位が供給される。そのため、シフトレジスタ回路は、ノイズが出力端子に発生することを抑制できる。

【0193】

30

(実施の形態 2)

本実施の形態では、本発明のシフトレジスタ回路の構成について説明する。

【0194】

図 17 に、本発明のシフトレジスタ回路の一形態を示す。図 17 に示すシフトレジスタ回路は、複数のフリップフロップ回路 171、制御信号線 172、制御信号線 173、及び制御信号線 174 を有している。

【0195】

図 17 のシフトレジスタ回路に示すように、各フリップフロップ回路 171 は、入力端子 IN_1 が前段のフリップフロップ回路 171 の出力端子 OUT に接続されている。出力端子 OUT が次の段のフリップフロップ回路 171 の入力端子 IN_1 、前段のフリップフロップ回路 171 の入力端子 IN_4 、及びシフトレジスタ回路の出力端子 $SROUT$ に接続されている。ただし、1 段目のフリップフロップ回路 171 の入力端子 IN_1 は、制御信号線 172 に接続されている。また、最終段のフリップフロップ回路 171 の入力端子 IN_4 は、電源と接続されている。奇数段のフリップフロップ回路 171 では、入力端子 IN_2 が制御信号線 173 に接続され、入力端子 IN_3 が制御信号線 174 に接続されている。一方で、偶数段のフリップフロップ回路 171 では、入力端子 IN_2 が制御信号線 174 に接続され、入力端子 IN_3 が制御信号線 173 に接続されている。

40

【0196】

なお、フリップフロップ回路 171 は、実施の形態 1 で示したフリップフロップ回路と同様なものを用いることができる。

50

【0197】

また、フリップフロップ回路171の入力端子IN1～入力端子IN4、及び出力端子OUTは、実施の形態1で説明したものと同様なものを用いることができる。

【0198】

また、本発明のシフトレジスタ回路の1段目の出力端子SRoutを出力端子SRout1とし、2段目の出力端子SRoutを出力端子SRout2とし、3段目の出力端子SRoutを出力端子SRout3とし、4段目の出力端子SRoutを出力端子SRout4とし、n段目の出力端子SRoutを出力端子SRoutnとする。

【0199】

また、フリップフロップ回路171は、便宜上、電源、及び電源線を図示していない。電源、及び電源線は、実施の形態1で説明した第1の電源、及び第2の電源を用いることができる。よって、第1の電源の電源電位VDDと第2の電源の電源電位VSSとの電位差(VDD-VSS)が、フリップフロップ回路171の電源電圧に相当する。

10

【0200】

また、制御信号線172～制御信号線174には、それぞれ制御信号SSP、CK、CKBが供給されている。また、シフトレジスタ回路の出力端子SRout1～出力端子SRout4、及び出力端子SRoutnには、それぞれ1段目～4段目、及びn段目のフリップフロップ回路171の出力信号が供給されている。

【0201】

次に、図18に示すタイミングチャートを用いて、図17に示すシフトレジスタ回路の動作について説明する。図18は、図17に示した制御信号線172～制御信号線174にそれぞれ供給される制御信号SSP、制御信号CK、制御信号CKBと、出力端子SRout1～出力端子SRout4、及び出力端子SRoutnの出力信号のタイミングチャートを示している。また、図18に示すタイミングチャートは、便宜上、期間T0～期間T5、期間Tn、及び期間Tn+1に分割している。

20

【0202】

なお、図18は、フリップフロップ回路171のトランジスタがそれぞれNチャンネル型の場合のタイミングチャートである。つまり、図18は、フリップフロップ回路171として、図1、図7、図8、図9、及び図10に示したフリップフロップ回路を用いた場合のタイミングチャートである。

30

【0203】

なお、図18に示すタイミングチャートでは、制御信号、及び出力信号を実施の形態1と同様な2値の値を持ったデジタル信号とする。

【0204】

図17に示すシフトレジスタ回路の動作について図18を参照して、説明する。

【0205】

まず、期間T0におけるシフトレジスタ回路の動作について説明する。期間T0では、制御信号SSPがHレベルになり、制御信号CKがLレベルになり、制御信号CKBがHレベルになる。

【0206】

1段目のフリップフロップ回路171において、入力端子IN1がHレベルになり、入力端子IN2がLレベルになり、入力端子IN3がHレベルになり、入力端子IN4がLレベルになる。よって、出力端子OUTは、Lレベルになる。この状態は、図2に示すタイミングチャートの期間T1と同様である。

40

【0207】

1段目を除く奇数段のフリップフロップ回路171において、入力端子IN1がLレベルになり、入力端子IN2がLレベルになり、入力端子IN3がHレベルになり、入力端子IN4がLレベルになる。よって、出力端子OUTは、Lレベルになる。この状態は、図2に示すタイミングチャートの期間T3と同様である。

【0208】

50

偶数段のフリップフロップ回路 171 において、入力端子 IN 1 が L レベルになり、入力端子 IN 2 が H レベルになり、入力端子 IN 3 が L レベルになり、入力端子 IN 4 が L レベルになる。よって、出力端子 OUT は、L レベルになる。この状態は、図 2 に示すタイミングチャートの期間 T 4 と同様である。

【0209】

こうして、全てのシフトレジスタ回路の出力端子 S R o u t が L レベルになっている。

【0210】

次に、期間 T 1 におけるシフトレジスタ回路の動作について説明する。期間 T 1 では、制御信号 S S P が L レベルになり、制御信号 C K が H レベルになり、制御信号 C K B が L レベルになる。

10

【0211】

1 段目のフリップフロップ回路 171 において、入力端子 IN 1 が L レベルになり、入力端子 IN 2 が H レベルになり、入力端子 IN 3 が L レベルになり、入力端子 IN 4 が L レベルのままである。よって、出力端子 OUT は、H レベルになる。この状態は、図 2 に示すタイミングチャートの期間 T 2 と同様である。

【0212】

2 段目のフリップフロップ回路 171 において、入力端子 IN 1 が H レベルになり、入力端子 IN 2 が L レベルになり、入力端子 IN 3 が H レベルになり、入力端子 IN 4 が L レベルのままである。よって、出力端子 OUT は、L レベルのままである。この状態は、図 2 に示すタイミングチャートの期間 T 1 と同様である。

20

【0213】

1 段目を除く奇数段のフリップフロップ回路 171 において、入力端子 IN 1 が L レベルのままであり、入力端子 IN 2 が H レベルになり、入力端子 IN 3 が L レベルになり、入力端子 IN 4 が L レベルのままである。よって、出力端子 OUT は、L レベルのままである。この状態は、図 2 に示すタイミングチャートの期間 T 4 と同様である。

【0214】

2 段目を除く偶数段のフリップフロップ回路 171 において、入力端子 IN 1 が L レベルのままであり、入力端子 IN 2 が L レベルになり、入力端子 IN 3 が H レベルになり、入力端子 IN 4 が L レベルのままである。よって、出力端子 OUT は、L レベルのままである。この状態は、図 2 に示すタイミングチャートの期間 T 3 と同様である。

30

【0215】

こうして、シフトレジスタ回路の出力端子 S R o u t 1 が H レベルになり、他の出力端子 S R o u t が L レベルのままである。

【0216】

次に、期間 T 2 におけるシフトレジスタ回路の動作について説明する。期間 T 2 では、制御信号 S S P が L レベルになり、制御信号 C K が L レベルになり、制御信号 C K B が H レベルになる。

【0217】

1 段目のフリップフロップ回路 171 において、入力端子 IN 1 が L レベルのままであり、入力端子 IN 2 が L レベルになり、入力端子 IN 3 が H レベルになり、入力端子 IN 4 が H レベルになる。よって、出力端子 OUT は、L レベルになる。この状態は、図 2 に示すタイミングチャートの期間 T 3 と同様である。

40

【0218】

2 段目のフリップフロップ回路 171 において、入力端子 IN 1 が L レベルになり、入力端子 IN 2 が H レベルになり、入力端子 IN 3 が L レベルになり、入力端子 IN 4 が L レベルのままである。よって、出力端子 OUT は、H レベルになる。この状態は、図 2 に示すタイミングチャートの期間 T 2 と同様である。

【0219】

3 段目のフリップフロップ回路 171 において、入力端子 IN 1 が H レベルになり、入力端子 IN 2 が L レベルになり、入力端子 IN 3 が H レベルになり、入力端子 IN 4 が L レ

50

ベルのままである。よって、出力端子OUTは、Lレベルのままである。この状態は、図2に示すタイミングチャートの期間T1と同様である。

【0220】

1段目、及び3段目を除く奇数段のフリップフロップ回路171において、入力端子IN1がLレベルのままであり、入力端子IN2がLレベルになり、入力端子IN3がHレベルになり、入力端子IN4がLレベルのままである。よって、出力端子OUTはLレベルのままである。この状態は、図2に示すタイミングチャートの期間T3と同様である。

【0221】

2段目を除く偶数段のフリップフロップ回路171において、入力端子IN1がLレベルのままであり、入力端子IN2がHレベルになり、入力端子IN3がLレベルになり、入力端子IN4がLレベルのままである。よって、出力端子OUTはLレベルのままである。この状態は、図2に示すタイミングチャートの期間T4と同様である。

10

【0222】

こうして、シフトレジスタ回路の出力端子SROUT1がLレベルになり、出力端子SROUT2がHレベルになり、他の出力端子SROUTがLレベルのままである。

【0223】

後の期間でも同様に、期間T3ではシフトレジスタ回路の出力端子SROUT3がHレベルになり、期間T4ではシフトレジスタ回路の出力端子SROUT4がHレベルになり、期間T5ではシフトレジスタ回路の5段目の出力端子SROUT5がHレベルになり、期間Tnではシフトレジスタ回路のn段目の出力端子SROUTnがHレベルになる。このように、シフトレジスタ回路の出力端子は1期間だけ順にHレベルになる。また、1期間分とは、制御信号CK、又は制御信号CKBの半周期である。

20

【0224】

以上の動作により、図17に示すシフトレジスタ回路の出力端子SROUTを一段ずつHレベルにすることができる。また、フリップフロップ回路171として、実施の形態1で示したフリップフロップ回路を用いることによって、図17に示すフリップフロップ回路はトランジスタの特性劣化による誤動作を起こしにくく、出力信号のノイズが少なくなる。

【0225】

図18はフリップフロップ回路171のトランジスタがNチャンネル型の場合のタイミングチャートを示したが、図19はフリップフロップ回路171のトランジスタがPチャンネル型の場合のタイミングチャートを示している。つまり、図19は、フリップフロップ回路171として、図11、図13、図14、図15、及び図16に示したフリップフロップ回路を用いた場合のタイミングチャートである。

30

【0226】

次に、図19に示すタイミングチャートを用いて、図17に示すシフトレジスタ回路の動作について説明する。図19は、図17に示した制御信号線172～制御信号線174にそれぞれ供給される制御信号SSP、制御信号CK、制御信号CKBと、出力端子SROUT1～出力端子SROUT4、及び出力端子SROUTnの出力信号のタイミングチャートを示している。また、図19に示すタイミングチャートは、便宜上、期間T0～期間T5、期間Tn、及び期間Tn+1に分割している。なお、制御信号、及び出力信号のタイミングについては、フリップフロップ回路171がすべてNチャンネル型のトランジスタで構成される場合(図18)に対してHレベル、及びLレベルが反転している。

40

【0227】

なお、図19に示すタイミングチャートでは、制御信号、及び出力信号を実施の形態1と同様な2値の値を持ったデジタル信号とする。

【0228】

図17に示すシフトレジスタ回路の動作について図19を参照して、説明する。

【0229】

まず、期間T0におけるシフトレジスタ回路の動作について説明する。期間T0では、制

50

御信号 S S P が L レベルになり、制御信号 C K が H レベルになり、制御信号 C K B が L レベルになる。

【 0 2 3 0 】

1 段目のフリップフロップ回路 1 7 1 において、入力端子 I N 1 が L レベルになり、入力端子 I N 2 が H レベルになり、入力端子 I N 3 が L レベルになり、入力端子 I N 4 が H レベルになる。よって、出力端子 O U T は、H レベルになる。この状態は、図 1 2 に示すタイミングチャートの期間 T 1 と同様である。

【 0 2 3 1 】

1 段目を除く奇数段のフリップフロップ回路 1 7 1 において、入力端子 I N 1 が H レベルになり、入力端子 I N 2 が H レベルになり、入力端子 I N 3 が L レベルになり、入力端子 I N 4 が H レベルになる。よって、出力端子 O U T は、H レベルになる。この状態は、図 1 2 に示すタイミングチャートの期間 T 3 と同様である。

【 0 2 3 2 】

偶数段のフリップフロップ回路 1 7 1 において、入力端子 I N 1 が H レベルになり、入力端子 I N 2 が L レベルになり、入力端子 I N 3 が H レベルになり、入力端子 I N 4 が H レベルになる。よって、出力端子 O U T は、H レベルになる。この状態は、図 1 2 に示すタイミングチャートの期間 T 4 と同様である。

【 0 2 3 3 】

こうして、全てのシフトレジスタ回路の出力端子 S R o u t が H レベルになっている。

【 0 2 3 4 】

次に、期間 T 1 におけるシフトレジスタ回路の動作について説明する。期間 T 1 では、制御信号 S S P が H レベルになり、制御信号 C K が L レベルになり、制御信号 C K B が H レベルになる。

【 0 2 3 5 】

1 段目のフリップフロップ回路 1 7 1 において、入力端子 I N 1 が H レベルになり、入力端子 I N 2 が L レベルになり、入力端子 I N 3 が H レベルになり、入力端子 I N 4 が H レベルのままである。よって、出力端子 O U T は、L レベルになる。この状態は、図 1 2 に示すタイミングチャートの期間 T 2 と同様である。

【 0 2 3 6 】

2 段目のフリップフロップ回路 1 7 1 において、入力端子 I N 1 が L レベルになり、入力端子 I N 2 が H レベルになり、入力端子 I N 3 が L レベルになり、入力端子 I N 4 が H レベルのままである。よって、出力端子 O U T は、H レベルのままである。この状態は、図 1 2 に示すタイミングチャートの期間 T 1 と同様である。

【 0 2 3 7 】

1 段目を除く奇数段のフリップフロップ回路 1 7 1 において、入力端子 I N 1 が H レベルのままであり、入力端子 I N 2 が L レベルになり、入力端子 I N 3 が H レベルになり、入力端子 I N 4 が H レベルのままである。よって、出力端子 O U T は、H レベルのままである。この状態は、図 1 2 に示すタイミングチャートの期間 T 4 と同様である。

【 0 2 3 8 】

2 段目を除く偶数段のフリップフロップ回路 1 7 1 において、入力端子 I N 1 が H レベルのままであり、入力端子 I N 2 が H レベルになり、入力端子 I N 3 が L レベルになり、入力端子 I N 4 が H レベルのままである。よって、出力端子 O U T は、H レベルのままである。この状態は、図 1 2 に示すタイミングチャートの期間 T 3 と同様である。

【 0 2 3 9 】

こうして、シフトレジスタ回路の出力端子 S R o u t 1 が L レベルになり、他の出力端子 S R o u t が H レベルのままである。

【 0 2 4 0 】

次に、期間 T 2 におけるシフトレジスタ回路の動作について説明する。期間 T 2 では、制御信号 S S P が H レベルになり、制御信号 C K が H レベルになり、制御信号 C K B が L レベルになる。

10

20

30

40

50

【 0 2 4 1 】

1 段目のフリップフロップ回路 1 7 1 において、入力端子 I N 1 が H レベルのままであり、入力端子 I N 2 が H レベルになり、入力端子 I N 3 が L レベルになり、入力端子 I N 4 が L レベルになる。よって、出力端子 O U T は、H レベルになる。この状態は、図 1 2 に示すタイミングチャートの期間 T 3 と同様である。

【 0 2 4 2 】

2 段目のフリップフロップ回路 1 7 1 において、入力端子 I N 1 が H レベルになり、入力端子 I N 2 が L レベルになり、入力端子 I N 3 が H レベルになり、入力端子 I N 4 が H レベルのままである。よって、出力端子 O U T は、L レベルになる。この状態は、図 1 2 に示すタイミングチャートの期間 T 2 と同様である。

10

【 0 2 4 3 】

3 段目のフリップフロップ回路 1 7 1 において、入力端子 I N 1 が L レベルになり、入力端子 I N 2 が H レベルになり、入力端子 I N 3 が L レベルになり、入力端子 I N 4 が H レベルのままである。よって、出力端子 O U T は、H レベルのままである。この状態は、図 1 2 に示すタイミングチャートの期間 T 1 と同様である。

【 0 2 4 4 】

1 段目、及び 3 段目を除く奇数段のフリップフロップ回路 1 7 1 において、入力端子 I N 1 が H レベルのままであり、入力端子 I N 2 が H レベルになり、入力端子 I N 3 が L レベルになり、入力端子 I N 4 が H レベルのままである。よって、出力端子 O U T は H レベルのままである。この状態は、図 1 2 に示すタイミングチャートの期間 T 3 と同様である。

20

【 0 2 4 5 】

2 段目を除く偶数段のフリップフロップ回路 1 7 1 において、入力端子 I N 1 が H レベルのままであり、入力端子 I N 2 が L レベルになり、入力端子 I N 3 が H レベルになり、入力端子 I N 4 が H レベルのままである。よって、出力端子 O U T は H レベルのままである。この状態は、図 1 2 に示すタイミングチャートの期間 T 4 と同様である。

【 0 2 4 6 】

こうして、シフトレジスタ回路の出力端子 S R o u t 1 が H レベルになり、出力端子 S R o u t 2 が L レベルになり、他の出力端子 S R o u t が H レベルのままである。

【 0 2 4 7 】

後の期間でも同様に、期間 T 3 ではシフトレジスタ回路の出力端子 S R o u t 3 が L レベルになり、期間 T 4 ではシフトレジスタ回路の出力端子 S R o u t 4 が L レベルになり、期間 T 5 ではシフトレジスタ回路の 5 段目の出力端子 S R o u t 5 が L レベルになり、期間 T n ではシフトレジスタ回路の n 段目の出力端子 S R o u t n が L レベルになる。このように、シフトレジスタ回路の出力端子は 1 期間だけ順に L レベルになる。また、1 期間分とは、制御信号 C K、又は制御信号 C K B の半周期である。

30

【 0 2 4 8 】

以上の動作により、図 1 7 に示すシフトレジスタ回路の出力端子 S R o u t を一段ずつ L レベルにすることができる。また、フリップフロップ回路 1 7 1 として、実施の形態 1 で示したフリップフロップ回路を用いることによって、図 1 7 に示すフリップフロップ回路はトランジスタの特性劣化による誤動作を起こしにくく、出力信号のノイズが少なくなる。

40

【 0 2 4 9 】

なお、フリップフロップ回路 1 7 1 は 1 段目から順に選択信号をシフトレジスタ回路の出力端子 S R o u t に供給できれば、どんなフリップフロップ回路でもよい。

【 0 2 5 0 】

なお、フリップフロップ回路 1 7 1 の出力端子 O U T は、いかなる素子、及び回路を介してシフトレジスタ回路の出力端子 S R o u t に接続されていてもよい。いかなる素子、及び回路とは、インバータ回路、バッファ回路、N A N D 回路、N O R 回路、トライステートバッファ回路、P W C 回路などの論理回路、スイッチ、抵抗素子、容量素子、他の素子などである。また、これらの素子、回路を組み合わせることによって、様々な回路を構成

50

することができる。

【0251】

なお、制御信号線172～制御信号線174にはそれぞれ制御信号が供給されているが、本発明は必ずしもこれに限定しない。

【0252】

例えば、制御信号線172～制御信号線174は、電源電位VDDを供給されていてもよいし、電源電位VSSを供給されていてもよいし、他の電位を供給されていてもよい。

【0253】

なお、制御信号線173には制御信号CKが供給され、制御信号線174には制御信号CKBが供給されているが、本発明は必ずしもこれに限定しない。

10

【0254】

例えば、制御信号線173には制御信号CKを供給し、制御信号線174にはインバータ回路を介して制御信号CKの反転信号を供給してもよい。また、制御信号線173にはインバータ回路を介して制御信号CKBの反転信号を供給し、制御信号線174には制御信号CKBを供給してもよい。なお、このインバータ回路は、シフトレジスタ回路と同一基板上に形成することが望ましい。

【0255】

なお、最終段のフリップフロップ回路171の入力端子IN4は電源と接続されているが、本発明は必ずしもこれに限定しない。

【0256】

例えば、最終段のフリップフロップ回路171の入力端子IN4は制御信号線172～制御信号線174のいずれかに接続されていてもよいし、他の制御信号に接続されていてもよいし、他の段のフリップフロップ回路171の出力端子OUTに接続されていてもよい。

20

【0257】

なお、本実施形態は、本明細書中の他の実施形態、実施例のいかなる記載とも自由に組み合わせて実施することができる。すなわち、本発明のシフトレジスタ回路は、非選択期間において、トランジスタが一定時間毎にオンすることで、出力端子に電源電位を供給する。こうすることで、シフトレジスタ回路の出力端子は、該トランジスタを介して電源電位が供給される。該トランジスタは非選択期間において常時オンしていないので、該トランジスタのしきい値電位のシフトは、抑制される。また、シフトレジスタ回路の出力端子は、該トランジスタを介して一定期間毎に電源電位が供給される。そのため、シフトレジスタ回路は、ノイズが出力端子に発生することを抑制できる。

30

【0258】

(実施の形態3)

本実施形態では、駆動回路の一部に、実施の形態1で説明したフリップフロップ回路、及び実施の形態2で説明したシフトレジスタ回路などを用いた場合の構成例について説明する。

【0259】

駆動回路として、ゲートドライバに適應できる駆動回路の構成例を図20～27を参照して説明する。しかし、図20～図27の駆動回路は、ゲートドライバだけに適應できるものではなく、いかなる回路構成においても適應可能である。

40

【0260】

図20に、本発明のゲートドライバの一形態を示す。本発明のゲートドライバは、シフトレジスタ回路200、及びバッファ回路201を有している。

【0261】

図20のゲートドライバに示すように、シフトレジスタ回路200の出力端子SRoutがバッファ回路201を介してゲートドライバの出力端子GDoutに接続されている。

【0262】

なお、シフトレジスタ回路200は、実施の形態2で説明したものと同様なものとする。

50

【0263】

また、シフトレジスタ回路200の出力端子SRout1～出力端子SRout4、出力端子SRoutnは、実施の形態2で説明したものと同様なものとする。

【0264】

また、本発明のゲートドライバの1段目の出力端子GDoutを出力端子GDout1とし、2段目の出力端子GDoutを出力端子GDout2とし、3段目の出力端子GDoutを出力端子GDoutとし、n段目の出力端子GDoutを出力端子GDoutnとする。

【0265】

また、バッファ回路201は、インバータ回路、バッファ回路、NAND回路、NOR回路、トリステートバッファ回路、PWC回路などの論理回路、スイッチ、抵抗素子、容量素子、又は他の素子などを有している。また、これらの素子、及び回路を組み合わせることによって、様々な回路を構成することができる。

10

【0266】

また、図20のゲートドライバには、電源線、及び制御信号線を便宜上、図示していない。

【0267】

また、シフトレジスタ回路200がNチャンネル型のトランジスタで構成されている場合、バッファ回路201もNチャンネル型のトランジスタで構成されていることが望ましい。シフトレジスタ回路200がPチャンネル型のトランジスタで構成されている場合、バッファ回路201もPチャンネル型のトランジスタで構成されていることが望ましい。

20

【0268】

また、シフトレジスタ回路200がNチャンネル型のトランジスタで構成されている場合、シフトレジスタ回路200の出力信号は図18のタイミングチャートと同様である。シフトレジスタ回路200がPチャンネル型のトランジスタで構成されている場合、シフトレジスタ回路200の出力信号は図19のタイミングチャートと同様である。

【0269】

ここで、バッファ回路201の具体的な構成例について説明する。図21～図27は、バッファ回路を含むゲートドライバの構成例である。ただし、バッファ回路201は、図21～図27の構成に限定されない。

30

【0270】

図21に、本発明のバッファ回路を含むゲートドライバの一形態を具体的に説明する。図21のゲートドライバは、シフトレジスタ回路200、及びバッファ回路210を有している。バッファ回路210は、1段目のインバータ回路211A、及び2段目のインバータ回路211Bを有している。

【0271】

図21のゲートドライバに示すように、シフトレジスタ回路200の出力端子SRoutは、バッファ回路210を介してゲートドライバの出力端子GDoutに接続されている。

【0272】

バッファ回路210の接続関係について説明する。インバータ回路211Aの入力端子INがシフトレジスタ回路200の出力端子SRoutに接続され、出力端子OUTがインバータ回路211Bの入力端子INに接続されている。インバータ回路211Bの出力端子OUTがゲートドライバの出力端子GDoutに接続されている。つまり、バッファ回路210において、2つのインバータ回路211が各段のシフトレジスタ回路200の出力端子SRoutごとに、直列に接続されている。

40

【0273】

図21のゲートドライバの動作について、出力端子SRoutがHレベルの場合と、Lレベルの場合について、それぞれ説明する。

【0274】

50

まず、出力端子 S R o u t が H レベルの場合について説明する。出力端子 S R o u t は 2 つのインバータ回路 2 1 1 を介して出力端子 G D o u t に接続されているので、出力端子 G D o u t が H レベルになる。

【 0 2 7 5 】

次に、出力端子 S R o u t が L レベルの場合について説明する。出力端子 S R o u t は 2 つのインバータ回路 2 1 1 を介して出力端子 G D o u t に接続されているので、出力端子 G D o u t が L レベルになる。

【 0 2 7 6 】

以上の動作により、出力端子 S R o u t は H レベルになると、出力端子 G D o u t が H レベルになる。また、出力端子 S R o u t は L レベルになると、出力端子 G D o u t が L レベルになる。

10

【 0 2 7 7 】

また、インバータ回路 2 1 1 は整流作用をもつので、出力端子 S R o u t のノイズがゲートドライバの出力端子 G D o u t に影響することを抑制することができる。

【 0 2 7 8 】

なお、バッファ回路 2 1 0 において、2 つのインバータ回路 2 1 1 が直列に接続されているが、複数のインバータ回路 2 1 1 が直列に接続されていてもよい。例えば、奇数個のインバータ回路 2 1 1 が直列に接続されている場合、出力端子 G D o u t は出力端子 S R o u t と逆のレベルになる。偶数個のインバータ回路 2 1 1 が直列に接続されている場合、出力端子 G D o u t は出力端子 S R o u t と同じレベルになる。

20

【 0 2 7 9 】

また、バッファ回路 2 1 0 において、2 つのインバータ回路 2 1 1 が直列に接続されているが、複数のインバータ回路 2 1 1 が並列に接続されていてもよい。こうすれば、インバータ回路 2 1 1 の電流密度は小さくなるため、インバータ回路 2 1 1 を構成する素子の特性劣化が抑制される。

【 0 2 8 0 】

図 2 2 に、本発明のバッファ回路を含むゲートドライバの別の形態を具体的に説明する。図 2 2 のゲートドライバは、シフトレジスタ回路 2 0 0、バッファ回路 2 2 0、及び制御信号線 2 2 2 を有している。バッファ回路 2 1 0 は、N A N D 回路 2 2 1 を有している。

30

【 0 2 8 1 】

図 2 2 のゲートドライバに示すように、シフトレジスタ回路 2 0 0 の出力端子 S R o u t は、バッファ回路 2 2 0 を介してゲートドライバの出力端子 G D o u t に接続されている。

【 0 2 8 2 】

バッファ回路 2 2 0 の接続関係について説明する。N A N D 回路 2 2 1 の入力端子 I N 1 が制御信号線 2 2 2 に接続され、入力端子 I N 2 がシフトレジスタ回路 2 0 0 の出力端子 S R o u t に接続され、出力端子 O U T がゲートドライバの出力端子 G D o u t に接続されている。

【 0 2 8 3 】

また、制御信号線 2 2 2 には、イネーブル信号 E n が供給されている。イネーブル信号 E n は、デジタル信号である。

40

【 0 2 8 4 】

図 2 2 のゲートドライバの動作について、制御信号線 2 2 2 が H レベルの場合と、L レベルの場合と、出力端子 S R o u t が H レベルの場合と、L レベルの場合について、それぞれ説明する。

【 0 2 8 5 】

まず、制御信号線 2 2 2 が H レベル、出力端子 S R o u t が H レベルの場合について説明する。N A N D 回路 2 2 1 の入力端子 I N 1 が H レベルになり、入力端子 I N 2 が H レベルになる。よって、N A N D 回路 2 2 1 の出力端子 O U T は L レベルになるので、出力端

50

子G D o u t が L レベルになる。

【 0 2 8 6 】

次に、制御信号線 2 2 2 が H レベル、出力端子 S R o u t が L レベルの場合について説明する。N A N D 回路 2 2 1 の入力端子 I N 1 が H レベルになり、入力端子 I N 2 が L レベルになる。よって、N A N D 回路 2 2 1 路の出力端子 O U T は H レベルになるので、出力端子 G D o u t が H レベルになる。

【 0 2 8 7 】

次に、制御信号線 2 2 2 が L レベル、出力端子 S R o u t が H レベルの場合について説明する。N A N D 回路 2 2 1 の入力端子 I N 1 が L レベルになり、入力端子 I N 2 が H レベルになる。よって、N A N D 回路 2 2 1 の出力端子 O U T は H レベルになるので、出力端子 G D o u t が H レベルになる。

10

【 0 2 8 8 】

次に、制御信号線 2 2 2 が L レベル、出力端子 S R o u t が L レベルの場合について説明する。N A N D 回路 2 2 1 の入力端子 I N 1 が L レベルになり、入力端子 I N 2 が L レベルになる。よって、N A N D 回路 2 2 1 の出力端子 O U T は H レベルになるので、出力端子 G D o u t が H レベルになる。

【 0 2 8 9 】

以上の動作により、制御信号線 2 2 2 が H レベルであれば、出力端子 S R o u t が H レベルのときに、出力端子 G D o u t が L レベルになり、出力端子 S R o u t が L レベルのときに、出力端子 G D o u t は H レベルになる。制御信号線 2 2 2 が L レベルであれば、出力端子 S R o u t に関係なく、出力端子 G D o u t は H レベルになる。

20

【 0 2 9 0 】

このように、ゲートドライバの出力信号は、イネーブル信号 E n によって任意に変更することができる。図 2 2 のゲートドライバは、いわゆるパルス幅制御 (P W C) を行うことができる。

【 0 2 9 1 】

ここで、パルス幅制御は、イネーブル信号 E n が L レベルのときに出力端子 S R o u t に関係なく、出力端子が H レベルになることを利用して、行われる。つまり、シフトレジスタ回路 2 0 0 の出力信号がある L レベルのパルス幅 (周期) でも、イネーブル信号 E n を L レベルにすることで、その出力信号を短くすることができる。

30

【 0 2 9 2 】

なお、N A N D 回路 2 2 1 は 2 つの入力端子を有しているが、シフトレジスタ回路 2 0 0 の出力信号がいずれかの入力端子に供給されていれば、N A N D 回路 2 2 1 の入力端子の数はいくつでもよい。N A N D 回路 2 2 1 の入力端子が複数あれば、バッファ回路 2 2 0 はより正確にゲートドライバの出力信号を制御できる。

【 0 2 9 3 】

なお、図 2 4 のバッファ回路 2 4 0 ように、出力端子 S R o u t は、インバータ回路 2 1 1 を介して N A N D 回路 2 2 1 の入力端子 I N 2 に接続されてもよい。この場合、制御信号線 2 2 2 が H レベルであれば、出力端子 S R o u t が H レベルのときに、出力端子 G D o u t は H レベルになり、出力端子 S R o u t が L レベルのときに、出力端子 G D o u t は L レベルになる。制御信号線 2 2 2 が L レベルであれば、出力端子 S R o u t に関係なく、出力端子 G D o u t は H レベルになる。

40

【 0 2 9 4 】

なお、図 2 6 のバッファ回路 2 6 0 ように、N A N D 回路 2 2 1 の出力端子 O U T は、インバータ回路 2 1 1 を介して出力端子 G D o u t に接続されていてもよい。この場合、制御信号線 2 2 2 が H レベルであれば、出力端子 S R o u t が H レベルのときに、出力端子 G D o u t は H レベルになり、出力端子 S R o u t が L レベルのときに、出力端子 G D o u t は L レベルになる。制御信号線 2 2 2 が L レベルであれば、出力端子 S R o u t に関係なく、出力端子 G D o u t は L レベルになる。

【 0 2 9 5 】

50

なお、制御信号線 222 には、イネーブル信号 E n が供給されているが、本発明はこれに限定されない。

【0296】

例えば、制御信号線 222 には、別の制御信号が供給されていてもよい。

【0297】

別の例として、制御信号線 222 には、電源が供給されていてもよい。

【0298】

図 23 に、本発明のバッファ回路を含むゲートドライバの別の形態を具体的に説明する。図 23 のゲートドライバは、シフトレジスタ回路 200、バッファ回路 230、及び制御信号線 222 を有している。バッファ回路 230 は、NOR 回路 231 を有している。

10

【0299】

図 23 のゲートドライバに示すように、シフトレジスタ回路 200 の出力端子 S R o u t は、バッファ回路 230 を介してゲートドライバの出力端子 G D o u t に接続されている。

【0300】

バッファ回路 230 の接続関係について説明する。NOR 回路 231 の入力端子 I N 1 が制御信号線 222 に接続され、入力端子 I N 2 がシフトレジスタ回路 200 の出力端子 S R o u t に接続され、出力端子 O U T がゲートドライバの出力端子 G D o u t に接続されている。

【0301】

また、制御信号線 222 には、イネーブル信号 E n が供給されている。

20

【0302】

図 23 のゲートドライバの動作について、制御信号線 222 が H レベルの場合と、L レベルの場合と、シフトレジスタ回路 200 の出力端子 S R o u t が H レベルの場合と、L レベルの場合について、それぞれ説明する。。

【0303】

まず、制御信号線 222 が H レベル、シフトレジスタ回路 200 の出力端子 S R o u t が H レベルの場合について説明する。NOR 回路 231 の入力端子 I N 1 が H レベルになり、入力端子 I N 2 が H レベルになる。よって、NOR 回路の出力端子 O U T は L レベルになるので、出力端子 G D o u t が L レベルになる。

30

【0304】

次に、制御信号線 222 が H レベル、シフトレジスタ回路 200 の出力端子 S R o u t が L レベルの場合について説明する。NOR 回路 231 の入力端子 I N 1 が H レベルになり、入力端子 I N 2 が L レベルになる。よって、NOR 回路の出力端子 O U T は L レベルになるので、出力端子 G D o u t が L レベルになる。

【0305】

次に、制御信号線 222 が L レベル、シフトレジスタ回路 200 の出力端子 S R o u t が H レベルの場合について説明する。NOR 回路 231 の入力端子 I N 1 が L レベルになり、入力端子 I N 2 が H レベルになる。よって、NOR 回路の出力端子 O U T は L レベルになるので、出力端子 G D o u t が L レベルになる。

40

【0306】

次に、制御信号線 222 が L レベル、シフトレジスタ回路 200 の出力端子 S R o u t が L レベルの場合について説明する。NOR 回路 231 の入力端子 I N 1 が L レベルになり、入力端子 I N 2 が L レベルになる。よって、NOR 回路の出力端子 O U T は H レベルになるので、出力端子 G D o u t が H レベルになる。

【0307】

以上の動作により、制御信号線 222 が H レベルであれば、出力端子 S R o u t に関係なく、出力端子 G D o u t が L レベルになる。制御信号線 222 が L レベルであれば、出力端子 S R o u t が H レベルのときに、出力端子 G D o u t が L レベルになり、出力端子 S R o u t が L レベルのときに、出力端子 G D o u t が H レベルになる。

50

【0308】

このように、ゲートドライバの出力端子 $G\text{Dout}$ はイネーブル信号 E_n によって任意に変更することができる。図22のゲートドライバは、いわゆるパルス幅制御 (PWC) を行うことができる。

【0309】

ここで、パルス幅制御は、イネーブル信号 E_n がHレベルのときに出力端子 $S\text{Rout}$ に関係なく、出力端子がLレベルになることを利用して、行うことができる。つまり、シフトレジスタ回路200の出力信号があるHレベルのパルス幅 (周期) でも、イネーブル信号 E_n をHレベルにすることで、その出力信号を短くすることができる。

【0310】

なお、NOR回路231は2つの入力端子を有しているが、シフトレジスタ回路200の出力信号がいずれかの入力端子に供給されていれば、NOR回路231の入力端子はいくでもよい。NOR回路231の入力端子が複数れば、バッファ回路230はより正確にゲートドライバの出力信号制御できる。

【0311】

なお、図25のバッファ回路250ように、シフトレジスタ回路200の出力端子 $S\text{Rout}$ は、インバータ回路211を介してNOR回路231の入力端子 $IN2$ に接続されていてもよい。この場合、制御信号線222がHレベルであれば、出力端子 $S\text{Rout}$ に関係なく、出力端子 $G\text{Dout}$ はHレベルになる。制御信号線222がLレベルであれば、出力端子 $S\text{Rout}$ がHレベルのときに、出力端子 $G\text{Dout}$ はHレベルになり、出力端子 $S\text{Rout}$ がLレベルのときに、出力端子 $G\text{Dout}$ はLレベルになる。

【0312】

なお、図27のバッファ回路270ように、NOR回路231の出力端子 OUT は、インバータ回路211を介してゲートドライバの出力端子 $G\text{Dout}$ に接続されていてもよい。この場合、制御信号線222がHレベルであれば、出力端子 $S\text{Rout}$ に関係なく、出力端子 $G\text{Dout}$ はLレベルになる。制御信号線222がLレベルであれば、出力端子 $S\text{Rout}$ がHレベルのときに、出力端子 $G\text{Dout}$ はHレベルになり、出力端子 $S\text{Rout}$ がLレベルのときに、出力端子 $G\text{Dout}$ はLレベルの信号を出力する。

【0313】

ここで、インバータ回路211に適応可能な構成例について説明する。

【0314】

図28に、インバータ回路211の一形態を示す。図28のインバータ回路280はトランジスタ281、及びトランジスタ282を有している。

【0315】

図28のインバータ回路280に示すように、トランジスタ281の第1端子が第2の電源に接続され、第2端子がトランジスタ282の第2端子、及び出力端子 OUT に接続され、ゲート端子が入力端子 IN に接続されている。トランジスタ282の第1端子が第1の電源に接続され、ゲート端子が第1の電源に接続されている。

【0316】

なお、第1の電源には、電源電位 V_{DD} が供給され、第2の電源には電源電位 V_{SS} が供給されている。第1の電源の電源電位 V_{DD} と第2の電源の電源電位 V_{SS} との電位差 ($V_{DD} - V_{SS}$) が、インバータ回路280の電源電圧に相当する。また、電源電位 V_{DD} は、電源電位 V_{SS} よりも高い電位である。

【0317】

なお、入力端子 IN には、デジタルの制御信号が供給されている。また、出力端子 OUT は、出力信号を出力している。

【0318】

また、トランジスタ281、及びトランジスタ282は、それぞれNチャンネル型である。

【0319】

図28のインバータ回路280の動作について、入力端子 IN がHレベルの場合と、Lレ

10

20

30

40

50

ベルの場合について、それぞれ説明する。

【0320】

まず、入力端子INがHレベルの場合について説明する。入力端子INはHレベルになると、トランジスタ281がオンする。出力端子OUTはトランジスタ281を介して第2の電源と導電、及びトランジスタ282を介して第1の電源と導通し、出力端子OUTの電位が下がる。このときの出力端子OUTの電位はトランジスタ281とトランジスタ282との動作点によって決定され、出力端子OUTがLレベルになる。

【0321】

次に、入力端子INがLレベルの場合について説明する。入力端子INはLレベルになると、トランジスタ281がオフする。出力端子OUTはトランジスタ282を介して第1の電源と導通し、出力端子OUTの電位が上昇する。このときの出力端子OUTの電位は電源電位VDDからトランジスタ282のしきい値電位 V_{th282} を引いた値($VDD - V_{th282}$)になり、出力端子OUTがHレベルになる。

10

【0322】

なお、トランジスタ282は整流性を有している必要はなく、電流が流れると電圧が発生する素子であれば様々なものを用いることができる。例えば、図32のインバータ回路320のように、トランジスタ282の代わりに抵抗素子321を接続してもよい。

【0323】

ここで、トランジスタ281、及びトランジスタ282が有する機能を以下に説明する。

【0324】

トランジスタ281は、入力端子INの電位に応じて、第2の電源と、出力端子OUTとを接続するかしないかを選択するスイッチとしての機能を有する。入力端子INがHレベルのときに、トランジスタ281は出力端子OUTに電源電位VSSを供給する機能を有する。

20

【0325】

トランジスタ282は、ダイオードとしての機能を有する。

【0326】

図29に、インバータ回路211の別の形態を示す。図29のインバータ回路290はトランジスタ291、トランジスタ292、トランジスタ293、及び2つの電極を持つ容量素子294を有している。なお、容量素子294は必ずしも必要ではない。

30

【0327】

図29のインバータ回路290に示すように、トランジスタ291の第1端子が第2の電源に接続され、第2端子がトランジスタ292の第2端子、容量素子294の第2電極、及び出力端子OUTに接続され、ゲート端子が入力端子INに接続されている。トランジスタ292の第1端子が第1の電源に接続され、ゲート端子がトランジスタ293の第2端子、及び容量素子294の第1電極に接続されている。トランジスタ293の第1端子が第1の電源に接続され、ゲート端子が第1の電源に接続されている。

【0328】

なお、第1の電源、第2の電源、入力端子IN、及び出力端子OUTは図28と同様なものを用いることができる。

40

【0329】

また、トランジスタ291～トランジスタ293は、それぞれNチャネル型である。

【0330】

図29のインバータ回路290の動作について、入力端子INがHレベルの場合と、Lレベルの場合について、それぞれ説明する。

【0331】

まず、入力端子INがHレベルの場合について説明する。入力端子INはHレベルになると、トランジスタ291がオンする。トランジスタ292のゲート端子の電位は電源電位VDDからトランジスタ293のしきい値電位 V_{th293} を引いた値($VDD - V_{th293}$)になっており、トランジスタ292がオンしている。また、トランジスタ292

50

のゲート端子は、フローティング状態になっている。

【0332】

よって、出力端子OUTはトランジスタ291を介して第2の電源と導通、及びトランジスタ292を介して第1の電源と導通し、出力端子OUTの電位が下がる。このときの出力端子OUTの電位はトランジスタ291とトランジスタ292との動作点によって決定され、出力端子OUTがLレベルになる。

【0333】

次に、入力端子INがLレベルの場合について説明する。入力端子INはLレベルになると、トランジスタ291がオフする。トランジスタ292のゲート端子の電位は電源電位VDDからトランジスタ293のしきい値電位 V_{th293} を引いた値($VDD - V_{th293}$)になっており、トランジスタ292がオンしている。また、トランジスタ292のゲート端子は、フローティング状態になっている。

10

【0334】

よって、出力端子OUTはトランジスタ292を介して第1の電源と導通し、出力端子OUTの電位が上昇する。トランジスタ292のゲート端子の電位は容量素子294の容量結合によって、電源電位VDDとトランジスタ292のしきい値電位 V_{th292} との和以上の値まで上昇し、トランジスタ292がオンし続ける。いわゆるブートストラップ動作が行われる。このときの出力端子OUTの電位はVDDになり、出力端子OUTがHレベルになる。

【0335】

このように、図29のインバータ回路290では、ブートストラップ動作によって、Hレベルの出力端子OUTの電位を第1の電源の電源電位VDDまで上昇させることができる。

20

【0336】

なお、図29のインバータ回路290は、入力端子INがLレベルのときに、ブートストラップ動作を行うことができれば、図29の回路構成に限定されない。入力端子INがHレベルのときは、トランジスタ292のゲート端子に電位を供給していてもよい。

【0337】

例えば、図33のインバータ回路330のように、トランジスタ331を追加してもよい。なぜなら、出力端子OUTがLレベルのときに、出力端子OUTの電位をVSSにできるからである。つまり、入力端子INがHレベルのときに、トランジスタ331がオンするため、トランジスタ292のゲート端子がLレベルになる。そして、トランジスタ292はオフして、出力端子OUTはトランジスタ291を介して第2の電源のみと導通するからである。

30

【0338】

なお、トランジスタ331は、Nチャネル型である。

【0339】

別の例として、図36のインバータ回路360のように、トランジスタ293の第1端子が入力端子INbに接続されていてもよい。なぜなら、出力端子OUTがLレベルのときに、出力端子OUTの電位をVSSにできるからである。つまり、入力端子INがHレベルのときに、入力端子INbがLレベルになるため、トランジスタ292のゲート端子がLレベルになる。そして、トランジスタ292はオフして、出力端子OUTはトランジスタ291を介して第2の電源のみと導通するからである。

40

【0340】

なお、入力端子INbは入力端子INの信号の反転信号が供給されている。また、入力端子INbに供給される信号を生成する方法について説明する。

【0341】

例えば、図124に示すように、入力端子INbには、入力端子INの信号をインバータ回路1241を介して供給していてもよい。また、インバータ回路1241は、図28～図35で説明したインバータ回路を適用することができる。

50

【0342】

なお、入力端子 INb は入力端子 IN の信号の反転信号が供給されているとは限らない。また、入力信号 INb に供給される信号について説明する。

【0343】

例えば、入力端子 IN が n 段目の出力端子 $SRoutn$ に接続されている場合、入力端子 INb は $n - 1$ 段目の出力端子 $SRoutn - 1$ に接続されていてもよい。

【0344】

別の例として、入力端子 IN が n 段目の出力端子 $SRoutn$ に接続されている場合、入力端子 INb は $n + 1$ 段目の出力端子 $SRoutn + 1$ に接続されていてもよい。

【0345】

別の例として、入力端子 IN が n 段目の出力端子 $SRout$ に接続されている場合、入力端子 INb は n 段目のフリップフロップ回路の節点 $N2$ に接続されていてもよい。なぜなら、非選択期間において、フリップフロップ回路の節点 $N2$ の電位は出力端子 $SRout$ の電位と反転した関係にあるため、フリップフロップ回路の節点 $N2$ の電位は反転信号として利用できるからである。したがって、インバータ回路 360 の入力端子 INb にフリップフロップ回路の節点 $N2$ の電位を供給することで、反転信号を生成するためのインバータ回路を不要にすることができる。

10

【0346】

別の例として、入力端子 INb には制御信号（デジタル値）を供給すれば、図 36 のインバータ回路は、トライステートバッファ回路として動作することができる。なぜなら、入力端子 IN が L レベル、入力端子 INb が L レベルになれば、トランジスタ 291、及びトランジスタ 292 がオフするため、出力端子 OUT はどの電源とも接続されないからである。したがって、インバータ回路 360 がトライステートバッファ回路、又はインバータ回路としての機能を有することができる。

20

【0347】

このように、インバータ回路 360 の入力端子 INb には、様々な方法で、信号を供給することができる。

【0348】

以下に、再び、図 29 の応用例について説明する。

【0349】

別の例として、図 39 のインバータ回路 390 のように、トランジスタ 293 の第 1 端子、及びゲート端子が入力端子 INb に接続され、トランジスタ 391 を追加してもよい。なぜなら、出力端子 OUT が L レベルのときに、出力端子 OUT の電位が VSS にできるからである。つまり、入力端子 INb が L レベルのときに、トランジスタ 292 のゲート端子が L レベルになる。そして、トランジスタ 292 はオフして、出力端子 OUT はトランジスタ 291 を介して第 2 の電源のみと導通するからである。

30

【0350】

なお、容量素子 294 は、容量性を持つ素子であれば様々なものを用いることができる。例えば、図 30 のインバータ回路 300、図 34 のインバータ回路 340、図 37 のインバータ回路 370、及び図 40 のインバータ回路 400 のように、容量素子 294 の代わりにそれぞれトランジスタ 301、トランジスタ 341、トランジスタ 371、トランジスタ 401 を接続してもよい。

40

【0351】

なお、容量素子 294 は、トランジスタ 292 の第 2 端子とゲート端子との間の容量値が十分大きければ、必ずしも必要ではない。例えば、図 31 のインバータ回路 310、図 35 のインバータ回路 350、図 38 のインバータ回路 380、及び図 41 のインバータ回路 410 のように、容量素子 294 を接続しなくてもよい。

【0352】

ここで、トランジスタ 291 ~ トランジスタ 293、トランジスタ 301、トランジスタ 331、トランジスタ 341、及び容量素子 294 が有する機能を以下に説明する。

50

【0353】

トランジスタ291は、入力端子INの電位に応じて、第2の電源と、出力端子OUTとを接続するかしないかを選択するスイッチとしての機能を有する。入力端子INがHレベルのときに、トランジスタ291は出力端子OUTに電源電位VSSを供給する機能を有する。

【0354】

トランジスタ292は、第1の電源と、出力端子OUTとを接続するかしないかを選択するスイッチとしての機能を有する。

【0355】

トランジスタ293は、ダイオードとしての機能を有する。また、トランジスタ293は、トランジスタ292のゲート端子をフローティング状態にする機能を有する。

【0356】

トランジスタ301は、出力端子OUTと、トランジスタ292のゲート端子との間に接続された容量素子としての機能を有する。入力端子INがLレベルのときに、トランジスタ301はトランジスタ292のゲート端子の電位を上昇させる機能を有する。

【0357】

トランジスタ331は、入力端子INの電位に応じて、第2の電源と、トランジスタ292のゲート端子とを接続するかしないかを選択するスイッチとしての機能を有する。

【0358】

トランジスタ341は、出力端子OUTと、トランジスタ292のゲート端子との間に接続された容量素子としての機能を有する。入力端子INがLレベルのときに、容量素子341は出力端子OUTの電位の上昇によって、トランジスタ292のゲート端子の電位を上昇させる機能を有する。

【0359】

容量素子294は、出力端子OUTの電位に応じて、トランジスタ292のゲート端子の電位を変化させるための機能を有する。入力端子INがLレベルのときに、容量素子294は出力端子OUTの電位の上昇によって、トランジスタ292のゲート端子の電位を上昇させる機能を有する。

【0360】

このように、図28～図41のインバータ回路はHレベルの信号を出力するときに、電源電位VDDを変化することによって、出力端子OUTの電位を自由に変えることができる。つまり、図28～図41のインバータ回路は、インバータ回路として動作するだけでなく、レベルシフト回路としても動作することができる。

【0361】

図28～図41のインバータ回路では、すべてNチャネル型のトランジスタで構成されている場合について説明したが、すべてPチャネル型のトランジスタで構成されていてもよい。ここで、すべてPチャネル型のトランジスタで構成された場合のインバータ回路を図58～図71に示す。

【0362】

図58に、インバータ回路211の一形態を示す。図58のインバータ回路580はトランジスタ581、及びトランジスタ582を有している。

【0363】

図58のインバータ回路580に示すように、トランジスタ581の第1端子が第2の電源に接続され、第2端子がトランジスタ582の第2端子、及び出力端子OUTに接続され、ゲート端子が入力端子INに接続されている。トランジスタ582の第1端子が第1の電源に接続され、ゲート端子が第1の電源に接続されている。

【0364】

なお、第1の電源には、電源電位VSSが供給され、第2の電源には電源電位VDDが供給されている。第1の電源の電源電位VSSと第2の電源の電源電位VDDとの電位差($VDD - VSS$)が、インバータ回路580の電源電圧に相当する。また、電源電位V

10

20

30

40

50

Dは、電源電位VSSよりも高い電位である。

【0365】

なお、入力端子INには、デジタルの制御信号が供給されている。また、出力端子OUTは、出力信号を出力している。

【0366】

また、トランジスタ581、及びトランジスタ582は、それぞれPチャネル型である。

【0367】

図58のインバータ回路580の動作について、入力端子INがHレベルの場合と、Lレベルの場合について、それぞれ説明する。

【0368】

まず、入力端子INがHレベルの場合について説明する。入力端子INはHレベルになると、トランジスタ581がオフする。出力端子OUTはトランジスタ582を介して第1の電源と導通し、出力端子OUTの電位が下がる。このときの出力端子OUTの電位は電源電位VSSとトランジスタ582のしきい値電位 V_{th582} の絶対値との和となる値 $(VSS + |V_{th582}|)$ になり、出力端子OUTがLレベルになる。

【0369】

次に、入力端子INがLレベルの場合について説明する。入力端子INはLレベルになると、トランジスタ581がオンする。出力端子OUTはトランジスタ581を介して第2の電源と導通、及びトランジスタ582を介して第1の電源と導通し、出力端子OUTの電位が上昇する。このときの出力端子OUTの電位はトランジスタ581とトランジスタ582との動作点によって決定され、出力端子OUTがHレベルになる。

【0370】

なお、トランジスタ582は整流性を有している必要はなく、電流が流れると電圧が発生する素子であれば様々なものを用いることができる。例えば、図62のインバータ回路620のように、トランジスタ582の代わりに抵抗素子621を接続してもよい。

【0371】

ここで、トランジスタ581、及びトランジスタ582が有する機能を以下に説明する。

【0372】

トランジスタ581は、入力端子INの電位に応じて、第2の電源と、出力端子OUTとを接続するかしないかを選択するスイッチとしての機能を有する。入力端子INがLレベルのときに、トランジスタ581は出力端子OUTに電源電位VDDを供給する機能を有する。

【0373】

トランジスタ582は、ダイオードとしての機能を有する。

【0374】

図59に、インバータ回路211の別の形態を示す。図59のインバータ回路590はトランジスタ591、トランジスタ592、トランジスタ593、及び2つの電極を持つ容量素子594を有している。なお、容量素子594は必ずしも必要ではない。

【0375】

図59のインバータ回路590に示すように、トランジスタ591の第1端子が第2の電源に接続され、第2端子がトランジスタ592の第2端子、容量素子594の第2電極、及び出力端子OUTに接続され、ゲート端子が入力端子INに接続されている。トランジスタ592の第1端子が第1の電源に接続され、ゲート端子がトランジスタ593の第2端子、及び容量素子594の第1電極に接続されている。トランジスタ593の第1端子が第1の電源に接続され、ゲート端子が第1の電源に接続されている。

【0376】

なお、第1の電源、第2の電源、入力端子IN、及び出力端子OUTは図58と同様なものを用いることができる。

【0377】

また、トランジスタ591～トランジスタ593は、それぞれPチャネル型である。

10

20

30

40

50

【0378】

図59のインバータ回路590の動作について、入力端子INがHレベルの場合と、Lレベルの場合について、それぞれ説明する。

【0379】

まず、入力端子INがHレベルの場合について説明する。入力端子INはHレベルになると、トランジスタ591がオフする。トランジスタ592のゲート端子の電位は電源電位VSSとトランジスタ593のしきい値電位 V_{th593} の絶対値との和となる値($VSS + |V_{th593}|$)になっており、トランジスタ592がオンしている。また、トランジスタ592のゲート端子は、フローティング状態になっている。

【0380】

よって、出力端子OUTはトランジスタ592を介して第1の電源と導通し、出力端子OUTの電位が下がる。トランジスタ592のゲート端子の電位は容量素子594の容量結合によって、電源電位VSSからトランジスタ592のしきい値電位 V_{th592} の絶対値 $|V_{th592}|$ を引いた値($VSS - |V_{th592}|$)以下まで下がり、トランジスタ592がオンし続ける。いわゆるブートストラップ動作が行われる。このときの出力端子OUTの電位はVSSになり、出力端子OUTがLレベルになる。

【0381】

次に、入力端子INがLレベルの場合について説明する。入力端子INはLレベルになると、トランジスタ591がオンする。トランジスタ592のゲート端子の電位は電源電位VSSとトランジスタ593のしきい値電位の絶対値 $|V_{th593}|$ との和となる値($VSS + |V_{th593}|$)になっており、トランジスタ592がオンしている。また、トランジスタ592のゲート端子は、フローティング状態になっている。

【0382】

よって、出力端子OUTはトランジスタ591を介して第2の電源と導通、及びトランジスタ592を介して第1の電源と導通し、出力端子OUTの電位が上昇する。このときの出力端子OUTの電位はトランジスタ591とトランジスタ592との動作点によって決定され、出力端子OUTがHレベルになる。

【0383】

このように、図59のインバータ回路590では、ブートストラップ動作によって、Lレベルの出力端子OUTの電位を第1の電源の電源電位VSSまで下げることができる。

【0384】

なお、図59のインバータ回路590は、入力端子INがHレベルのときに、ブートストラップ動作を行うことができれば、図59の回路構成に限定されない。入力端子INがLレベルのときは、トランジスタ592のゲート端子に電位を供給していてもよい。

【0385】

例えば、図63のインバータ回路630のように、トランジスタ631を追加してもよい。なぜなら、出力端子OUTがHレベルのときに、出力端子OUTの電位をVDDにできるからである。つまり、入力端子INがLレベルのときに、トランジスタ631がオンするため、トランジスタ592のゲート端子がHレベルになる。そして、トランジスタ592はオフして、出力端子OUTはトランジスタ591を介して第2の電源のみと導通するからである。

【0386】

なお、トランジスタ631は、Pチャネル型である。

【0387】

別の例として、図66のインバータ回路660のように、トランジスタ593の第1端子が入力端子INbに接続されていてもよい。なぜなら、出力端子OUTがHレベルのときに、出力端子OUTの電位をVDDにできるからである。つまり、入力端子INがLレベルのときに、入力端子INbがHレベルになるため、トランジスタ592のゲート端子がHレベルになる。そして、トランジスタ592はオフして、出力端子OUTはトランジスタ591を介して第2の電源のみと導通するからである。

10

20

30

40

50

【0388】

なお、入力端子INbは入力端子INの信号の反転信号が供給されている。また、図36の入力端子INbと同様なものを用いることができる。

【0389】

例えば、図125に示すように、入力端子INbには、入力端子INの信号をインバータ回路1251を介して供給してもよい。また、インバータ回路1251は、図58～図65で説明したインバータ回路を適用することができる。

【0390】

また、図36では、入力端子INbに制御信号を供給することで、インバータ回路360がトリステートバッファ回路としても機能することを示した。ここで、図66のインバータ回路660も同様に、入力端子INbに制御信号を供給することで、トリステートバッファ回路としても機能することができる。つまり、入力端子INがHレベル、入力端子INbがHレベルになれば、トランジスタ591、及びトランジスタ592がオフするため、出力端子OUTはどの電源とも接続されないため、インバータ回路660はトリステートバッファ回路として機能することができる。

10

【0391】

以下に、再び、図59の応用例について説明する。

【0392】

別の例として、図69のインバータ回路690のように、トランジスタ593の第1端子、及びゲート端子が入力端子INbに接続され、トランジスタ631を追加してもよい。なぜなら、出力端子OUTがHレベルのときに、出力端子OUTの電位をVDDにできるからである。つまり、入力端子INbがHレベルのときに、トランジスタ592のゲート端子がHレベルになる。そして、トランジスタ592はオフして、出力端子OUTはトランジスタ591を介して第2の電源のみと導通するからである。

20

【0393】

なお、容量素子594は、容量性を持つ素子であれば様々なものを用いることができる。例えば、図60のインバータ回路600、図64のインバータ回路640、図67のインバータ回路670、及び図70のインバータ回路700のように、容量素子594の代わりにそれぞれトランジスタ601、トランジスタ641、トランジスタ671、トランジスタ701を接続してもよい。

30

【0394】

なお、容量素子594は、トランジスタ592の第2端子とゲート端子との間の容量値が十分大きければ、必ずしも必要ではない。例えば、図61のインバータ回路610、図65のインバータ回路650、図68のインバータ回路680、及び図71のインバータ回路710のように、容量素子594を接続しなくてもよい。

【0395】

ここで、トランジスタ591～トランジスタ593、トランジスタ601、トランジスタ631、トランジスタ641、及び容量素子594が有する機能を以下に説明する。

【0396】

トランジスタ591は、入力端子INの電位に応じて、第2の電源と、出力端子OUTとを接続するかしないかを選択するスイッチとしての機能を有する。入力端子INがLレベルのときに、トランジスタ591は出力端子OUTに電源電位VDDを供給する機能を有する。

40

【0397】

トランジスタ592は、第1の電源と、出力端子OUTとを接続するかしないかを選択するスイッチとしての機能を有する。

【0398】

トランジスタ593は、ダイオードとしての機能を有する。また、トランジスタ593は、トランジスタ592のゲート端子をフローティング状態にする機能を有する。

【0399】

50

トランジスタ601は、出力端子OUTと、トランジスタ592のゲート端子との間に接続された容量素子としての機能を有する。入力端子INがHレベルのときに、トランジスタ601はトランジスタ592のゲート端子の電位を下げる機能を有する。

【0400】

トランジスタ631は、入力端子INの電位に応じて、第2の電源と、トランジスタ592のゲート端子とを接続するかしないかを選択するスイッチとしての機能を有する。入力端子INがLレベルのときに、トランジスタ631はトランジスタ592のゲート端子に電源電位VDDを供給する機能を有する。

【0401】

トランジスタ641は、出力端子OUTと、トランジスタ592のゲート端子との間に接続された容量素子としての機能を有する。入力端子INがLレベルのときに、容量素子594は出力端子OUTの電位の上昇によって、トランジスタ592のゲート端子の電位を上昇させる機能を有する。

【0402】

容量素子594は、出力端子OUTの電位に応じて、トランジスタ592のゲート端子の電位を変化させるための機能を有する。入力端子INがHレベルのときに、容量素子594は出力端子OUTの電位の上昇によって、トランジスタ592のゲート端子の電位を下げる機能を有する。

【0403】

このように、図58～図71のインバータ回路はLレベルの信号を出力するときに、電源電位VSSを変化することによって、出力端子OUTの電位を自由に変えることができる。つまり、図58～図71のインバータ回路は、インバータ回路として動作するだけでなく、レベルシフト回路としても動作することができる。

【0404】

ここで、NAND回路221に適用可能な構成例についていくつか説明する。

【0405】

図42に、NAND回路221の一形態を示す。図42のNAND回路420はトランジスタ421、トランジスタ422、及びトランジスタ423を有している。

【0406】

図42のNAND回路420に示すように、トランジスタ421の第1端子が第2の電源に接続され、第2端子がトランジスタ422の第1端子に接続され、ゲート端子が入力端子IN1に接続されている。トランジスタ422の第2端子がトランジスタ423の第1端子、及び出力端子OUTに接続され、ゲート端子が入力端子IN2に接続されている。トランジスタ423の第2端子が第1の電源に接続され、ゲート端子が第1の電源に接続されている。

【0407】

なお、第1の電源には、電源電位VDDが供給され、第2の電源には電源電位VSSが供給されている。第1の電源の電源電位VDDと第2の電源の電源電位VSSとの電位差($VDD - VSS$)が、NAND回路420の電源電圧に相当する。また、電源電位VDDは、電源電位VSSよりも高い電位である。

【0408】

なお、入力端子IN1、及び入力端子IN2には、それぞれデジタルの制御信号が供給されている。また、出力端子OUTは、出力信号を出力している。

【0409】

また、トランジスタ421～トランジスタ423は、それぞれNチャンネル型である。

【0410】

図42のNAND回路420の動作について、入力端子IN1がHレベルの場合と、Lレベルの場合と、入力端子IN2がHレベルの場合と、Lレベルの場合について、それぞれ説明する。

【0411】

10

20

30

40

50

まず、入力端子 I N 1 が H レベル、入力端子 I N 2 が H レベルの場合について説明する。入力端子 I N 1 が H レベルになると、トランジスタ 4 2 1 がオンする。入力端子 I N 2 が H レベルになるとトランジスタ 4 2 2 がオンする。

【 0 4 1 2 】

よって、出力端子 O U T はトランジスタ 4 2 1 とトランジスタ 4 2 2 を介して第 2 の電源と導通、及びトランジスタ 4 2 3 を介して第 1 の電源と導通し、出力端子 O U T の電位が下がる。このときの出力端子 O U T の電位はトランジスタ 4 2 1 とトランジスタ 4 2 2 とトランジスタ 4 2 3 との動作点によって決定され、出力端子 O U T は L レベルになる。

【 0 4 1 3 】

次に、入力端子 I N 1 が H レベル、入力端子 I N 2 が L レベルの場合について説明する。入力端子 I N 1 が H レベルになると、トランジスタ 4 2 1 がオンする。入力端子 I N 2 が L レベルになると、トランジスタ 4 2 2 がオフする。

10

【 0 4 1 4 】

よって、出力端子 O U T はトランジスタ 4 2 3 を介して第 1 の電源と導通し、出力端子 O U T の電位が上昇する。このときの出力端子 O U T の電位は電源電位 V D D からトランジスタ 4 2 3 のしきい値電位 V_{th423} を引いた値 ($V_{DD} - V_{th423}$) になり、出力端子 O U T が H レベルになる。

【 0 4 1 5 】

次に、入力端子 I N 1 が L レベル、入力端子 I N 2 が H レベルの場合について説明する。入力端子 I N 1 が L レベルになると、トランジスタ 4 2 1 がオフする。入力端子 I N 2 が H レベルになると、トランジスタ 4 2 2 がオンする。

20

【 0 4 1 6 】

よって、出力端子 O U T はトランジスタ 4 2 3 を介して第 1 の電源と導通し、出力端子 O U T の電位が上昇する。このときの出力端子 O U T の電位は電源電位 V D D からトランジスタ 4 2 3 のしきい値電位 V_{th423} を引いた値 ($V_{DD} - V_{th423}$) になり、出力端子 O U T が H レベルになる。

【 0 4 1 7 】

次に、入力端子 I N 1 が L レベル、入力端子 I N 2 が L レベルの場合について説明する。入力端子 I N 1 が L レベルになると、トランジスタ 4 2 1 がオフする。入力端子 I N 2 が L レベルになると、トランジスタ 4 2 2 がオフする。

30

【 0 4 1 8 】

よって、出力端子 O U T はトランジスタ 4 2 3 を介して第 1 の電源と導通し、出力端子 O U T の電位が上昇する。このときの出力端子 O U T の電位は電源電位 V D D からトランジスタ 4 2 3 のしきい値電位 V_{th423} を引いた値 ($V_{DD} - V_{th423}$) になり、出力端子 O U T が H レベルになる。

【 0 4 1 9 】

なお、トランジスタ 4 2 3 は整流性を有している必要はなく、電流が流れると電圧が発生する素子であれば様々なものを用いることができる。例えば、図 4 6 の N A N D 回路 4 6 0 のように、トランジスタ 4 2 3 の代わりに抵抗素子 4 6 1 を接続してもよい。

【 0 4 2 0 】

ここで、トランジスタ 4 2 1 ~ トランジスタ 4 2 3 が有する機能を以下に説明する。

40

【 0 4 2 1 】

トランジスタ 4 2 1 は、入力端子 I N 1 の電位に応じて、第 2 の電源と、トランジスタ 4 2 2 の第 1 端子とを接続するかしないかを選択するスイッチとしての機能を有する。

【 0 4 2 2 】

トランジスタ 4 2 2 は、入力端子 I N 2 の電位に応じて、トランジスタ 4 2 1 の第 2 端子と、出力端子 O U T とを接続するかしないかを選択するスイッチとしての機能を有する。

【 0 4 2 3 】

トランジスタ 4 2 3 は、ダイオードとしての機能を有する。

【 0 4 2 4 】

50

図 4 3 に、N A N D 回路 2 2 1 の一形態を示す。図 4 3 の N A N D 回路 4 3 0 はトランジスタ 4 3 1、トランジスタ 4 3 2、トランジスタ 4 3 3、トランジスタ 4 3 4、及び容量素子 4 3 5 を有している。

【 0 4 2 5 】

図 4 3 の N A N D 回路 4 3 0 に示すように、トランジスタ 4 3 1 の第 1 端子が第 2 の電源に接続され、第 2 端子がトランジスタ 4 3 2 の第 1 端子に接続され、ゲート端子が入力端子 I N 1 に接続されている。トランジスタ 4 3 2 の第 2 端子がトランジスタ 4 3 3 の第 2 端子、容量素子 4 3 5 の第 2 電極、及び出力端子 O U T に接続され、ゲート端子が入力端子 I N 2 に接続されている。トランジスタ 4 3 3 の第 1 端子が第 1 の電源に接続され、ゲート端子がトランジスタ 4 3 4 の第 2 端子、容量素子 4 3 5 の第 1 電極に接続されている。トランジスタ 4 3 4 の第 1 端子が第 1 の電源に接続され、ゲート端子が第 1 の電源に接続されている。

10

【 0 4 2 6 】

なお、第 1 の電源、第 2 の電源、入力端子 I N 1、入力端子 I N 2、及び出力端子 O U T は図 4 2 と同様なものを用いることができる。

【 0 4 2 7 】

また、トランジスタ 4 3 1 ~ トランジスタ 4 3 4 は、それぞれ N チャネル型である。

【 0 4 2 8 】

図 4 3 の N A N D 回路 4 3 0 の動作について、入力端子 I N 1 が H レベルの場合と、L レベルの場合と、入力端子 I N 2 が H レベルの場合と、L レベルの場合について、それぞれ説明する。

20

【 0 4 2 9 】

まず、入力端子 I N が H レベル、入力端子 I N 2 が H レベルの場合について説明する。入力端子 I N 1 は H レベルになると、トランジスタ 4 3 1 がオンする。入力端子 I N 2 は H レベルになると、トランジスタ 4 3 2 がオンする。トランジスタ 4 3 3 のゲート端子の電位は電源電位 V D D からトランジスタ 4 3 4 のしきい値電位 V_{th434} を引いた値 ($V_{DD} - V_{th434}$) になっており、トランジスタ 4 3 3 がオンしている。

【 0 4 3 0 】

よって、出力端子 O U T はトランジスタ 4 3 1 とトランジスタ 4 3 2 を介して第 2 の電源と導通、トランジスタ 4 3 3 を介して第 1 の電源と導通し、出力端子 O U T の電位が下がる。このときの出力端子 O U T の電位はトランジスタ 4 3 1 とトランジスタ 4 3 2 とトランジスタ 4 3 3 との動作点によって決定され、出力端子 O U T が L レベルになる。

30

【 0 4 3 1 】

次に、入力端子 I N 1 が H レベル、入力端子 I N 2 が L レベルの場合について説明する。入力端子 I N 1 は H レベルになると、トランジスタ 4 3 1 がオンする。入力端子 I N 2 は L レベルになると、トランジスタ 4 3 2 がオフする。トランジスタ 4 3 3 のゲート端子の電位は電源電位 V D D からトランジスタ 4 3 4 のしきい値電位 V_{th434} を引いた値 ($V_{DD} - V_{th434}$) になっており、トランジスタ 4 3 3 がオンしている。また、トランジスタ 4 3 3 のゲート端子は、フローティング状態になっている。

【 0 4 3 2 】

よって、出力端子 O U T はトランジスタ 4 3 3 を介して第 1 の電源と導通し、出力端子 O U T の電位が上昇する。トランジスタ 4 3 3 のゲート端子の電位は容量素子 4 3 5 の容量結合によって、電源電位 V D D とトランジスタ 4 3 3 のしきい値電位 V_{th433} との和以上の値まで上昇し、トランジスタ 4 3 3 がオンし続ける。いわゆるブートストラップ動作が行われる。このときの出力端子 O U T の電位は V D D になり、出力端子 O U T が H レベルになる。

40

【 0 4 3 3 】

次に、入力端子 I N 1 が L レベル、入力端子 I N 2 が H レベルの場合について説明する。入力端子 I N 1 は L レベルになると、トランジスタ 4 3 1 がオフする。入力端子 I N 2 は H レベルになると、トランジスタ 4 3 2 がオンする。トランジスタ 4 3 3 のゲート端子の

50

電位は電源電位 V_{DD} からトランジスタ 434 のしきい値電位 V_{th434} を引いた値 ($V_{DD} - V_{th434}$) になっており、トランジスタ 433 がオンしている。また、トランジスタ 433 のゲート端子は、フローティング状態になっている。

【0434】

よって、出力端子 OUT はトランジスタ 433 を介して第 1 の電源と導通し、出力端子 OUT の電位が上昇する。トランジスタ 433 のゲート端子の電位は容量素子 435 の容量結合によって、電源電位 V_{DD} とトランジスタ 433 のしきい値電位 V_{th433} との和以上の値まで上昇し、トランジスタ 433 がオンし続ける。いわゆるブートストラップ動作が行われる。このときの出力端子 OUT の電位は V_{DD} になり、出力端子 OUT が H レベルになる。

10

【0435】

次に、入力端子 $IN1$ が L レベル、入力端子 $IN2$ が L レベルの場合について説明する。入力端子 $IN1$ は L レベルになると、トランジスタ 431 がオフする。入力端子 $IN2$ は L レベルになると、トランジスタ 432 がオフする。トランジスタ 433 のゲート端子の電位は電源電位 V_{DD} からトランジスタ 434 のしきい値電位 V_{th434} を引いた値 ($V_{DD} - V_{th434}$) になっており、トランジスタ 433 がオンしている。また、トランジスタ 433 のゲート端子はフローティング状態になっている。

【0436】

よって、出力端子 OUT はトランジスタ 433 を介して第 1 の電源と導通し、出力端子 OUT の電位が上昇する。トランジスタ 433 のゲート端子の電位は容量素子 435 の容量結合によって、電源電位 V_{DD} とトランジスタ 433 のしきい値電位 V_{th433} との和以上の値まで上昇し、トランジスタ 433 がオンし続ける。いわゆるブートストラップ動作が行われる。このときの出力端子 OUT の電位は V_{DD} になり、出力端子 OUT が H レベルになる。

20

【0437】

このように、図 43 の NAND 回路 430 では、ブートストラップ動作によって、H レベルの出力端子 OUT の電位を第 1 の電源の電源電位 V_{DD} まで上昇することができる。

【0438】

なお、図 43 の NAND 回路 430 は、入力端子 $IN1$ 、又は入力端子 $IN2$ が L レベルのときに、ブートストラップ動作を行うことができれば、図 43 の回路構成に限定されない。入力端子 $IN1$ 、及び入力端子 $IN2$ が H レベルのときは、トランジスタ 433 のゲート端子に電位を供給してもよい。

30

【0439】

例えば、図 47 の NAND 回路 470 のように、トランジスタ 471、及びトランジスタ 472 を追加してもよい。なぜなら、出力端子 OUT が L レベルのときに、出力端子 OUT の電位を V_{SS} にできるからである。つまり、入力端子 $IN1$ 、及び入力端子 $IN2$ が H レベルのときに、トランジスタ 471、及びトランジスタ 472 がオンするため、トランジスタ 433 のゲート端子が L レベルになる。そして、トランジスタ 433 はオフして、出力端子 OUT はトランジスタ 431、及びトランジスタ 432 を介して第 2 の電源のみと導通するからである。

40

【0440】

なお、トランジスタ 471、及びトランジスタ 472 は、それぞれ N チャネル型である。

【0441】

なお、容量素子 435 は、容量性を持つ素子であれば様々なものを用いることができる。例えば、図 44 の NAND 回路 440、及び図 48 の NAND 回路 480 のように、容量素子 435 の代わりにそれぞれトランジスタ 441、トランジスタ 481 を接続してもよい。

【0442】

なお、容量素子 435 は、トランジスタ 433 の第 2 端子とゲート端子との間の容量値が十分大きければ、必ずしも必要ではない。例えば、図 45 の NAND 回路 450、及び図

50

49のNAND回路490のように、容量素子435を接続しなくてもよい。

【0443】

ここで、トランジスタ431～トランジスタ434、トランジスタ441、トランジスタ471、トランジスタ472、トランジスタ481、容量素子435が有する機能を以下に説明する。

【0444】

トランジスタ431は、入力端子IN1の電位に応じて、第2の電源と、トランジスタ432の第1端子とを接続するかしないかを選択するスイッチとしての機能を有する。

【0445】

トランジスタ432は、入力端子IN2の電位に応じて、トランジスタ432の第2端子と、出力端子OUTとを接続するかしないかを選択するスイッチとしての機能を有する。

【0446】

トランジスタ433は、第1の電源と、出力端子OUTとを接続するかしないかを選択するスイッチとしての機能を有する。

【0447】

トランジスタ434は、ダイオードとしての機能を有する。また、トランジスタ434は、トランジスタ433のゲート端子をフローティング状態にする機能を有する。

【0448】

トランジスタ441は、出力端子OUTと、トランジスタ433のゲート端子との間に接続された容量素子としての機能を有する。入力端子IN1、又は入力端子IN2がLレベルのときに、トランジスタ441はトランジスタ433のゲート端子の電位を上昇させる機能を有する。

【0449】

トランジスタ471は、入力端子IN1の電位に応じて、第2の電源と、トランジスタ472の第1端子とを接続するかしないかを選択するスイッチとしての機能を有する。

【0450】

トランジスタ472は、入力端子IN2の電位に応じて、トランジスタ471の第1端子と、トランジスタ433のゲート端子とを接続するかしないかを選択するスイッチとしての機能を有する。

【0451】

トランジスタ481は、出力端子OUTと、トランジスタ433のゲート端子との間に接続された容量素子としての機能を有する。入力端子IN1、又は入力端子IN2がLレベルのときに、トランジスタ441はトランジスタ433のゲート端子の電位を上昇させる機能を有する。

【0452】

容量素子435は、出力端子OUTの電位に応じて、トランジスタ433のゲート端子の電位を変化させるための機能を有する。入力端子IN1、又は入力端子IN2がLレベルのときに、容量素子435はトランジスタ433のゲート端子の電位を上昇させる機能を有する。

【0453】

このように、図42～図49のNAND回路はHレベルの信号を出力するとき、電源電位VDDを変化することによって、出力端子OUTの電位を自由に変えることができる。つまり、図42～図49のNAND回路は、NAND回路として動作するだけでなく、レベルシフト回路としても動作することができる。

【0454】

図42～図49のNAND回路では、すべてNチャネル型のトランジスタで構成されている場合について説明したが、すべてPチャネル型のトランジスタで構成されていてもよい。ここで、すべてPチャネル型のトランジスタで構成された場合のNAND回路を図80～図87に示す。

【0455】

図 8 0 に、N A N D 回路 2 2 1 の別の形態を示す。図 8 0 の N A N D 回路 8 0 0 はトランジスタ 8 0 1、トランジスタ 8 0 2、及びトランジスタ 8 0 3 を有している。

【 0 4 5 6 】

図 8 0 の N A N D 回路 8 0 0 に示すように、トランジスタ 8 0 1 の第 1 端子が第 2 の電源に接続され、第 2 端子がトランジスタ 8 0 2 の第 2 端子、トランジスタ 8 0 3 の第 2 端子、及び出力端子 O U T に接続され、ゲート端子が入力端子 I N 1 に接続されている。トランジスタ 8 0 2 の第 1 端子が第 2 の電源に接続され、ゲート端子が入力端子 I N 2 に接続されている。トランジスタ 8 0 3 の第 1 端子が第 1 の電源に接続され、ゲート端子が第 1 の電源に接続されている。

【 0 4 5 7 】

なお、第 1 の電源には、電源電位 V_{SS} が供給され、第 2 の電源には電源電位 V_{DD} が供給されている。第 1 の電源の電源電位 V_{SS} と第 2 の電源の電源電位 V_{DD} との電位差 ($V_{DD} - V_{SS}$) が、N A N D 回路 8 0 0 の電源電圧に相当する。また、電源電位 V_{DD} は、電源電位 V_{SS} よりも高い電位である。

【 0 4 5 8 】

なお、入力端子 I N 1、及び入力端子 I N 2 には、それぞれデジタルの制御信号が供給されている。また、出力端子 O U T は、出力信号を出力している。

【 0 4 5 9 】

また、トランジスタ 8 0 1 ~ トランジスタ 8 0 3 は、それぞれ P チャネル型である。

【 0 4 6 0 】

図 8 0 の N A N D 回路 8 0 0 の動作について、入力端子 I N 1 が H レベルの場合と、L レベルの場合と、入力端子 I N 2 が H レベルの場合と、L レベルの場合について、それぞれ説明する。

【 0 4 6 1 】

まず、入力端子 I N 1 が H レベル、入力端子 I N 2 が H レベルの場合について説明する。入力端子 I N 1 が H レベルになると、トランジスタ 8 0 1 がオフする。入力端子 I N 2 が H レベルになると、トランジスタ 8 0 2 がオフする。

【 0 4 6 2 】

よって、出力端子 O U T はトランジスタ 8 0 3 を介して第 1 の電源と導通し、出力端子 O U T の電位が下がる。このときの出力端子 O U T の電位は電源電位 V_{SS} とトランジスタ 8 0 3 のしきい値電位 $V_{th 8 0 3}$ の絶対値との和となる値 ($V_{SS} + |V_{th 8 0 3}|$) になり、出力端子 O U T が L レベルになる。

【 0 4 6 3 】

次に、入力端子 I N 1 が H レベル、入力端子 I N 2 が L レベルの場合について説明する。入力端子 I N 1 が H レベルになると、トランジスタ 8 0 1 がオフする。入力端子 I N 2 が L レベルになるとトランジスタ 8 0 2 がオンする。

【 0 4 6 4 】

よって、出力端子 O U T はトランジスタ 8 0 2 を介して第 2 の電源と導通、及びトランジスタ 8 0 3 を介して第 1 の電源と導通し、出力端子 O U T の電位が上昇する。このときの出力端子 O U T の電位はトランジスタ 8 0 2 とトランジスタ 8 0 3 との動作点によって決定され、出力端子 O U T が H レベルになる。

【 0 4 6 5 】

次に、入力端子 I N 1 が L レベル、入力端子 I N 2 が H レベルの場合について説明する。入力端子 I N 1 が L レベルになると、トランジスタ 8 0 1 がオンする。入力端子 I N 2 が H レベルになるとトランジスタ 8 0 2 がオフする。

【 0 4 6 6 】

よって、出力端子 O U T はトランジスタ 8 0 1 を介して第 2 の電源と導通、及びトランジスタ 8 0 3 を介して第 1 の電源と導通し、出力端子 O U T の電位が上昇する。このときの出力端子 O U T の電位はトランジスタ 8 0 1 とトランジスタ 8 0 3 との動作点によって決定され、出力端子 O U T が H レベルになる。

10

20

30

40

50

【0467】

次に、入力端子IN1がLレベル、入力端子IN2がLレベルの場合について説明する。入力端子IN1がLレベルになると、トランジスタ801がオンする。入力端子IN2がLレベルになるとトランジスタ802がオンする。

【0468】

よって、出力端子OUTはトランジスタ801を介して第2の電源と導通、トランジスタ802を介して第2の電源、及びトランジスタ803を介して第1の電源と導通し、出力端子OUTの電位が上昇する。このときの出力端子OUTの電位はトランジスタ801とトランジスタ802とトランジスタ803との動作点によって決定され、出力端子OUTがHレベルになる。

10

【0469】

なお、トランジスタ803は整流性を有している必要はなく、電流が流れると電圧が発生する素子であれば様々なものを用いることができる。例えば、図84のNAND回路840のように、トランジスタ803の代わりに抵抗素子841を接続してもよい。

【0470】

ここで、トランジスタ801～トランジスタ803が有する機能を以下に説明する。

【0471】

トランジスタ801は、入力端子IN1の電位に応じて、第2の電源と、出力端子OUTとを接続するかしないかを選択するスイッチとしての機能を有する。入力端子IN1がLレベルのときに、トランジスタ801は出力端子OUTに電源電位VDDを供給する機能を有する。

20

【0472】

トランジスタ802は、入力端子IN2の電位に応じて、第2の電源と、出力端子OUTとを接続するかしないかを選択するスイッチとしての機能を有する。入力端子IN2がLレベルのときに、トランジスタ802は出力端子OUTに電源電位VDDを供給する機能を有する。

【0473】

トランジスタ803は、ダイオードとしての機能を有する。

【0474】

図81に、NAND回路221の別の形態を示す。図81のNAND回路810はトランジスタ811、トランジスタ812、トランジスタ813、トランジスタ814、及び容量素子815を有している。

30

【0475】

図81のNAND回路810に示すように、トランジスタ811の第1端子が第2の電源に接続され、第2端子がトランジスタ812の第2端子、トランジスタ813の第2端子、容量素子815の第1電極に接続され、ゲート端子が入力端子IN1に接続されている。トランジスタ812の第1端子が第2の電源に接続され、ゲート端子が入力端子IN2に接続されている。トランジスタ813の第1端子が第1の電源に接続され、ゲート端子がトランジスタ814の第2端子、及び容量素子815の第2電極に接続されている。トランジスタ814の第1端子が第1の電源に接続され、ゲート端子が第1の電源に接続されている。

40

【0476】

なお、第1の電源、第2の電源、入力端子IN1、入力端子IN2、及び出力端子OUTは図80と同様なものを用いることができる。

【0477】

また、トランジスタ811～トランジスタ814は、それぞれPチャネル型である。

【0478】

図81のNAND回路810の動作について、入力端子IN1がHレベルの場合と、Lレベルの場合と、入力端子IN2がHレベルの場合と、Lレベルの場合について、それぞれ説明する。

50

【0479】

まず、入力端子IN1がHレベル、入力端子IN2がHレベルの場合について説明する。入力端子IN1はHレベルになると、トランジスタ811がオフする。入力端子IN2はHレベルになると、トランジスタ812がオフする。トランジスタ813のゲート端子の電位は電源電位VSSとトランジスタ814のしきい値電位 V_{th814} の絶対値との和となる値($VSS + |V_{th814}|$)になっており、トランジスタ813がオンしている。また、トランジスタ813のゲート端子は、フローティング状態になっている。

【0480】

よって、出力端子OUTはトランジスタ813を介して第1の電源と導通し、出力端子OUTの電位が下がる。トランジスタ813のゲート端子の電位は容量素子815の容量結合によって、電源位VSSからトランジスタ813のしきい値電位 V_{th813} の絶対値を引いた値($VSS - |V_{th813}|$)以下まで下がり、トランジスタ813がオンし続ける。いわゆるブートストラップ動作が行われる。このときの出力端子OUTの電位はVSSになり、出力端子OUTがLレベルになる。

10

【0481】

次に、入力端子INがHレベル、入力端子IN2がLレベルの場合について説明する。入力端子IN1はHレベルになると、トランジスタ811がオフする。入力端子IN2はLレベルになると、トランジスタ812がオンする。トランジスタ813のゲート端子の電位は電源電位VSSとトランジスタ814のしきい値電位 V_{th814} の絶対値との和となる値($VSS + |V_{th814}|$)になっており、トランジスタ813がオンしている。また、トランジスタ813のゲート端子は、フローティング状態になっている。

20

【0482】

よって、出力端子OUTはトランジスタ812を介して第2の電源と導通、トランジスタ813を介して第1の電源と導通し、出力端子OUTの電位が上昇する。このときの出力端子OUTの電位はトランジスタ812とトランジスタ813との動作点によって決定され、出力端子OUTがHレベルになる。

【0483】

次に、入力端子INがLレベル、入力端子IN2がHレベルの場合について説明する。入力端子IN1はHレベルになると、トランジスタ811がオンする。入力端子IN2はHレベルになると、トランジスタ812がオフする。トランジスタ813のゲート端子の電位は電源電位VSSとトランジスタ814のしきい値電位 V_{th814} の絶対値との和となる値($VSS + |V_{th814}|$)になっており、トランジスタ813がオンしている。また、トランジスタ813のゲート端子は、フローティング状態になっている。

30

【0484】

よって、出力端子OUTはトランジスタ811を介して第2の電源と導通、トランジスタ813を介して第1の電源と導通し、出力端子OUTの電位が上昇する。このときの出力端子OUTの電位はトランジスタ811とトランジスタ813との動作点によって決定され、出力端子OUTがHレベルになる。

【0485】

次に、入力端子INがLレベル、入力端子IN2がLレベルの場合について説明する。入力端子IN1はLレベルになると、トランジスタ811がオンする。入力端子IN2はLレベルになると、トランジスタ812がオンする。トランジスタ813のゲート端子の電位は電源電位VSSとトランジスタ814のしきい値電位 V_{th814} の絶対値との和となる値($VSS + |V_{th814}|$)になっており、トランジスタ813がオンしている。また、トランジスタ813のゲート端子は、フローティング状態になっている。

40

【0486】

よって、出力端子OUTはトランジスタ811を介して第2の電源と導通、トランジスタ812を介して第2の電源と導通、トランジスタ813を介して第1の電源と導通し、出力端子OUTの電位が上昇する。このときの出力端子OUTの電位はトランジスタ811とトランジスタ812とトランジスタ813との動作点によって決定され、出力端子OUT

50

TがHレベルになる。

【0487】

このように、図81のNAND回路810では、ブートストラップ動作によって、Lレベルの出力端子OUTの電位を第1の電源の電源電位VSSまで下げることができる。

【0488】

なお、図81のNAND回路810は、入力端子IN1、及び入力端子IN2がHレベルのときに、ブートストラップ動作を行うことができれば、図81の回路構成に限定されない。入力端子IN1、又は入力端子IN2がLレベルのときは、トランジスタ813のゲート端子に電位を供給してもよい。

【0489】

例えば、図85のNAND回路850のように、トランジスタ851、及びトランジスタ852を追加してもよい。なぜなら、出力端子OUTがHレベルのときに、出力端子OUTの電位をVDDにできるからである。つまり、入力端子IN1、又は入力端子IN2がLレベルのときに、トランジスタ851、又はトランジスタ852がオンするため、トランジスタ813のゲート端子がHレベルになる。そして、トランジスタ813はオフして、出力端子OUTはトランジスタ811、又はトランジスタ812を介して第2の電源のみと導通するからである。

【0490】

なお、トランジスタ851、及びトランジスタ852は、それぞれPチャネル型である。

【0491】

なお、容量素子815は、容量性を持つ素子であれば様々なものを用いることができる。例えば、図82のNAND回路820、及び図86のNAND回路860のように、容量素子815の代わりにそれぞれトランジスタ821、トランジスタ861を接続してもよい。

【0492】

なお、容量素子815は、トランジスタ813の第2端子とゲート端子との間の容量値が十分大きければ、必ずしも必要ではない。例えば、図83のNAND回路830、及び図87のNAND回路870のように、容量素子815を接続しなくてもよい。

【0493】

ここで、トランジスタ811～トランジスタ814、トランジスタ821、トランジスタ851、トランジスタ452、トランジスタ861、容量素子815が有する機能を以下に説明する。

【0494】

トランジスタ811は、入力端子IN1の電位に応じて、第2の電源と、出力端子OUTとを接続するかしないかを選択するスイッチとしての機能を有する。入力端子IN1がLレベルのときに、トランジスタ811は出力端子OUTに電源電位VDDを供給する機能を有する。

【0495】

トランジスタ812は、入力端子IN2の電位に応じて、第2の電源と、出力端子OUTとを接続するかしないかを選択するスイッチとしての機能を有する。入力端子IN2がLレベルのときに、トランジスタ812は出力端子OUTに電源電位VDDを供給する機能を有する。

【0496】

トランジスタ813は、第1の電源と、出力端子OUTとを接続するかしないかを選択するスイッチとしての機能を有する。

【0497】

トランジスタ814は、ダイオードとしての機能を有する。また、トランジスタ814は、トランジスタ813のゲート端子をフローティング状態にする機能を有する。

【0498】

トランジスタ821は、出力端子OUTと、トランジスタ813のゲート端子との間に接

10

20

30

40

50

続された容量素子としての機能を有する。入力端子 I_{N1} 、及び入力端子 I_{N2} が H レベルのときに、トランジスタ 8 2 1 はトランジスタ 8 1 3 のゲート端子の電位を下げる機能を有する。

【0499】

トランジスタ 8 5 1 は、入力端子 I_{N1} の電位に応じて、第 2 の電源と、トランジスタ 8 1 3 のゲート端子とを接続するかしないかを選択するスイッチとしての機能を有する。入力端子 I_{N1} が L レベルのときに、トランジスタ 8 5 1 はトランジスタ 8 1 3 のゲート端子に電源電位 V_{DD} を供給する機能を有する。

【0500】

トランジスタ 8 5 2 は、入力端子 I_{N2} の電位に応じて、第 2 の電源と、トランジスタ 8 1 3 のゲート端子とを接続するかしないかを選択するスイッチとしての機能を有する。入力端子 I_{N2} が L レベルのときに、トランジスタ 8 5 2 はトランジスタ 8 1 3 のゲート端子に電源電位 V_{DD} を供給する機能を有する。

10

【0501】

トランジスタ 8 6 1 は、出力端子 O_{UT} と、トランジスタ 8 1 3 のゲート端子との間に接続された容量素子としての機能を有する。入力端子 I_{N1} 、及び入力端子 I_{N2} が H レベルのときに、トランジスタ 8 6 1 はトランジスタ 8 1 3 のゲート端子の電位を下げる機能を有する。

【0502】

容量素子 8 1 5 は、出力端子 O_{UT} の電位に応じて、トランジスタ 8 1 3 のゲート端子の電位を変化させるための機能を有する。入力端子 I_{N1} 、又は入力端子 I_{N2} が H レベルのときに、容量素子 8 1 5 はトランジスタ 8 1 3 のゲート端子の電位を下げる機能を有する。

20

【0503】

このように、図 8 1 ~ 図 8 7 の NAND 回路は L レベルの信号を出力するときに、電源電位 V_{SS} を変化することによって、出力端子 O_{UT} の電位を自由に変えることができる。つまり、図 8 1 ~ 図 8 7 の NAND 回路は、NAND 回路として動作するだけでなく、レベルシフト回路としても動作することができる。

【0504】

ここで、NOR 回路 2 3 1 に適応可能な構成例についていくつか説明する。

30

【0505】

図 5 0 に、NOR 回路 2 3 1 の一形態を示す。図 5 0 の NOR 回路 5 0 0 は、トランジスタ 5 0 1、トランジスタ 5 0 2、及びトランジスタ 5 0 3 を有している。

【0506】

図 5 0 の NOR 回路 5 0 0 に示すように、トランジスタ 5 0 1 の第 1 端子が第 2 の電源に接続され、第 2 端子がトランジスタ 5 0 2 の第 2 端子、トランジスタ 5 0 3 の第 2 端子、及び出力端子 O_{UT} に接続され、ゲート端子が入力端子 I_{N1} に接続されている。トランジスタ 5 0 2 の第 1 端子が第 2 の電源に接続され、ゲート端子が入力端子 I_{N2} に接続されている。トランジスタ 5 0 3 の第 1 端子が第 1 の電源に接続され、ゲート端子が第 1 の電源に接続されている。

40

【0507】

なお、第 1 の電源には、電源電位 V_{DD} が供給され、第 2 の電源には電源電位 V_{SS} が供給されている。第 1 の電源の電源電位 V_{DD} と第 2 の電源の電源電位 V_{SS} との電位差 ($V_{DD} - V_{SS}$) が、NOR 回路 5 0 0 の電源電圧に相当する。また、電源電位 V_{DD} は、電源電位 V_{SS} よりも高い電位である。

【0508】

なお、入力端子 I_{N1} 、及び入力端子 I_{N2} には、それぞれデジタルの制御信号が供給されている。また、出力端子 O_{UT} は、出力信号を出力している。

【0509】

また、トランジスタ 5 0 1 ~ トランジスタ 5 0 3 は、それぞれ N チャネル型である。

50

【0510】

図50のNOR回路500の動作について、入力端子IN1がHレベルの場合と、Lレベルの場合と、入力端子IN2がHレベルの場合と、Lレベルの場合について、それぞれ説明する。

【0511】

まず、入力端子IN1がHレベル、入力端子IN2がHレベルの場合について説明する。入力端子IN1がHレベルになると、トランジスタ501がオンする。入力端子IN2がHレベルになると、トランジスタ502がオンする。

【0512】

よって、出力端子OUTはトランジスタ501を介して第2の電源、トランジスタ502を介して第2の電源、及びトランジスタ503を介して第1の電源と導通し、出力端子OUTの電位が下がる。このときの出力端子OUTの電位はトランジスタ501とトランジスタ502とトランジスタ503との動作点によって決定され、出力端子OUTがLレベルになる。

10

【0513】

次に、入力端子IN1がHレベル、入力端子IN2がLレベルの場合について説明する。入力端子IN1がHレベルになると、トランジスタ501がオンする。入力端子IN2がLレベルになると、トランジスタ502がオフする。

【0514】

よって、出力端子OUTはトランジスタ501を介して第2の電源、及びトランジスタ503を介して第1の電源と導通し、出力端子OUTの電位が下がる。このときの出力端子OUTの電位はトランジスタ501とトランジスタ503との動作点によって決定され、出力端子OUTがLレベルになる。

20

【0515】

次に、入力端子IN1がLレベル、入力端子IN2がHレベルの場合について説明する。入力端子IN1がLレベルになると、トランジスタ501がオフする。入力端子IN2がHレベルになると、トランジスタ502がオンする。

【0516】

よって、出力端子OUTはトランジスタ502を介して第2の電源、及びトランジスタ503を介して第1の電源と導通し、出力端子OUTの電位が下がる。このときの出力端子OUTの電位はトランジスタ502とトランジスタ503との動作点によって決定され、出力端子OUTがLレベルになる。

30

【0517】

次に、入力端子IN1がLレベル、入力端子IN2がLレベルの場合について説明する。入力端子IN1がLレベルになると、トランジスタ501がオフする。入力端子IN2がLレベルになると、トランジスタ502がオフする。

【0518】

よって、出力端子OUTはトランジスタ503を介して第1の電源と導通し、出力端子OUTの電位が上昇する。このときの出力端子OUTの電位は電源電位VDDからトランジスタ503のしきい値電位 V_{th503} を引いた値($VDD - V_{th503}$)になり、出力端子OUTがHレベルになる。

40

【0519】

なお、トランジスタ503は整流性を有している必要はなく、電流が流れると電圧が発生する素子であれば様々なものを用いることができる。例えば、図54のNOR回路540のように、トランジスタ503の代わりに抵抗素子541を接続してもよい。

【0520】

ここで、トランジスタ501～トランジスタ503が有する機能を以下に説明する。

【0521】

トランジスタ501は、入力端子IN1の電位に応じて、第2の電源と、出力端子OUTとを接続するかしないかを選択するスイッチしての機能を有する。

50

【0522】

トランジスタ502は、入力端子IN2の電位に応じて、第2の電源と、出力端子OUTとを接続するかしないかを選択するスイッチとしての機能を有する。

【0523】

トランジスタ503は、ダイオードとしての機能を有する。

【0524】

図51に、NOR回路231の別の形態を示す。図51のNOR回路510は、トランジスタ511、トランジスタ512、トランジスタ513、トランジスタ514、及び2つの電極を持つ容量素子515を有している。

【0525】

図51のNOR回路510に示すように、トランジスタ511の第1端子が第2の電源に接続され、第2端子がトランジスタ512の第2端子、トランジスタ513の第2端子、容量素子515の第2電極、及び出力端子OUTに接続され、ゲート端子が入力端子IN1に接続されている。トランジスタ512の第1端子が第2の電源に接続され、ゲート端子が入力端子IN2に接続されている。トランジスタ513の第1端子が第1の電源に接続され、ゲート端子がトランジスタ514の第2端子、及び容量素子515の第1電極に接続されている。トランジスタ514の第1端子が第1の電源に接続され、ゲート端子が第1の電源に接続されている。

10

【0526】

なお、第1の電源、第2の電源、入力端子IN1、入力端子IN2、及び出力端子OUTは図50と同様なものを用いることができる。

20

【0527】

また、トランジスタ511～トランジスタ514は、それぞれNチャンネル型である。

【0528】

図51のNOR回路510の動作について、入力端子IN1がHレベルの場合と、Lレベルの場合と、入力端子IN2がHレベルの場合と、Lレベルの場合とについて、それぞれ説明する。

【0529】

まず、入力端子INがHレベル、入力端子IN2がHレベルの場合について説明する。入力端子IN1はHレベルになると、トランジスタ511がオンする。入力端子IN2がHレベルになると、トランジスタ512がオンする。トランジスタ513のゲート端子の電位は電源電位VDDからトランジスタ514のしきい値電位 V_{th514} を引いた値($VDD - V_{th514}$)になっており、トランジスタ513がオンしている。また、トランジスタ513のゲート端子は、フローティング状態になっている。

30

【0530】

よって、出力端子OUTはトランジスタ511を介して第2の電源、トランジスタ512を介して第2の電源、及びトランジスタ513を介して第1の電源と導通し、出力端子OUTの電位が下がる。このときの出力端子OUTの電位はトランジスタ511とトランジスタ512とトランジスタ513との動作点によって決定され、出力端子OUTがLレベルになる。

40

【0531】

次に、入力端子IN1がHレベル、入力端子IN2がLレベルの場合について説明する。入力端子IN1はHレベルになると、トランジスタ511がオンする。入力端子IN2がLレベルになると、トランジスタ512がオフする。トランジスタ513のゲート端子の電位は電源電位VDDからトランジスタ514のしきい値電位 V_{th514} を引いた値($VDD - V_{th514}$)になっており、トランジスタ513がオンしている。また、トランジスタ513のゲート端子は、フローティング状態になっている。

【0532】

よって、出力端子OUTはトランジスタ511を介して第2の電源、及びトランジスタ513を介して第1の電源と導通し、出力端子OUTの電位が下がる。このときの出力端子

50

OUTの電位はトランジスタ511とトランジスタ512とトランジスタ513との動作点によって決定され、出力端子OUTがLレベルになる。

【0533】

まず、入力端子INがLレベル、入力端子IN2がHレベルの場合について説明する。入力端子IN1はLレベルになると、トランジスタ511がオフする。入力端子IN2がHレベルになると、トランジスタ512がオンする。トランジスタ513のゲート端子の電位は電源電位VDDからトランジスタ514のしきい値電位 V_{th514} を引いた値($VDD - V_{th514}$)になっており、トランジスタ513がオンしている。また、トランジスタ513のゲート端子は、フローティング状態になっている。

【0534】

よって、出力端子OUTはトランジスタ512を介して第2の電源、及びトランジスタ513を介して第1の電源と導通し、出力端子OUTの電位が下がる。このときの出力端子OUTの電位はトランジスタ511とトランジスタ512とトランジスタ513との動作点によって決定され、出力端子OUTがLレベルになる。

【0535】

まず、入力端子INがLレベル、入力端子IN2がLレベルの場合について説明する。入力端子IN1はLレベルになると、トランジスタ511がオフする。入力端子IN2がLレベルになると、トランジスタ512がオフする。トランジスタ513のゲート端子の電位は電源電位VDDからトランジスタ514のしきい値電位 V_{th514} を引いた値($VDD - V_{th514}$)になっており、トランジスタ513がオンしている。また、トランジスタ513のゲート端子は、フローティング状態になっている。

【0536】

よって、出力端子OUTはトランジスタ513を介して第1の電源と導通し、出力端子OUTの電位が上昇する。トランジスタ513のゲート端子の電位は容量素子515の容量結合によって、電源電位VDDとトランジスタ513のしきい値電位 V_{th513} との和以上の値まで上昇し、トランジスタ513がオンし続ける。いわゆるブートストラップ動作が行われる。このときの出力端子OUTの電位はVDDになり、出力端子OUTがHレベルになる。

【0537】

このように、図51のNOR回路510では、ブートストラップ動作によって、Hレベルの出力端子OUTの電位を第1の電源の電源電位VDDまで上昇することができる。

【0538】

なお、図51のNOR回路510は、入力端子IN1、及び入力端子IN2がLレベルのときに、ブートストラップ動作を行うことができれば、図51の回路構成に限定されない。入力端子IN1、又は入力端子IN2がHレベルのときは、トランジスタ513のゲート端子に電位を供給してもよい。

【0539】

例えば、図55のNOR回路550のように、トランジスタ551、及びトランジスタ552を追加してもよい。なぜなら、出力端子OUTがLレベルのときに、出力端子OUTの電位をVSSにできるからである。つまり、入力端子IN1、又は入力端子IN2の一方または両方がHレベルのときに、トランジスタ551、トランジスタ552がオンするため、トランジスタ513のゲート端子がLレベルになる。そして、トランジスタ513はオフして、出力端子OUTはトランジスタ511、又はトランジスタ512を介して第2の電源のみと導通するからである。

【0540】

なお、トランジスタ551、及びトランジスタ552は、それぞれNチャンネル型である。

【0541】

なお、容量素子515は、容量性を持つ素子であれば様々なものを用いることができる。例えば、図52のNOR回路520、及び図56のNOR回路560のように、容量素子515の代わりにそれぞれ、トランジスタ521、トランジスタ561を接続してもよい

10

20

30

40

50

。

【0542】

なお、容量素子515は、トランジスタ513の第2端子とゲート端子との間の容量値が十分大きければ、必ずしも必要ではない。例えば、図53のNOR回路530、及び図57のNOR回路570のように、容量素子515を接続しなくてもよい。

【0543】

ここで、トランジスタ511～トランジスタ514、トランジスタ521、トランジスタ551、トランジスタ552、トランジスタ561、容量素子515が有する機能をそれぞれ以下に説明する。

【0544】

トランジスタ511は、入力端子IN1の電位に応じて、第2の電源と、出力端子OUTとを接続するかしないかを選択するスイッチとしての機能を有する。入力端子IN1がHレベルのときに出力端子OUTに電源電位VSSを供給する。

10

【0545】

トランジスタ512は、入力端子IN2の電位に応じて、第2の電源と、出力端子OUTとを接続するかしないかを選択するスイッチとしての機能を有する。入力端子IN2がHレベルのときの出力端子OUTに電源電位VSSを供給する。

【0546】

トランジスタ513は、第1の電源と、出力端子OUTとを接続するかしないかを選択するスイッチとしての機能を有する。

20

【0547】

トランジスタ514は、ダイオードとしての機能を有する。また、トランジスタ514は、トランジスタ513のゲート端子をフローティング状態にする機能を有する。

【0548】

トランジスタ521は、出力端子OUTと、トランジスタ513のゲート端子との間に接続された容量素子としての機能を有する。入力端子IN1、及び入力端子IN2がLレベルのときに、トランジスタ521はトランジスタ513のゲート端子の電位を上昇させる機能を有する。

【0549】

トランジスタ551は、入力端子IN1の電位に応じて、第2の電源と、トランジスタ513のゲート端子とを接続するかしないかを選択するスイッチとしての機能を有する。入力端子IN1がHレベルのときに、トランジスタ551はトランジスタ513のゲート端子に電源電位VSSを供給する機能を有する。

30

【0550】

トランジスタ552は、入力端子IN2の電位に応じて、第2の電源と、トランジスタ513のゲート端子とを接続するかしないかを選択するスイッチとしての機能を有する。入力端子IN2がHレベルのときに、トランジスタ552はトランジスタ513のゲート端子に電源電位VSSを供給する機能を有する。

【0551】

トランジスタ561は、出力端子OUTと、トランジスタ513のゲート端子との間に接続された容量素子としての機能を有する。入力端子IN1、及び入力端子IN2がLレベルのときに、トランジスタ561はトランジスタ513のゲート端子の電位を上昇させる機能を有する。

40

【0552】

容量素子515は、出力端子OUTの電位に応じて、トランジスタ513のゲート端子の電位を変化させるための機能を有する。入力端子IN1、及び入力端子IN2がLレベルのときに、容量素子515はトランジスタ513のゲート端子の電位を上昇させる機能を有する。

【0553】

このように、図50～図57のNOR回路はHレベルの信号を出力するときに、電源電位

50

VDDを変化させることによって、出力端子OUTの電位を自由に変えることができる。つまり、図50～図57NOR回路は、インバータ回路として動作するだけでなく、レベルシフト回路としても動作することができる。

【0554】

図50～図57のNOR回路では、すべてNチャネル型のトランジスタで構成されている場合について説明したが、すべてPチャネル型のトランジスタで構成されていてもよい。ここで、すべてPチャネル型のトランジスタで構成された場合のインバータ回路を図72～図79に示す。

【0555】

図72に、NOR回路231の別の形態を示す。図72のNOR回路720は、トランジスタ721、トランジスタ722、及びトランジスタ723を有している。

10

【0556】

図72のNOR回路720に示すように、トランジスタ721の第1端子が第2の電源に接続され、第2端子がトランジスタ722の第1端子に接続され、ゲート端子が入力端子IN1に接続されている。トランジスタ722の第2端子がトランジスタ723の第2端子、及び出力端子OUTに接続され、ゲート端子が入力端子IN2に接続されている。トランジスタ723の第1端子が第1の電源に接続され、ゲート端子が第1の電源に接続されている。

【0557】

なお、第1の電源には、電源電位VSSが供給され、第2の電源には電源電位VDDが供給されている。第1の電源の電源電位VSSと第2の電源の電源電位VDDとの電位差($VDD - VSS$)が、NOR回路720の電源電圧に相当する。また、電源電位VDDは、電源電位VSSよりも高い電位である。

20

【0558】

なお、入力端子IN1、及び入力端子IN2には、それぞれ制御信号が供給されている。また、出力端子OUTは、出力信号を出力している。

【0559】

また、トランジスタ721～トランジスタ723は、それぞれPチャネル型である。

【0560】

図72のNOR回路720の動作について、入力端子IN1がHレベルの場合と、Lレベルの場合と、入力端子IN2がHレベルの場合と、Lレベルの場合について、それぞれ説明する。

30

【0561】

まず、入力端子IN1がHレベル、入力端子IN2がHレベルの場合について説明する。入力端子IN1がHレベルになると、トランジスタ721がオフする。入力端子IN2がHレベルになると、トランジスタ722がオフする。

【0562】

よって、出力端子OUTはトランジスタ723を介して第1の電源と導通し、出力端子OUTの電位が下がる。このときの出力端子OUTの電位は電源電位VSSとトランジスタ723のしきい値電位 V_{th723} の絶対値との和となる値($VSS + |V_{th723}|$)になり、出力端子OUTがLレベルになる。

40

【0563】

次に、入力端子IN1がHレベル、入力端子IN2がLレベルの場合について説明する。入力端子IN1がHレベルになると、トランジスタ721がオフする。入力端子IN2がLレベルになると、トランジスタ722がオンする。

【0564】

よって、出力端子OUTはトランジスタ723を介して第1の電源と導通し、出力端子OUTの電位が下がる。このときの出力端子OUTの電位は電源電位VSSとトランジスタ723のしきい値電位 V_{th723} の絶対値との和となる値($VSS + |V_{th723}|$)になり、出力端子OUTがLレベルになる。

50

【0565】

次に、入力端子IN1がLレベル、入力端子IN2がHレベルの場合について説明する。入力端子IN1がLレベルになると、トランジスタ721がオンする。入力端子IN2がHレベルになると、トランジスタ722がオフする。

【0566】

よって、出力端子OUTはトランジスタ723を介して第1の電源と導通し、出力端子OUTの電位が下がる。このときの出力端子OUTの電位は電源電位VSSとトランジスタ723のしきい値電位Vth723の絶対値との和となる値($VSS + |Vth723|$)になり、出力端子OUTがLレベルになる。

【0567】

次に、入力端子IN1がLレベル、入力端子IN2がLレベルの場合について説明する。入力端子IN1がLレベルになると、トランジスタ721がオンする。入力端子IN2がLレベルになると、トランジスタ722がオンする。

【0568】

よって、出力端子OUTはトランジスタ721、及びトランジスタ722を介して第2の電源、及びトランジスタ723を介して第1の電源と導通し、出力端子OUTの電位が上昇する。このときの出力端子OUTの電位はトランジスタ721とトランジスタ722とトランジスタ723との動作点によって決定され、出力端子OUTがHレベルになる。

【0569】

なお、トランジスタ723は整流性を有している必要はなく、電流が流れると電圧が発生する素子であれば様々なものを用いることができる。例えば、図76のNOR回路760のように、トランジスタ723の代わりに抵抗素子761を接続してもよい。

【0570】

ここで、トランジスタ721～トランジスタ723が有する機能を以下に説明する。

【0571】

トランジスタ721は、入力端子IN1の電位に応じて、第2の電源と、トランジスタ722の第2端子とを接続するかしないかを選択するスイッチとしての機能を有する。

【0572】

トランジスタ722は、入力端子IN2の電位に応じて、トランジスタ721の第2端子と、出力端子OUTとを接続するかしないかを選択するスイッチとしての機能を有する。

【0573】

トランジスタ723は、ダイオードとしての機能を有する。

【0574】

図73に、NOR回路231の別の一例を示す。図73のNOR回路730はトランジスタ731、トランジスタ732、トランジスタ733、トランジスタ734、及び2つの電極を持つ容量素子735を有している。

【0575】

図73のNOR回路730に示すように、トランジスタ731の第1端子が第2の電源に接続され、第2端子がトランジスタ732の第1端子に接続され、ゲート端子が入力端子IN1に接続されている。トランジスタ732の第2端子がトランジスタ733の第2端子、容量素子735の第2電極、及び出力端子OUTに接続され、ゲート端子が入力端子IN2に接続されている。トランジスタ733の第1端子が第1の電源に接続され、ゲート端子がトランジスタ734の第2端子に接続され、容量素子735の第1電極に接続されている。トランジスタ734の第1端子が第1の電源に接続され、ゲート端子が第1の電源に接続されている。

【0576】

なお、第1の電源、第2の電源、入力端子IN1、入力端子IN2、及び出力端子OUTは図72と同様なものを用いることができる。

【0577】

また、トランジスタ731～トランジスタ734は、それぞれPチャネル型である。

10

20

30

40

50

【 0 5 7 8 】

図 7 3 の NOR 回路 7 3 0 の動作について、入力端子 IN 1 が H レベルの場合と、L レベルの場合と、入力端子 IN 2 が H レベルの場合と、L レベルの場合とについて、それぞれ説明する。

【 0 5 7 9 】

まず、入力端子 IN 1 が H レベル、入力端子 IN 2 が H レベルの場合について説明する。入力端子 IN 1 は H レベルになると、トランジスタ 7 3 1 がオフする。入力端子 IN 2 は H レベルになると、トランジスタ 7 3 2 がオフする。トランジスタ 7 3 3 のゲート端子の電位は電源電位 V_{SS} とトランジスタ 7 3 4 のしきい値電位 V_{th734} の絶対値との和た値 ($V_{SS} + |V_{th734}|$) になっており、トランジスタ 7 3 3 がオンしている。また、トランジスタ 7 3 3 のゲート端子は、フローティング状態になっている。

10

【 0 5 8 0 】

よって、出力端子 OUT はトランジスタ 7 3 3 を介して第 1 の電源と導通し、出力端子 OUT の電位が下がる。トランジスタ 7 3 3 のゲート端子の電位は容量素子 7 3 5 の容量結合によって、電源電位 V_{SS} からトランジスタ 7 3 3 のしきい値電位 V_{th733} の絶対値を引いた値 ($V_{SS} - |V_{th733}|$) 以下まで下がり、トランジスタ 7 3 3 がオンし続ける。いわゆるブートストラップ動作が行われる。このときの出力端子 OUT の電位は V_{SS} になり、出力端子 OUT が L レベルになる。

【 0 5 8 1 】

次に、入力端子 IN 1 が H レベル、入力端子 IN 2 が L レベルの場合について説明する。入力端子 IN 1 は H レベルになると、トランジスタ 7 3 1 がオフする。入力端子 IN 2 は L レベルになると、トランジスタ 7 3 2 がオンする。トランジスタ 7 3 3 のゲート端子の電位は電源電位 V_{SS} とトランジスタ 7 3 4 のしきい値電位 V_{th734} の絶対値との和となる値 ($V_{SS} + |V_{th734}|$) になっており、トランジスタ 7 3 3 がオンしている。また、トランジスタ 7 3 3 のゲート端子は、フローティング状態になっている。

20

【 0 5 8 2 】

よって、出力端子 OUT はトランジスタ 7 3 3 を介して第 1 の電源と導通し、出力端子 OUT の電位が下がる。トランジスタ 7 3 3 のゲート端子の電位は容量素子 7 3 5 の容量結合によって、電源電位 V_{SS} からトランジスタ 7 3 3 のしきい値電位 V_{th733} の絶対値を引いた値 ($V_{SS} - |V_{th733}|$) 以下まで下がり、トランジスタ 7 3 3 がオンし続ける。いわゆるブートストラップ動作が行われる。このときの出力端子 OUT の電位は V_{SS} になり、出力端子 OUT が L レベルになる。

30

【 0 5 8 3 】

次に、入力端子 IN 1 が L レベル、入力端子 IN 2 が H レベルの場合について説明する。入力端子 IN 1 は L レベルになると、トランジスタ 7 3 1 がオンする。入力端子 IN 2 は H レベルになると、トランジスタ 7 3 2 がオフする。トランジスタ 7 3 3 のゲート端子の電位は電源電位 V_{SS} とトランジスタ 7 3 4 のしきい値電位 V_{th734} の絶対値との和となる値 ($V_{SS} + |V_{th734}|$) になっており、トランジスタ 7 3 3 がオンしている。また、トランジスタ 7 3 3 のゲート端子は、フローティング状態になっている。

【 0 5 8 4 】

よって、出力端子 OUT はトランジスタ 7 3 3 を介して第 1 の電源と導通し、出力端子 OUT の電位が下がる。トランジスタ 7 3 3 のゲート端子の電位は容量素子 7 3 5 の容量結合によって、電源電位 V_{SS} からトランジスタ 7 3 3 のしきい値電位 V_{th733} の絶対値を引いた値 ($V_{SS} - |V_{th733}|$) 以下まで下がり、トランジスタ 7 3 3 がオンし続ける。いわゆるブートストラップ動作が行われる。このときの出力端子 OUT の電位は V_{SS} になり、出力端子 OUT が L レベルになる。

40

【 0 5 8 5 】

次に、入力端子 IN 1 が L レベル、入力端子 IN 2 が L レベルの場合について説明する。入力端子 IN 1 は L レベルになると、トランジスタ 7 3 1 がオンする。入力端子 IN 2 は L レベルになると、トランジスタ 7 3 2 がオンする。トランジスタ 7 3 3 のゲート端子の

50

電位は電源電位 V_{SS} とトランジスタ 734 のしきい値電位 V_{th734} の絶対値との和となる値 ($V_{SS} + |V_{th734}|$) になっており、トランジスタ 733 がオンしている。また、トランジスタ 733 のゲート端子は、フローティング状態になっている。

【0586】

よって、出力端子 OUT はトランジスタ 731、及びトランジスタ 732 を介して第 2 の電源、並びにトランジスタ 733 を介して第 1 の電源と導通し、出力端子 OUT の電位が上昇する。このときの出力端子 OUT の電位はトランジスタ 731 とトランジスタ 732 とトランジスタ 733 との動作点によって決定され、出力端子 OUT が H レベルになる。

【0587】

このように、図 73 の NOR 回路 730 では、ブートストラップ動作によって、L レベルの出力端子 OUT の電位を第 1 の電源の電源電位 V_{SS} まで下げることができる。

10

【0588】

なお、図 73 の NOR 回路 730 は、入力端子 $IN1$ 、又は入力端子 $IN2$ が H レベルのときに、ブートストラップ動作を行うことができれば、図 73 の回路構成に限定されない。入力端子 $IN1$ 、及び入力端子 $IN2$ が L レベルのときは、トランジスタ 733 のゲート端子に電位を供給してもよい。

【0589】

例えば、図 77 の NOR 回路 770 のように、トランジスタ 771、及びトランジスタ 772 を追加してもよい。なぜなら、出力端子 OUT が H レベルのときに、出力端子 OUT の電位を V_{DD} にできるからである。つまり、入力端子 $IN1$ 、及び入力端子 $IN2$ が L レベルのときに、トランジスタ 771、又はトランジスタ 772 がオンするため、トランジスタ 733 のゲート端子が H レベルになる。そして、トランジスタ 733 はオフして、出力端子 OUT はトランジスタ 731、及びトランジスタ 732 を介して第 2 の電源のみと導通するからである。

20

【0590】

なお、トランジスタ 771、及びトランジスタ 772 は、それぞれ P チャネル型である。

【0591】

なお、容量素子 735 は、容量性を持つ素子であれば様々なものを用いることができる。例えば、図 74 の NOR 回路 740、及び図 78 の NAND 回路 780 のように、容量素子 735 の代わりにそれぞれトランジスタ 741、トランジスタ 781 を接続してもよい。

30

【0592】

なお、容量素子 735 は、トランジスタ 733 の第 2 端子とゲート端子との間の容量値が十分大きければ、必ずしも必要ではない。例えば、図 75 の NOR 回路 750、及び図 79 の NOR 回路 790 のように、容量素子 735 を接続しなくてもよい。

【0593】

ここで、トランジスタ 731 ~ トランジスタ 734、トランジスタ 741、トランジスタ 771、トランジスタ 772、トランジスタ 781、容量素子 735 が有する機能を以下に説明する。

【0594】

トランジスタ 731 は、入力端子 $IN1$ の電位に応じて、第 2 の電源と、トランジスタ 732 の第 1 端子とを接続するかしないかを選択するスイッチとしての機能を有する。

40

【0595】

トランジスタ 732 は、入力端子 $IN2$ の電位に応じて、トランジスタ 731 の第 2 端子と、出力端子 OUT とを選択するスイッチとしての機能を有する。

【0596】

トランジスタ 733 は、第 1 の電源と、出力端子 OUT とを接続するかしないかを選択するスイッチとしての機能を有する。

【0597】

トランジスタ 734 は、ダイオードとしての機能を有する。また、トランジスタ 734 は

50

、トランジスタ733のゲート端子をフローティング状態にする機能を有する。

【0598】

トランジスタ741は、出力端子OUTと、トランジスタ733のゲート端子との間に接続された容量素子としての機能を有する。入力端子IN1、又は入力端子IN2の一方または両方がHレベルのときに、トランジスタ741はトランジスタ733のゲート端子の電位を下げる機能を有する。

【0599】

トランジスタ771は、入力端子IN1の電位に応じて、第2の電源と、トランジスタ772の第1端子と接続するかしないかを選択するスイッチとしての機能を有する。

【0600】

トランジスタ772は、入力端子IN2の電位に応じて、トランジスタ771の第1端子と、トランジスタ733のゲート端子とを接続するかしないかを選択するスイッチとしての機能を有する。

【0601】

トランジスタ781は、出力端子OUTと、トランジスタ733のゲート端子との間に接続された容量素子としての機能を有する。入力端子IN1、又は入力端子IN2の一方または両方がHレベルのときに、トランジスタ781はトランジスタ733のゲート端子の電位を下げる機能を有する。

【0602】

容量素子735は、出力端子OUTの電位に応じて、トランジスタ733のゲート端子の電位を変化させるための機能を有する。入力端子IN1、又は入力端子IN2の一方または両方がHレベルのときに、容量素子735はトランジスタ733のゲート端子の電位を下げる機能を有する。

【0603】

このように、図73～図78のNOR回路はLレベルの信号を出力するときに、電源電位VSSを変化することによって、出力端子OUTの電位を自由に変えることができる。つまり、図73～図78のNOR回路は、NAND回路として動作するだけでなく、レベルシフト回路としても動作することができる。

【0604】

また、インバータ回路211、NAND回路221、及びNOR回路231として、図28～図87の回路構成を用いることによって、シフトレジスタ回路200を動作させるためのマージンが大きくなる。なぜなら、上記のインバータ回路211、NAND回路221、及びNOR回路231では、1つのトランジスタのゲート端子が出力端子SROUTに接続されていることを特徴としているからである。よって、出力端子SROUTの負荷容量は小さくなるため、シフトレジスタ回路200を動作させるためのマージンを大きくできる。

【0605】

また、図28～図87に示したインバータ回路、NAND回路、及びNOR回路では、それぞれ同一の極性のトランジスタで構成されている。よって、これらのトランジスタの極性が同一基板上の他のトランジスタの極性と同じであれば、製造工程の簡略化を図ることができる。したがって、製造コストの削減や歩留まりの向上を図ることができる。

【0606】

なお、図28～図87に示した第1の電源、及び第2の電源には、電源電位VDD、又は電源電位VSSが供給されているが、本発明は必ずしもこれに限定しない。

【0607】

例えば、図28～図87の第1の電源、及び第2の電源には、それぞれ別の電位が供給されていてもよい。

【0608】

別の例として、図28～図87の第1の電源、及び第2の電源には、制御信号が供給されていてもよい。

10

20

30

40

50

【0609】

なお、図28～図87の入力端子には、それぞれ制御信号が供給されているが、本発明は必ずしもこれに限定しない。

【0610】

例えば、図28～図87の入力端子には、電源電圧が供給されていてもよい。

【0611】

なお、本実施形態は、本明細書中の他の実施形態、実施例のいかなる記載とも自由に組み合わせて実施することができる。すなわち、本発明のシフトレジスタ回路は、非選択期間において、トランジスタが一定時間毎にオンすることで、出力端子に電源電位を供給する。こうすることで、シフトレジスタ回路の出力端子は、該トランジスタを介して電源電位が供給される。該トランジスタは非選択期間において常時オンしていないので、該トランジスタのしきい値電位のシフトは、抑制される。また、シフトレジスタ回路の出力端子は、該トランジスタを介して一定期間毎に電源電位が供給される。そのため、シフトレジスタ回路は、ノイズが出力端子に発生することを抑制できる。

10

(実施の形態4)

【0612】

本実施形態では、実施の形態3で述べた駆動回路とは別の構成について説明する。

【0613】

駆動回路として、ソースドライバに適應できる構成例を図88～図91を参照して説明する。図88～図91の駆動回路は、ソースドライバだけに適應できるものではなく、いかなる回路構成においても適應可能である。

20

【0614】

図88に、本発明のソースドライバの一形態を示す。本発明のソースドライバは、シフトレジスタ回路880、複数のスイッチSW、及びビデオ信号線881を有している。

【0615】

図88のソースドライバに示すように、ビデオ信号線881がスイッチSWの第1端子に接続され、スイッチSWの第2端子が出力端子SDoutに接続されている。スイッチSWの制御端子は、シフトレジスタ回路880の出力端子SRoutに接続されている。

【0616】

なお、シフトレジスタ回路880は、実施の形態2で説明したものと同様なものとする。また、シフトレジスタ回路880には、実施の形態3で説明したゲートドライバを適應してもよい。

30

【0617】

また、シフトレジスタ回路880の出力端子SRout1～SRout4、出力端子SRoutnは、実施の形態2で説明したものと同様なものを用いることができる。

【0618】

また、本発明のゲートドライバの1段目の出力端子SDoutを出力端子SDout1とし、2段目の出力端子SDoutを出力端子SDout2とし、3段目の出力端子SDoutを出力端子SDout3とし、n段目の出力端子SDoutを出力端子SDoutnとする。

40

【0619】

また、図88のソースドライバには、電源線、及び制御信号線を便宜上、図示していない。

【0620】

また、シフトレジスタ回路880がNチャンネル型のトランジスタで構成されている場合、シフトレジスタ回路880の出力信号は図18のタイミングチャートと同様である。シフトレジスタ回路880がPチャンネル型のトランジスタで構成されている場合、シフトレジスタ回路880の出力信号は図19のタイミングチャートと同様である。

【0621】

また、ビデオ信号線881には、ビデオ信号が供給されている。また、ビデオ信号は電流

50

でも電圧でもよいし、アナログでもデジタルでもよい。望ましくは、ビデオ信号はアナログ電圧であることが望ましい。なぜなら、多くの外部回路は、液晶表示装置用のものが多いからである。つまり、ビデオ信号がアナログ電圧であれば、外部回路として既存の安価なものを用いることができるからである。

【0622】

図88のソースドライバの動作について、シフトレジスタ回路880の出力端子S R o u tがHレベル、Lレベルの場合について、それぞれ説明する。

【0623】

なお、図88のスイッチS Wは、便宜上、制御端子がHレベルのときにオンし、制御端子がLレベルのときにオフするものとする。もちろん、スイッチS Wは、制御端子がHレベルのときにオフし、制御端子がLレベルのときにオンしてもよい。

10

【0624】

まず、出力端子S R o u tがHレベルの場合について説明する。シフトレジスタ回路の出力端子S R o u tはHレベルになると、スイッチS Wがオンする。スイッチS Wはオンすると、ビデオ信号線881がスイッチS Wを介してソースドライバの出力端子S R o u tに接続される。

【0625】

よって、ソースドライバの出力端子S D o u tはビデオ信号線881と同じ電位、又は同じ電流になるため、ソースドライバがビデオ信号を出力する。

【0626】

次に、出力端子S R o u tがLレベルの場合について説明する。シフトレジスタ回路の出力端子S R o u tはLレベルになると、スイッチS Wがオフする。スイッチS Wはオフすると、ビデオ信号線881がソースドライバの出力端子S R o u tに接続されなくなる。

20

【0627】

よって、ソースドライバの出力端子S D o u tはビデオ信号線881の電位に影響されなくなるため、ソースドライバがビデオ信号を出力しなくなる。

【0628】

実施の形態2で説明したように、シフトレジスタ回路880はNチャンネル型のトランジスタで構成されている場合、シフトレジスタ回路880が出力端子S R o u t 1から順に、Hレベルになる。つまり、図88に示すスイッチS Wは、スイッチS W 1 (1列目)から順にオンし、ソースドライバの出力端子S D o u tが出力端子S D o u t 1 (1列目)から順にビデオ信号と同じ電位、又は同じ電流になる。

30

【0629】

なお、ビデオ信号はシフトレジスタ回路880がHレベルの信号を出力するごとによって、図88に示すソースドライバが出力端子S D o u t 1から順に異なったビデオ信号を出力できる。

【0630】

なお、シフトレジスタ回路880の1つの出力端子S R o u tは、それぞれ、1つのスイッチを制御しているが、本発明は必ずしもこれに限定されない。シフトレジスタ回路880の1つの出力端子S R o u tは、それぞれ、複数のスイッチS Wを制御してもよい。その場合、ビデオ信号線も複数にして、それぞれスイッチS Wの第1端子に接続すればよい。

40

【0631】

例えば、図89のソースドライバのように、シフトレジスタ回路880の1つの出力端子S R o u tが3つのスイッチS Wを制御していてもよい。なぜなら、3つのスイッチの第1端子にはそれぞれビデオ信号線891、ビデオ信号線892、及びビデオ信号線893が接続されているため、3つのソースドライバの出力端子S D o u tが同時にビデオ信号を出力できるからである。よって、シフトレジスタ回路880の動作周波数が遅くできるため、シフトレジスタ回路880の消費電力が抑制される。

【0632】

50

なお、スイッチSWは、例えば電氣的スイッチ、機械的なスイッチを用いることができる。つまり電流の流れを制御できるものであればよく、特定のものに限定されない。トランジスタでもよいし、ダイオードでもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているものやマルチゲート構造にしているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（V_{ss}、GND、0Vなど）に近い状態の場合はNチャンネル型を、反対に、ソース端子の電位が、高電位側電源（V_{dd}など）に近い状態の場合はPチャンネル型を用いることが望ましい。なぜなら、ゲートとソースの間の電圧の絶対値を大きくできるため、スイッチとして機能させる際に動作させやすいからである。なお、Nチャンネル型とPチャンネル型の両方を用いて、CMOS型のスイッチにしてもよい。

10

【0633】

例えば、図90のソースドライバのように、スイッチSWとしてトランジスタ901を接続してもよい。トランジスタ901は、シフトレジスタ回路880によってオン・オフが制御されている。トランジスタ901がオンしたときに、ソースドライバの出力端子SDoutがビデオ信号を出力する。

20

【0634】

なお、トランジスタ901は、Nチャンネル型である。

【0635】

なお、トランジスタ901は、シフトレジスタ回路880の出力端子SRoutの電位に応じて、ビデオ信号線881と、ソースドライバの出力端子SDoutとを接続するかしないかを選択するスイッチとしての機能を有する。シフトレジスタ回路880の出力端子SRoutがHレベルのときに、トランジスタ901はソースドライバの出力端子SDoutにビデオ信号を供給する。

【0636】

なお、このときのシフトレジスタ回路880は、Nチャンネル型のトランジスタで構成されていることが望ましい。シフトレジスタ回路880がNチャンネル型のトランジスタで構成されていれば、製造工程の簡略化を図ることができる。したがって、製造コストの削減や歩留まりの向上を図ることができる。

30

【0637】

別の例として、図91のソースドライバのように、スイッチSWとしてトランジスタ911を接続してもよい。トランジスタ911は、シフトレジスタ回路880によってオン・オフが制御されている。トランジスタ911がオンしたときに、ソースドライバ回路の出力端子SDoutがビデオ信号を出力する。

【0638】

なお、トランジスタ911は、Pチャンネル型である。

【0639】

なお、トランジスタ911は、シフトレジスタ回路880の出力端子SRoutの電位に応じて、ビデオ信号線881と、ソースドライバの出力端子SDoutとを接続するかしないかを選択するスイッチとしての機能を有する。シフトレジスタ回路880の出力端子SRoutがLレベルのときに、トランジスタ911はソースドライバの出力端子SDoutにビデオ信号を供給する。

40

【0640】

なお、このときのシフトレジスタ回路880は、Pチャンネル型のトランジスタで構成されていることが望ましい。シフトレジスタ回路880がPチャンネル型のトランジスタで構成されていれば、製造工程の簡略化を図ることができる。したがって、製造コストの削減や歩留まりの向上を図ることができる。

50

【0641】

なお、本実施形態は、本明細書中の他の実施形態、実施例のいかなる記載とも自由に組み合わせて実施することができる。すなわち、本発明のシフトレジスタ回路は、非選択期間において、トランジスタが一定時間毎にオンすることで、出力端子に電源電位を供給する。こうすることで、シフトレジスタ回路の出力端子は、該トランジスタを介して電源電位が供給される。該トランジスタは非選択期間において常時オンしていないので、該トランジスタのしきい値電位のシフトは、抑制される。また、シフトレジスタ回路の出力端子は、該トランジスタを介して一定期間毎に電源電位が供給される。そのため、シフトレジスタ回路は、ノイズが出力端子に発生することを抑制できる。

【0642】

(実施の形態5)

本実施形態では、実施の形態1に示したフリップフロップ回路のレイアウト図を説明する。

10

【0643】

図1に示したフリップフロップ回路10のレイアウト図を図122に示す。

【0644】

なお、図122に示すフリップフロップ回路のレイアウト図は、アモルファスシリコンのトランジスタによって構成されている場合である。

【0645】

図122のフリップフロップ回路は、電源線12201、制御線12202、制御線12203、制御線12204、制御線12205、電源線12206、出力端子12207、トランジスタ11、トランジスタ12、トランジスタ13、トランジスタ14、トランジスタ15、トランジスタ16、トランジスタ17、及びトランジスタ18を有している。

20

【0646】

なお、12208は半導体層であり、12209はゲート電極、及びゲート配線層であり、12210は第2の配線層であり、12211はコンタクト層である。

【0647】

図122に示すフリップフロップ回路の接続関係について説明する。フリップフロップ回路10に示すように、トランジスタ11のゲート端子が入力端子IN1に接続され、第1端子が第1の電源に接続され、第2端子がトランジスタ12のゲート端子、トランジスタ14の第2端子、トランジスタ15のゲート端子、トランジスタ17の第2端子、及び容量素子19の第2電極に接続されている。トランジスタ15の第1端子が第2の電源に接続され、第2端子がトランジスタ16の第2端子、及びトランジスタ18のゲート端子に接続されている。トランジスタ16のゲート端子、及び第1端子が第1の電源に接続されている。トランジスタ18の第1端子が入力端子IN3に接続され、第2端子がトランジスタ13のゲート端子、及びトランジスタ14のゲート端子に接続されている。トランジスタ13の第1端子が第2の電源に接続され、第2端子が容量素子19の第1電極、トランジスタ12の第2端子、及び出力端子OUTに接続されている。トランジスタ12の第1端子が入力端子IN2に接続されている。トランジスタ14の第1端子が第2の電源に接続されている。トランジスタ17のゲート端子が入力端子IN4に接続され、第1端子が第2の電源に接続されている。

30

40

【0648】

なお、図122のトランジスタ11～トランジスタ18は、図1のトランジスタ11～トランジスタ18にそれぞれ対応する。図122の制御線12204、制御線12202、制御線12203、及び制御線12205は、図1の入力端子IN1～入力端子IN4にそれぞれ対応する。出力端子12207は、図1の出力端子OUTに対応する。

【0649】

なお、図122のフリップフロップ回路のレイアウト図において、トランジスタ15のチャンネル領域の形状がU字型をしていることを特徴とする。なお、前にも述べたように、ト

50

ランジスタ 15 のサイズは大きい必要がある。したがって、図 122 のランジスタ 15 のように、チャンネル領域を U 字型にすることで、ランジスタ 15 を小面積、且つランジスタ 15 のサイズ (W/L 比でもよい) を大きくすることができる。

【0650】

なお、制御線 12202、及び制御線 12203 の配線幅は、少なくとも電源線 12201 よりも大きいことを特徴とする。なお、図 122 のフリップフロップ回路では、制御線 12202、及び制御線 12203 によって、フリップフロップ回路に電源線 12201 よりも多くの電流、又は電圧を供給している。したがって、制御線 12202、及び制御線 12203 の配線幅が大きければ、制御線 12202、及び制御線 12203 の電圧降下の影響を小さくすることができる。

10

【0651】

なお、図 122 のフリップフロップ回路は、アモルファスシリコンのランジスタを用いて構成されているが、本発明はこれに限定されない。

【0652】

例えば、図 123 のフリップフロップ回路のように、フリップフロップ回路はポリシリコンのランジスタによって構成されていてもよい。

【0653】

ここで、フリップフロップ回路がポリシリコンのランジスタで構成されている場合について説明する。

【0654】

図 122 のフリップフロップ回路は、電源線 12201、制御線 12202、制御線 12203、制御線 12204、制御線 12205、電源線 12206、出力端子 12207、ランジスタ 11、ランジスタ 12、ランジスタ 13、ランジスタ 14、ランジスタ 15、ランジスタ 16、ランジスタ 17、及びランジスタ 18 を有している。

20

【0655】

なお、12208 は半導体層であり、12209 はゲート電極、及びゲート配線層であり、12210 は第 2 の配線層であり、12211 はコンタクト層である。

【0656】

図 122 に示すフリップフロップ回路の接続関係について説明する。フリップフロップ回路 10 に示すように、ランジスタ 11 のゲート端子が入力端子 IN1 に接続され、第 1 端子が第 1 の電源に接続され、第 2 端子がランジスタ 12 のゲート端子、ランジスタ 14 の第 2 端子、ランジスタ 15 のゲート端子、ランジスタ 17 の第 2 端子、及び容量素子 19 の第 2 電極に接続されている。ランジスタ 15 の第 1 端子が第 2 の電源に接続され、第 2 端子がランジスタ 16 の第 2 端子、及びランジスタ 18 のゲート端子に接続されている。ランジスタ 16 のゲート端子、及び第 1 端子が第 1 の電源に接続されている。ランジスタ 18 の第 1 端子が入力端子 IN3 に接続され、第 2 端子がランジスタ 13 のゲート端子、及びランジスタ 14 のゲート端子に接続されている。ランジスタ 13 の第 1 端子が第 2 の電源に接続され、第 2 端子が容量素子 19 の第 1 電極、ランジスタ 12 の第 2 端子、及び出力端子 OUT に接続されている。ランジスタ 12 の第 1 端子が入力端子 IN2 に接続されている。ランジスタ 14 の第 1 端子が第 2 の電源に接続されている。ランジスタ 17 のゲート端子が入力端子 IN4 に接続され、第 1 端子が第 2 の電源に接続されている。

30

40

【0657】

なお、電源線 12201、制御線 12202、制御線 12203、制御線 12204、制御線 12205、電源線 12206、出力端子 12207、ランジスタ 11、ランジスタ 12、ランジスタ 13、ランジスタ 14、ランジスタ 15、ランジスタ 16、ランジスタ 17、及びランジスタ 18 は、図 122 と同様なものを用いることができる。

【0658】

50

なお、半導体層 12208、ゲート配線層 12209（ゲート電極層）、第 2 の配線層 12210、及びコンタクト層 12211 は図 122 と同様なものを用いることができる。

【0659】

なお、図 123 のフリップフロップ回路のレイアウト図において、トランジスタ 13 のゲート端子とトランジスタ 14 のゲート端子とが第 2 の配線層 12210 を介して接続されていることを特徴とする。このように、トランジスタ 13 のゲート端子とトランジスタ 14 のゲート端子とを第 2 の配線層 12210 を介して接続することで、ゲート配線層 12209 を短くすることができる。なお、ゲート配線層 12209 が長いと、半導体装置の製造工程において、ゲート配線層 12209 を介して静電破壊が起こりやすくなることが知られている。したがって、トランジスタ 13 のゲート端子とトランジスタ 14 のゲート端子とを第 2 の配線層 12210 を介して接続することで、ゲート配線層 12209 を介した静電破壊を抑制することができる。また、静電破壊を抑制することで、歩留まりの向上、生産性の向上、半導体装置の長寿命化などのメリットがある。

10

【0660】

なお、トランジスタ 15 はチャネル領域が複数に分割されていることを特徴とする。このように、チャネル領域を複数に分割することで、トランジスタ 15 の発熱を小さくすることができ、トランジスタ 15 の特性劣化を抑制することができる。

【0661】

なお、本実施形態は、本明細書中の他の実施形態、実施例のいかなる記載とも自由に組み合わせ実施することができる。すなわち、本発明のシフトレジスタ回路は、非選択期間において、トランジスタが一定時間毎にオンすることで、出力端子に電源電位を供給する。こうすることで、シフトレジスタ回路の出力端子は、該トランジスタを介して電源電位が供給される。該トランジスタは非選択期間において常時オンしていないので、該トランジスタのしきい値電位のシフトは、抑制される。また、シフトレジスタ回路の出力端子は、該トランジスタを介して一定期間毎に電源電位が供給される。そのため、シフトレジスタ回路は、ノイズが出力端子に発生することを抑制できる。

20

【実施例 1】

【0662】

本実施例では、表示装置、ゲートドライバ、及びソースドライバなどの構成について、説明する。なお、本発明の半導体装置は、ゲートドライバの一部に適用することができる。また、ソースドライバの一部に適用することができる。

30

【0663】

図 92 に、本発明を適用した表示装置の一形態を示す。本発明を適用した表示装置 920 は、画素領域 921、ゲートドライバ 922、制御信号線 923、及び FPC 926 を有している。画素領域 921 は画素を有しており、画素は表示素子、及び表示素子を制御する回路を有している。

【0664】

図 92 において、FPC 926 が制御信号線 923、及びソース信号線 924 に接続されている。ゲートドライバが制御信号線 923、及びゲート信号線 925 と接続されている。

40

【0665】

なお、ゲートドライバ 922 は、第 3 の実施の形態で説明したものと同様なものを用いることができる。

【0666】

また、ゲートドライバ 922 は、複数配置されていてもよい。

【0667】

また、既に述べているように、表示素子を有する装置である表示装置、又は発光素子を有する装置である発光装置は、様々な形態を用いたり、様々な素子を有することが出来る。例えば、EL 素子（有機 EL 素子、無機 EL 素子又は有機物及び無機物を含む EL 素子）、電子放出素子、液晶素子、電子インクなど、電気又は磁気的作用によりコントラストが

50

変化する表示媒体を適用することができる。なお、EL素子を用いた表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ(FED)やSED方式平面型ディスプレイ(SED: Surface-conduction Electron-emitter Display)など、液晶素子を用いた表示装置としては液晶ディスプレイ、電子インクを用いた表示装置としては電子ペーパーがある。

【0668】

表示装置920の動作について簡単に説明する。

【0669】

ゲートドライバ922は、ゲート信号線925を介して、画素領域921に選択信号を順次出力する。外部回路がFPC926、及びソース信号線924を介して、画素領域921にビデオ信号を順次出力する。また、外部回路は図示していない。画素領域921では、ビデオ信号に従って、光の状態を制御することにより、画像を表示する。

10

【0670】

なお、制御信号線923に外部回路から制御信号が供給され、ゲートドライバ922の制御はその制御信号によって行われている。例えば、制御信号として、スタートパルス、クロック信号、反転クロック信号などがある。

【0671】

なお、ビデオ信号は電圧値の入力でもよいし、電流値の入力でもよい。例えば、表示素子として液晶素子を用いる場合、ビデオ信号は電圧値の入力であることが望ましい。なぜなら、液晶素子は電界によって液晶素子の配勾が制御されるため、電圧値のビデオ信号のほうが液晶素子を容易に制御できるからである。

20

【0672】

なお、ビデオ信号はデジタル値でもアナログ値でもよい。例えば、表示素子として液晶素子を用いる場合、ビデオ信号はアナログ値であることが望ましい。なぜなら、液晶素子の応答速度が遅いため、液晶素子は1フレーム期間に一度だけアナログ値のビデオ信号を供給することによって制御できるからである。

【0673】

なお、FPC926は、1つのFPC926によって構成されているが、本発明は必ずしもこれに限定されない。FPC926は、複数に分割されていてもよい。

30

【0674】

例えば、図93の表示装置920のように、FPC926が3つに分割されていてもよい。なぜなら、表示装置が大きい場合、又はFPC926と表示装置920との接続数が多い場合でも、既存のFPC、及び既存のFPC圧着装置を利用できるからである。つまり、既存のFPC、及び既存のFPC圧着装置を利用することによって、製造コストを抑えることができる。また、FPC926と表示装置920との接続が失敗した場合、その失敗したFPC926だけ変えればよいので、製造コストを抑えることができる。

【0675】

なお、ビデオ信号はどんな回路、及びどんな素子を介して画素領域921に出力されていてもよい。

40

【0676】

例えば、図94のように、ビデオ信号は信号線制御回路941を介して画素領域921に出力されていてもよい。なぜなら、信号線制御回路941が様々な機能を持っていれば、外部回路の構成が簡単になるため、表示装置全体としてのコストが安くなるからである。また、FPC926と表示装置920との接続数が大幅に少なくなるからである。

【0677】

なお、信号線制御回路941は、制御信号線942によって、ビデオ信号や制御信号が供給されている。

【0678】

このように、本発明の表示装置には、様々な構成を適用することができる。

50

【0679】

なお、本実施例では、様々な表示装置の構成を示したが、本発明の表示装置の構成は、これらの表示装置に限定されない。

【0680】

なお、本実施例は、本明細書中の他の実施形態、実施例のいかなる記載とも自由に組み合わせ実施することができる。すなわち、本発明のシフトレジスタ回路を具備するゲートドライバ、ソースドライバは、非選択期間において、トランジスタが一定時間毎にオンすることで、出力端子に電源電位を供給する。こうすることで、シフトレジスタ回路の出力端子は、該トランジスタを介して電源電位が供給される。該トランジスタは非選択期間において常時オンしていないので、該トランジスタのしきい値電位のシフトは、抑制される。また、シフトレジスタ回路の出力端子は、該トランジスタを介して一定期間毎に電源電位が供給される。そのため、シフトレジスタ回路は、ノイズが出力端子に発生することを抑制できる。

10

【実施例2】

【0681】

次に、実施例1において説明した信号線制御回路941の具体的な構成を説明する。

【0682】

また、信号線制御回路941として、実施の形態4で説明したソースドライバを適用することができる。

【0683】

図95に、実施の形態4で説明したソースドライバとは別の信号線制御回路941の一形態を示す。図95の信号線制御回路950は、複数のスイッチSWを有している。

20

【0684】

図95に示すように、ビデオ信号線954がスイッチSW1の第1端子、スイッチSW2の第1端子、及びスイッチSW3の第1端子に接続されている。スイッチSW1の第2端子がソース信号線955に接続され、スイッチSW2の第2端子がソース信号線956に接続され、スイッチSW3の第2端子がソース信号線957に接続されている。スイッチSW1の制御端子は制御信号線951に接続され、スイッチSW2の制御端子は制御信号線952に接続され、スイッチSW3の制御端子は制御信号線953に接続されている。また、ビデオ信号線954、制御信号線951、制御信号線952及び制御信号線953はFPCを介して外部回路に接続されている。

30

【0685】

なお、制御信号線951には制御信号Aが供給され、制御信号線952には制御信号Bが供給され、制御信号線953には制御信号Cが供給されている。ビデオ信号線954にはビデオ信号が供給されている。

【0686】

また、スイッチSW1～スイッチSW3は、既に述べているように、例えば電氣的スイッチ、機械的なスイッチを用いることができる。つまり電流の流れを制御できるものであればよく、特定のものに限定されない。トランジスタでもよいし、ダイオードでもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性(導電型)は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているものやマルチゲート構造にしているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源(V_{ss} 、GND、0Vなど)に近い状態の場合はNチャネル型を、反対に、ソース端子の電位が、高電位側電源(V_{dd} など)に近い状態の場合はPチャネル型を用いることが望ましい。なぜなら、ゲートとソースの間の電圧の絶対値を大きくできるため、スイッチとして機能させる際に動作させやすいからである。なお、Nチャネル型とPチャネル型の両方を用いて、CMOS型のスイッチにしてもよい。

40

50

【0687】

図95の信号線制御回路950の動作について説明する。

【0688】

制御信号A、制御信号B、及び制御信号Cは、スイッチSW1、スイッチSW2、及びスイッチSW3が順にオンするような信号である。ビデオ信号は、スイッチSW1、スイッチSW2、及びスイッチSW3のオン・オフに応じて、値を変化させる。

【0689】

まず、スイッチSW1が制御信号Aによってオンする。そのとき、スイッチSW2が制御信号Bによってオフし、スイッチSW3が制御信号Cによってオフしている。よって、ビデオ信号は、ビデオ信号線954、及びスイッチSW1を介してソース信号線955に供給される。このとき、スイッチSW2、及びスイッチSW3はオフしているため、ビデオ信号がソース信号線956、及びソース信号線957に供給されない。

10

【0690】

次に、スイッチSW2が制御信号Bによってオンする。そのとき、スイッチSW1が制御信号Aによってオフし、スイッチSW3が制御信号Cによってオフしている。よって、ビデオ信号は、ビデオ信号線954、及びスイッチSW2を介してソース信号線956に供給される。このとき、スイッチSW1、及びスイッチSW3はオフしているため、ビデオ信号がソース信号線955、及びソース信号線957に供給されない。

【0691】

次に、スイッチSW3が制御信号Cによってオンする。そのとき、スイッチSW1が制御信号Aによってオフし、スイッチSW3が制御信号Bによってオフしている。よって、ビデオ信号は、ビデオ信号線954、及びスイッチSW3を介してソース信号線957に供給される。このとき、スイッチSW1、及びスイッチSW2はオフしているため、ビデオ信号がソース信号線955、及びソース信号線956に供給されない。

20

【0692】

以上のような動作によって、ビデオ信号は、1つのビデオ信号線954でソース信号線955、ソース信号線956、及びソース信号線957の3本に供給される。つまり、ビデオ信号線954の数はソース信号線の数に比べて1/3になるため、FPCと表示装置との接続数が大幅に低減される。よって、FPCと表示装置との接続の失敗の確率が大幅に小さくなる。

30

【0693】

なお、図95の信号線制御回路950は、3つのスイッチSWを有しているが、本発明はこれに限定されない。スイッチSWは、いくつでもよい。そのとき、制御信号の数は、スイッチSWの数に対応して変える必要がある。例えば、スイッチSWが4つの場合、制御信号は4つにする。

【0694】

なお、図95の信号線制御回路950は、スイッチSW1～スイッチSW3がいずれもオンしない期間を設けてもよい。なぜなら、クロストークなどの画像不良が抑制されるからである。つまり、新たなビデオ信号がソース信号線に供給されても、ソース信号線の電位はすぐには変化しない。よって、ソース信号線の前の電位の影響がソース信号線に残っていることがあるため、クロストークなどの画像不良が発生するからである。この期間は、次の行の書き込みのための準備期間である。

40

【0695】

なお、制御信号A、制御信号B、及び制御信号Cは、実施の形態2のシフトレジスタ回路によって供給されていてもよい。このとき、シフトレジスタ回路は、3つ以上のフリップフロップ回路を有している。望ましくは、シフトレジスタ回路は、3つ以上のフリップフロップ回路、5つ以下のフリップフロップ回路を有していることが望ましい。

【0696】

なお、表示装置920において信号線制御回路950を同じ基板上に形成することによって、FPCと表示装置920との接続数をより少なくすることができる。

50

【0697】

このように、本発明の表示装置には、様々な信号制御回路を用いることができる。

【0698】

なお、本実施例では、様々な信号制御回路を示したが、本発明の表示装置に用いることができる信号制御回路は、これらの信号制御回路に限定されない。

【0699】

なお、本実施例は、本明細書中の他の実施形態、実施例のいかなる記載とも自由に組み合わせて実施することができる。すなわち、本発明のシフトレジスタ回路を具備する信号制御回路は、非選択期間において、トランジスタが一定時間毎にオンすることで、出力端子に電源電位を供給する。こうすることで、シフトレジスタ回路の出力端子は、該トランジスタを介して電源電位が供給される。該トランジスタは非選択期間において常時オンしていないので、該トランジスタのしきい値電位のシフトは、抑制される。また、シフトレジスタ回路の出力端子は、該トランジスタを介して一定期間毎に電源電位が供給される。そのため、シフトレジスタ回路は、ノイズが出力端子に発生することを抑制できる。

10

【実施例3】

【0700】

次に、実施例1において説明した画素の具体的な構成を説明する。

【0701】

図96に、画素の一形態を示す。図96の画素960は、トランジスタ961、2つの電極を持つ液晶素子962、2つの電極を持つ容量素子963を有している。

20

【0702】

図96の画素960に示すように、トランジスタ961の第1端子がソース信号線924に接続され、第2端子が液晶素子962の第1電極、及び容量素子963の第1電極に接続され、ゲート端子がゲート信号線925に接続されている。液晶素子962の第2電極が対向電極964である。容量素子963の第2電極がコモン線965に接続されている。

【0703】

なお、ソース信号線924には、ビデオ信号が供給されている。ゲート信号線925には、選択信号が供給されている。また、ソース信号線924、及びゲート信号線925は、実施例1と同様なものを用いることができる。

30

【0704】

なお、コモン線965には、コモン電位が供給されている。また、対向電極964には基板電位が供給されている。コモン電位、及び基板電位は、一定の電位である。

【0705】

また、トランジスタ961は、Nチャンネル型である。

【0706】

図96の画素960の動作について、ゲート信号線925に、選択信号が供給されている場合（Hレベル）と、選択信号が供給されていない場合（Lレベル）について、それぞれ説明する。また、ゲート信号線925に選択信号が供給されている期間を第1の期間、選択信号が供給されていない期間を第2の期間とする。

40

【0707】

まず、第1の期間について説明する。ゲート信号線925がHレベルになり、トランジスタ961がオンする。ソース信号線924は液晶素子962の第1電極、及び容量素子963の第1電極と導通し、液晶素子962の第1電極、及び容量素子963の第1電極の電位がソース信号線924の電位と同電位になる。

【0708】

ここで、ソース信号線924の電位は、ビデオ信号に対応した電位である。

【0709】

液晶素子962はビデオ信号に対応した電位によって光の透過率が決定する。容量素子963はビデオ信号に対応した電位を保持する。

50

【0710】

次に、第2の期間について説明する。ゲート信号線925がLレベルになり、トランジスタ961がオフする。ソース信号線924は液晶素子962の第1電極、及び容量素子963の第1電極と導通しなくなる。よって、液晶素子962の第1電極、及び容量素子963の第1電極の電位は、前に入力されたビデオ信号に対応した電位を維持するため、液晶素子962の光の透過率も維持される。

【0711】

ここで、トランジスタ961、及び容量素子963が有する機能を以下に説明する。

【0712】

トランジスタ961は、ゲート信号線925の電位に応じて、ソース信号線924と、液晶素子962の第1電極、及び容量素子963の第1電極とを接続するかしないかを選択するスイッチとしての機能を有する。第1の期間において、トランジスタ961は、画素960にビデオ信号を供給する機能を有する。

10

【0713】

容量素子963は、ビデオ信号を保持する機能を有する。第1の期間において、ビデオ信号が容量素子963に供給され、容量素子963は、ビデオ信号を保持する機能を有する。第2の期間において、容量素子963は次の第1の期間までビデオ信号を保持する機能を有する。

【0714】

このように、画素960はアクティブ駆動ができる。また、画素960と同一基板上の他のトランジスタがNチャンネル型であれば、製造工程の簡略化を図ることができる。したがって、製造コストの削減や歩留まりの向上を図ることができる。

20

【0715】

なお、容量素子963の第2電極は、画素960の動作期間中に一定の電位になっていれば、どこに接続されていてもよい。例えば、容量素子963の第2電極は、前行のゲート信号線925に接続されていてもよい。なぜなら、コモン線965が必要なくなるため、画素960の開口率が上がるからである。

【0716】

なお、対向電極964は、一定の電位が供給されているが、本発明はこれに限定されない。例えば、画素960が反転駆動する場合、対向電極964の電位は、反転駆動に対応して変化してもよい。そのとき、ビデオ信号が正の電位だった場合、対向電極964の電位が負の電位になる。また、ビデオ信号が負の電位だった場合、対向電極964の電位が正の電位になる。

30

【0717】

図96の画素では、Nチャンネル型のトランジスタで構成されている場合について説明したが、Pチャンネル型のトランジスタで構成されていてもよい。ここで、Pチャンネル型のトランジスタで構成された場合の画素を図120に示す。

【0718】

図120に、画素の一形態を示す。図120の画素1200は、トランジスタ1201、2つの電極を持つ液晶素子962、2つの電極を持つ容量素子963を有している。

40

【0719】

図120の画素1200に示すように、トランジスタ1201の第1端子がソース信号線924に接続され、第2端子が液晶素子962の第1電極、及び容量素子963の第1電極に接続され、ゲート端子がゲート信号線925に接続されている。液晶素子962の第2電極が対向電極964である。容量素子963の第2電極がコモン線965に接続されている。

【0720】

なお、ソース信号線924には、ビデオ信号が供給されている。ゲート信号線925には、選択信号が供給されている。また、ソース信号線924、及びゲート信号線925は、実施例1と同様なものを用いることができる。

50

【0721】

なお、コモン線965には、コモン電位が供給されている。また、対向電極964には基板電位が供給されている。コモン電位、基板電位は、一定の電位である。

【0722】

なお、液晶素子962、容量素子963、対向電極964、及びコモン線965は図96と同様なものを用いることができる。

【0723】

また、トランジスタ1201は、Pチャネル型である。

【0724】

図120の画素1200の動作について、ゲート信号線925に、選択信号が供給されている場合(Lレベル)と、選択信号が供給されていない場合(Hレベル)について、それぞれ説明する。また、ゲート信号線925に選択信号が供給されている期間を第1の期間、選択信号が供給されていない期間を第2の期間とする。

10

【0725】

まず、第1の期間について説明する。ゲート信号線925がLレベルになり、トランジスタ1201がオンする。ソース信号線924は液晶素子962の第1電極、及び容量素子963の第1電極と導通し、液晶素子962の第1電極、及び容量素子963の第1電極の電位がソース信号線924の電位と同電位になる。

【0726】

ここで、ソース信号線924の電位は、ビデオ信号に対応した電位である。

20

【0727】

液晶素子962はビデオ信号に対応した電位によって光の透過率が決定する。容量素子963はビデオ信号に対応した電位を保持する。

【0728】

次に、第2の期間について説明する。ゲート信号線925がHレベルになり、トランジスタ1201がオフする。ソース信号線924は液晶素子962の第1電極、及び容量素子963の第1電極と導通しなくなる。よって、液晶素子962の第1電極、及び容量素子963の第1電極の電位は、前に入力されたビデオ信号に対応した電位を維持するため、液晶素子962の光の透過率も維持される。

【0729】

ここで、トランジスタ1201、及び容量素子963が有する機能を以下に説明する。

30

【0730】

トランジスタ1201は、ゲート信号線925の電位に応じて、ソース信号線924と、液晶素子962の第1端子、及び容量素子963の第1電極とを接続するかしなないかを選択するスイッチとしての機能を有する。第1の期間において、トランジスタ1201は、画素1200にビデオ信号を供給する機能を有する。

【0731】

このように、画素1200はアクティブ駆動ができる。また、画素1200と同一基板上の他のトランジスタがPチャネル型であれば、製造工程の簡略化を図ることができる。したがって、製造コストの削減や歩留まりの向上を図ることができる。

40

【0732】

なお、容量素子963の第2電極は、画素1200の動作期間中に一定の電位になっていれば、どこに接続されていてもよい。例えば、容量素子963の第2電極は、前列のゲート信号線925に接続されていてもよい。なぜなら、コモン線965が必要なくなるため、画素1200の開口率が上がるからである。

【0733】

なお、対向電極964は、一定の電位が供給されているが、本発明はこれに限定されない。例えば、画素1200が反転駆動する場合、対向電極964の電位は、反転駆動に対応して変化してもよい。そのとき、ビデオ信号が正の電位だった場合、対向電極964の電位が負の電位になる。また、ビデオ信号が負の電位だった場合、対向電極964の電位が

50

正の電位になる。

【0734】

図97に、画素の別の形態を示す。図97の画素970は、トランジスタ971、トランジスタ972、2つの電極を持つ表示素子973、及び2つの電極を持つ容量素子974を有している。

【0735】

図97の画素970に示すように、トランジスタ971の第1端子がソース信号線924に接続され、第2端子がトランジスタ972のゲート端子、及び容量素子974の第1電極に接続され、ゲート端子がゲート信号線925に接続されている。容量素子974の第2電極が電源線976に接続されている。トランジスタ972の第1端子が電源線976に接続され、第2端子が表示素子973の第1電極に接続されている。表示素子973の第2電極が共通電極975である。

10

【0736】

なお、ソース信号線924には、ビデオ信号が供給されている。ゲート信号線925には、選択信号が供給されている。また、ソース信号線924、及びゲート信号線925は、実施例1と同様なものを用いることができる。

できる。

【0737】

なお、電源線976には、アノード電位が供給されている。また、共通電極975には、カソード電位が供給されている。また、アノード電位は、カソード電位よりも高い電位である。

20

【0738】

また、トランジスタ971、及びトランジスタ972は、それぞれNチャンネル型である。

【0739】

図97の画素970の動作について、ゲート信号線925に選択信号が供給されている場合(Hレベル)と、供給されていない場合(Lレベル)について、それぞれ説明する。また、ゲート信号線925に選択信号が供給されている期間を第1の期間、選択信号が供給されていない期間を第2の期間とする。

【0740】

まず、第1の期間について説明する。ゲート信号線925がHレベルになり、トランジスタ971がオンする。ソース信号線924はトランジスタ972のゲート端子、及び容量素子974の第1電極と導通し、トランジスタ972のゲート端子、及び容量素子974の第1電極の電位がソース信号線924の電位はソース信号線924の電位と同電位になる。

30

【0741】

ここで、ソース信号線924の電位は、ビデオ信号に対応した電位である。

【0742】

トランジスタ972の電流値はビデオ信号に対応した電位とトランジスタ972の第2端子との間の電位差(V_{gs})によって決定し、トランジスタ972と同じ電流が表示素子973に流れる。また、その場合、トランジスタ972と表示素子973の動作点が飽和領域で動作する必要がある。こうして、ビデオ信号によって、表示素子973の電流値が自由に決定することができる。

40

【0743】

なお、トランジスタ972と表示素子973の動作点が線形領域で動作する場合、表示素子973の第1電極はトランジスタ972を介して電源線976と導通し、電源線976の電位とおおむね等しい電圧が表示素子973の第1電極に印加される。また、トランジスタ972と表示素子973の動作点が線形領域で動作すると、トランジスタ972の電流値はトランジスタ972の特性のばらつき、劣化の影響を受けないため有利である。

【0744】

次に、ゲート信号線925に選択信号が供給されていない場合について説明する。ゲート

50

信号線 9 2 5 が L レベルになり、トランジスタ 9 7 1 がオフする。ソース信号線 9 2 4 は、トランジスタ 9 7 2 の第 2 端子と導通しなくなる。よって、トランジスタ 9 7 2 の第 2 端子の電位は、前に入力されたビデオ信号に対応した電位を維持するため、トランジスタ 9 7 2 の V_{gs} はそのまま維持される。そのため、表示素子 9 7 3 の電流値も、そのまま維持される。

【0745】

ここで、トランジスタ 9 7 1、トランジスタ 9 7 2、及び容量素子 9 7 4 が有する機能を以下に説明する。

【0746】

トランジスタ 9 7 1 は、ゲート信号線 9 2 5 の電位に応じて、ソース信号線 9 2 4 と、トランジスタ 9 7 2 のゲート端子、及び容量素子 9 7 4 の第 1 電極とを接続するかしないかを選択するスイッチとしての機能を有する。第 1 の期間において、トランジスタ 9 7 1 は、画素 9 7 0 にビデオ信号を供給する機能を有する。

10

【0747】

トランジスタ 9 7 2 は、トランジスタ 9 7 2 のゲート端子、及び容量素子 9 7 4 の第 1 電極の電位に応じて、表示素子 9 7 3 に電流、又は電圧を供給する駆動トランジスタとしての機能を有する。また、トランジスタ 9 7 2 と表示素子 9 7 3 との動作点が飽和領域で動作する場合、トランジスタ 9 7 2 は表示素子 9 7 3 に電流を供給する電流源としての機能を有する。また、トランジスタ 9 7 2 と表示素子 9 7 3 との動作点が線形領域で動作する場合、トランジスタ 9 7 2 は電源線 9 7 6 と、表示素子 9 7 3 の第 1 電極とを接続するかしないかを選択するスイッチとしての機能を有する。

20

【0748】

容量素子 9 7 4 は、ビデオ信号を保持する機能を有する。第 1 の期間において、ビデオ信号が容量素子 9 7 4 に供給され、容量素子 9 7 4 はビデオ信号を保持する機能を有する。第 2 の期間において、容量素子 9 7 4 は次の第 1 の期間までビデオ信号を保持する機能を有する。

【0749】

このように、画素 9 7 0 はアクティブ駆動ができる。また、画素 9 7 0 と同一基板上の他のトランジスタが N チャネル型であれば、製造工程の簡略化を図ることができる。したがって、製造コストの削減や歩留まりの向上を図ることができる。

30

【0750】

なお、容量素子 9 7 4 の第 2 電極は、画素 9 7 0 の動作期間中に一定の電位になっていれば、どこに接続されていてもよい。例えば、容量素子 9 7 4 の第 2 電極は、前列のゲート信号線 9 2 5 に接続されていてもよい。

【0751】

別の例として、図 9 8 の画素 9 8 0 のように、トランジスタ 9 7 2 の第 2 端子に接続されていてもよい。なぜなら、トランジスタ 9 7 2 のゲート端子の電位はトランジスタ 9 7 2 の第 2 端子の電位の変化に応じて変化するため、より正確な電流が表示素子に供給されるからである。つまり、トランジスタ 9 7 2 の第 2 端子の電位が変動すると、トランジスタのゲート端子の電位は容量素子 9 7 4 の容量結合によって同時に変動する。いわゆるブートストラップ動作を行っている。

40

【0752】

図 9 7 の画素では、全て N チャネル型のトランジスタで構成されている場合について説明したが、すべて P チャネル型のトランジスタで構成されていてもよい。ここで、すべて P チャネル型のトランジスタで構成された場合の画素を図 1 2 1 に示す。

【0753】

図 1 2 1 に、画素の別の形態を示す。図 1 2 1 の画素 1 2 1 0 は、トランジスタ 1 2 1 1、トランジスタ 1 2 1 2、2 つの電極を持つ表示素子 9 7 3、及び 2 つの電極を持つ容量素子 9 7 4 を有している。

【0754】

50

図 1 2 1 の画素 1 2 1 0 に示すように、トランジスタ 1 2 1 1 の第 1 端子がソース信号線 9 2 4 に接続され、第 2 端子がトランジスタ 1 2 1 2 のゲート端子、及び容量素子 9 7 4 の第 1 電極に接続され、ゲート端子がゲート信号線 9 2 5 に接続されている。容量素子 9 7 4 の第 2 電極が電源線 9 7 6 に接続されている。トランジスタ 1 2 1 2 の第 1 端子が電源線 9 7 6 に接続され、第 2 端子が表示素子 9 7 3 の第 1 電極に接続されている。表示素子 9 7 3 の第 2 電極が共通電極 9 7 5 である。

【 0 7 5 5 】

なお、ソース信号線 9 2 4 には、ビデオ信号が供給されている。ゲート信号線 9 2 5 には、選択信号が供給されている。また、ソース信号線 9 2 4、及びゲート信号線 9 2 5 は、実施例 1 と同様なものを用いることができる。

10

できる。

【 0 7 5 6 】

なお、電源線 9 7 6 には、アノード電位が供給されている。また、共通電極 9 7 5 には、カソード電位が供給されている。また、アノード電位は、カソード電位よりも高い電位である。

【 0 7 5 7 】

なお、表示素子 9 7 3、容量素子 9 7 4、共通電極 9 7 5、電源線 9 7 6 は図 9 7 と同様なものを用いることができる。

【 0 7 5 8 】

また、トランジスタ 1 2 1 1、及びトランジスタ 1 2 1 2 は、それぞれ P チャネル型である。

20

【 0 7 5 9 】

図 1 2 1 の画素 1 2 1 0 の動作について、ゲート信号線 9 2 5 に選択信号が供給されている場合 (L レベル) と、供給されていない場合 (H レベル) について、それぞれ説明する。また、ゲート信号線 9 2 5 に選択信号が供給されている期間を第 1 の期間、選択信号が供給されていない期間を第 2 の期間とする。

【 0 7 6 0 】

まず、第 1 の期間について説明する。ゲート信号線 9 2 5 が L レベルになり、トランジスタ 1 2 1 1 がオンする。ソース信号線 9 2 4 はトランジスタ 1 2 1 2 のゲート端子、及び容量素子 9 7 4 の第 1 電極と導通し、トランジスタ 1 2 1 2 のゲート端子、及び容量素子 9 7 4 の第 1 電極の電位がソース信号線 9 2 4 の電位はソース信号線 9 2 4 の電位と同電位になる。

30

【 0 7 6 1 】

ここで、ソース信号線 9 2 4 の電位は、ビデオ信号に対応した電位である。

【 0 7 6 2 】

トランジスタ 1 2 1 2 の電流値はビデオ信号に対応した電位と電源線 9 7 6 の電位との間の電位差 (V_{gs}) によって決定し、同じ電流が表示素子 9 7 3 に流れる。また、その場合、トランジスタ 1 2 1 2 と表示素子 9 7 3 の動作点が飽和領域で動作する必要がある。こうして、ビデオ信号によって、表示素子 9 7 3 の電流値が自由に決定することができる。

40

【 0 7 6 3 】

なお、トランジスタ 1 2 1 2 と表示素子 9 7 3 の動作点が線形領域で動作する場合、表示素子 9 7 3 の第 1 電極はトランジスタ 1 2 1 2 を介して電源線 9 7 6 と導通し、表示素子 9 7 3 の第 1 電極の電位が印加される。また、トランジスタ 1 2 1 2 と表示素子 9 7 3 の動作点が線形領域で動作すると、トランジスタ 1 2 1 2 の電流値はトランジスタ 1 2 1 2 の特性のばらつき、劣化の影響を受けないため有利である。

【 0 7 6 4 】

次に、ゲート信号線 9 2 5 に選択信号が供給されていない場合について説明する。ゲート信号線 9 2 5 が H レベルになり、トランジスタ 1 2 1 1 がオフする。ソース信号線 9 2 4 は、トランジスタ 1 2 1 2 の第 2 端子と導通しなくなる。よって、トランジスタ 1 2 1 2

50

の第2端子の電位は、前に入力されたビデオ信号に対応した電位を維持するため、トランジスタ1212のV_{gs}はそのまま維持される。そのため、表示素子973の電流値も、そのまま維持される。

【0765】

ここで、トランジスタ1211、及びトランジスタ1212が有する機能を以下に説明する。

【0766】

トランジスタ1211は、ゲート信号線925の電位に応じて、ソース信号線924と、トランジスタ1212のゲート端子、及び容量素子974の第1端子とを接続するかしないかを選択するスイッチとしての機能を有する。第1の期間において、トランジスタ1211は、画素1210にビデオ信号を供給する機能を有する。

10

【0767】

トランジスタ1212は、トランジスタ1212のゲート端子、及び容量素子974の第2電極の電位に応じて、表示素子973に電流、又は電圧を供給する駆動トランジスタとしての機能を有する。また、トランジスタ1212と表示素子973との動作点が飽和領域で動作する場合、トランジスタ1212は表示素子973に電流を供給する電流源としての機能を有する。また、トランジスタ1212と表示素子973との動作点が線形領域で動作する場合、トランジスタ1212は電源線976と、表示素子973の第1電極とを接続するかしないかを選択するスイッチとしての機能を有する。

【0768】

このように、画素970はアクティブ駆動ができる。また、画素970と同一基板上の他のトランジスタがNチャネル型であれば、製造工程の簡略化を図ることができる。したがって、製造コストの削減や歩留まりの向上を図ることができる。

20

【0769】

なお、容量素子974の第2電極は、画素1210の動作期間中に一定の電位になっていれば、どこに接続されていてもよい。例えば、容量素子974の第2電極は、前列のゲート信号線925に接続されていてもよい。

【0770】

図99に、画素の別の形態を示す。図99の画素990は、トランジスタ991、トランジスタ992、トランジスタ993、2つの電極を持つ表示素子973、2つの電極を持つ容量素子994を有している。

30

【0771】

図99の画素990に示すように、トランジスタ991の第1端子がソース信号線924に接続され、第2端子がトランジスタ992の第2端子、容量素子994の第1電極、及び表示素子973の第1電極に接続されている。トランジスタ992の第1端子が電源線995に接続され、ゲート端子がトランジスタ993の第2端子、及び容量素子994の第2電極に接続されている。トランジスタ993の第1端子がゲート信号線925に接続され、ゲート端子が電源線995に接続されている。表示素子973の第2電極が共通電極975である。

【0772】

なお、ソース信号線924には、ビデオ信号が供給されている。ゲート信号線925には、選択信号が供給されている。また、ソース信号線924、及びゲート信号線925は、実施例1と同様なものを用いることができる。

40

【0773】

なお、ビデオ信号は、アナログの電流である。

【0774】

なお、電源線995には、制御電位が供給されている。また、共通電極には、カソード電位が供給されている。また、制御電位は、画素990の動作によって変化する。

【0775】

なお、表示素子973、及び共通電極975は、図97と同様なものを用いることができ

50

る。

【0776】

また、トランジスタ991～トランジスタ993は、それぞれNチャネル型である。

【0777】

図99の画素990の動作について、ゲート信号線925に選択信号が供給されている場合（Hレベル）と、供給されていない場合（Lレベル）について、それぞれ説明する。また、ゲート信号線925に選択信号が供給されている期間を第1の期間、選択信号が供給されていない期間を第2の期間とする。

【0778】

まず、第1の期間について説明する。ゲート信号線925がHレベルになり、トランジスタ991、及びトランジスタ993がオンする。トランジスタ992の第1端子とゲート端子とがトランジスタ993を介して導通し、トランジスタ992がダイオード接続される。また、ソース信号線924とトランジスタ992の第2端子、容量素子994の第1電極、及び表示素子973の第1電極とが導通する。

10

【0779】

このとき、電源線995は、表示素子973の第1電極の電位が共通電極975の電位よりも低い電位になるような電位に設定される。

【0780】

ビデオ信号は、電流が電源線995からソース信号線924に、トランジスタ992、及びトランジスタ991を介して流れるようなアナログの電流を画素990に供給する。そして、トランジスタ992には、ビデオ信号と同じ電流が流れる。トランジスタ992はダイオード接続になっているので、容量素子994には、そのときのトランジスタ992の第1端子とゲート端子との間の電圧（ V_{gs} ）が保持される。

20

【0781】

なお、表示素子973の第1電極は共通電極の電位よりも低いため、表示素子973が発光することはない。

【0782】

次に、第2の期間について説明する。ゲート信号線925がLレベルになり、トランジスタ991、及びトランジスタ993がオフする。トランジスタ992の第1端子とゲート端子とがトランジスタ993を介して導通しなくなり、トランジスタ992はダイオード接続されなくなる。また、ソース信号線924とトランジスタ992の第2端子、容量素子994の第1電極、及び表示素子973の第1電極とが導通しなくなる。

30

【0783】

このとき、電源線995は、表示素子973の第1電極の電位が共通電極975の電位よりも高い電位になるような電位に設定される。

【0784】

容量素子994には、トランジスタ992がビデオ信号と同様の電流を流すような電圧が保持されている。電源線995の電位が上昇すると、容量素子994の第1電極の電位も上昇する。ここで、トランジスタ992のゲート端子の電位は容量素子994の容量結合によって上昇し、トランジスタ992の V_{gs} はそのまま維持される。よって、表示素子973には、ビデオ信号と同じ電流が流れる。

40

【0785】

ここで、トランジスタ991～トランジスタ993、及び容量素子994が有する機能を以下に説明する。

【0786】

トランジスタ991は、ゲート信号線925の電位に応じて、ソース信号線924と、トランジスタ992の第2端子、容量素子994の第1電極、及び表示素子973の第1電極とを接続するかしないかを選択するスイッチとしての機能を有する。第1の期間において、トランジスタ991は、画素990にビデオ信号を供給する機能を有する。

【0787】

50

トランジスタ 992 は、トランジスタ 992 のゲート端子、トランジスタ 993 の第 2 端子、及び容量素子 994 の第 2 電極の電位に応じて、表示素子 973 に電流を供給する電流源としての機能を有する。

【0788】

トランジスタ 993 は、トランジスタ 992 の第 1 端子と、トランジスタ 992 のゲート端子とを接続するかしないかを選択するスイッチとしての機能を有する。第 1 の期間において、トランジスタ 993 は、トランジスタ 992 をダイオード接続にする機能を有する。

【0789】

容量素子 994 は、表示素子 973 の第 1 電極に応じて、トランジスタ 992 のゲート端子の電位を変化させるための機能を有する。第 2 の期間において、容量素子 994 は、表示素子 973 の第 1 電極の電位の上昇によって、トランジスタ 992 のゲート端子の電位を上昇させる機能を有する。

10

【0790】

このように、画素 990 はアクティブ駆動ができる。また、画素 990 と同一基板上の他のトランジスタが N チャネル型であれば、製造工程の簡略化を図ることができる。したがって、製造コストの削減や歩留まりの向上を図ることができる。

【0791】

図 118 に、画素の別の形態を示す。図 118 の画素 1180 は、トランジスタ 1181、トランジスタ 1182、トランジスタ 1183、トランジスタ 1184、2 つの電極を持つ表示素子 973、2 つの電極を持つ容量素子 974 を有している。

20

【0792】

図 118 の画素 1180 に示すように、トランジスタ 1181 の第 1 端子がソース信号線 924 に接続され、第 2 端子がトランジスタ 1182 の第 2 端子、トランジスタ 1183 のゲート端子、トランジスタ 1184 のゲート端子、及び容量素子 974 の第 2 電極に接続され、ゲート端子がゲート信号線 925 に接続されている。トランジスタ 1182 の第 1 端子がトランジスタ 1183 の第 1 端子に接続され、ゲート端子がゲート信号線 925 に接続されている。トランジスタ 1183 の第 2 端子がトランジスタ 1184 の第 2 端子、及び表示素子 973 の第 1 電極に接続されている。トランジスタ 1184 の第 1 端子が電源線 976 に接続されている。容量素子 974 の第 2 電極が電源線 976 に接続されている。表示素子 973 の第 2 電極が共通電極 975 である。

30

【0793】

なお、ソース信号線 924 には、ビデオ信号が供給されている。ゲート信号線 925 には、選択信号が供給されている。また、ソース信号線 924、及びゲート信号線 925 は、実施例 1 と同様なものを用いることができる。

【0794】

なお、ビデオ信号は、アナログの電流である。

【0795】

なお、電源線 976 には、アノード電位が供給されている。また、共通電極 975 には、カソード電位が供給されている。また、アノード電位は、カソード電位よりも高い電位である。

40

【0796】

なお、表示素子 973、共通電極 975、及び電源線 976 は、図 97 と同様なものを用いることができる。

【0797】

また、トランジスタ 1181 ~ トランジスタ 1184 は、それぞれ N チャネル型である。

【0798】

図 118 の画素 1180 の動作について、ゲート信号線 925 に選択信号が供給されている場合 (H レベル) と、供給されていない場合 (L レベル) について、それぞれ説明する。また、ゲート信号線 925 に選択信号が供給されている期間を第 1 の期間、選択信号が

50

供給されていない期間を第2の期間とする。

【0799】

まず、第1の期間について説明する。ゲート信号線925がHレベルになり、トランジスタ1181、及びトランジスタ1182がオンする。トランジスタ1183の第1端子とゲート端子とがトランジスタ1182を介して導通し、トランジスタ1183がダイオード接続される。また、ソース信号線924とトランジスタ1182の第1端子、トランジスタ1183のゲート端子、トランジスタ1184のゲート端子、及び容量素子974の第2電極とが導通する。

【0800】

ビデオ信号は、電流がソース信号線924から共通電極975に、トランジスタ1181、トランジスタ1182、トランジスタ1183、及び表示素子973を介して流れるようなアナログの電流を画素1180に供給する。そして、トランジスタ1183には、ビデオ信号と同じ電流が流れる。トランジスタ1183のゲート端子とトランジスタ1184のゲート端子と容量素子974の第2電極とが接続されているので、容量素子974の第2電極には、そのときのトランジスタ1183のゲート端子の電位が保持される。

10

【0801】

次に、第2の期間について説明する。ゲート信号線925がLレベルになり、トランジスタ1181、及びトランジスタ1182がオフする。トランジスタ1183の第1端子とゲート端子とがトランジスタ1182を介して導通しなくなる。また、ソース信号線924とトランジスタ1182の第1端子、トランジスタ1183のゲート端子、トランジスタ1184のゲート端子、及び容量素子974の第2電極とが導通しなくなる。

20

【0802】

容量素子974には、ビデオ信号に対応した電位が保持されている。つまり、トランジスタ1183のゲート端子の電位は、第1の期間で取得した電位と同様である。よって、トランジスタ1184のゲート端子の電位も容量素子974の第2電極の電位と同様であるため、トランジスタ1184は表示素子973にビデオ信号に対応した電流を供給することができる。

【0803】

ここで、トランジスタ1181～トランジスタ1184が有する機能を以下に説明する。

【0804】

トランジスタ1181は、ゲート信号線925の電位に応じて、ソース信号線924と、トランジスタ1182の第1端子、トランジスタ1183のゲート端子、トランジスタ1184のゲート端子、及び容量素子974の第2電極とを接続するかしないかを選択するスイッチしての機能を有する。第1の期間において、トランジスタ1181は、画素1180にビデオ信号を供給する機能を有する。

30

【0805】

トランジスタ1182は、ゲート信号線925の電位に応じて、トランジスタ1183の第1端子と、トランジスタ1183のゲート端子とを接続するかしないかを選択するスイッチとしての機能を有する。第1の期間において、トランジスタ1182は、トランジスタ1183をダイオード接続する機能を有する。

40

【0806】

トランジスタ1183は、ビデオ信号に応じて、表示素子973の第1電極の電位とトランジスタ1184のゲート端子の電位とを決定する機能を有する。

【0807】

トランジスタ1184は、容量素子974の第2電極の電位に応じて、表示素子973に電流を供給する電流源としての機能を有する。

【0808】

このように、画素1180はアクティブ駆動ができる。また、画素1180と同一基板上の他のトランジスタがNチャンネル型であれば、製造工程の簡略化を図ることができる。したがって、製造コストの削減や歩留まりの向上を図ることができる。

50

【0809】

なお、容量素子974の第1電極は、画素1180の動作期間中に一定の電位になっていれば、どこに接続されていてもよい。例えば、容量素子974の第1電極は、前列のゲート信号線925に接続されていてもよい。

【0810】

別の例として、容量素子974の第1電極は、図119の画素1190のように、トランジスタ1184の第2端子に接続されていてもよい。なぜなら、トランジスタ1184のゲート端子の電位はトランジスタ1184の第2端子の電位の変化に応じて変化するため、より正確な電流が表示素子に供給されるからである。つまり、トランジスタ1183とトランジスタ1184とのトランジスタのサイズが違えば、表示素子973の電流も違ってくるため、表示素子973の第1電極の電位が第1の期間と第2の期間とで異なる。よって、トランジスタ1184のゲート端子の電位は容量素子974の容量結合によって同時に変動する。いわゆるブートストラップ動作を行っている。

10

【0811】

このように、本発明の表示装置には、様々な画素を用いることができる。

【0812】

なお、本実施例では、様々な画素を示したが、本発明の表示装置に用いることができる画素は、これらの画素に限定されない。

【0813】

なお、本実施例は、本明細書中の他の実施形態、実施例のいかなる記載とも自由に組み合わせ実施することができる。すなわち、本実施例において示した画素に接続される本発明のシフトレジスタ回路は、非選択期間において、トランジスタが一定時間毎にオンすることで、出力端子に電源電位を供給する。こうすることで、シフトレジスタ回路の出力端子は、該トランジスタを介して電源電位が供給される。該トランジスタは非選択期間において常時オンしていないので、該トランジスタのしきい値電位のシフトは、抑制される。また、シフトレジスタ回路の出力端子は、該トランジスタを介して一定期間毎に電源電位が供給される。そのため、シフトレジスタ回路は、ノイズが出力端子に発生することを抑制できる。

20

【実施例4】

【0814】

本実施の形態では、上記実施例で示した画素構成を有する表示パネルの構成について図100(a)、(b)を用いて説明する。

30

【0815】

なお、図100(a)は、表示パネルを示す上面図、図100(b)は図100(a)をA-A'で切断した断面図である。点線で示された信号線制御回路6701、画素部6702、第1のゲートドライバ6703、第2のゲートドライバ6706を有する。また、封止基板6704、シール材6705を有し、シール材6705で囲まれた内側は、空間6707になっている。

【0816】

なお、配線6708は第1のゲートドライバ6703、第2のゲートドライバ6706及び信号線制御回路6701に入力される信号を伝送するための配線であり、外部入力端子となるFPC6709(フレキシブルプリントサーキット)からビデオ信号、クロック信号、スタート信号等を受け取る。FPC6709と表示パネルとの接続部上にはICチップ6719(メモリ回路や、バッファ回路などが形成された半導体チップ)がCOG(Chip On Glass)等で実装されている。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤(PWB)が取り付けられていてもよい。本明細書における表示装置とは、表示パネル本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。また、ICチップなどが実装されたものを含むものとする。

40

【0817】

50

次に、断面構造について図100(b)を用いて説明する。基板6710上には画素部6702とその周辺駆動回路(第1のゲートドライバ6703、第2のゲートドライバ6706及び信号線制御回路6701)が形成されているが、ここでは、信号線制御回路6701と、画素部6702が示されている。

【0818】

なお、信号線制御回路6701はNチャンネル型トランジスタ6720やNチャンネル型トランジスタ6721のように単極性のトランジスタで構成されている。なお、画素構成には図96~図99、図118、及び図119の画素構成を適用することにより単極性のトランジスタで画素を構成することができる。よって、周辺駆動回路をNチャンネル型トランジスタで構成すれば単極性表示パネルを作製することができる。もちろん、単極性のトランジスタだけでなくPチャンネル型トランジスタも用いてCMOS回路を形成してもよい。

10

【0819】

なお、Nチャンネル型トランジスタ6720、及びNチャンネル型トランジスタ6721がPチャンネル型だった場合、画素構成には図120や図121の画素構成を適用することにより単極性のトランジスタで画素を構成することができる。よって、周辺駆動回路をPチャンネル型トランジスタで構成すれば単極性表示パネルを作成することができる。もちろん、単極性のトランジスタだけでなくNチャンネル型トランジスタも用いてCMOS回路を形成してもよい。

【0820】

また、本実施例では、基板上に周辺駆動回路を一体形成した表示パネルを示すが、必ずしもその必要はなく、周辺駆動回路の全部若しくは一部をICチップなどに形成し、COGなどで実装してもよい。その場合には駆動回路は単極性にする必要がなくNチャンネル型トランジスタとPチャンネル型トランジスタとを組み合わせ用いることができる。

20

【0821】

また、画素部6702はトランジスタ6711と、トランジスタ6712とを有している。なお、トランジスタ6712のソース電極は第1の電極(画素電極6713)と接続されている。また、画素電極6713の端部を覆って絶縁物6714が形成されている。ここでは、ポジ型の感光性アクリル樹脂膜を用いることにより形成する。

【0822】

また、カバレッジを良好なものとするため、絶縁物6714の上端部または下端部に曲率を有する曲面が形成されるようにする。例えば、絶縁物6714の材料としてポジ型の感光性アクリルを用いた場合、絶縁物6714の上端部のみに曲率半径(0.2 μ m~3 μ m)を有する曲面を持たせることが好ましい。また、絶縁物6714として、光によってエッチャントに不溶解性となるネガ型、或いは光によってエッチャントに溶解性となるポジ型のいずれも使用することができる。

30

【0823】

画素電極6713上には、有機化合物を含む層6716、および第2の電極(対向電極6717)がそれぞれ形成されている。ここで、陽極として機能する画素電極6713に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO(インジウムスズ酸化物)膜、インジウム亜鉛酸化物(IZO)膜、窒化チタン膜、クロム膜、タングステン膜、Zn膜、Pt膜などの単層膜の他、窒化チタン膜とアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。

40

【0824】

また、有機化合物を含む層6716は、蒸着マスクを用いた蒸着法、またはインクジェット法によって形成される。有機化合物を含む層6716には、元素周期表第4族金属錯体をその一部に用いることとし、その他、組み合わせ用いることのできる材料としては、低分子系材料であっても高分子系材料であってもよい。また、有機化合物を含む層に用いる材料としては、通常、有機化合物を単層もしくは積層で用いる場合が多いが、本実施例

50

においては、有機化合物からなる膜の一部に無機化合物を用いる構成も含めることとする。さらに、公知の三重項材料を用いることも可能である。

【0825】

さらに、有機化合物を含む層6716上に形成される対向電極6717に用いる材料としては、仕事関数の小さい材料(Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、フッ化カルシウム、または窒化カルシウム)を用いればよい。なお、有機化合物を含む層6716で生じた光が対向電極6717を透過させる場合には、対向電極6717(陰極)として、膜厚を薄くした金属薄膜と、透明導電膜(ITO(酸化インジウム酸化スズ合金)、酸化インジウム酸化亜鉛合金(In_2O_3 ZnO)、酸化亜鉛(ZnO)等)との積層を用いるのがよい。

10

【0826】

さらにシール材6705で封止基板6704を基板6710と貼り合わせることにより、基板6710、封止基板6704、およびシール材6705で囲まれた空間6707に発光素子6718が備えられた構造になっている。なお、空間6707には、不活性気体(窒素やアルゴン等)が充填される場合の他、シール材6705で充填される構成も含むものとする。

【0827】

なお、シール材6705にはエポキシ系樹脂を用いるのが好ましい。また、これらの材料はできるだけ水分や酸素を透過しない材料であることが望ましい。また、封止基板6704に用いる材料としてガラス基板や石英基板の他、FRP(Fiber glass-Reinforced Plastics)、PVF(ポリビニルフロライド)、マイラー、ポリエステルまたはアクリル等からなるプラスチック基板を用いることができる。

20

【0828】

以上のようにして、本発明の画素構成を有する表示パネルを得ることができる。なお、上述した構成は一例であって本発明の表示パネルの構成はこれに限定されない。

【0829】

図100に示すように、信号線制御回路6701、画素部6702、第1のゲートドライバ6703及び第2のゲートドライバ6706を一体形成することで、表示装置の低コスト化が図れる。また、この場合において、信号線制御回路6701、画素部6702、第1のゲートドライバ6703及び第2のゲートドライバ6706に用いられるトランジスタを単極性とすることで作製工程の簡略化が図れるためさらなる低コスト化が図れる。

30

【0830】

なお、表示パネルの構成としては、図100(a)に示したように信号線制御回路6701、画素部6702、第1のゲートドライバ6703及び第2のゲートドライバ6706を一体形成した構成に限られず、信号線制御回路6701に相当する図101に示す信号線制御回路6801をICチップ上に形成して、COG等で表示パネルに実装した構成としてもよい。なお、図101(a)の基板6800、画素部6802、第1のゲートドライバ6803、第2のゲートドライバ6804、FPC6805、ICチップ6806、ICチップ6807、封止基板6808、シール材6809は図100(a)の基板6710、画素部6702、第1のゲートドライバ6703、第2のゲートドライバ6706、FPC6709、ICチップ6719、封止基板6704、シール材6705に相当する。

40

【0831】

つまり、高速動作が要求される信号制御回路のみを、CMOS等を用いてICチップに形成し、低消費電力化を図る。また、ICチップはシリコンウエハ等の半導体チップとすることで、より高速動作且つ低消費電力化を図れる。

【0832】

そして、第1のゲートドライバ6803や第2のゲートドライバ6804を画素部6802と一体形成することで、低コスト化が図れる。そして、この第1のゲートドライバ6803、第2のゲートドライバ6804及び画素部6802は単極性のトランジスタで構成

50

することでさらなる低コスト化が図れる。画素部 6802 の有する画素の構成としては第 3 の実施例で示した画素を適用することができる。

【0833】

こうして、高精細な表示装置の低コスト化が図れる。また、FPC 6805 と基板 6800 との接続部において機能回路（メモリやバッファ）が形成された IC チップを実装することで基板面積を有効利用することができる。

【0834】

また、図 100 (a) の信号線制御回路 6701、第 1 のゲートドライバ 6703 及び第 2 のゲートドライバ 6706 に相当する図 101 (b) の信号線制御回路 6811、第 1 のゲートドライバ 6814 及び第 2 のゲートドライバ 6813 を IC チップ上に形成して、COG 等で表示パネルに実装した構成としてもよい。この場合には高精細な表示装置をより低消費電力にすることが可能である。よって、より消費電力が少ない表示装置とするためには、画素部に用いられるトランジスタの半導体層にはアモルファスシリコンを用いることが望ましい。なお、図 101 (b) の基板 6810、画素部 6812、FPC 6815、IC チップ 6816、IC チップ 6817、封止基板 6818、シール材 6819 は図 100 (a) の基板 6710、画素部 6702、FPC 6709、IC チップ 6719、封止基板 6704、シール材 6705 に相当する。

10

【0835】

また、画素部 6812 のトランジスタの半導体層にアモルファスシリコンを用いることにより低コスト化を図ることができる。さらに、大型の表示パネルを作製することも可能となる。

20

【0836】

また、画素の行方向及び列方向に第 2 のゲートドライバ、第 1 のゲートドライバ及び信号制御回路を設けなくてもよい。例えば、図 102 (a) に示すように IC チップ上に形成された周辺駆動回路 6901 が、図 101 (b) に示す、第 1 のゲートドライバ 6814、第 2 のゲートドライバ 6813 及び信号線制御回路 6811 の機能を有するようによい。なお、図 102 (a) の基板 6900、画素部 6902、FPC 6904、IC チップ 6905、IC チップ 6906、封止基板 6907、シール材 6908 は図 100 (a) の基板 6710、画素部 6702、FPC 6709、IC チップ 6719、封止基板 6704、シール材 6705 に相当する。

30

【0837】

なお、図 102 (a) の表示装置の配線の接続を説明する模式図を図 102 (b) に示す。基板 6910、周辺駆動回路 6911、画素部 6912、FPC 6913、FPC 6914 を有する。FPC 6913 より周辺駆動回路 6911 に外部からの信号及び電源電位が入力される。そして、周辺駆動回路 6911 からの出力は、画素部 6912 の有する画素に接続された行方向及び列方向の配線に入力される。

【0838】

さらに、発光素子 6718 に適用可能な発光素子の例を図 103 (a)、(b) に示す。つまり、上記実施例で示した画素に適用可能な発光素子の構成について図 103 (a)、(b) を用いて説明する。

40

【0839】

図 103 (a) の発光素子は、基板 7001 の上に陽極 7002、正孔注入材料からなる正孔注入層 7003、その上に正孔輸送材料からなる正孔輸送層 7004、発光層 7005、電子輸送材料からなる電子輸送層 7006、電子注入材料からなる電子注入層 7007、そして陰極 7008 を積層させた素子構造である。ここで、発光層 7005 は、一種類の発光材料のみから形成されることもあるが、2 種類以上の材料から形成されてもよい。また本発明の素子の構造は、この構造に限定されない。

【0840】

また、図 103 (a) で示した各機能層を積層した積層構造の他、高分子化合物を用いた素子、発光層に三重項励起状態から発光する三重項発光材料を利用した高効率素子など、

50

バリエーションは多岐にわたる。ホールブロック層によってキャリアの再結合領域を制御し、発光領域を二つの領域にわけることによって得られる白色発光素子などにも応用可能である。

【0841】

図103(a)に示す本発明の素子作製方法は、まず、陽極7002(ITO)を有する基板7001に正孔注入材料、正孔輸送材料、発光材料を順に蒸着する。次に電子輸送材料、電子注入材料を蒸着し、最後に陰極7008を蒸着で形成する。

【0842】

次に、正孔注入材料、正孔輸送材料、電子輸送材料、電子注入材料、発光材料の材料に好適な材料を以下に列挙する。

10

【0843】

正孔注入材料としては、有機化合物であればポルフィリン系の化合物や、フタロシアニン(以下「H₂Pc」と記す)、銅フタロシアニン(以下「CuPc」と記す)などが有効である。また、使用する正孔輸送材料よりもイオン化ポテンシャルの値が小さく、かつ、正孔輸送機能をもつ材料であれば、これも正孔注入材料として使用できる。導電性高分子化合物に化学ドーピングを施した材料もあり、ポリスチレンスルホン酸(以下「PSS」と記す)をドーブしたポリエチレンジオキシチオフェン(以下「PEDOT」と記す)や、ポリアニンなどが挙げられる。また、絶縁体の高分子化合物も陽極の平坦化の点で有効であり、ポリイミド(以下「PI」と記す)がよく用いられる。さらに、無機化合物も用いられ、金や白金などの金属薄膜の他、酸化アルミニウム(以下「アルミナ」と記す)の超薄膜などがある。

20

【0844】

正孔輸送材料として最も広く用いられているのは、芳香族アミン系(すなわち、ベンゼン環-窒素の結合を有するもの)の化合物である。広く用いられている材料として、4,4'-ビス(ジフェニルアミノ)-ビフェニル(以下、「TAD」と記す)や、その誘導体である4,4'-ビス[N-(3-メチルフェニル)-N-フェニル-アミノ]-ビフェニル(以下、「TPD」と記す)、4,4'-ビス[N-(1-ナフチル)-N-フェニル-アミノ]-ビフェニル(以下、「NPD」と記す)がある。4,4',4''-トリス(N,N-ジフェニル-アミノ)-トリフェニルアミン(以下、「TDATA」と記す)、4,4',4''-トリス[N-(3-メチルフェニル)-N-フェニル-アミノ]-トリフェニルアミン(以下、「MTDATA」と記す)などのスターバースト型芳香族アミン化合物が挙げられる。

30

【0845】

電子輸送材料としては、金属錯体がよく用いられ、Alq、BALq、トリス(4-メチル-8-キノリノラト)アルミニウム(以下、「Almq」と記す)、ビス(10-ヒドロキシベンゾ[h]-キノリナト)ベリリウム(以下、「Bebq」と記す)などのキノリン骨格またはベンゾキノリン骨格を有する金属錯体などがある。また、ビス[2-(2-ヒドロキシフェニル)-ベンゾオキサゾラト]亜鉛(以下、「Zn(BOX)₂」)と記す)、ビス[2-(2-ヒドロキシフェニル)-ベンゾチアゾラト]亜鉛(以下、「Zn(BTZ)₂」)と記す)などのオキサゾール系、チアゾール系配位子を有する金属錯体もある。さらに、金属錯体以外にも、2-(4-ビフェニル)-5-(4-tert-ブチルフェニル)-1,3,4-オキサジアゾール(以下、「PBD」と記す)、OXD-7などのオキサジアゾール誘導体、TAZ、3-(4-tert-ブチルフェニル)-4-(4-エチルフェニル)-5-(4-ビフェニル)-2,3,4-トリアゾール(以下、「p-EtTAZ」と記す)などのトリアゾール誘導体、バソフェナントロリン(以下、「BPhen」と記す)、BCPなどのフェナントロリン誘導体が電子輸送性を有する。

40

【0846】

電子注入材料としては、上で述べた電子輸送材料を用いることができる。その他に、フッ化カルシウム、フッ化リチウム、フッ化セシウムなどの金属ハロゲン化物や、酸化リチウ

50

ムなどのアルカリ金属酸化物のような絶縁体の、超薄膜がよく用いられる。また、リチウムアセチルアセトネート（以下、「Li(acac)」と記す）や8-キノリノラト-リチウム（以下、「Li q」と記す）などのアルカリ金属錯体も有効である。

【0847】

発光材料としては、先に述べたAlq、Almq、BeBq、BALq、Zn(BOX)₂、Zn(BTZ)₂などの金属錯体の他、各種蛍光色素が有効である。蛍光色素としては、青色の4,4'-ビス(2,2-ジフェニル-ビニル)-ビフェニルや、赤橙色の4-(ジシアノメチレン)-2-メチル-6-(p-ジメチルアミノスチリル)-4H-ピランなどがある。また、三重項発光材料も可能であり、白金ないしはイリジウムを中心金属とする錯体が主体である。三重項発光材料として、トリス(2-フェニルピリジン)イリジウム、ビス(2-(4'-トリル)ピリジナト-N,C^{2'})アセチルアセトナトイリジウム（以下「acacIr(tpy)₂」と記す）、2,3,7,8,12,13,17,18-オクタエチル-21H,23Hポルフィリン-白金などが知られている。

10

【0848】

以上で述べたような各機能を有する材料を、各々組み合わせ、高信頼性の発光素子を作製することができる。

【0849】

また、第3の実施例で示した表示素子973には図103(b)に示すように図103(a)とは逆の順番に層を形成した発光素子を用いることができる。つまり、基板7011の上に陰極7018、電子注入材料からなる電子注入層7017、その上に電子輸送材料からなる電子輸送層7016、発光層7015、正孔輸送材料からなる正孔輸送層7014、正孔注入材料からなる正孔注入層7013、そして陽極7012を積層させた素子構造である。

20

【0850】

また、発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上にトランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、本発明の画素構成はどの射出構造の発光素子にも適用することができる。

30

【0851】

上面射出構造の発光素子について図104(a)を用いて説明する。

【0852】

基板7100上に駆動用TFT7101が形成され、駆動用TFT7101のソース電極に接して第1の電極7102が形成され、その上に有機化合物を含む層7103と第2の電極7104が形成されている。

【0853】

また、第1の電極7102は発光素子の陽極である。そして第2の電極7104は発光素子の陰極である。つまり、第1の電極7102と第2の電極7104とで有機化合物を含む層7103が挟まれているところが発光素子となる。

40

【0854】

また、ここで、陽極として機能する第1の電極7102に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、窒化チタン膜、クロム膜、タンゲステン膜、Zn膜、Pt膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。光を反射する金属膜を用いることで光を透過させない陽極を形成することができる。

【0855】

また、陰極として機能する第2の電極7104に用いる材料としては、仕事関数の小さい材料(Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、フ

50

ッ化カルシウム、または窒化カルシウム)からなる金属薄膜と、透明導電膜(ITO(インジウムスズ酸化物)、インジウム亜鉛酸化物(IZO)、酸化亜鉛(ZnO)等)との積層を用いるのがよい。こうして薄い金属薄膜と、透明性を有する透明導電膜を用いることで光を透過させることが可能な陰極を形成することができる。

【0856】

こうして、図104(a)の矢印に示すように発光素子からの光を上面に取り出すことが可能になる。つまり、図100の表示パネルに適用した場合には、封止基板6704側に光が射出することになる。従って上面射出構造の発光素子を表示装置に用いる場合には封止基板6704は光透過性を有する基板を用いる。

【0857】

また、光学フィルムを設ける場合には、封止基板6704に光学フィルムを設ければよい。

【0858】

なお、第1の電極7102には陰極として機能するMgAg、MgIn、AlLi等の仕事関数の小さい材料からなる金属膜を用いることができる。そして、第2の電極7104にはITO(インジウムスズ酸化物)膜、インジウム亜鉛酸化物(IZO)などの透明導電膜を用いることができる。よって、この構成によれば、上面射出の透過率を高くすることができる。

【0859】

また、下面射出構造の発光素子について図104(b)を用いて説明する。射出構造以外は図104(a)と同じ構造の発光素子であるため同じ符号を用いて説明する。

【0860】

ここで、陽極として機能する第1の電極7102に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO(インジウムスズ酸化物)膜、インジウム亜鉛酸化物(IZO)膜などの透明導電膜を用いることができる。透明性を有する透明導電膜を用いることで光を透過させることが可能な陽極を形成することができる。

【0861】

また、陰極として機能する第2の電極7104に用いる材料としては、仕事関数の小さい材料(Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、フッ化カルシウム、またはCa₃N₂)からなる金属膜を用いることができる。こうして、光を反射する金属膜を用いることで光が透過しない陰極を形成することができる。

【0862】

こうして、図104(b)の矢印に示すように発光素子からの光を下面に取り出すことが可能になる。つまり、図100の表示パネルに適用した場合には、基板6710側に光が射出することになる。従って下面射出構造の発光素子を表示装置に用いる場合には基板6710は光透過性を有する基板を用いる。

【0863】

また、光学フィルムを設ける場合には、基板6710に光学フィルムを設ければよい。

【0864】

両面射出構造の発光素子について図104(c)を用いて説明する。射出構造以外は図104(a)と同じ構造の発光素子であるため同じ符号を用いて説明する。

【0865】

ここで、陽極として機能する第1の電極7102に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO(インジウムスズ酸化物)膜、インジウム亜鉛酸化物(IZO)膜などの透明導電膜を用いることができる。透明性を有する透明導電膜を用いることで光を透過させることが可能な陽極を形成することができる。

【0866】

また、陰極として機能する第2の電極7104に用いる材料としては、仕事関数の小さい材料(Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、フッ化カルシウム、または窒化カルシウム)からなる金属薄膜と、透明導電膜(ITO(イ

10

20

30

40

50

ンジウムスズ酸化物)、酸化インジウム酸化亜鉛合金(In_2O_3 ZnO)、酸化亜鉛(ZnO)等)との積層を用いるのがよい。こうして薄い金属薄膜と、透明性を有する透明導電膜を用いることで光を透過させることが可能な陰極を形成することができる。

【0867】

こうして、図104(c)の矢印に示すように発光素子からの光を両面に取り出すことが可能になる。つまり、図100の表示パネルに適用した場合には、基板6710側と封止基板6704側に光が射出することになる。従って両面射出構造の発光素子を表示装置に用いる場合には、基板6710および封止基板6704は、ともに光透過性を有する基板を用いる。

【0868】

また、光学フィルムを設ける場合には、基板6710および封止基板6704の両方に光学フィルムを設ければよい。

【0869】

また、白色の発光素子とカラーフィルターを用いてフルカラー表示を実現する表示装置にも本発明を適用することが可能である。

【0870】

図105に示すように、基板7200上に下地膜7202が形成され、その上に駆動用TFT7201が形成され、駆動用TFT7201のソース電極に接して第1の電極7203が形成され、その上に有機化合物を含む層7204と第2の電極7205が形成されている。

【0871】

また、第1の電極7203は発光素子の陽極である。そして第2の電極7205は発光素子の陰極である。つまり、第1の電極7203と第2の電極7205とで有機化合物を含む層7204が挟まれているところが発光素子となる。図105の構成では白色光を発光する。そして、発光素子の上部に赤色のカラーフィルター7206R、緑色のカラーフィルター7206G、青色のカラーフィルター7206Bを設けられており、フルカラー表示を行うことができる。また、これらのカラーフィルターを隔離するブラックマトリクス(BM7207)が設けられている。

【0872】

上述した発光素子の構成は組み合わせて用いることができ、本発明の画素構成を有する表示装置に適宜用いることができる。また、上述した表示パネルの構成や、発光素子は例示であり、もちろん本発明の画素構成は他の構成の表示装置に適用することもできる。

【0873】

次に、表示パネルの画素部の部分断面図を示す。

【0874】

まず、トランジスタの半導体層に結晶性半導体膜(ポリシリコン(p-Si:H)膜)を用いた場合について図106及び図107を用いて説明する。

【0875】

ここで、半導体層は、例えば基板上にアモルファスシリコン(a-Si)膜を公知の成膜法で形成する。なお、アモルファスシリコン膜に限定する必要はなく、非結晶構造を含む半導体膜(微結晶半導体膜を含む)であればよい。さらに非結晶シリコンゲルマニウム膜などの非結晶構造を含む化合物半導体膜でもよい。

【0876】

そして、アモルファスシリコン膜をレーザ結晶化法や、RTAやファーネスアニール炉を用いた熱結晶化法や、結晶化を助長する金属元素を用いた熱結晶化法などにより結晶化させる。もちろん、これらを組み合わせて行ってもよい。

【0877】

上述した結晶化によって、非結晶半導体膜に部分的に結晶化された領域が形成される。

【0878】

さらに、部分的に結晶性が高められた結晶性半導体膜を所望の形状にパターンニングして、

10

20

30

40

50

結晶化された領域から島状の半導体膜を形成する。この半導体膜をトランジスタの半導体層に用いる。

【0879】

図106(a)に示すように、基板26101上に下地膜26102が形成され、その上に半導体層が形成されている。半導体層は駆動トランジスタ26118のチャンネル形成領域26103及びソース領域又はドレイン領域となる不純物領域26105、並びに容量素子26119の下部電極となるチャンネル形成領域26106、LDD領域26107及び不純物領域26108を有する。なお、チャンネル形成領域26103及びチャンネル形成領域26106にはチャンネルドープが行われていてもよい。

【0880】

基板はガラス基板、石英基板、セラミック基板、プラスチック基板などを用いることができる。また、下地膜26102としては、窒化アルミ(AlN)や酸化珪素(SiO₂)、酸化窒化珪素(SiO_xN_y)などの単層やこれらの積層を用いることができる。

【0881】

半導体層上にはゲート絶縁膜26109を介してゲート電極26110及び容量素子の上部電極26111が形成されている。

【0882】

駆動トランジスタ26118及び容量素子26119を覆って層間絶縁物26112が形成され、層間絶縁物26112上にコンタクトホールを介して配線26113が不純物領域26105と接している。配線26113に接して画素電極26114が形成され、画素電極26114の端部及び配線26113を覆って第2の層間絶縁物26115が形成されている。ここでは、ポジ型の感光性アクリル樹脂膜を用いることにより形成する。そして、画素電極26114上に有機化合物を含む層26116及び対向電極26117が形成され、画素電極26114と対向電極26117とで有機化合物を含む層26116が挟まれた領域では発光素子26120が形成されている。

【0883】

また、図106(b)に示すように、容量素子26119の下部電極の一部を構成するLDD領域が、上部電極26111と重なるような領域26202を設けてもよい。なお、図106(a)と共通するところは共通の符号を用い、説明は省略する。

【0884】

また、図107(a)に示すように、駆動トランジスタ26118の不純物領域26105と接する配線26113と同じ層に形成された第2の上部電極26301を有していてもよい。なお、図106(a)と共通するところは共通の符号を用い、説明は省略する。第2の上部電極26301と上部電極26111とで層間絶縁物26112を挟みこみ、第2の容量素子を構成している。また、第2の上部電極26301は不純物領域26108と接しているため、上部電極26111とチャンネル形成領域26106とでゲート絶縁膜26109を挟みこんで構成される第1の容量素子と、上部電極26111と第2の上部電極26301とで層間絶縁物26112を挟みこんで構成される第2の容量素子と、が並列に接続され、第1の容量素子と第2の容量素子からなる容量素子26302を構成している。この容量素子26302の容量は第1の容量素子と第2の容量素子の容量を加算した合成容量であるため、小さい面積で大きな容量の容量素子を形成することができる。つまり、本発明の画素構成の容量素子として用いるとより開口率の向上が図れる。

【0885】

また、図107(b)に示すような容量素子の構成としてもよい。基板27101上に下地膜27102が形成され、その上に半導体層が形成されている。半導体層は駆動トランジスタ27118のチャンネル形成領域27103及びソース領域又はドレイン領域となる不純物領域27105を有する。なお、チャンネル形成領域27103はチャンネルドープが行われていてもよい。

【0886】

基板はガラス基板、石英基板、セラミック基板、プラスチック基板などを用いることがで

10

20

30

40

50

きる。また、下地膜 27102 としては、窒化アルミ (AlN) や酸化珪素 (SiO₂)、酸化窒化珪素 (SiO_xN_y) などの単層やこれらの積層を用いることができる。

【0887】

半導体層上にはゲート絶縁膜 27106 を介してゲート電極 27107 及び第 1 の電極 27108 が形成されている。

【0888】

駆動トランジスタ 27118 及び第 1 の電極 27108 を覆って第 1 の層間絶縁物 27109 が形成され、第 1 の層間絶縁物 27109 上にコンタクトホールを介して配線 27110 が不純物領域 27105 と接している。また、配線 27110 と同じ材料からなる同層の第 2 の電極 27111 が形成される。

10

【0889】

さらに、配線 27110 及び第 2 の電極 27111 を覆うように第 3 の層間絶縁物 27112 が形成され、第 2 の層間絶縁物 27112 上にコンタクトホールを介して、配線 27110 と接して画素電極 27113 が形成されている。また、画素電極 27113 と同じ材料からなる同層の第 3 の電極 27114 が形成されている。ここで、第 1 の電極 27108、第 2 の電極 27111 及び第 3 の電極 27114 からなる容量素子 27119 が形成される。

【0890】

画素電極 27113 と第 3 の電極 27114 の端部を覆って層間絶縁物 27115 が形成され、第 3 の層間絶縁物 27115 及び第 3 の電極 27114 上に有機化合物を含む層 27116 及び対向電極 27117 が形成され、画素電極 27113 と対向電極 27117 とで有機化合物を含む層 27116 が挟まれた領域では発光素子 27120 が形成されている。

20

【0891】

上述したように、結晶性半導体膜を半導体層に用いたトランジスタの構成は図 106 及び図 107 に示したような構成が挙げられる。なお、図 106 及び図 107 に示したトランジスタの構造はトップゲートの構造のトランジスタの一例である。つまり、トランジスタは P 型でも N 型でもよい。N 型の場合には、LDD 領域はゲート電極と重なっていてもよいし、ゲート電極と重ならなくてもよいし、又は LDD 領域の一部の領域が重なっていてもよい。さらに、ゲート電極はテーパ形状でもよく、ゲート電極のテーパ部の下部に LDD 領域が自己整合的に設けられていてもよい。また、ゲート電極は二つに限られず三以上のマルチゲート構造でもよいし、一つのゲート電極でもよい。

30

【0892】

本発明の画素を構成するトランジスタの半導体層 (チャンネル形成領域やソース領域やドレイン領域など) に結晶性半導体膜を用いることで、例えば、図 100 における第 1 のゲートドライバ 6703、第 2 のゲートドライバ 6706 及び信号線制御回路 6701 を画素部 6702 と一体形成することが容易になる。

【0893】

また、半導体層にポリシリコン (p-Si:H) を用いたトランジスタの構成として、基板と半導体層の間にゲート電極が挟まれた構造、つまり、半導体層の下にゲート電極が位置するボトムゲートのトランジスタを適用した表示パネルの部分断面を図 108 に示す。

40

【0894】

基板 7501 上に下地膜 7502 が形成されている。さらに下地膜 7502 上にゲート電極 7503 が形成されている。また、ゲート電極と同層に同じ材料からなる第 1 の電極 7504 が形成されている。ゲート電極 7503 の材料にはリンが添加された多結晶シリコンを用いることができる。多結晶シリコンの他に、金属とシリコンの化合物であるシリサイドでもよい。

【0895】

また、ゲート電極 7503 及び第 1 の電極 7504 を覆うようにゲート絶縁膜 7505 が形成されている。ゲート絶縁膜 7505 としては酸化珪素膜や窒化珪素膜などが用いられ

50

る。

【0896】

また、ゲート絶縁膜7505上に、半導体層が形成されている。半導体層は駆動トランジスタ7522のチャンネル形成領域7506、LDD領域7507及びソース領域又はドレイン領域となる不純物領域7508、並びに容量素子7523の第2の電極となるチャンネル形成領域7509、LDD領域7510及び不純物領域7511を有する。なお、チャンネル形成領域7506及びチャンネル形成領域7509はチャンネルドープが行われていてもよい。

【0897】

基板はガラス基板、石英基板、セラミック基板、プラスチック基板などを用いることができる。また、下地膜7502としては、窒化アルミ(AlN)や酸化珪素(SiO₂)、酸化窒化珪素(SiO_xN_y)などの単層やこれらの積層を用いることができる。

【0898】

半導体層を覆って第1の層間絶縁物7512が形成され、第1の層間絶縁物7512上にコンタクトホールを介して配線7513が不純物領域7508と接している。また、配線7513と同層に同じ材料で第3の電極7514が形成されている。第1の電極7504、第2の電極、第3の電極7514によって容量素子7523が構成されている。

【0899】

また、第1の層間絶縁物7512には開口部7515が形成されている。駆動トランジスタ7522、容量素子7523及び開口部7515を覆うように第2の層間絶縁物7516が形成され、第2の層間絶縁物7516上にコンタクトホールを介して、画素電極7517が形成されている。また、画素電極7517の端部を覆って絶縁物7518が形成されている。例えば、ポジ型の感光性アクリル樹脂膜を用いることができる。そして、画素電極7517上に有機化合物を含む層7519及び対向電極7520が形成され、画素電極7517と対向電極7520とで有機化合物を含む層7519が挟まれた領域では発光素子7521が形成されている。そして、発光素子7521の下部に開口部7515が位置している。つまり、発光素子7521からの発光を基板側から取り出すときには、開口部7515を有するため透過率を高めることができる。

【0900】

また、図108(a)において画素電極7517と同層に同じ材料を用いて第4の電極7524を形成して、図108(b)のような構成としてもよい。すると、第1の電極7504、第2の電極、第3の電極7514及び第4の電極7524によって構成される容量素子7523を形成することができる。

【0901】

次に、トランジスタの半導体層にアモルファスシリコン(a-Si:H)膜を用いた場合について説明する。図109にはトップゲートのトランジスタ、図110及び図111にはボトムゲートのトランジスタの場合について示す。

【0902】

アモルファスシリコンを半導体層に用いた順スタガ構造のトランジスタの断面を図109(a)に示す。に示すように、基板7601上に下地膜7602が形成されている。さらに下地膜7602上に画素電極7603が形成されている。また、画素電極7603と同層に同じ材料からなる第1の電極7604が形成されている。

【0903】

基板はガラス基板、石英基板、セラミック基板、プラスチック基板などを用いることができる。また、下地膜7602としては、窒化アルミ(AlN)や酸化珪素(SiO₂)、酸化窒化珪素(SiO_xN_y)などの単層やこれらの積層を用いることができる。

【0904】

また、下地膜7602上に配線7605及び配線7606が形成され、画素電極7603の端部が配線7605で覆われている。配線7605及び配線7606の上部にN型の導電性を有するN型半導体層7607及びN型半導体層7608が形成されている。また、

配線 7605 と配線 7606 の間であって、下地膜 7602 上に半導体層 7609 が形成されている。そして、半導体層 7609 の一部は N 型半導体層 7607 及び N 型半導体層 7608 上にまで延長されている。なお、この半導体層はアモルファスシリコン (a - Si : H)、微結晶半導体 (μ - Si : H) 等の非結晶性を有する半導体膜で形成されている。また、半導体層 7609 上にゲート絶縁膜 7610 が形成されている。また、ゲート絶縁膜 7610 と同層の同じ材料からなる絶縁膜 7611 が第 1 の電極 7604 上にも形成されている。なお、ゲート絶縁膜 7610 としては酸化珪素膜や窒化珪素膜などが用いられる。

【0905】

また、ゲート絶縁膜 7610 上に、ゲート電極 7612 が形成されている。また、ゲート電極と同層に同じ材料でなる第 2 の電極 7613 が第 1 の電極 7604 上に絶縁膜 7611 を介して形成されている。第 1 の電極 7604 及び第 2 の電極 7613 で絶縁膜 7611 を挟まれた容量素子 7619 が形成されている。また、画素電極 7603 の端部、駆動トランジスタ 7618 及び容量素子 7619 を覆い、層間絶縁物 7614 が形成されている。

10

【0906】

層間絶縁物 7614 及びその開口部に位置する画素電極 7603 上に有機化合物を含む層 7615 及び対向電極 7616 が形成され、画素電極 7603 と対向電極 7616 とで有機化合物を含む層 7615 が挟まれた領域では発光素子 7617 が形成されている。

【0907】

また、図 109 (a) に示す第 1 の電極 7604 を図 109 (b) に示すように第 1 の電極 7620 で形成してもよい。第 1 の電極 7620 は配線 7605 及び 7606 と同層の同一材料で形成されている。

20

【0908】

また、アモルファスシリコンを半導体層に用いたボトムゲート構造のトランジスタを用いた表示パネルの部分断面を図 110 に示す。

【0909】

基板 7701 上に下地膜 7702 が形成されている。さらに下地膜 7702 上にゲート電極 7703 が形成されている。また、ゲート電極と同層に同じ材料からなる第 1 の電極 7704 が形成されている。ゲート電極 7703 の材料にはリンが添加された多結晶シリコンを用いることができる。多結晶シリコンの他に、金属とシリコンの化合物であるシリサイドでもよい。

30

【0910】

また、ゲート電極 7703 及び第 1 の電極 7704 を覆うようにゲート絶縁膜 7705 が形成されている。ゲート絶縁膜 7705 としては酸化珪素膜や窒化珪素膜などが用いられる。

【0911】

また、ゲート絶縁膜 7705 上に、半導体層 7706 が形成されている。また、半導体層 7706 と同層に同じ材料からなる半導体層 7707 が形成されている。

【0912】

基板はガラス基板、石英基板、セラミック基板、プラスチック基板などを用いることができる。また、下地膜 7602 としては、窒化アルミ (AlN) や酸化珪素 (SiO₂)、酸化窒化珪素 (SiO_xN_y) などの単層やこれらの積層を用いることができる。

40

【0913】

半導体層 7706 上には N 型の導電性を有する N 型半導体層 7708、7709 が形成され、半導体層 7707 上には N 型半導体層 7710 が形成されている。

【0914】

N 型半導体層 7708、7709 上にはそれぞれ配線 7711、7712 が形成され、N 型半導体層 7710 上には配線 7711 及び 7712 と同層の同一材料からなる導電層 7713 が形成されている。

50

【0915】

半導体層7707、N型半導体層7710及び導電層7713からなる第2の電極が構成される。なお、この第2の電極と第1の電極7704でゲート絶縁膜7705を挟み込んだ構造の容量素子7720が形成されている。

【0916】

また、配線7711の一方の端部は延在し、その延在した配線7711上部に接して画素電極7714が形成されている。

【0917】

また、画素電極7714の端部、駆動トランジスタ7719及び容量素子7720を覆うように絶縁物7715が形成されている。

10

【0918】

画素電極7714及び絶縁物7715上には有機化合物を含む層7716及び対向電極7717が形成され、画素電極7714と対向電極7717とで有機化合物を含む層7716が挟まれた領域では発光素子7718が形成されている。

【0919】

容量素子の第2の電極の一部となる半導体層7707及びN型半導体層7710は設けなくてもよい。つまり第2の電極は導電層7713とし、第1の電極7704と導電層7713でゲート絶縁膜が挟まれた構造の容量素子としてもよい。

【0920】

なお、図110(a)において、配線7711を形成する前に画素電極7714を形成することで、図110(b)に示すような、画素電極7714からなる第2の電極7721と第1の電極7704でゲート絶縁膜7705が挟まれた構造の容量素子7720を形成することができる。

20

【0921】

なお、図110では、逆スタガ型のチャネルエッチ構造のトランジスタについて示したが、もちろんチャネル保護構造のトランジスタでもよい。チャネル保護構造のトランジスタの場合について、図111(a)、(b)を用いて説明する。

【0922】

図111(a)に示すチャネル保護型構造のトランジスタは図110(a)に示したチャネルエッチ構造の駆動トランジスタ7719の半導体層7706のチャネルが形成される領域上にエッチングのマスクとなる絶縁物7801が設けられている点が異なり、他の共通しているところは共通の符号を用いている。

30

【0923】

また、同様に、図111(b)に示すチャネル保護型構造のトランジスタは図110(b)に示したチャネルエッチ構造の駆動トランジスタ7719の半導体層7706のチャネルが形成される領域上にエッチングのマスクとなる絶縁物7802が設けられている点が異なり、他の共通しているところは共通の符号を用いている。

【0924】

本発明の画素を構成するトランジスタの半導体層(チャネル形成領域やソース領域やドレイン領域など)に非結晶半導体膜を用いることで、製造コストを削減することができる。例えば、第3の実施例に示す画素構成を用いることで非結晶半導体膜を適用することが可能である。

40

【0925】

なお、本発明の画素構成の適用することができるトランジスタの構造や、容量素子の構造は上述した構成に限られず、さまざまな構成のトランジスタの構造や、容量素子の構造のものを用いることができる。

【0926】

なお、本実施例は、本明細書中の他の実施の形態、実施例のいかなる記載とも自由に組み合わせ実施することが可能である。すなわち、本実施例において示した表示パネルに接続される本発明のシフトレジスタ回路は、非選択期間において、トランジスタが一定時間

50

毎にオンすることで、出力端子に電源電位を供給する。こうすることで、シフトレジスタ回路の出力端子は、該トランジスタを介して電源電位が供給される。該トランジスタは非選択期間において常時オンしていないので、該トランジスタのしきい値電位のシフトは、抑制される。また、シフトレジスタ回路の出力端子は、該トランジスタを介して一定期間毎に電源電位が供給される。そのため、シフトレジスタ回路は、ノイズが出力端子に発生することを抑制できる。

【実施例 5】

【0927】

本発明の表示装置は様々な電子機器に適用することができる。具体的には電子機器の表示部に適用することができる。そのような電子機器として、ビデオカメラ、デジタルカメラ、10
、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等）、記録媒体を備えた画像再生装置（具体的には Digital Versatile Disc (DVD) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。

【0928】

図117(A)はディスプレイであり、筐体84101、支持台84102、表示部84103等を含む。本発明の画素構成を有する表示装置を表示部84103に用いることができる。なお、ディスプレイは、パーソナルコンピュータ用、テレビジョン放送受信用、20
、広告表示用などの全ての情報表示用表示装置が含まれる。本発明の画素構成を有する表示装置を表示部84103に用いたディスプレイは、消費電力を抑えつつ、表示不良を防止することができる。また、低コスト化を図ることも可能である。

【0929】

近年、ディスプレイの大型化のニーズが強くなっている。そして、ディスプレイの大型化に伴い価格の上昇が問題となっている。よって、いかに製造コストの削減を図り、高品質な製品を少しでも低価格に抑えるかが課題となる。

【0930】

例えば、第3の実施例に示す画素構成を表示パネルの画素部に用いることで、単極性のトランジスタからなる表示パネルを提供することができる。よって、工程数を減らし製造コストを削減することができる。30

【0931】

また、図100(a)に示すように画素部と周辺の駆動回路を一体形成することにより、単極性のトランジスタからなる回路で構成された表示パネルを形成することができる。

【0932】

また、画素部を構成する回路のトランジスタの半導体層に非結晶半導体（例えばアモルファスシリコン(a-Si:H)）を用いることで、工程を簡略化し、さらなるコストダウンが図れる。この場合には図101(b)や図102(a)に示したように、画素部の周辺の駆動回路をICチップ上に形成し、COG等で表示パネルに実装するよい。このように、非結晶半導体を用いることでディスプレイの大型化が容易になる。

【0933】

図117(B)はカメラであり、本体84201、表示部84202、受像部84203、操作キー84204、外部接続ポート84205、シャッター84206等を含む。40

【0934】

近年、デジタルカメラなどの高性能化に伴い、生産競争は激化している。そして、いかに高性能なものを低価格に抑えるかが重要となる。本発明の画素構成を有する表示装置を表示部84202に用いたデジタルカメラは、消費電力を抑えつつ、表示不良を防止することができる。また、低コスト化を図ることも可能である。

【0935】

例えば、第3の実施例に示す画素構成を画素部に用いることで、単極性のトランジスタからなる画素部を形成することができる。また、図101(a)に示すように、動作速度の50

高い信号制御回路はICチップ上に形成し、比較的動作速度の低いゲートドライバを画素部と共に単極性のトランジスタで構成される回路で一体形成することで、高性能化を実現し、低コスト化を図ることができる。また、画素部と、画素部と共に一体形成するゲートドライバに用いられるトランジスタの半導体層に非結晶半導体、例えばアモルファスシリコンを適用することでさらなる低コスト化が図れる。

【0936】

図117(C)はコンピュータであり、本体84301、筐体84302、表示部84303、キーボード84304、外部接続ポート84305、ポインティングデバイス84306等を含む。本発明の画素構成を有する表示装置を表示部84303に用いたコンピュータは、消費電力を抑えつつ、表示不良を防止することができる。また、低コスト化を図ることも可能である。

10

【0937】

図117(D)はモバイルコンピュータであり、本体84401、表示部84402、スイッチ84403、操作キー84404、赤外線ポート84405等を含む。本発明の画素構成を有する表示装置を表示部84402に用いたモバイルコンピュータは、消費電力を抑えつつ、表示不良を防止することができる。また、低コスト化を図ることも可能である。

【0938】

図117(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体84501、筐体84502、表示部A84503、表示部B84504、記録媒体読み込み部84505、操作キー84506、スピーカー部84507等を含む。表示部A84503は主として画像情報を表示し、表示部B84504は主として文字情報を表示することができる。本発明の画素構成を有する表示装置を表示部A84503や表示部B84504に用いた画像再生装置は、消費電力を抑えつつ、表示不良を防止することができる。また、低コスト化を図ることも可能である。

20

【0939】

図117(F)はゴーグル型ディスプレイであり、本体84601、表示部84602、イヤホン84603、支持部84604を含む。本発明の画素構成を有する表示装置を表示部84602に用いたゴーグル型ディスプレイは、消費電力を抑えつつ、表示不良を防止することができる。また、低コスト化を図ることも可能である。

30

【0940】

図117(G)は携帯型遊技機であり、筐体84701、表示部84702、スピーカー部84703、操作キー84704、記憶媒体挿入部84705等を含む。本発明の画素構成を有する表示装置を表示部84702に用いた携帯型遊技機は、消費電力を抑えつつ、表示不良を防止することができる。また、低コスト化を図ることも可能である。

【0941】

図117(H)はテレビ受像機能付きデジタルカメラであり、本体84801、表示部84802、操作キー84803、スピーカー84804、シャッター84805、受像部84806、アンテナ84807等を含む。本発明の画素構成を有する表示装置を表示部84802に用いたテレビ受像機能付きデジタルカメラは、消費電力を抑えつつ、表示不良を防止することができる。また、画素の開口率が高く高精細な表示が可能となる。また、低コスト化を図ることも可能である。

40

【0942】

例えば、図96~図99、図118、及び図119の画素構成を画素部に用いることで、画素の開口率を向上させることができる。具体的には、発光素子を駆動する駆動トランジスタにNチャンネル型のトランジスタを用いることで開口率が向上する。よって、高精細な表示部を有するテレビ受像機能付きデジタルカメラを提供することができる。

【0943】

このように多機能化し、テレビ受像機能付きデジタルカメラはテレビの視聴等に使用頻度が高まる一方で、一回の充電により長時間使用できることが要求される。

50

【0944】

例えば、図101(b)や図102(a)に示すように周辺駆動回路をICチップ上に形成し、CMOS等を用いることにより低消費電力化を図ることが可能である。

【0945】

このように本発明は、あらゆる電子機器に適用することが可能である。

【0946】

なお、本実施例は、本明細書中の他の実施の形態、実施例のいかなる記載とも自由に組み合わせて実施することが可能である。すなわち、本実施例において示した電子機器に接続される本発明のシフトレジスタ回路は、非選択期間において、トランジスタが一定時間毎にオンすることで、出力端子に電源電位を供給する。こうすることで、シフトレジスタ回路の出力端子は、該トランジスタを介して電源電位が供給される。該トランジスタは非選択期間において常時オンしていないので、該トランジスタのしきい値電位のシフトは、抑制される。また、シフトレジスタ回路の出力端子は、該トランジスタを介して一定期間毎に電源電位が供給される。そのため、シフトレジスタ回路は、ノイズが出力端子に発生することを抑制できる。

10

【実施例6】

【0947】

本実施例において、本発明の画素構成を用いた表示装置を表示部に有する携帯電話の構成例について図116を用いて説明する。

【0948】

表示パネル8301はハウジング8330に脱着自在に組み込まれる。ハウジング8330は表示パネル8301のサイズに合わせて、形状や寸法を適宜変更することができる。表示パネル8301を固定したハウジング8330はプリント基板8331に嵌入されモジュールとして組み立てられる。

20

【0949】

表示パネル8301はFPC8313を介してプリント基板8331に接続される。プリント基板8331には、スピーカー8332、マイクロフォン8333、送受信回路8334、CPU及びコントローラなどを含む信号処理回路8335が形成されている。このようなモジュールと、入力手段8336、バッテリー8337を組み合わせ、筐体8339に収納する。表示パネル8301の画素部は筐体8339に形成された開口窓から視認できよう配置する。

30

【0950】

表示パネル8301は、画素部と一部の周辺駆動回路(複数の駆動回路のうち動作周波数の低い駆動回路)を基板上にトランジスタを用いて一体形成し、一部の周辺駆動回路(複数の駆動回路のうち動作周波数の高い駆動回路)をICチップ上に形成し、そのICチップをCOG(Chip On Glass)で表示パネル8301に実装してもよい。あるいは、そのICチップをTAB(Tape Automated Bonding)やプリント基板を用いてガラス基板と接続してもよい。このような構成とすることで、表示装置の低消費電力化を図り、携帯電話機の一回の充電による使用時間を長くすることができる。また、携帯電話機の低コスト化を図ることができる。

40

【0951】

また、画素部には上記実施例で示した画素構成を適宜適用することができる。

【0952】

例えば、第3の実施例に示す画素構成等を適用することで、低コスト化を実現するため画素部及び画素部と一体形成する周辺駆動回路を単極性のトランジスタで構成して製造工程の削減を図ることができる。

【0953】

また、さらに消費電力の低減を図るため、図101(b)や図102(a)に示すように、基板上にトランジスタを用いて画素部を形成し、全ての周辺駆動回路をICチップ上に形成し、そのICチップをCOG(Chip On Glass)などで表示パネルに実装し

50

てもよい。

【0954】

また、本実施例に示した構成は携帯電話の一例であって、本発明の画素構成はこのような構成の携帯電話に限られず様々な構成の携帯電話に適用することができる。

【0955】

なお、本実施例は、本明細書中の他の実施の形態、実施例のいかなる記載とも自由に組み合わせて実施することが可能である。すなわち、本実施例において示した携帯電話が具備する本発明のシフトレジスタ回路は、非選択期間において、トランジスタが一定時間毎にオンすることで、出力端子に電源電位を供給する。こうすることで、シフトレジスタ回路の出力端子は、該トランジスタを介して電源電位が供給される。該トランジスタは非選択期間において常時オンしていないので、該トランジスタのしきい値電位のシフトは、抑制される。また、シフトレジスタ回路の出力端子は、該トランジスタを介して一定期間毎に電源電位が供給される。そのため、シフトレジスタ回路は、ノイズが出力端子に発生することを抑制できる。

10

【実施例7】

【0956】

本実施例においては、本発明の画素構成を用いた表示装置を表示部に有する電子機器、特にELモジュールを具備するテレビ受像器の構成例について説明する。

【0957】

図112は表示パネル7901と、回路基板7911を組み合わせたELモジュールを示している。表示パネル7901は画素部7902、走査線駆動回路7903及び信号線駆動回路7904を有している。回路基板7911には、例えば、コントロール回路7912や信号分割回路7913などが形成されている。表示パネル7901と回路基板7911は接続配線7914によって接続されている。接続配線にはFPC等を用いることができる。

20

【0958】

表示パネル7901は、画素部7902と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上にトランジスタを用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）をICチップ上に形成し、そのICチップをCOG（Chip On Glass）などで表示パネル7901に実装するとよい。あるいは、そのICチップをTAB（Tape Automated Bonding）やプリント基板を用いて表示パネル7901に実装してもよい。

30

【0959】

また、画素部には上記実施例で示した画素構成を適宜適用することができる。

【0960】

例えば、第3の実施例に示す画素構成等を適用することで、低コスト化を実現するため画素部及び画素部と一体形成する周辺駆動回路を単極性のトランジスタで構成して製造工程の削減を図ることができる。

【0961】

また、さらに消費電力の低減を図るため、ガラス基板上にトランジスタを用いて画素部を形成し、全ての周辺駆動回路をICチップ上に形成し、そのICチップをCOG（Chip On Glass）等で表示パネルに実装してもよい。

40

【0962】

また、上記実施例の図96～図99、図118、及び図119の画素構成を適用することで、Nチャンネル型のトランジスタのみで画素を構成することができるため、非結晶半導体（例えば、アモルファスシリコン）をトランジスタの半導体層に適用することが可能となる。つまり、均一な結晶性半導体膜を作製することが困難な大型の表示装置の作製が可能となる。また、画素を構成するトランジスタの半導体層に非結晶半導体膜を用いることにより、製造工程を削減することができ、製造コストの削減も図ることができる。

【0963】

50

なお、非結晶半導体膜を、画素を構成するトランジスタの半導体層に適用する場合には、基板上にトランジスタを用いて画素部を形成し、全ての周辺駆動回路をＩＣチップ上に形成し、そのＩＣチップをＣＯＧ（Ｃｈｉｐ Ｏｎ Ｇｌａｓｓ）で表示パネルに実装するとよい。なお、基板上に画素部を形成し、その基板上に周辺駆動回路を形成したＩＣチップをＣＯＧ等で実装した構成は図１０１（ｂ）に一例を示してある。

【０９６４】

このＥＬモジュールによりＥＬテレビ受像機を完成させることができる。図１１３は、ＥＬテレビ受像機の主要な構成を示すブロック図である。チューナ８００１は映像信号と音声信号を受信する。映像信号は、映像信号増幅回路８００２と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路８００３と、その映像信号を駆動回路の入力仕様に変換するためのコントロール回路８０１２により処理される。コントロール回路８０１２は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路８０１３を設け、入力デジタル信号をｍ個に分割して供給する構成としてもよい。

10

【０９６５】

チューナ８００１で受信した信号のうち、音声信号は音声信号増幅回路８００４に送られ、その出力は音声信号処理回路８００５を経てスピーカー８００７に供給される。制御回路８００８は受信局（受信周波数）や音量の制御情報を入力部８００９から受け、チューナ８００１や音声信号処理回路８００５に信号を送出する。

【０９６６】

また、図１１３とは別の形態のＥＬモジュールを組み込んだテレビ受像器について図１１４（Ａ）に示す。図１１４（Ａ）において、表示画面８１０２はＥＬモジュールで形成される。また、スピーカー８１０３、操作スイッチ８１０４などが適宜備えられている。

20

【０９６７】

また図１１４（Ｂ）に、ワイヤレスでディスプレイのみを持ち運び可能なテレビ受像器を示す。筐体８１１２にはバッテリー及び信号受信器が内蔵されており、そのバッテリーで表示部８１１３やスピーカー部８１１７を駆動させる。バッテリーは充電器８１１０で繰り返し充電が可能となっている。また、充電器８１１０は映像信号を送受信することが可能で、その映像信号をディスプレイの信号受信器に送信することができる。筐体８１１２は操作キー８１１６によって制御する。また、図１１４（Ｂ）に示す装置は、操作キー８１１６を操作することによって、筐体８１１２から充電器８１１０に信号を送ることも可能であるため映像音声双方向通信装置とも言える。また、操作キー８１１６を操作することによって、筐体８１１２から充電器８１１０に信号を送り、さらに充電器８１１０が送信できる信号を他の電子機器に受信させることによって、他の電子機器の通信制御も可能であり、汎用遠隔制御装置とも言える。本発明は表示部８１１３に適用することができる。

30

【０９６８】

図１１５（Ａ）は表示パネル８２０１とプリント配線基板８２０２を組み合わせたモジュールを示している。表示パネル８２０１は、複数の画素が設けられた画素部８２０３と、第１のゲートドライバ８２０４、第２のゲートドライバ８２０５と、選択された画素にビデオ信号を供給する信号線駆動回路８２０６を備えている。

40

【０９６９】

プリント配線基板８２０２には、コントローラ８２０７、中央処理装置（ＣＰＵ８２０８）、メモリ８２０９、電源回路８２１０、音声処理回路８２１１及び送受信回路８２１２などが備えられている。プリント配線基板８２０２と表示パネル８２０１は、フレキシブル配線基板８２１３（ＦＰＣ）により接続されている。プリント配線基板８２０２には、容量素子、バッファ回路などを設け、電源電圧や信号にノイズがのったり、信号の立ち上がり鈍ったりすることを防ぐ構成としてもよい。また、コントローラ８２０７、音声処理回路８２１１、メモリ８２０９、ＣＰＵ８２０８、電源回路８２１０などは、ＣＯＧ（Ｃｈｉｐ Ｏｎ Ｇｌａｓｓ）方式を用いて表示パネル８２０１に実装することもできる。Ｃ

50

OG方式により、プリント配線基板8202の規模を縮小することができる。

【0970】

プリント配線基板8202に備えられたインターフェース部(I/F部8214)を介して、各種制御信号の入出力が行われる。また、アンテナとの間の信号の送受信を行うためのアンテナ用ポート8215が、プリント配線基板8202に設けられている。

【0971】

図115(B)は、図115(A)に示したモジュールのブロック図を示す。このモジュールは、メモリ8209としてVRAM8216、DRAM8217、フラッシュメモリ8218などが含まれている。VRAM8216にはパネルに表示する画像のデータが、DRAM8217には画像データまたは音声データが、フラッシュメモリ8218には各種プログラムが記憶されている。

10

【0972】

電源回路8210は、表示パネル8201、コントローラ8207、CPU8208、音声処理回路8211、メモリ8209、送受信回路8212を動作させる電力を供給する。またパネルの仕様によっては、電源回路8210に電流源が備えられている場合もある。

【0973】

CPU8208は、制御信号生成回路8220、デコーダ8221、レジスタ8222、演算回路8223、RAM8224、CPU8208用のインターフェース8219などを有している。インターフェース8219を介してCPU8208に入力された各種信号は、一旦レジスタ8222に保持された後、演算回路8223、デコーダ8221などに入力される。演算回路8223では、入力された信号に基づき演算を行い、各種命令を送る場所を指定する。一方デコーダ8221に入力された信号はデコードされ、制御信号生成回路8220に入力される。制御信号生成回路8220は入力された信号に基づき、各種命令を含む信号を生成し、演算回路8223において指定された場所、具体的にはメモリ8209、送受信回路8212、音声処理回路8211、コントローラ8207などに送る。

20

【0974】

メモリ8209、送受信回路8212、音声処理回路8211、コントローラ8207は、それぞれ受けた命令に従って動作する。以下その動作について簡単に説明する。

30

【0975】

入力手段8225から入力された信号は、I/F部8214を介してプリント配線基板8202に実装されたCPU8208に送られる。制御信号生成回路8220は、ポインティングデバイスやキーボードなどの入力手段8225から送られてきた信号に従い、VRAM8216に格納してある画像データを所定のフォーマットに変換し、コントローラ8207に送付する。

【0976】

コントローラ8207は、パネルの仕様に合わせてCPU8208から送られてきた画像データを含む信号にデータ処理を施し、表示パネル8201に供給する。またコントローラ8207は、電源回路8210から入力された電源電圧やCPU8208から入力された各種信号をもとに、Hsync信号、Vsync信号、クロック信号CLK、交流電圧(ACCont)、切り替え信号L/Rを生成し、表示パネル8201に供給する。

40

【0977】

送受信回路8212では、アンテナ8228において電波として送受信される信号が処理されており、具体的にはアイソレータ、バンドパスフィルタ、VCO(Voltage Controlled Oscillator)、LPF(Low Pass Filter)、カプラ、バランなどの高周波回路を含んでいる。送受信回路8212において送受信される信号のうち音声情報を含む信号が、CPU8208からの命令に従って、音声処理回路8211に送られる。

【0978】

50

C P U 8 2 0 8 の命令に従って送られてきた音声情報を含む信号は、音声処理回路 8 2 1 1 において音声信号に復調され、スピーカ 8 2 2 7 に送られる。またマイク 8 2 2 6 から送られてきた音声信号は、音声処理回路 8 2 1 1 において変調され、C P U 8 2 0 8 からの命令に従って、送受信回路 8 2 1 2 に送られる。

【 0 9 7 9 】

コントローラ 8 2 0 7、C P U 8 2 0 8、電源回路 8 2 1 0、音声処理回路 8 2 1 1、メモリ 8 2 0 9 を、本実施例のパッケージとして実装することができる。

【 0 9 8 0 】

勿論、本発明はテレビ受像機に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

10

【 0 9 8 1 】

なお、本実施例は、本明細書中の他の実施の形態、実施例のいかなる記載とも自由に組み合わせる実施することが可能である。すなわち、本実施例において示した電子機器が具備する本発明のシフトレジスタ回路は、非選択期間において、トランジスタが一定時間毎にオンすることで、出力端子に電源電位を供給する。こうすることで、シフトレジスタ回路の出力端子は、該トランジスタを介して電源電位が供給される。該トランジスタは非選択期間において常時オンしていないので、該トランジスタのしきい値電位のシフトは、抑制される。また、シフトレジスタ回路の出力端子は、該トランジスタを介して一定期間毎に電源電位が供給される。そのため、シフトレジスタ回路は、ノイズが出力端子に発生することを抑制できる。

20

【符号の説明】

【 0 9 8 2 】

- 1 0 フリップフロップ回路
- 1 1 トランジスタ
- 1 2 トランジスタ
- 1 3 トランジスタ
- 1 4 トランジスタ
- 1 5 トランジスタ
- 1 6 トランジスタ
- 1 7 トランジスタ
- 1 8 トランジスタ
- 1 9 容量素子
- 7 0 フリップフロップ回路
- 8 0 フリップフロップ回路
- 9 0 フリップフロップ回路
- 9 1 抵抗素子
- 1 0 0 フリップフロップ回路
- 1 0 1 トランジスタ
- 1 1 0 フリップフロップ回路
- 1 1 1 トランジスタ
- 1 1 2 トランジスタ
- 1 1 3 トランジスタ
- 1 1 4 トランジスタ
- 1 1 5 トランジスタ
- 1 1 6 トランジスタ
- 1 1 7 トランジスタ
- 1 1 8 トランジスタ
- 1 1 9 容量素子
- 1 2 0 フリップフロップ回路

30

40

50

1 3 0	フリップフロップ回路	
1 4 0	フリップフロップ回路	
1 5 0	フリップフロップ回路	
1 5 1	抵抗素子	
1 6 0	フリップフロップ回路	
1 6 1	トランジスタ	
1 7 1	フリップフロップ回路	
1 7 2	制御信号線	
1 7 3	制御信号線	
1 7 4	制御信号線	10
1 8 1	トランジスタ	
1 8 3	トランジスタ	
2 0 0	シフトレジスタ回路	
2 0 1	バッファ回路	
2 1 0	バッファ回路	
2 1 1	インバータ回路	
2 1 1 A	インバータ回路	
2 1 1 B	インバータ回路	
2 2 0	バッファ回路	
2 2 1	NAND回路	20
2 2 2	制御信号線	
2 3 0	バッファ回路	
2 3 1	NOR回路	
2 4 0	バッファ回路	
2 5 0	バッファ回路	
2 6 0	バッファ回路	
2 7 0	バッファ回路	
2 8 0	インバータ回路	
2 8 1	トランジスタ	
2 8 2	トランジスタ	30
2 9 0	インバータ回路	
2 9 1	トランジスタ	
2 9 2	トランジスタ	
2 9 3	トランジスタ	
2 9 4	容量素子	
3 0 0	インバータ回路	
3 0 1	トランジスタ	
3 1 0	インバータ回路	
3 2 0	インバータ回路	
3 2 1	抵抗素子	40
3 3 0	インバータ回路	
3 3 1	トランジスタ	
3 4 0	インバータ回路	
3 4 1	トランジスタ	
3 5 0	インバータ回路	
3 6 0	インバータ回路	
3 7 0	インバータ回路	
3 7 1	トランジスタ	
3 8 0	インバータ回路	
3 9 0	インバータ回路	50

3 9 1	トランジスタ	
4 0 0	インバータ回路	
4 0 1	トランジスタ	
4 1 0	インバータ回路	
4 2 0	N A N D 回路	
4 2 1	トランジスタ	
4 2 2	トランジスタ	
4 2 3	トランジスタ	
4 3 0	N A N D 回路	
4 3 1	トランジスタ	10
4 3 2	トランジスタ	
4 3 3	トランジスタ	
4 3 4	トランジスタ	
4 3 5	容量素子	
4 4 0	N A N D 回路	
4 4 1	トランジスタ	
4 5 0	N A N D 回路	
4 6 0	N A N D 回路	
4 6 1	抵抗素子	
4 7 0	N A N D 回路	20
4 7 1	トランジスタ	
4 7 2	トランジスタ	
4 8 0	N A N D 回路	
4 8 1	トランジスタ	
4 9 0	N A N D 回路	
5 0 0	N O R 回路	
5 0 1	トランジスタ	
5 0 2	トランジスタ	
5 0 3	トランジスタ	
5 1 0	N O R 回路	30
5 1 1	トランジスタ	
5 1 2	トランジスタ	
5 1 3	トランジスタ	
5 1 4	トランジスタ	
5 1 5	容量素子	
5 2 0	N O R 回路	
5 2 1	トランジスタ	
5 3 0	N O R 回路	
5 4 0	N O R 回路	
5 4 1	抵抗素子	40
5 5 0	N O R 回路	
5 5 1	トランジスタ	
5 5 2	トランジスタ	
5 6 0	N O R 回路	
5 6 1	トランジスタ	
5 7 0	N O R 回路	
5 8 0	インバータ回路	
5 8 1	トランジスタ	
5 8 2	トランジスタ	
5 9 0	インバータ回路	50

5 9 1	トランジスタ	
5 9 2	トランジスタ	
5 9 3	トランジスタ	
5 9 4	容量素子	
6 0 0	インバータ回路	
6 0 1	トランジスタ	
6 1 0	インバータ回路	
6 2 0	インバータ回路	
6 2 1	抵抗素子	
6 3 0	インバータ回路	10
6 3 1	トランジスタ	
6 4 0	インバータ回路	
6 4 1	トランジスタ	
6 5 0	インバータ回路	
6 6 0	インバータ回路	
6 7 0	インバータ回路	
6 7 1	トランジスタ	
6 8 0	インバータ回路	
6 9 0	インバータ回路	
7 0 0	インバータ回路	20
7 0 1	トランジスタ	
7 1 0	インバータ回路	
7 2 0	N O R 回路	
7 2 1	トランジスタ	
7 2 2	トランジスタ	
7 2 3	トランジスタ	
7 3 0	N O R 回路	
7 3 1	トランジスタ	
7 3 2	トランジスタ	
7 3 3	トランジスタ	30
7 3 4	トランジスタ	
7 3 5	容量素子	
7 4 0	N O R 回路	
7 4 1	トランジスタ	
7 5 0	N O R 回路	
7 6 0	N O R 回路	
7 6 1	抵抗素子	
7 7 0	N O R 回路	
7 7 1	トランジスタ	
7 7 2	トランジスタ	40
7 8 0	N A N D 回路	
7 8 1	トランジスタ	
7 9 0	N O R 回路	
8 0 0	N A N D 回路	
8 0 1	トランジスタ	
8 0 2	トランジスタ	
8 0 3	トランジスタ	
8 1 0	N A N D 回路	
8 1 1	トランジスタ	
8 1 2	トランジスタ	50

8 1 3	トランジスタ	
8 1 4	トランジスタ	
8 1 5	容量素子	
8 2 0	N A N D 回路	
8 2 1	トランジスタ	
8 3 0	N A N D 回路	
8 4 0	N A N D 回路	
8 4 1	抵抗素子	
8 5 0	N A N D 回路	
8 5 1	トランジスタ	10
8 5 2	トランジスタ	
8 6 0	N A N D 回路	
8 6 1	トランジスタ	
8 7 0	N A N D 回路	
8 8 0	シフトレジスタ回路	
8 8 1	信号線	
8 9 1	信号線	
8 9 2	信号線	
8 9 3	信号線	
9 0 1	トランジスタ	20
9 1 1	トランジスタ	
9 2 0	表示装置	
9 2 1	画素領域	
9 2 2	ゲートドライバ	
9 2 3	制御信号線	
9 2 4	ソース信号線	
9 2 5	ゲート信号線	
9 2 6	F P C	
9 4 1	信号線制御回路	
9 4 2	制御信号線	30
9 5 0	信号線制御回路	
9 5 1	制御信号線	
9 5 2	制御信号線	
9 5 3	制御信号線	
9 5 4	ビデオ信号線	
9 5 5	ソース信号線	
9 5 6	ソース信号線	
9 5 7	ソース信号線	
9 6 0	画素	
9 6 1	トランジスタ	40
9 6 2	液晶素子	
9 6 3	容量素子	
9 6 4	対向電極	
9 6 5	コモン線	
9 7 0	画素	
9 7 1	トランジスタ	
9 7 2	トランジスタ	
9 7 3	表示素子	
9 7 4	容量素子	
9 7 5	共通電極	50

9 7 6	電源線	
9 8 0	画素	
9 9 0	画素	
9 9 1	トランジスタ	
9 9 2	トランジスタ	
9 9 3	トランジスタ	
9 9 4	容量素子	
9 9 5	電源線	
1 1 8 0	画素	
1 1 8 1	トランジスタ	10
1 1 8 2	トランジスタ	
1 1 8 3	トランジスタ	
1 1 8 4	トランジスタ	
1 1 9 0	画素	
1 2 0 0	画素	
1 2 0 1	トランジスタ	
1 2 1 0	画素	
1 2 1 1	トランジスタ	
1 2 1 2	トランジスタ	
1 2 4 1	インバータ回路	20
1 2 5 1	インバータ回路	
6 7 0 1	信号線制御回路	
6 7 0 2	画素部	
6 7 0 3	第 1 のゲートドライバ	
6 7 0 4	封止基板	
6 7 0 5	シール材	
6 7 0 6	第 2 のゲートドライバ	
6 7 0 7	空間	
6 7 0 8	配線	
6 7 0 9	F P C	30
6 7 1 0	基板	
6 7 1 1	トランジスタ	
6 7 1 2	トランジスタ	
6 7 1 3	画素電極	
6 7 1 4	絶縁物	
6 7 1 6	有機化合物を含む層	
6 7 1 7	対向電極	
6 7 1 8	発光素子	
6 7 1 9	I C チップ	
6 7 2 0	N チャネル型トランジスタ	40
6 7 2 1	N チャネル型トランジスタ	
6 8 0 0	基板	
6 8 0 1	信号線制御回路	
6 8 0 2	画素部	
6 8 0 3	第 1 のゲートドライバ	
6 8 0 4	第 2 のゲートドライバ	
6 8 0 5	F P C	
6 8 0 6	I C チップ	
6 8 0 7	I C チップ	
6 8 0 8	封止基板	50

6 8 0 9	シール材	
6 8 1 0	基板	
6 8 1 1	信号線制御回路	
6 8 1 2	画素部	
6 8 1 3	第 2 のゲートドライバ	
6 8 1 4	第 1 のゲートドライバ	
6 8 1 5	F P C	
6 8 1 6	I C チップ	
6 8 1 7	I C チップ	
6 8 1 8	封止基板	10
6 8 1 9	シール材	
6 9 0 0	基板	
6 9 0 1	周辺駆動回路	
6 9 0 2	画素部	
6 9 0 4	F P C	
6 9 0 5	I C チップ	
6 9 0 6	I C チップ	
6 9 0 7	封止基板	
6 9 0 8	シール材	
6 9 1 0	基板	20
6 9 1 1	周辺駆動回路	
6 9 1 2	画素部	
6 9 1 3	F P C	
6 9 1 4	F P C	
7 0 0 1	基板	
7 0 0 2	陽極	
7 0 0 3	正孔注入層	
7 0 0 4	正孔輸送層	
7 0 0 5	発光層	
7 0 0 6	電子輸送層	30
7 0 0 7	電子注入層	
7 0 0 8	陰極	
7 0 1 1	基板	
7 0 1 2	陽極	
7 0 1 3	正孔注入層	
7 0 1 4	正孔輸送層	
7 0 1 5	発光層	
7 0 1 6	電子輸送層	
7 0 1 7	電子注入層	
7 0 1 8	陰極	40
7 1 0 0	基板	
7 1 0 1	駆動用 T F T	
7 1 0 2	電極	
7 1 0 3	有機化合物を含む層	
7 1 0 4	電極	
7 2 0 0	基板	
7 2 0 1	駆動用 T F T	
7 2 0 2	下地膜	
7 2 0 3	電極	
7 2 0 4	有機化合物を含む層	50

7 2 0 5	電極	
7 2 0 6 B	カラーフィルター	
7 2 0 6 G	カラーフィルター	
7 2 0 6 R	カラーフィルター	
7 2 0 7	B M	
7 5 0 1	基板	
7 5 0 2	下地膜	
7 5 0 3	ゲート電極	
7 5 0 4	電極	
7 5 0 5	ゲート絶縁膜	10
7 5 0 6	チャンネル形成領域	
7 5 0 7	L D D 領域	
7 5 0 8	不純物領域	
7 5 0 9	チャンネル形成領域	
7 5 1 0	L D D 領域	
7 5 1 1	不純物領域	
7 5 1 2	層間絶縁物	
7 5 1 3	配線	
7 5 1 4	電極	
7 5 1 5	開口部	20
7 5 1 6	層間絶縁物	
7 5 1 7	画素電極	
7 5 1 8	絶縁物	
7 5 1 9	有機化合物を含む層	
7 5 2 0	対向電極	
7 5 2 1	発光素子	
7 5 2 2	駆動トランジスタ	
7 5 2 3	容量素子	
7 5 2 4	電極	
7 6 0 1	基板	30
7 6 0 2	下地膜	
7 6 0 3	画素電極	
7 6 0 4	電極	
7 6 0 5	配線	
7 6 0 6	配線	
7 6 0 7	N 型半導体層	
7 6 0 8	N 型半導体層	
7 6 0 9	半導体層	
7 6 1 0	ゲート絶縁膜	
7 6 1 1	絶縁膜	40
7 6 1 2	ゲート電極	
7 6 1 3	電極	
7 6 1 4	層間絶縁物	
7 6 1 5	有機化合物を含む層	
7 6 1 6	対向電極	
7 6 1 7	発光素子	
7 6 1 8	駆動トランジスタ	
7 6 1 9	容量素子	
7 6 2 0	電極	
7 7 0 1	基板	50

7 7 0 2	下地膜	
7 7 0 3	ゲート電極	
7 7 0 4	電極	
7 7 0 5	ゲート絶縁膜	
7 7 0 6	半導体層	
7 7 0 7	半導体層	
7 7 0 8	N型半導体層	
7 7 0 9	N型半導体層	
7 7 1 0	N型半導体層	
7 7 1 1	配線	10
7 7 1 2	配線	
7 7 1 3	導電層	
7 7 1 4	画素電極	
7 7 1 5	絶縁物	
7 7 1 6	有機化合物を含む層	
7 7 1 7	対向電極	
7 7 1 8	発光素子	
7 7 1 9	駆動トランジスタ	
7 7 2 0	容量素子	
7 7 2 1	電極	20
7 8 0 1	絶縁物	
7 8 0 2	絶縁物	
7 9 0 1	表示パネル	
7 9 0 2	画素部	
7 9 0 3	走査線駆動回路	
7 9 0 4	信号線駆動回路	
7 9 1 1	回路基板	
7 9 1 2	コントロール回路	
7 9 1 3	信号分割回路	
7 9 1 4	接続配線	30
8 0 0 1	チューナ	
8 0 0 2	映像信号増幅回路	
8 0 0 3	映像信号処理回路	
8 0 0 4	音声信号増幅回路	
8 0 0 5	音声信号処理回路	
8 0 0 7	スピーカー	
8 0 0 8	制御回路	
8 0 0 9	入力部	
8 0 1 2	コントロール回路	
8 0 1 3	信号分割回路	40
8 1 0 1	筐体	
8 1 0 2	表示画面	
8 1 0 3	スピーカー	
8 1 0 4	操作スイッチ	
8 1 1 0	充電器	
8 1 1 2	筐体	
8 1 1 3	表示部	
8 1 1 6	操作キー	
8 1 1 7	スピーカー部	
8 2 0 1	表示パネル	50

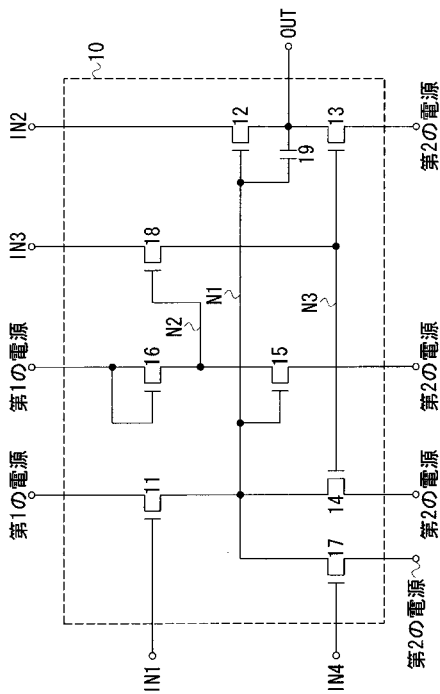
8 2 0 2	プリント配線基板	
8 2 0 3	画素部	
8 2 0 4	第 1 のゲートドライバ	
8 2 0 5	第 2 のゲートドライバ	
8 2 0 6	信号線駆動回路	
8 2 0 7	コントローラ	
8 2 0 8	C P U	
8 2 0 9	メモリ	
8 2 1 0	電源回路	
8 2 1 1	音声処理回路	10
8 2 1 2	送受信回路	
8 2 1 3	フレキシブル配線基板	
8 2 1 4	I / F 部	
8 2 1 5	アンテナ用ポート	
8 2 1 6	V R A M	
8 2 1 7	D R A M	
8 2 1 8	フラッシュメモリ	
8 2 1 9	インターフェース	
8 2 2 0	制御信号生成回路	
8 2 2 1	デコーダ	20
8 2 2 2	レジスタ	
8 2 2 3	演算回路	
8 2 2 4	R A M	
8 2 2 5	入力手段	
8 2 2 6	マイク	
8 2 2 7	スピーカー	
8 2 2 8	アンテナ	
8 3 0 1	表示パネル	
8 3 1 3	F P C	
8 3 3 0	ハウジング	30
8 3 3 1	プリント基板	
8 3 3 2	スピーカー	
8 3 3 3	マイクロフォン	
8 3 3 4	送受信回路	
8 3 3 5	信号処理回路	
8 3 3 6	入力手段	
8 3 3 7	バッテリー	
8 3 3 9	筐体	
8 3 4 0	アンテナ	
1 2 2 0 1	電源線	40
1 2 2 0 2	制御線	
1 2 2 0 3	制御線	
1 2 2 0 4	制御線	
1 2 2 0 5	制御線	
1 2 2 0 6	電源線	
1 2 2 0 7	出力端子	
1 2 2 0 8	半導体層	
1 2 2 0 9	ゲート配線層	
1 2 2 1 0	配線層	
1 2 2 1 1	コンタクト層	50

2 6 1 0 1	基板	
2 6 1 0 2	下地膜	
2 6 1 0 3	チャネル形成領域	
2 6 1 0 5	不純物領域	
2 6 1 0 6	チャネル形成領域	
2 6 1 0 7	L D D 領域	
2 6 1 0 8	不純物領域	
2 6 1 0 9	ゲート絶縁膜	
2 6 1 1 0	ゲート電極	
2 6 1 1 1	上部電極	10
2 6 1 1 2	層間絶縁物	
2 6 1 1 3	配線	
2 6 1 1 4	画素電極	
2 6 1 1 5	層間絶縁物	
2 6 1 1 6	有機化合物を含む層	
2 6 1 1 7	対向電極	
2 6 1 1 8	駆動トランジスタ	
2 6 1 1 9	容量素子	
2 6 1 2 0	発光素子	
2 6 2 0 2	領域	20
2 6 3 0 1	上部電極	
2 6 3 0 2	容量素子	
2 7 1 0 1	基板	
2 7 1 0 2	下地膜	
2 7 1 0 3	チャネル形成領域	
2 7 1 0 5	不純物領域	
2 7 1 0 6	ゲート絶縁膜	
2 7 1 0 7	ゲート電極	
2 7 1 0 8	電極	
2 7 1 0 9	層間絶縁物	30
2 7 1 1 0	配線	
2 7 1 1 1	電極	
2 7 1 1 2	層間絶縁物	
2 7 1 1 3	画素電極	
2 7 1 1 4	電極	
2 7 1 1 5	層間絶縁物	
2 7 1 1 6	有機化合物を含む層	
2 7 1 1 7	対向電極	
2 7 1 1 8	駆動トランジスタ	
2 7 1 1 9	容量素子	40
2 7 1 2 0	発光素子	
8 4 1 0 1	筐体	
8 4 1 0 2	支持台	
8 4 1 0 3	表示部	
8 4 2 0 1	本体	
8 4 2 0 2	表示部	
8 4 2 0 3	受像部	
8 4 2 0 4	操作キー	
8 4 2 0 5	外部接続ポート	
8 4 2 0 6	シャッター	50

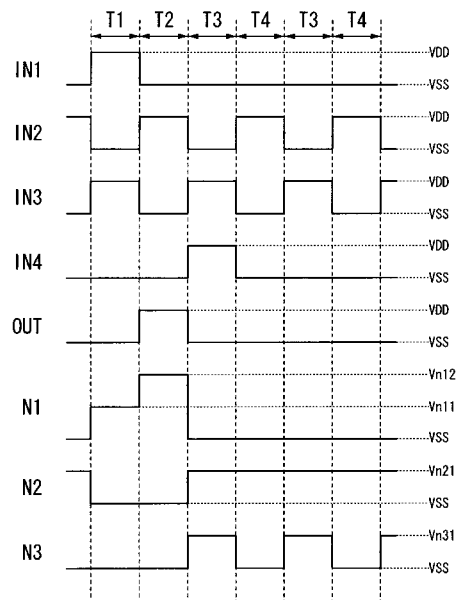
8 4 3 0 1	本体	
8 4 3 0 2	筐体	
8 4 3 0 3	表示部	
8 4 3 0 4	キーボード	
8 4 3 0 5	外部接続ポート	
8 4 3 0 6	ポインティングデバイス	
8 4 4 0 1	本体	
8 4 4 0 2	表示部	
8 4 4 0 3	スイッチ	
8 4 4 0 4	操作キー	10
8 4 4 0 5	赤外線ポート	
8 4 5 0 1	本体	
8 4 5 0 2	筐体	
8 4 5 0 3	表示部 A	
8 4 5 0 4	表示部 B	
8 4 5 0 5	記録媒体読み込み部	
8 4 5 0 6	操作キー	
8 4 5 0 7	スピーカ部	
8 4 6 0 1	本体	
8 4 6 0 2	表示部	20
8 4 6 0 3	イヤホン	
8 4 6 0 4	支持部	
8 4 7 0 1	筐体	
8 4 7 0 2	表示部	
8 4 7 0 3	スピーカ部	
8 4 7 0 4	操作キー	
8 4 7 0 5	記憶媒体挿入部	
8 4 8 0 1	本体	
8 4 8 0 2	表示部	
8 4 8 0 3	操作キー	30
8 4 8 0 4	スピーカ部	
8 4 8 0 5	シャッター	
8 4 8 0 6	受像部	
8 4 8 0 7	アンテナ	
S S P	制御信号	
C K	制御信号	
C K B	制御信号	
S R o u t	出力端子	
S R o u t 1	出力端子	
S R o u t 2	出力端子	40
S R o u t 3	出力端子	
S R o u t 4	出力端子	
S R o u t 5	出力端子	
S R o u t n	出力端子	
G D o u t	出力端子	
G D o u t 1	出力端子	
G D o u t 2	出力端子	
G D o u t n	出力端子	
S D o u t	出力端子	
S D o u t 1	出力端子	50

- S D o u t 2 出力端子
- S D o u t n 出力端子
- S W スイッチ
- S W 1 スイッチ
- S W 2 スイッチ
- S W 3 スイッチ
- S S P 制御信号
- O U T 出力端子

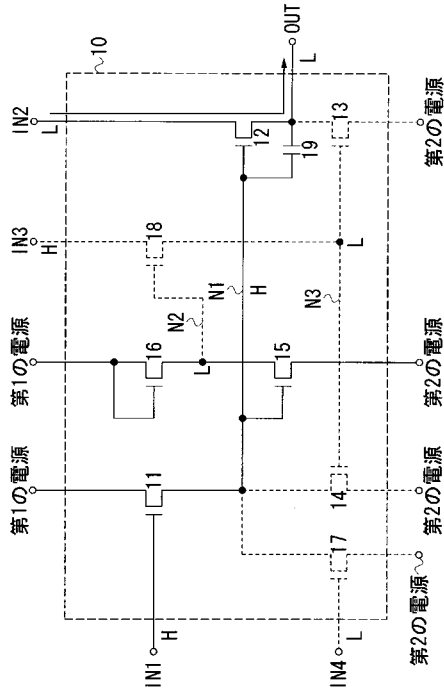
【 図 1 】



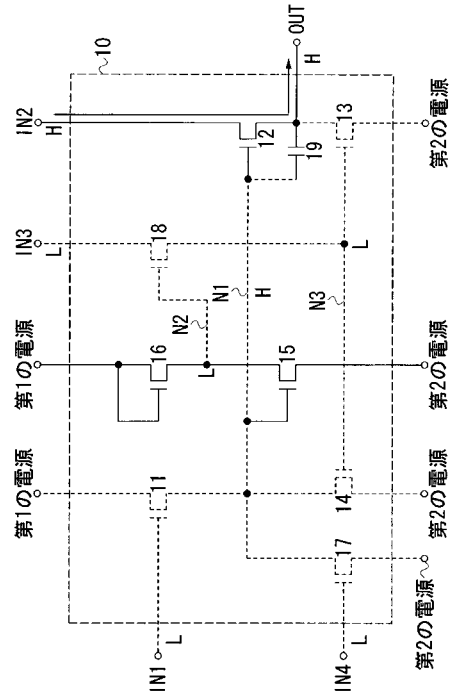
【 図 2 】



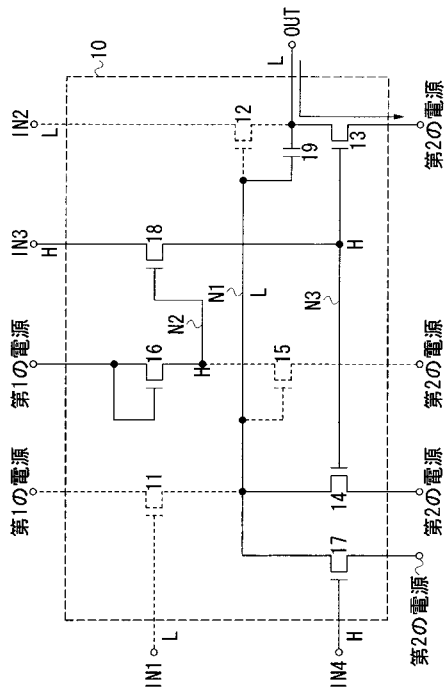
【 図 3 】



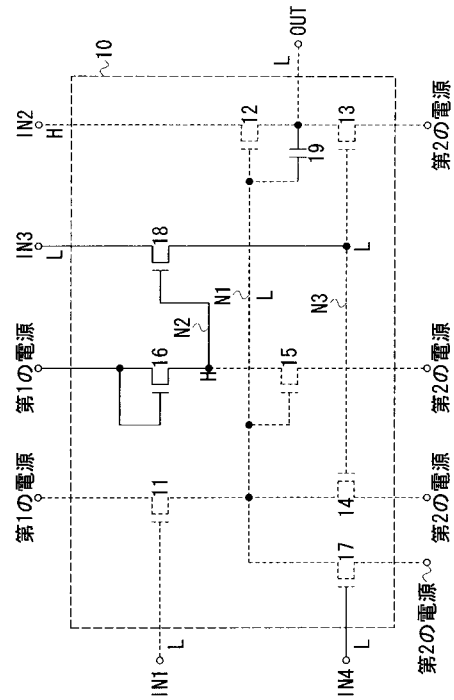
【 図 4 】



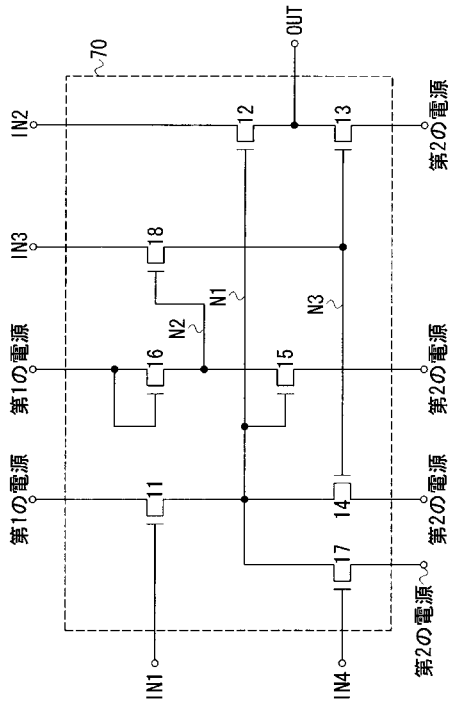
【 図 5 】



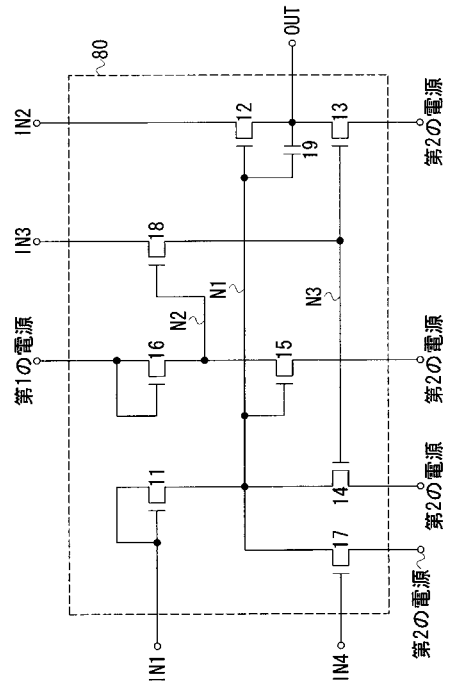
【 図 6 】



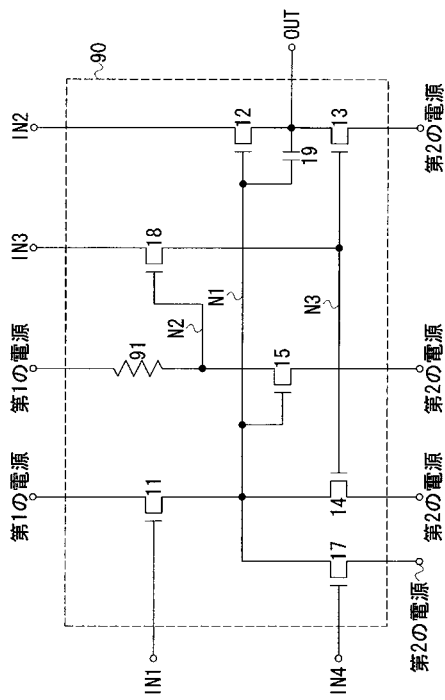
【 図 7 】



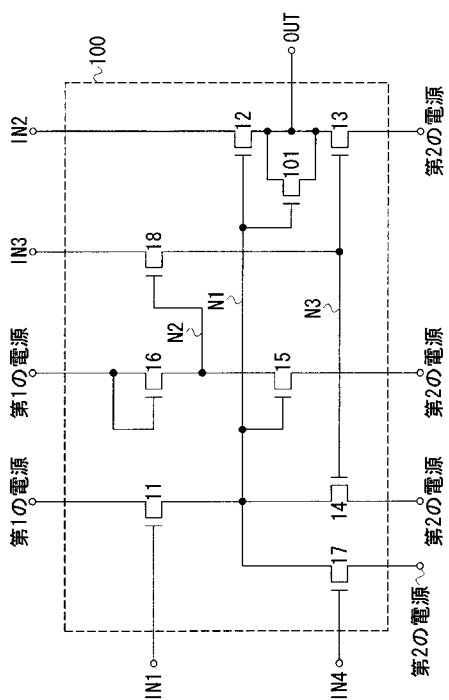
【 図 8 】



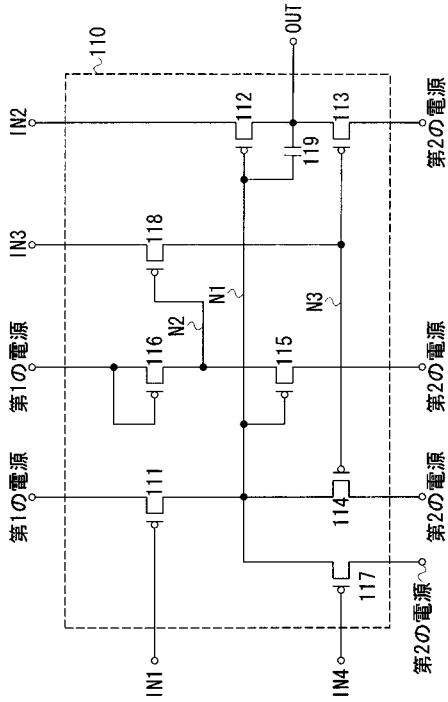
【 図 9 】



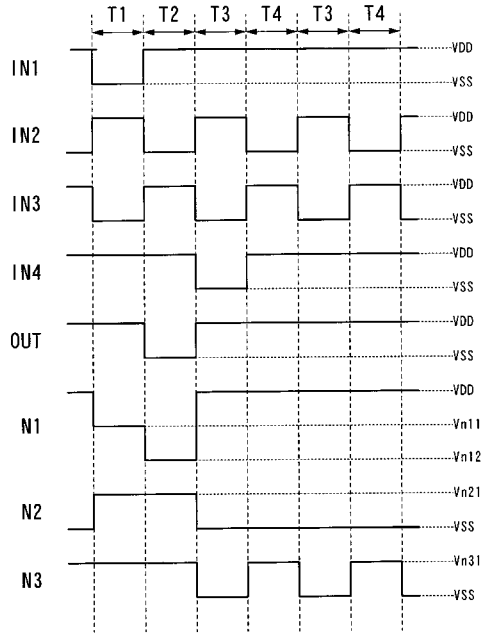
【 図 10 】



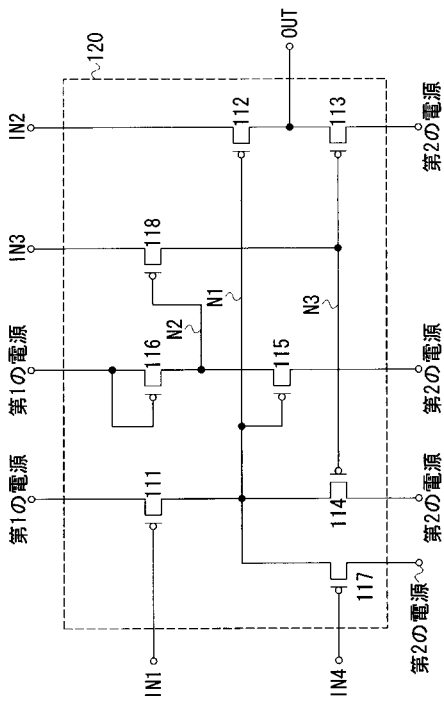
【 図 1 1 】



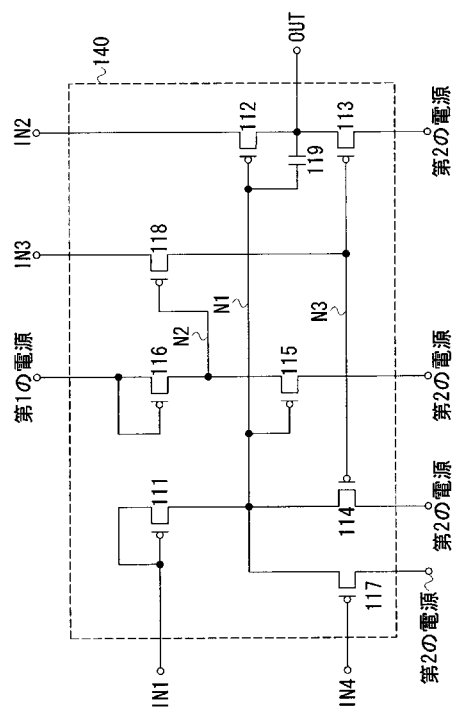
【 図 1 2 】



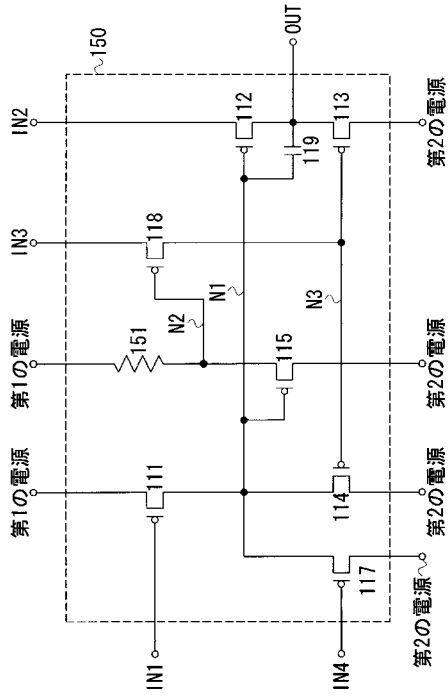
【 図 1 3 】



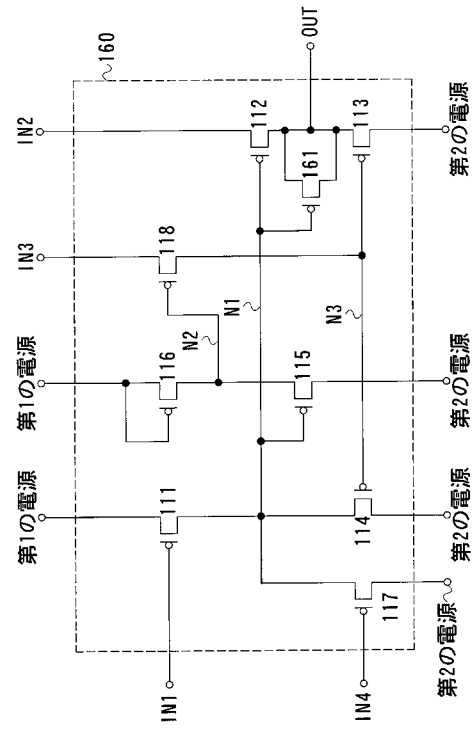
【 図 1 4 】



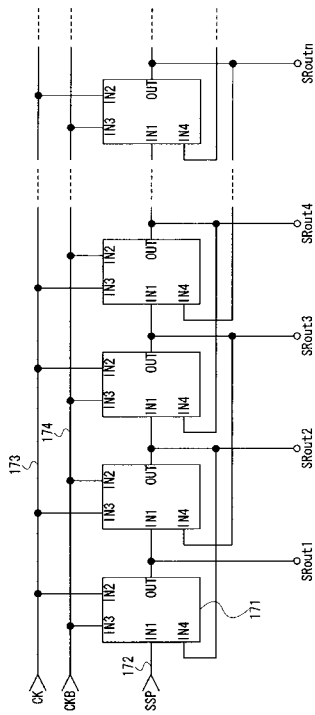
【 図 1 5 】



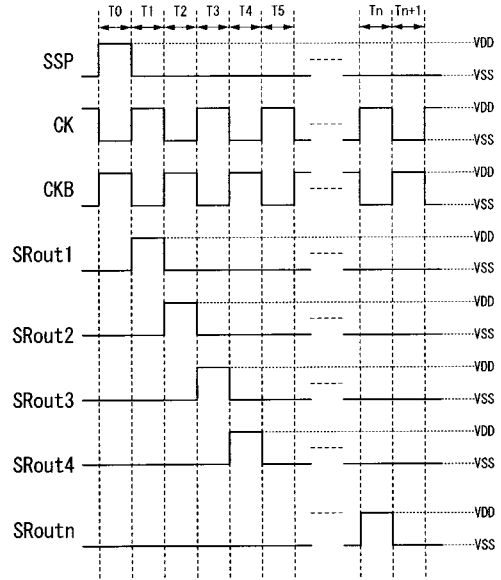
【 図 1 6 】



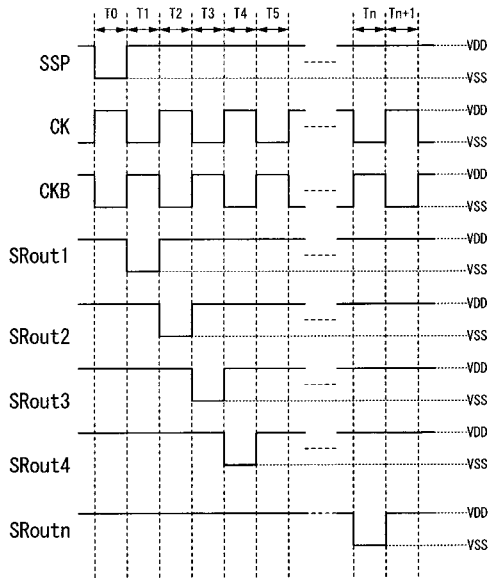
【 図 1 7 】



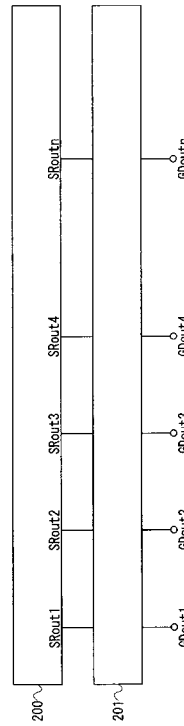
【 図 1 8 】



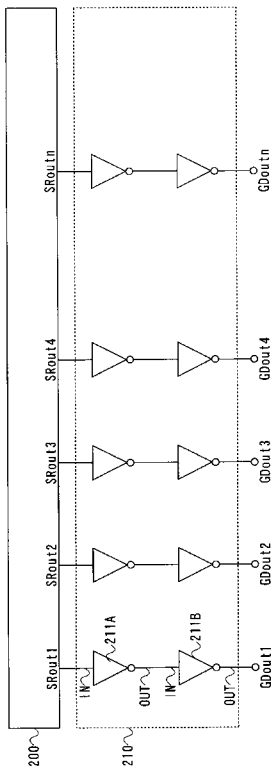
【 図 19 】



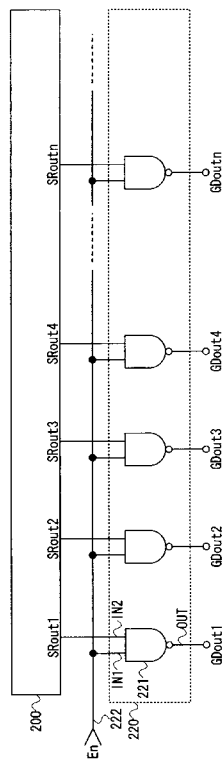
【 図 20 】



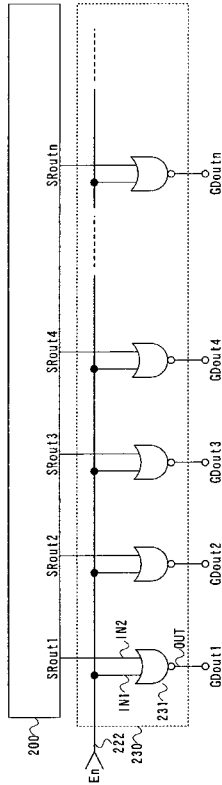
【 図 21 】



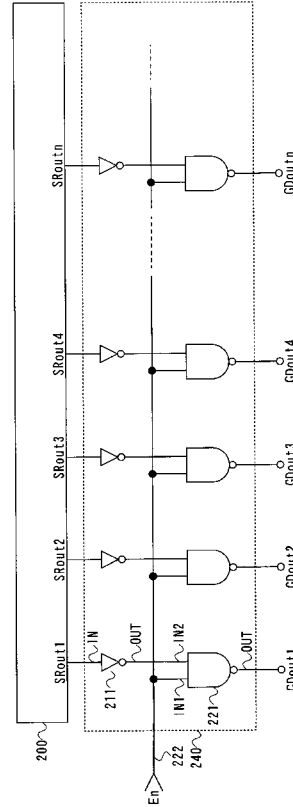
【 図 22 】



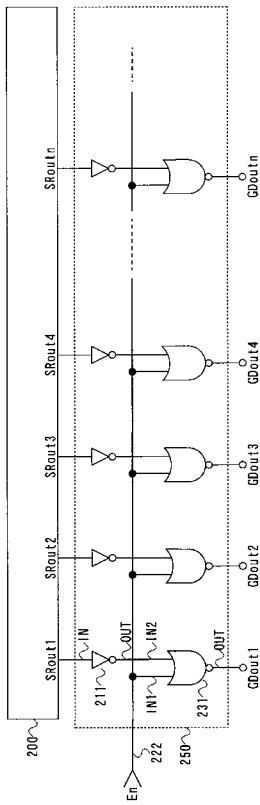
【 図 2 3 】



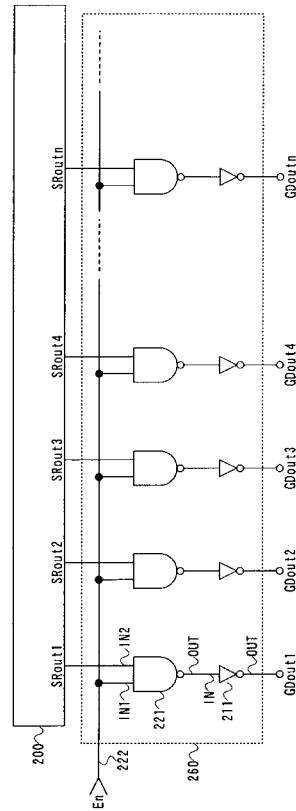
【 図 2 4 】



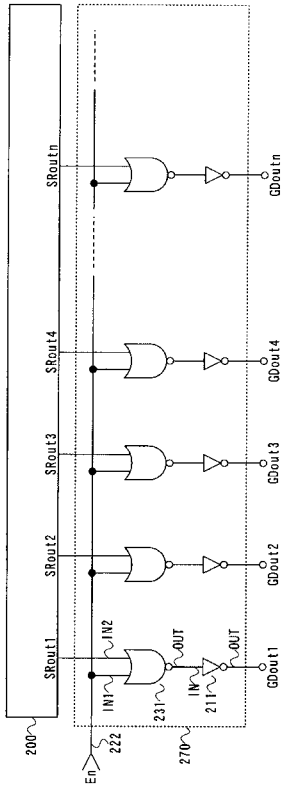
【 図 2 5 】



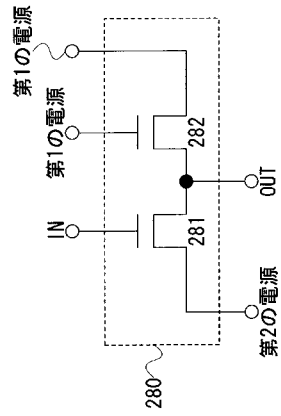
【 図 2 6 】



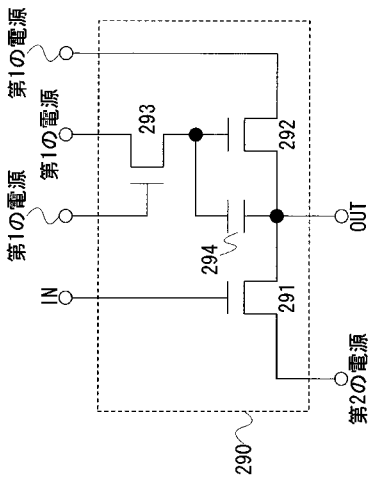
【 図 2 7 】



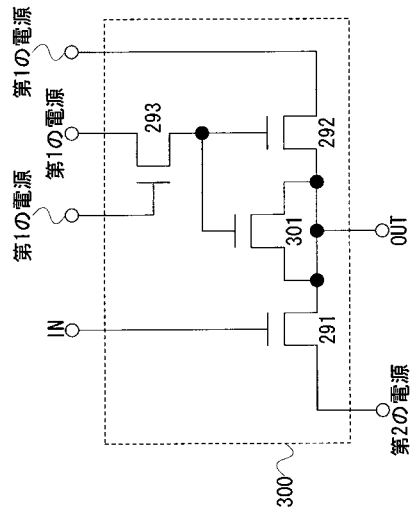
【 図 2 8 】



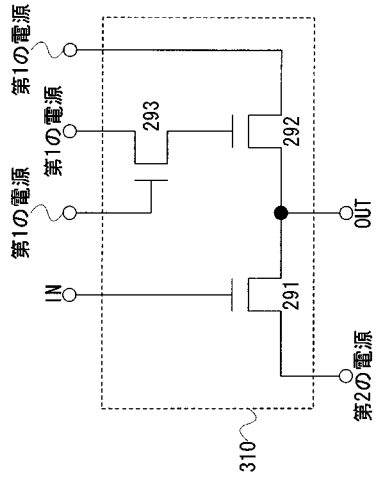
【 図 2 9 】



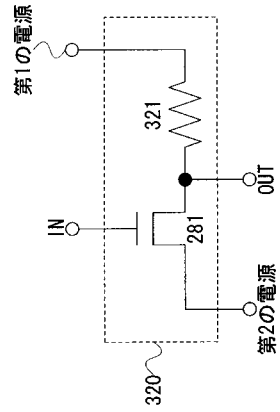
【 図 3 0 】



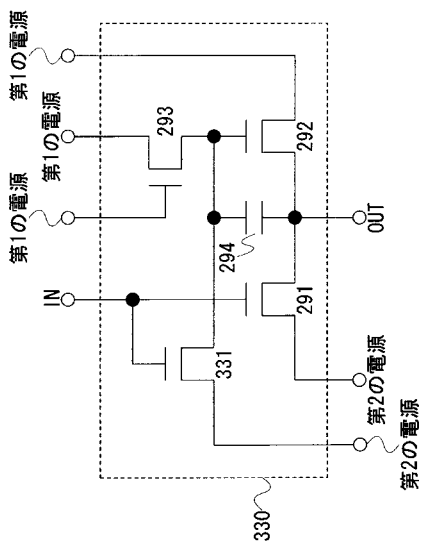
【 図 3 1 】



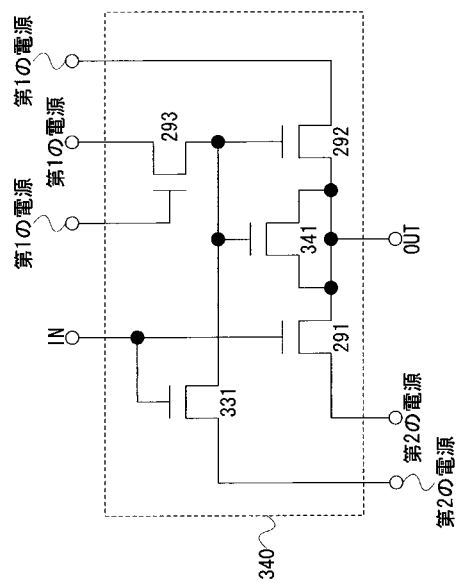
【 図 3 2 】



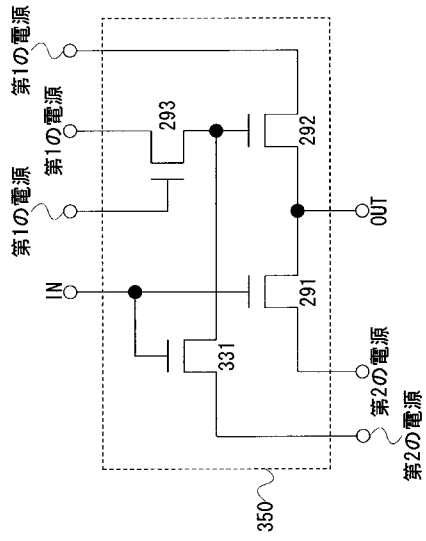
【 図 3 3 】



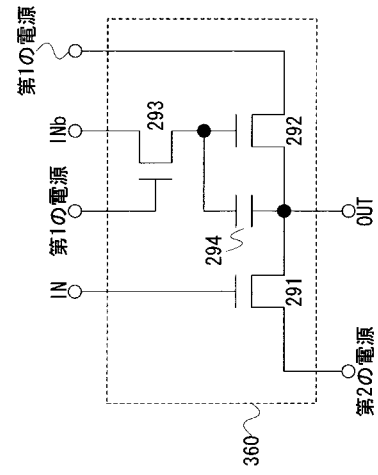
【 図 3 4 】



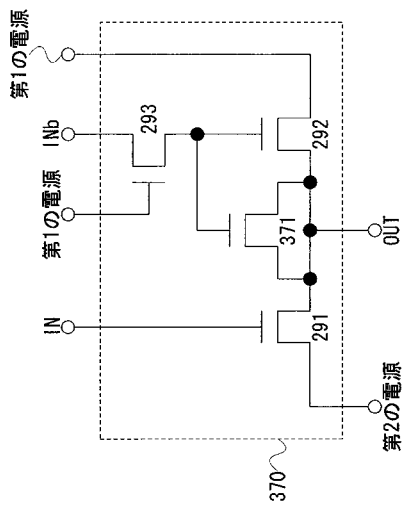
【 図 3 5 】



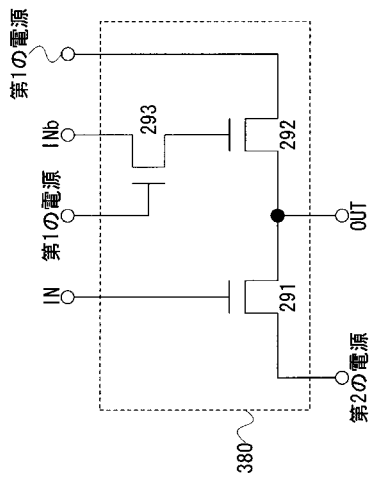
【 図 3 6 】



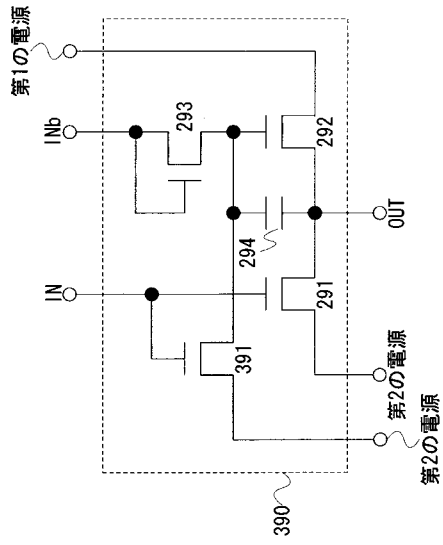
【 図 3 7 】



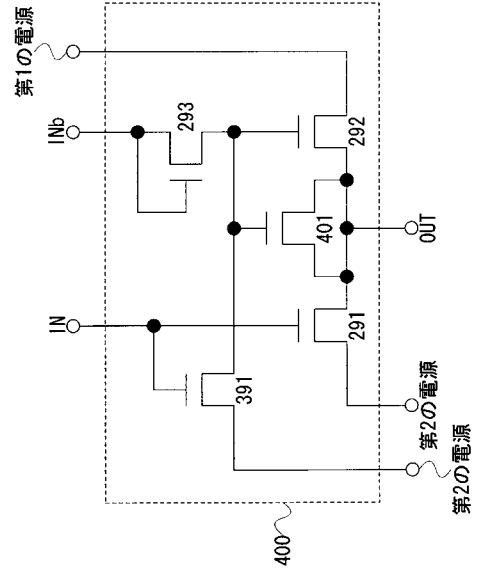
【 図 3 8 】



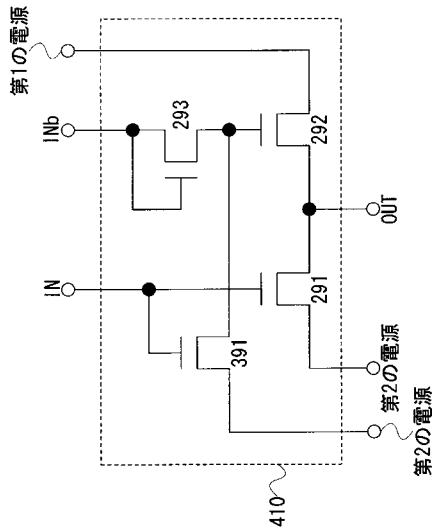
【 図 3 9 】



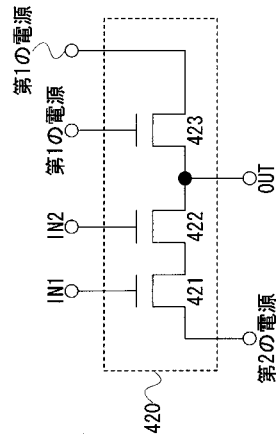
【 図 4 0 】



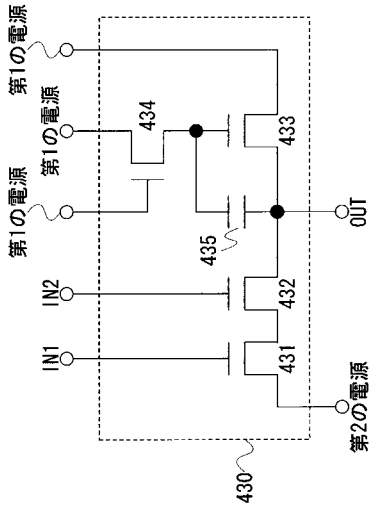
【 図 4 1 】



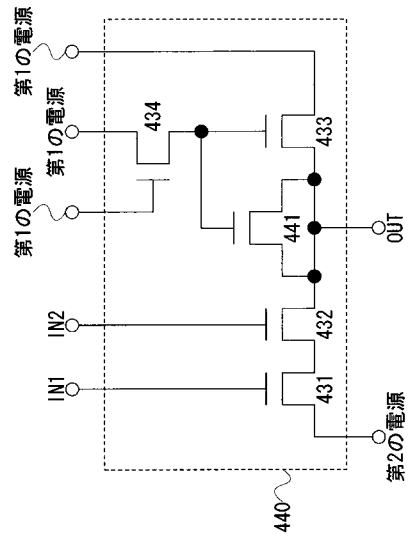
【 図 4 2 】



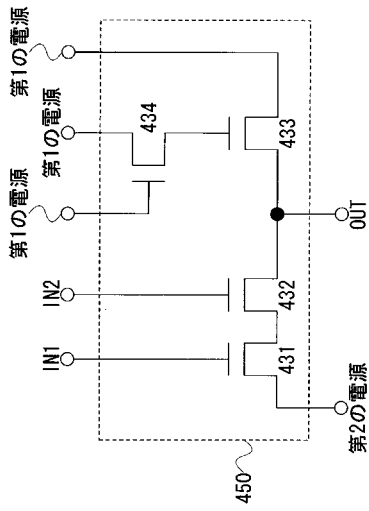
【 図 4 3 】



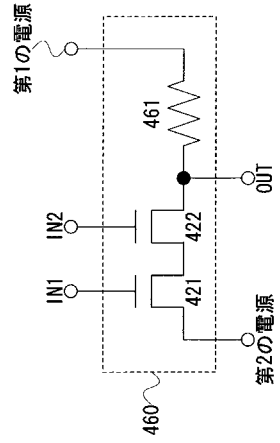
【 図 4 4 】



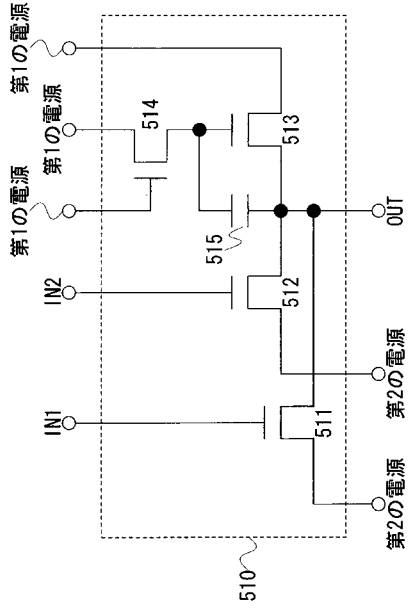
【 図 4 5 】



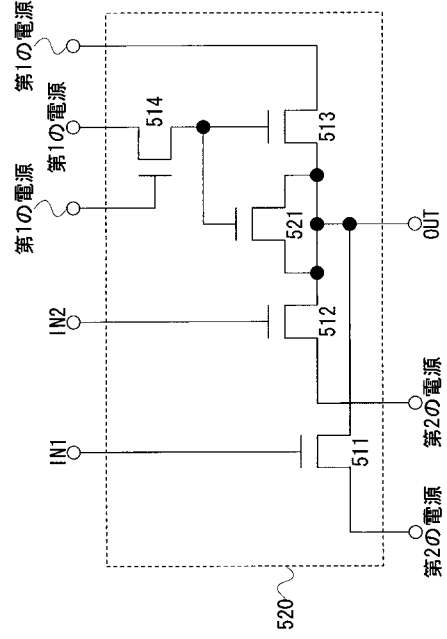
【 図 4 6 】



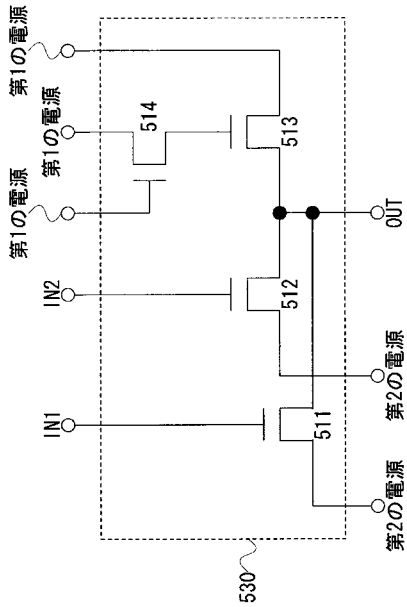
【 図 5 1 】



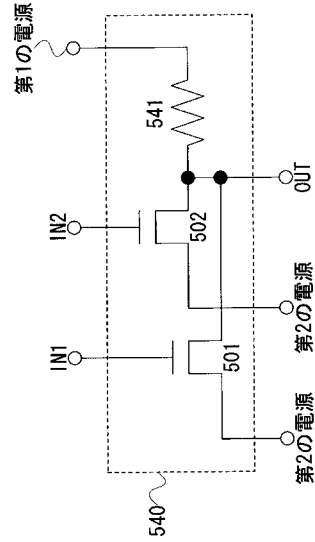
【 図 5 2 】



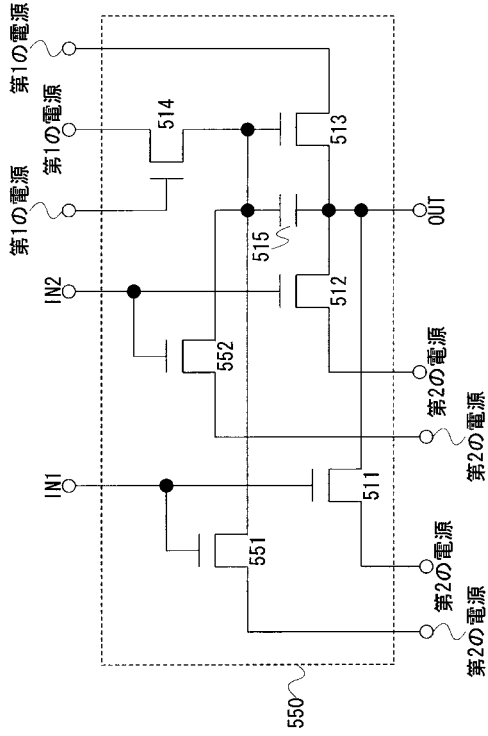
【 図 5 3 】



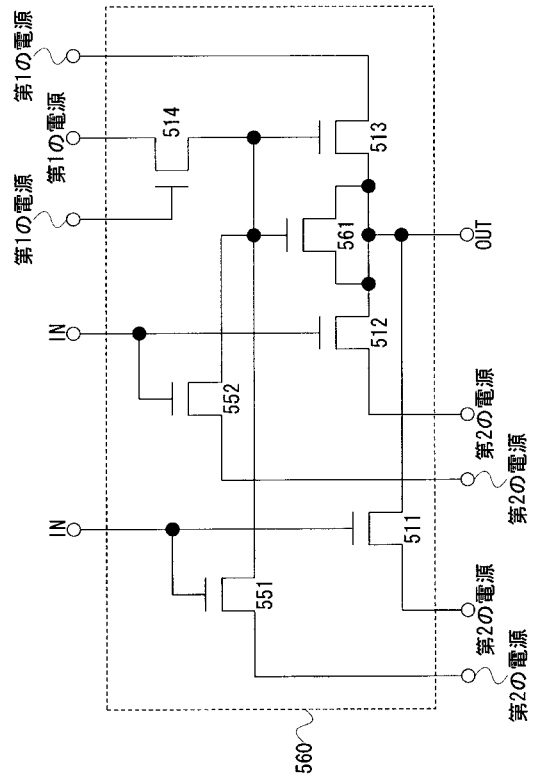
【 図 5 4 】



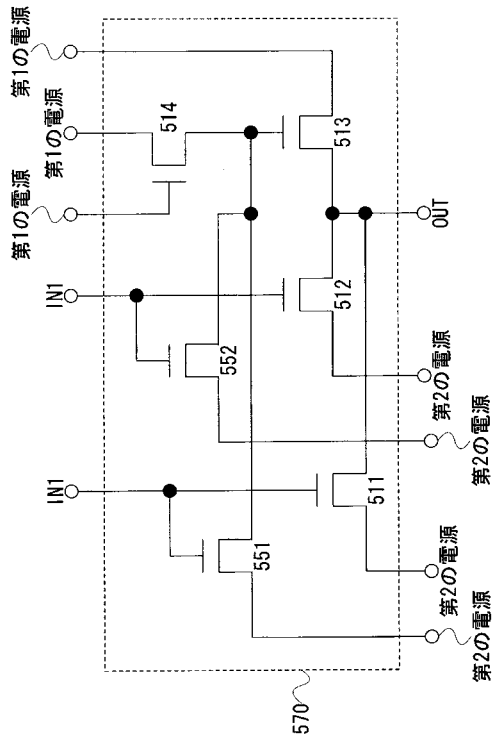
【 図 5 5 】



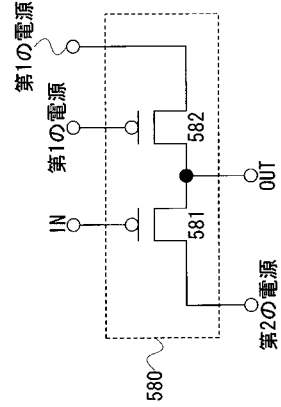
【 図 5 6 】



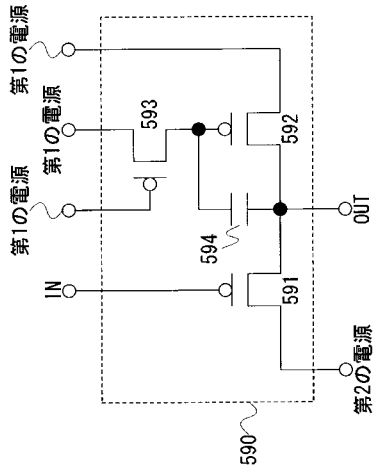
【 図 5 7 】



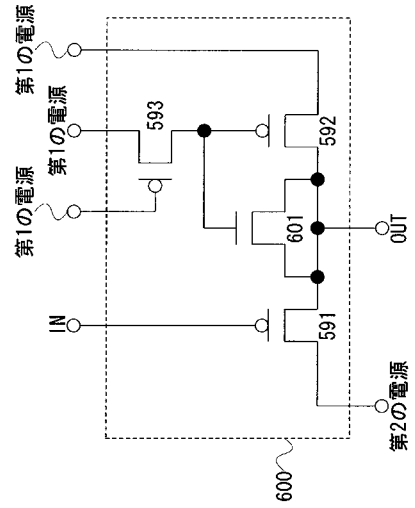
【 図 5 8 】



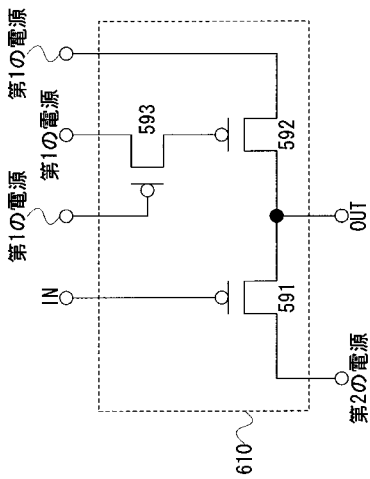
【 図 5 9 】



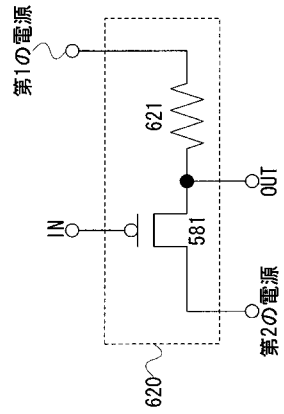
【 図 6 0 】



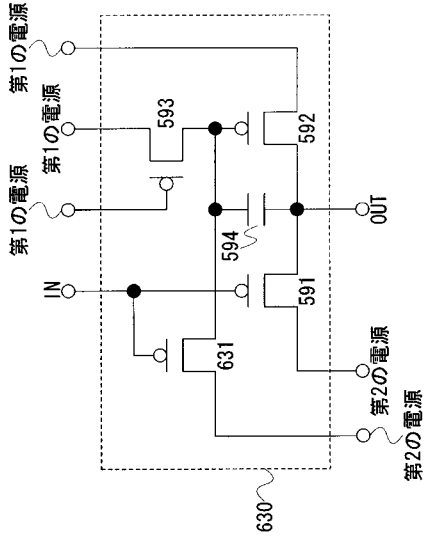
【 図 6 1 】



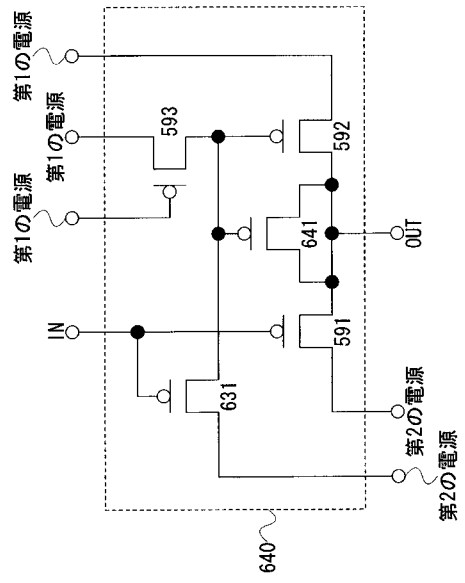
【 図 6 2 】



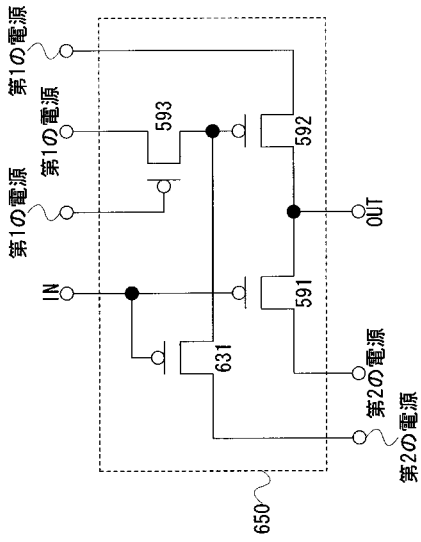
【 図 6 3 】



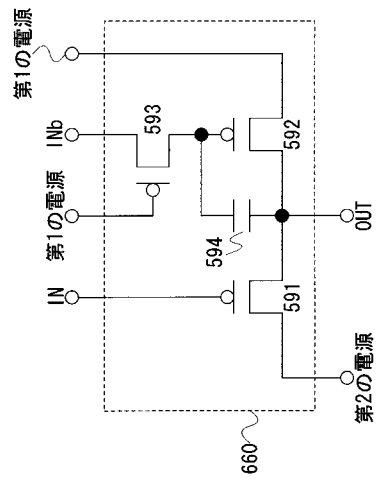
【 図 6 4 】



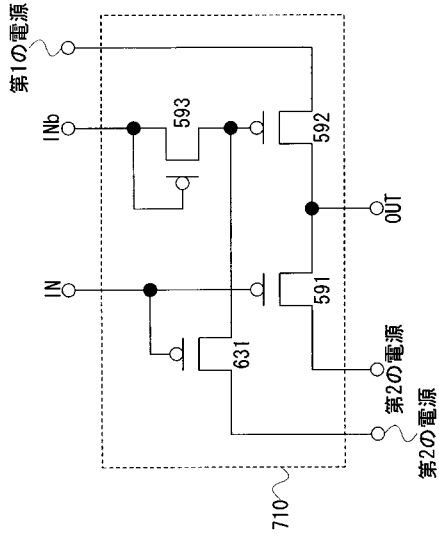
【 図 6 5 】



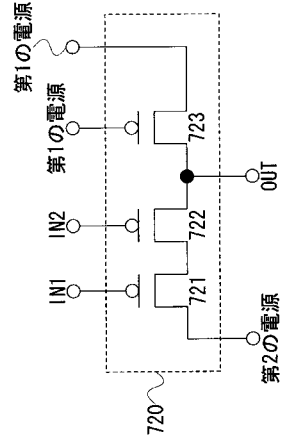
【 図 6 6 】



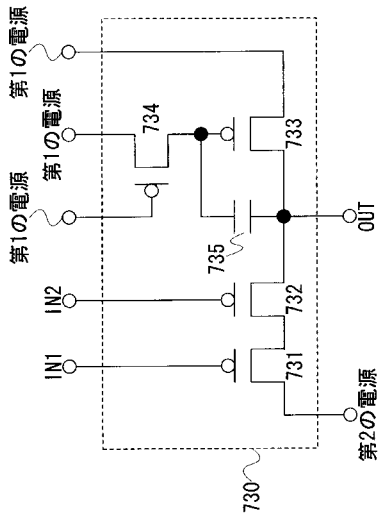
【 図 7 1 】



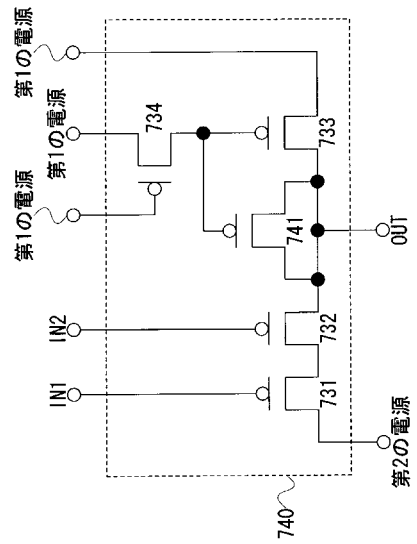
【 図 7 2 】



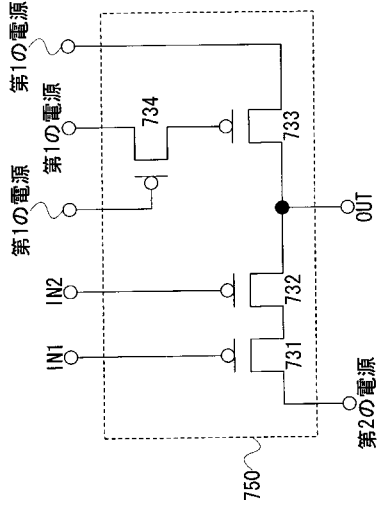
【 図 7 3 】



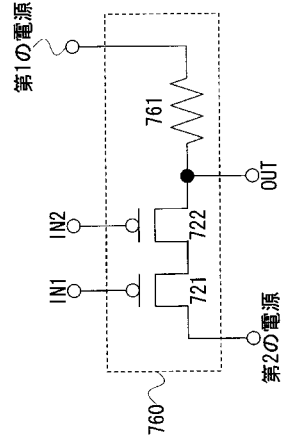
【 図 7 4 】



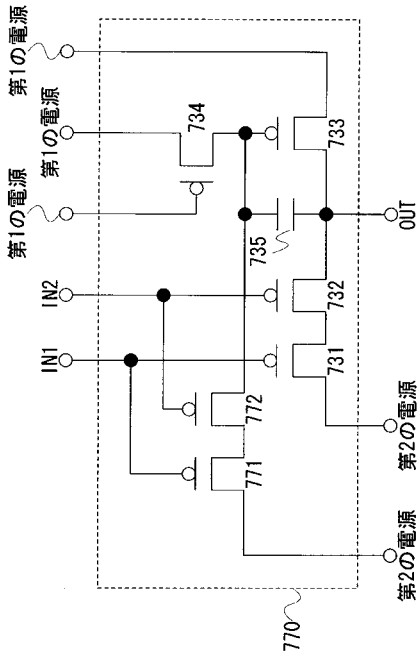
【図75】



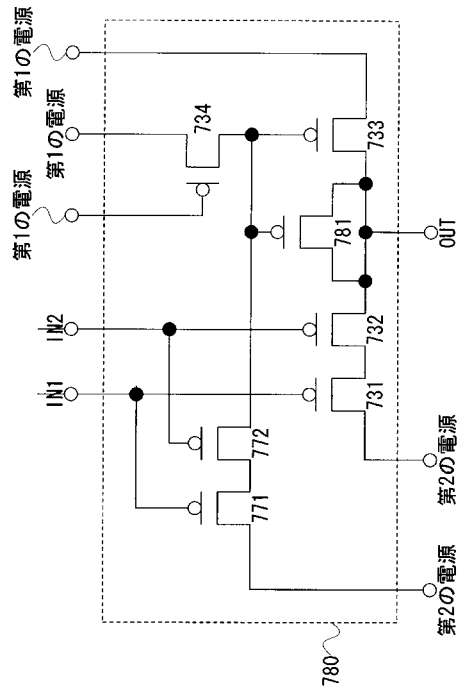
【図76】



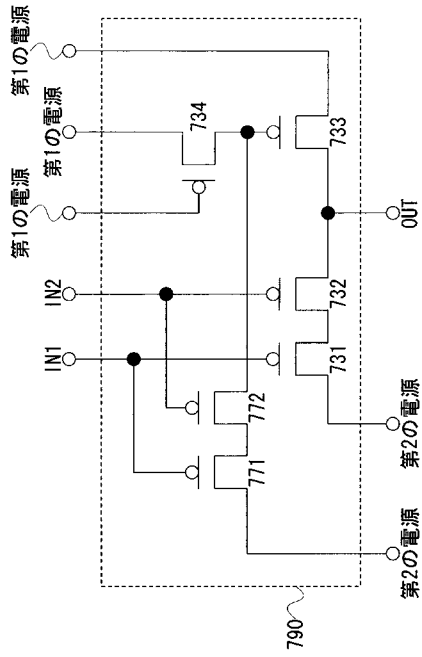
【図77】



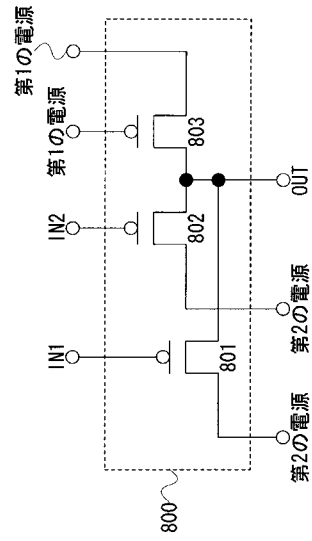
【図78】



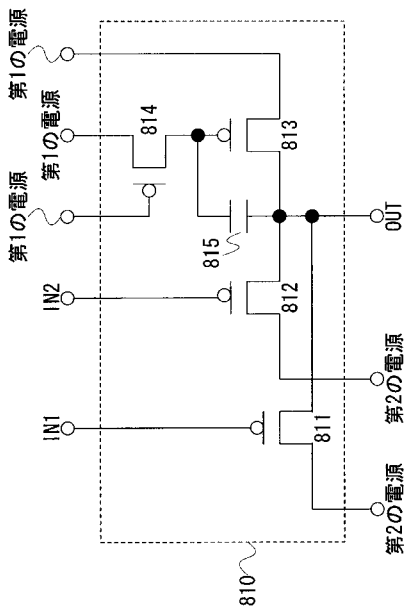
【 図 7 9 】



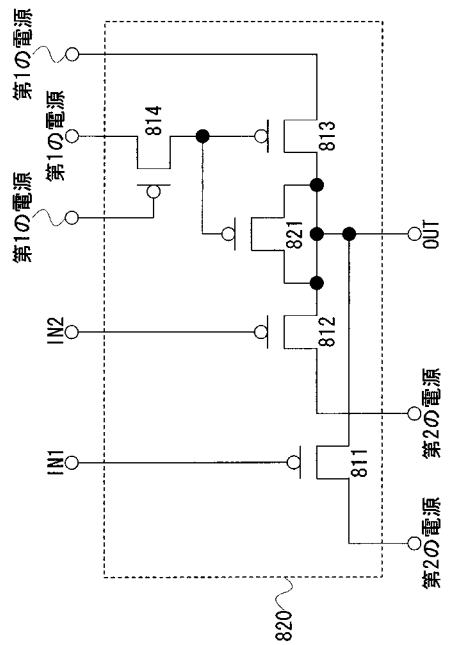
【 図 8 0 】



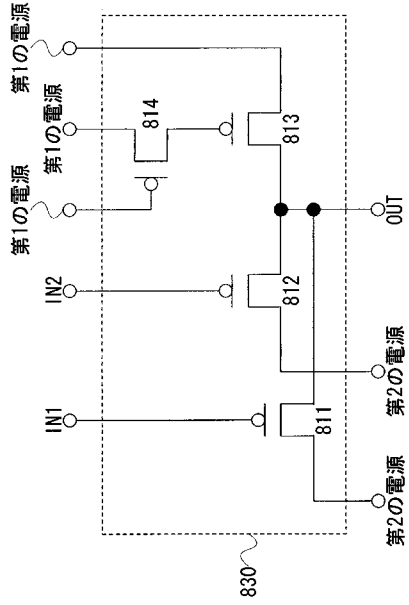
【 図 8 1 】



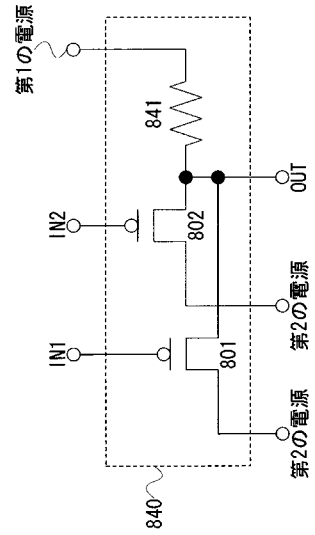
【 図 8 2 】



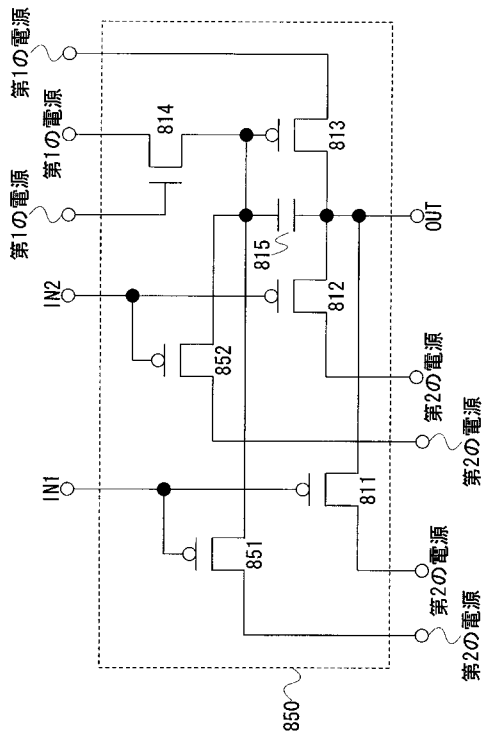
【 図 8 3 】



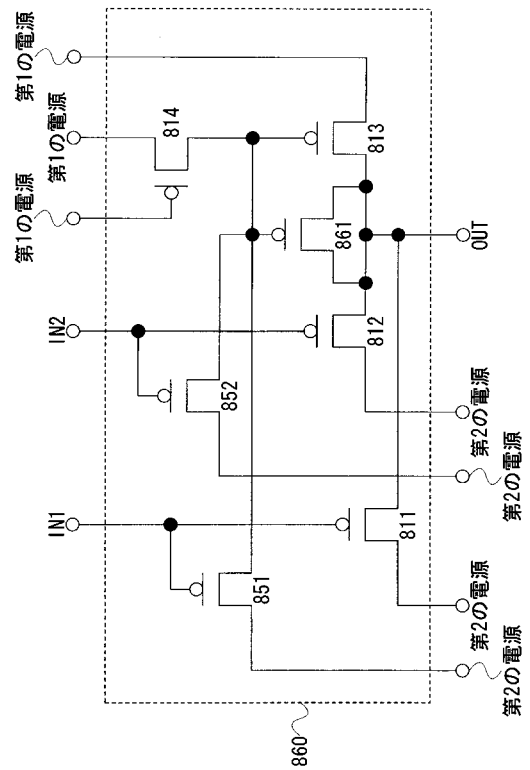
【 図 8 4 】



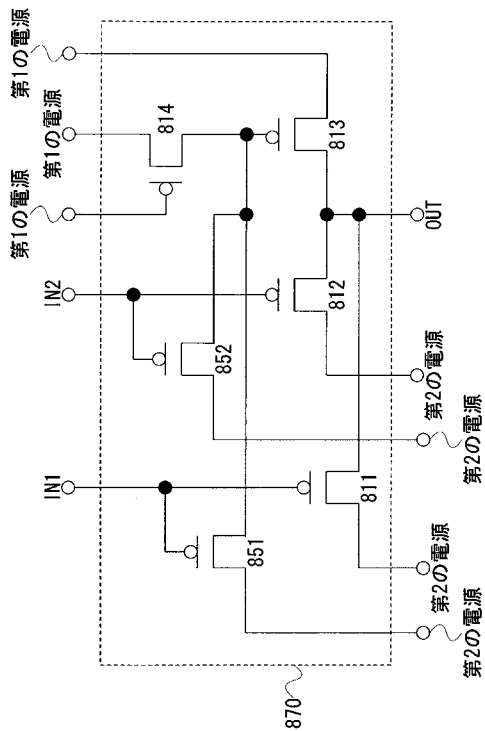
【 図 8 5 】



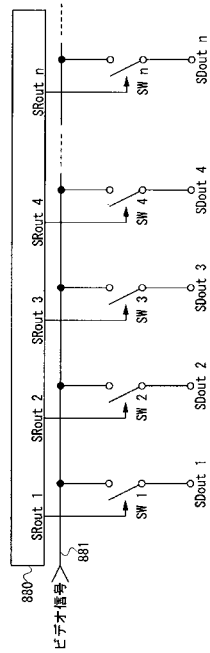
【 図 8 6 】



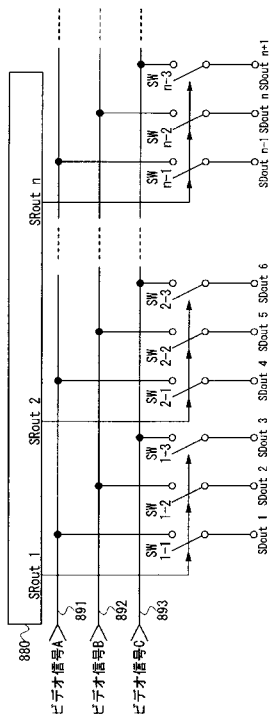
【 図 8 7 】



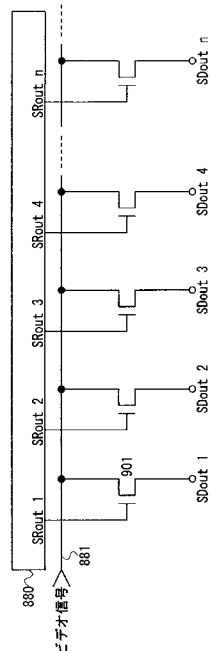
【 図 8 8 】



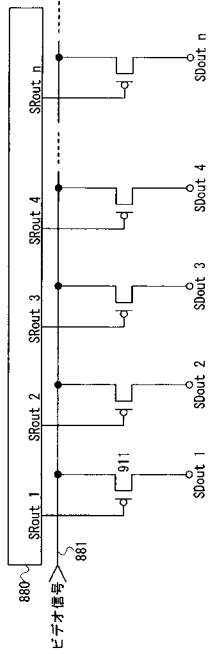
【 図 8 9 】



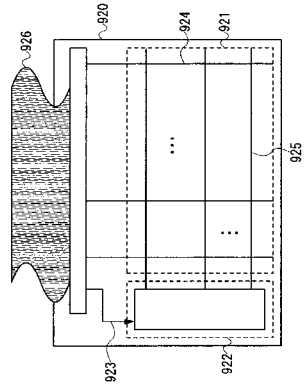
【 図 9 0 】



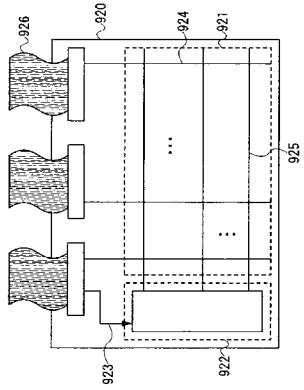
【図 9 1】



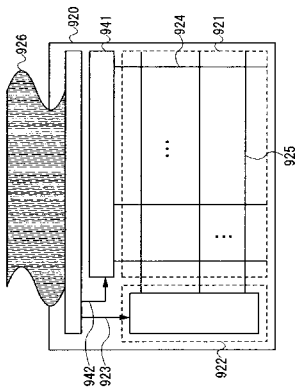
【図 9 2】



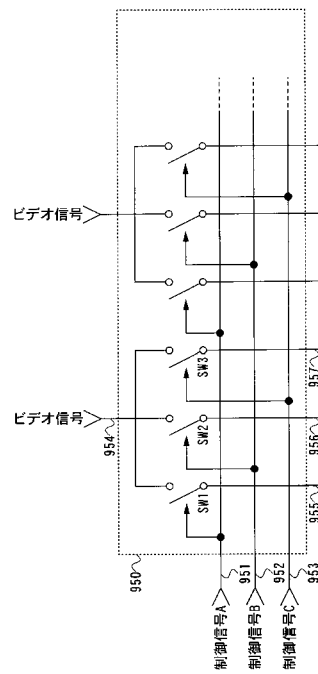
【図 9 3】



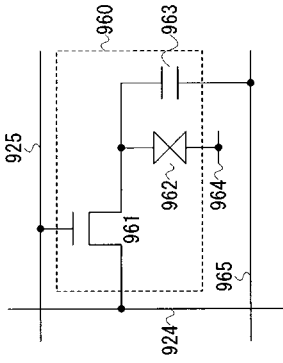
【図 9 4】



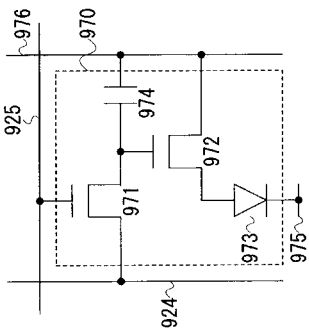
【図 9 5】



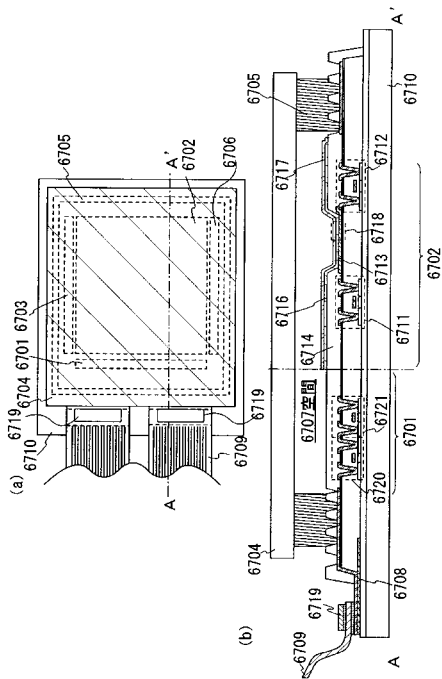
【 図 96 】



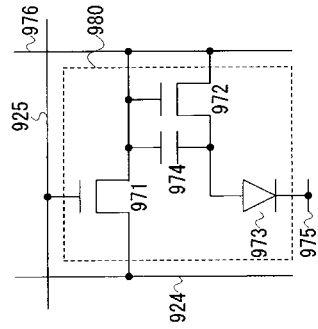
【 図 97 】



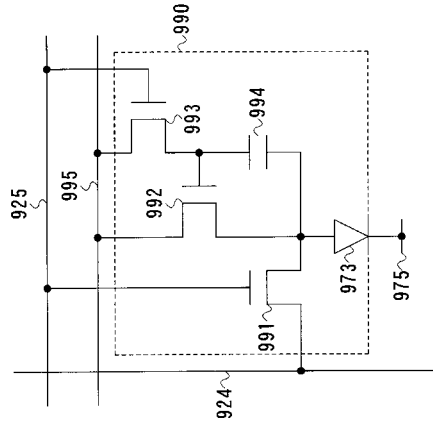
【 図 100 】



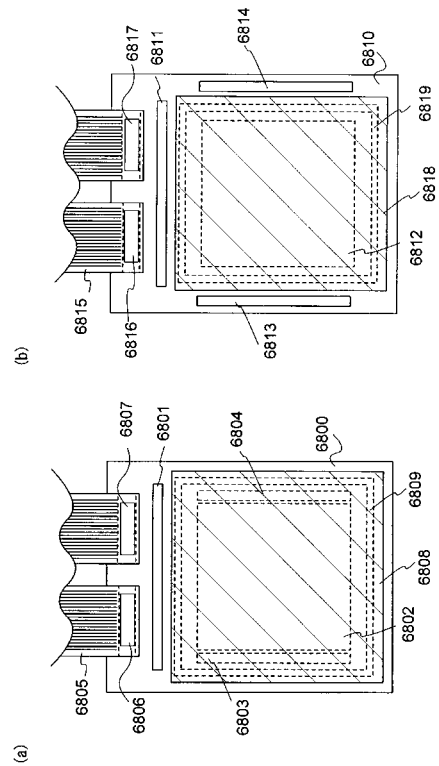
【 図 98 】



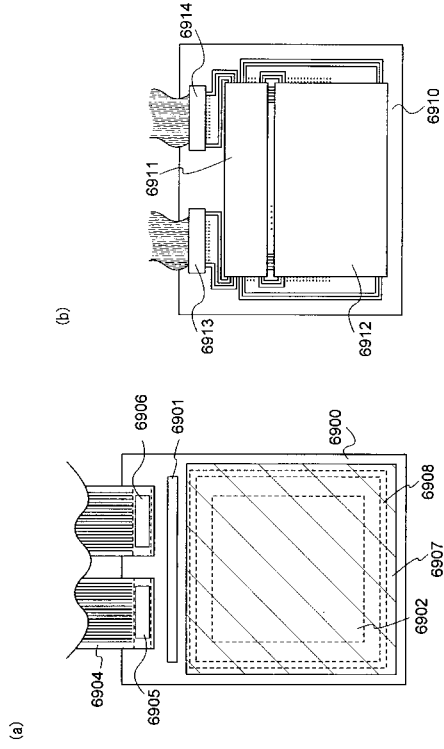
【 図 99 】



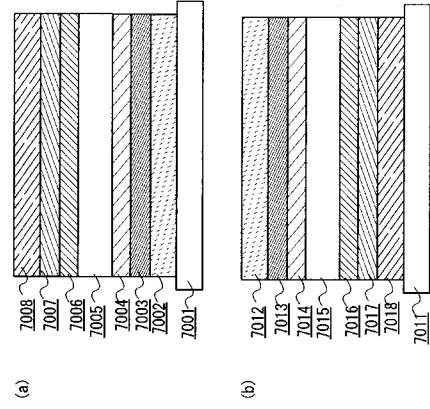
【 図 101 】



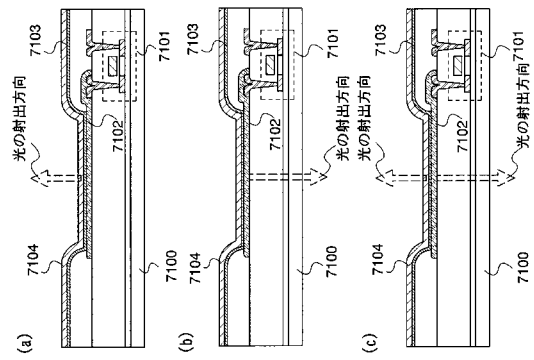
【図102】



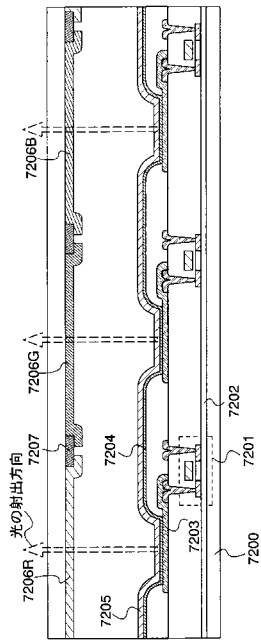
【図103】



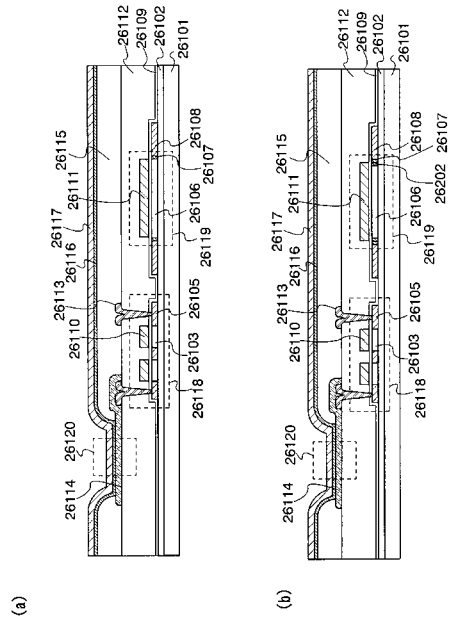
【図104】



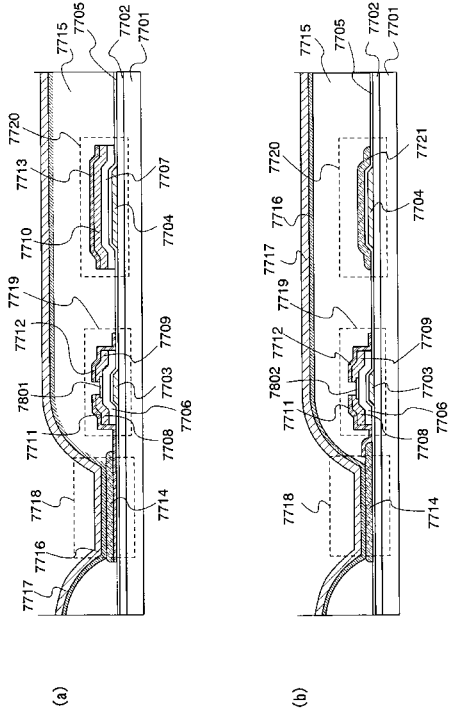
【図105】



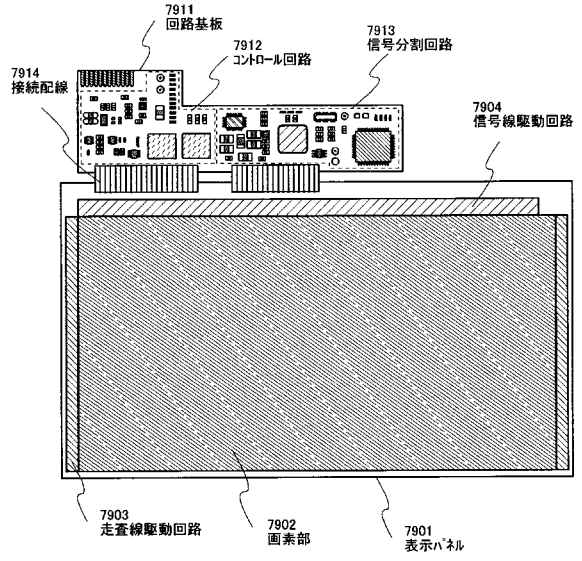
【図106】



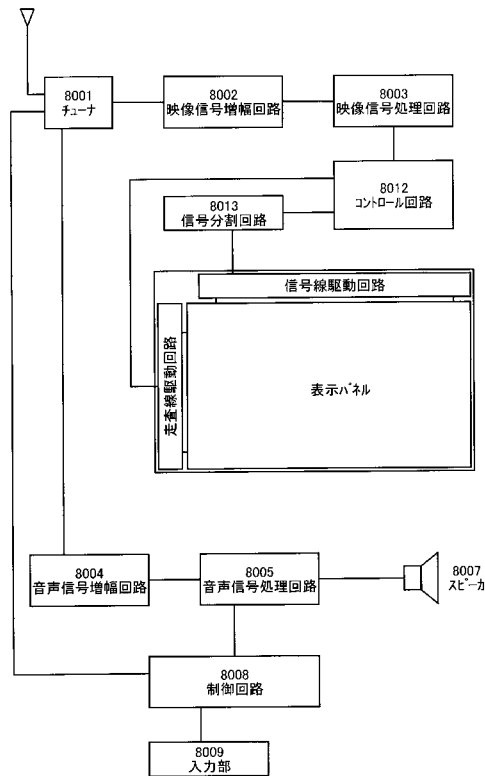
【図 1 1 1】



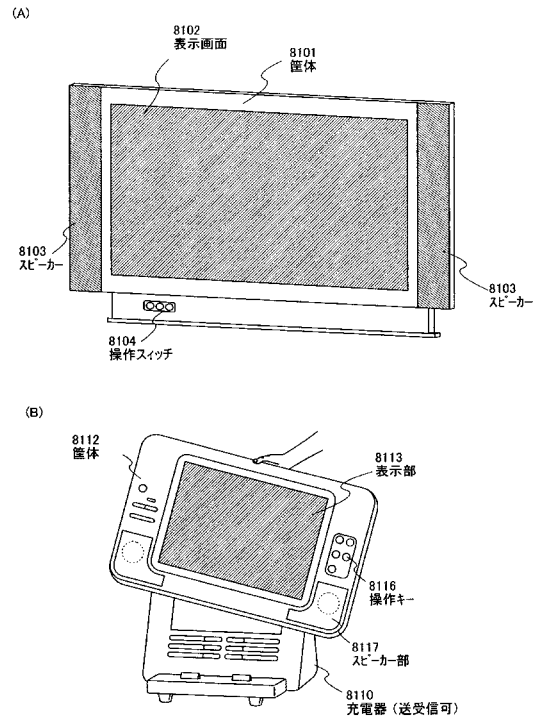
【図 1 1 2】



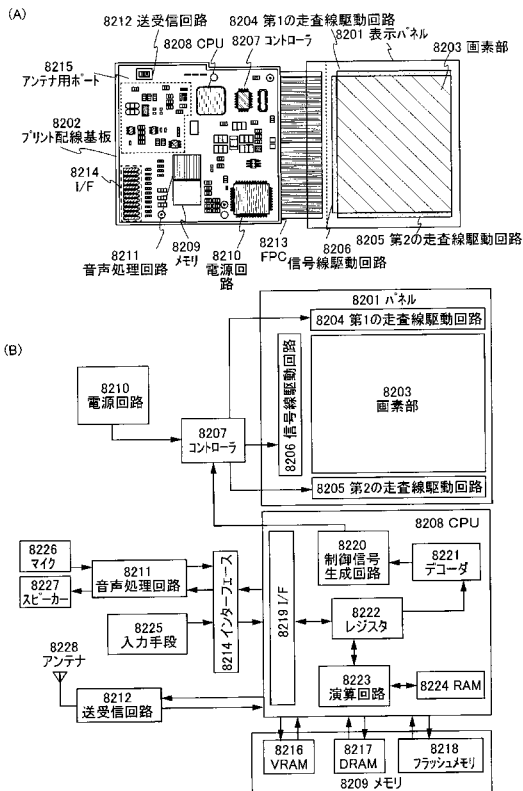
【図 1 1 3】



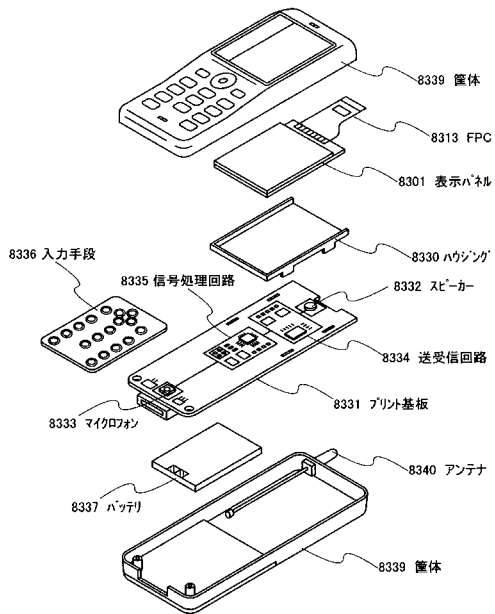
【図 1 1 4】



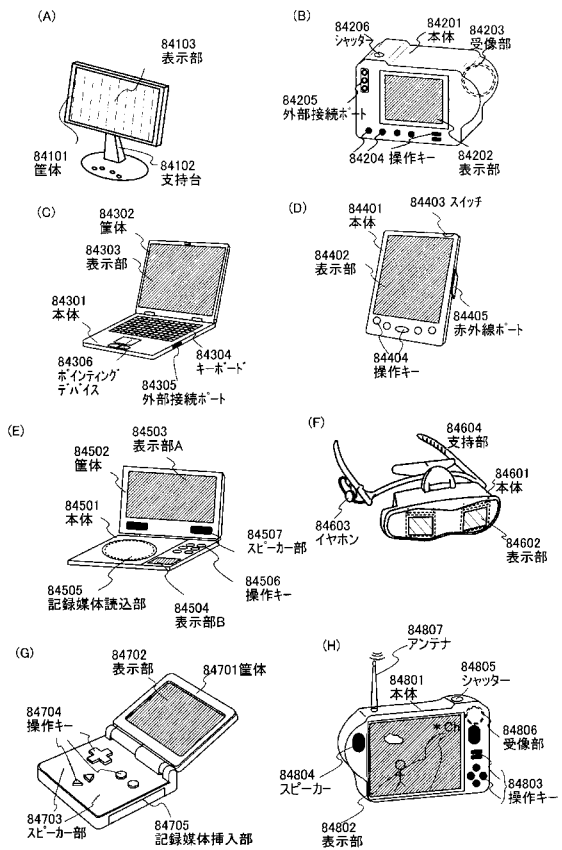
【図115】



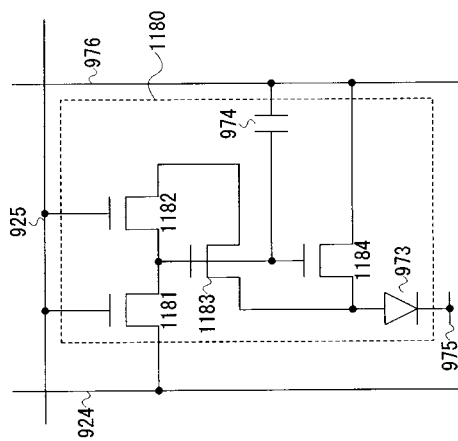
【図116】



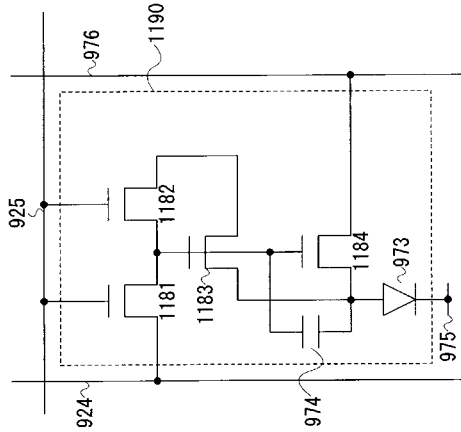
【図117】



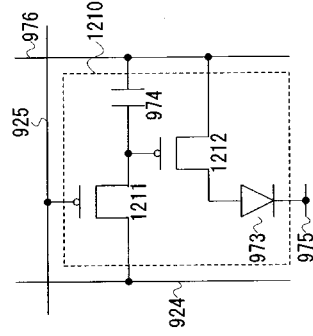
【図118】



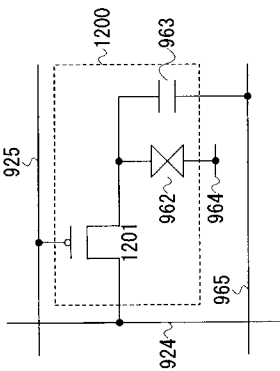
【図 1 1 9】



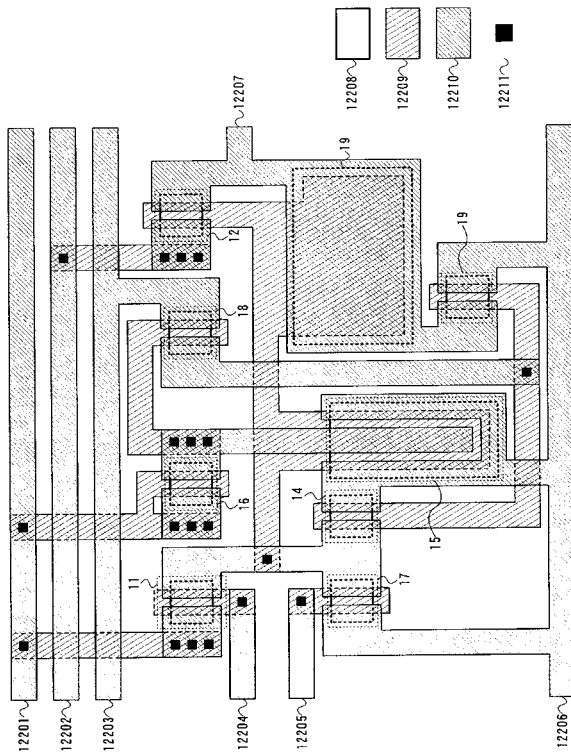
【図 1 2 1】



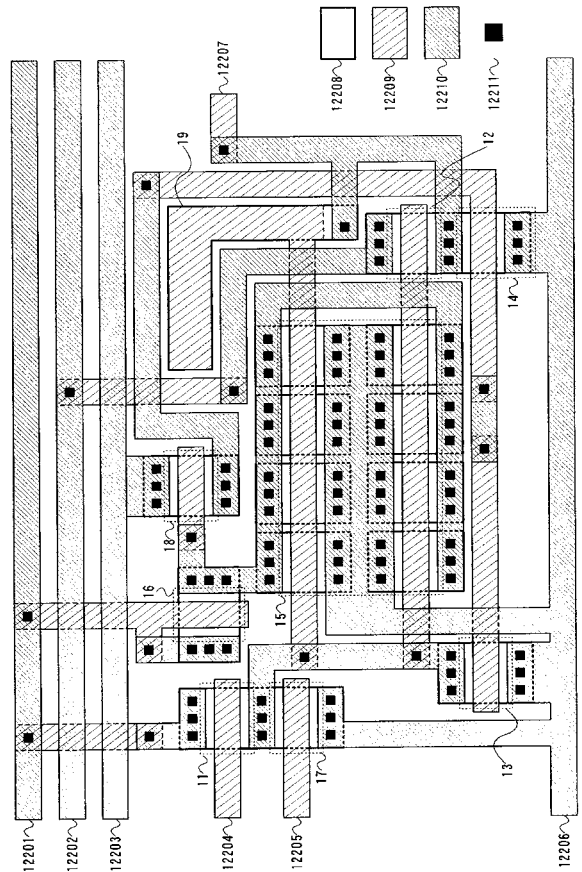
【図 1 2 0】



【図 1 2 2】



【図 1 2 3】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
G 0 9 F 9/00 (2006.01)	G 0 9 G 3/20 6 2 3 H	5 J 0 5 6
H 0 3 K 17/08 (2006.01)	G 0 9 G 3/20 6 8 0 H	
H 0 3 K 17/16 (2006.01)	G 0 9 G 3/20 6 1 1 A	
H 0 3 K 17/687 (2006.01)	G 0 9 F 9/30 3 3 8	
H 0 3 K 19/0175 (2006.01)	G 0 9 F 9/00 3 4 6 A	
	H 0 3 K 17/08 C	
	H 0 3 K 17/16 H	
	H 0 3 K 17/687 F	
	H 0 3 K 19/00 1 0 1 F	

Fターム(参考) 5C094 AA21 BA03 BA43 DA09 DB04 EA10 HA08
 5G435 AA16 BB12 EE37 LL04 LL07 LL08
 5J055 AX25 AX32 BX16 CX29 DX12 DX56 EX02 EX07 EY00 EY01
 EY10 EY14 EY21 EZ07 EZ12 EZ25 EZ31 EZ33 EZ69 FX12
 FX18 GX01 GX04 GX07 GX09
 5J056 AA05 BB24 BB39 CC14 CC18 DD13 DD37 DD38 DD51 DD58
 FF10 GG09 KK01 KK02

专利名称(译)	液晶表示装置		
公开(公告)号	JP2013041283A	公开(公告)日	2013-02-28
申请号	JP2012188696	申请日	2012-08-29
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	梅崎敦司		
发明人	梅崎 敦司		
IPC分类号	G09G3/36 G11C19/28 G11C19/00 G09G3/20 G09F9/30 G09F9/00 H03K17/08 H03K17/16 H03K17/687 H03K19/0175		
CPC分类号	G02F1/13624 G09G3/20 G09G3/325 G09G3/3266 G09G3/3674 G09G2300/0408 G09G2300/0809 G09G2310/0289 G09G2310/0297 G11C19/28 H03K19/00369 G09G3/3258 G09G3/3677 G09G3/3696 G09G2310/0286 G09G2310/08 G09G2330/021 H01L27/1214 H01L27/124 H03K3/356 H03K3/356104		
FI分类号	G09G3/36 G11C19/28.D G11C19/00.J G09G3/20.621.M G09G3/20.622.E G09G3/20.623.H G09G3/20.680.H G09G3/20.611.A G09F9/30.338 G09F9/00.346.A H03K17/08.C H03K17/16.H H03K17/687.F H03K19/00.101.F G09G3/20.670.J G11C19/00 G11C19/00.G G11C19/28.230 H03K17/081 H03K17/0814 H03K19/0175.220		
F-TERM分类号	5C006/AA22 5C006/BB16 5C006/BC06 5C006/BF03 5C006/BF06 5C006/BF25 5C006/BF26 5C006/BF27 5C006/BF34 5C006/BF36 5C006/BF37 5C006/EB04 5C006/FA31 5C006/FA47 5C006/FA48 5C080/AA06 5C080/AA10 5C080/BB05 5C080/CC03 5C080/CC06 5C080/DD09 5C080/DD12 5C080/DD25 5C080/DD26 5C080/DD27 5C080/DD29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C080/KK02 5C080/KK20 5C080/KK23 5C080/KK34 5C080/KK43 5C080/KK47 5C080/KK50 5C094/AA21 5C094/BA03 5C094/BA43 5C094/DA09 5C094/DB04 5C094/EA10 5C094/HA08 5G435/AA16 5G435/BB12 5G435/EE37 5G435/LL04 5G435/LL07 5G435/LL08 5J055/AX25 5J055/AX32 5J055/BX16 5J055/CX29 5J055/DX12 5J055/DX56 5J055/EX02 5J055/EX07 5J055/EY00 5J055/EY01 5J055/EY10 5J055/EY14 5J055/EY21 5J055/EZ07 5J055/EZ12 5J055/EZ25 5J055/EZ31 5J055/EZ33 5J055/EZ69 5J055/FX12 5J055/FX18 5J055/GX01 5J055/GX04 5J055/GX07 5J055/GX09 5J056/AA05 5J056/BB24 5J056/BB39 5J056/CC14 5J056/CC18 5J056/DD13 5J056/DD37 5J056/DD38 5J056/DD51 5J056/DD58 5J056/FF10 5J056/GG09 5J056/KK01 5J056/KK02 5B074/AA01 5B074/AA02 5B074/CA01 5B074/DB01		
优先权	2006001941 2006-01-07 JP		
其他公开文献	JP5634457B2 JP2013041283A5		
外部链接	Espacenet		

摘要(译)

要解决的问题为了抑制每个晶体管的特性恶化而不会造成操作不稳定 并提供半导体器件。在非选择期间，当晶体管以规则的时间间隔导通时，移位 向寄存器电路的输出端提供电源电位。移位寄存器电路的输出端是 ，并且通过晶体管提供电源电位。在非选择期间 由于它不总是接通，所以抑制了晶体管的阈值电位的偏移。还 ，移位寄存器电路的输出端通过晶体管以规则的间隔提供电源电位 它是供应。因此，移位寄存器电路抑制输出端子处的噪声的产生 杀。 点域1

