

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-266627

(P2010-266627A)

(43) 公開日 平成22年11月25日(2010.11.25)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H092
GO2F 1/1368 (2006.01)	GO2F 1/1368	

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号	特願2009-117239 (P2009-117239)	(71) 出願人	000005049
(22) 出願日	平成21年5月14日 (2009.5.14)		シャープ株式会社
			大阪府大阪市阿倍野区長池町22番22号
		(74) 代理人	100077931
			弁理士 前田 弘
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(72) 発明者	山田 淳一
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		(72) 発明者	永田 尚志
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		Fターム(参考)	2H092 JA25 JB56 JB69 KB04 KB12
			MA13 MA17 NA01 NA07 NA24
			NA27 PA03 PA04 PA08 PA09

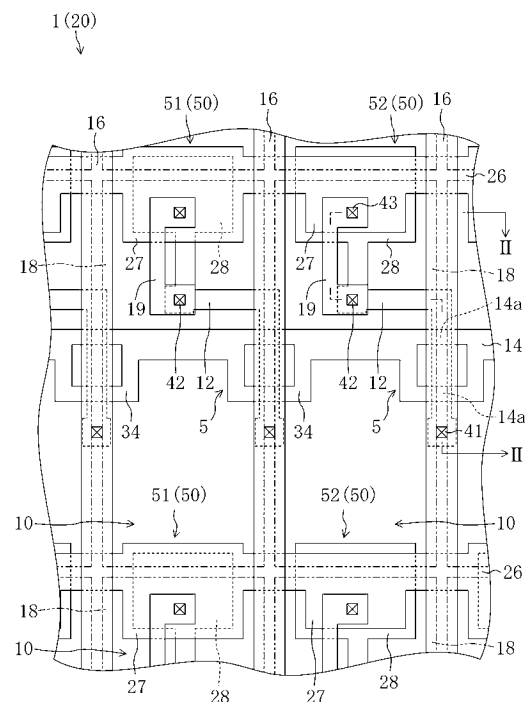
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】容量電極28及び容量配線26の何れに寸法誤差が生じたとしても、表示品位の低下を抑制する。

【解決手段】液晶表示装置1は、容量電極28と、容量配線26の電極部27とによって形成された複数の補助容量50を備える。複数の補助容量50は、補助容量50を構成する容量電極28の面積が電極部27よりも小さい第1補助容量51と、補助容量50を構成する容量電極28の面積が電極部27よりも大きい第2補助容量52とによって構成されている。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

複数の容量電極と、

上記複数の容量電極にそれぞれ対向して配置された複数の電極部を有する容量配線と、互いに対向する上記容量電極及び上記電極部によって形成された複数の補助容量とを備えた液晶表示装置であって、

上記複数の補助容量は、該補助容量を構成する上記容量電極の面積が上記電極部よりも小さい第 1 補助容量と、該補助容量を構成する上記容量電極の面積が上記電極部よりも大きい第 2 補助容量とによって構成されている

ことを特徴とする液晶表示装置。

10

【請求項 2】

請求項 1 に記載された液晶表示装置において、

最小の表示単位である画素を複数備え、

上記各画素には、上記第 1 補助容量及び第 2 補助容量の双方が設けられている

ことを特徴とする液晶表示装置。

【請求項 3】

請求項 1 に記載された液晶表示装置において、

最小の表示単位である画素を複数備え、

上記各画素には、上記第 1 補助容量又は第 2 補助容量が設けられている

ことを特徴とする液晶表示装置。

20

【請求項 4】

請求項 1 乃至 3 の何れか 1 つに記載された液晶表示装置において、

上記第 1 補助容量は、上記第 2 補助容量と同じ数だけ設けられている

ことを特徴とする液晶表示装置。

【請求項 5】

請求項 1 乃至 4 の何れか 1 つに記載された液晶表示装置において、

上記容量電極は、半導体層によって構成されている

ことを特徴とする液晶表示装置。

【発明の詳細な説明】**【技術分野】**

30

【0001】

本発明は、補助容量を有する液晶表示装置に関するものである。

【背景技術】**【0002】**

アクティブマトリクス型の液晶表示装置には、補助容量を各画素毎に設けることが一般に知られている。

【0003】

ここで、上記液晶表示装置は、多数の T F T (Thin-Film Transistor: 薄膜トランジスタ) が形成された T F T 基板と、これに対向する対向基板と、これらの各基板の間に封入された液晶層とを有している。

40

【0004】

対向基板には、カラーフィルタや I T O (Indium Tin Oxide) 等からなる共通電極が形成されている。一方、T F T 基板には、複数のゲート配線及びソース配線が全体として格子状に形成されると共に、複数の容量配線が上記ゲート配線に沿って形成されている。

【0005】

また、T F T のドレイン電極は、上記共通電極との間で液晶容量 (C L) を形成する画素電極に接続されており、ソース配線から画素にデータ信号が書き込まれると、画素電極と対向電極との間に配置された液晶層に、当該データ信号に応じた電圧が印加されて表示が行われる。

【0006】

50

さらに、TFTのドレイン電極は、容量配線や隣接するゲート配線との間で補助容量(C_s)を形成する容量電極にも接続されている。画素の全体の容量(C_p)は、液晶容量(C_L)と補助容量(C_s)とその他の寄生容量とから構成される。補助容量(C_s)は、書き込まれたデータ信号に応じた電荷を保持し、その大きな容量値で液晶容量(C_L)の保持電荷を補って、液晶層に印加される電圧を安定化させる。

【0007】

容量配線に印加される電圧は、共通電極に印加する電圧(V_{com})であってもよいし、その他の電圧(V_{cs})であってもよい。容量配線に、電圧(V_{com})とは独立して電圧(V_{cs})を印加することのできる場合には、以下の効果が得られる。

【0008】

すなわち、電圧(V_{cs})を、正極性データの供給時に、TFTのON時よりもOFF時の方が大きくなるように変化させることにより、容量配線から補助容量(C_s)を介して画素電極の電位を上昇させるように変動させる、いわゆる突き上げ効果が得られる。一方、電圧(V_{cs})を、負極性データの供給時に、TFTのON時よりもOFF時のほうが小さくなるように変化させることにより、容量配線から補助容量(C_s)を介して画素電極の電位を低下させるように変動させる、いわゆる突き下げ効果が得られる。

【0009】

この突き上げ効果および突き下げ効果によって、データ信号の電圧よりも大きな電圧を液晶層に印加することが可能となる。

【0010】

ここで、特許文献1には、図11に示すように、補助容量105を有する液晶表示装置100が開示されている。この特許文献1の液晶表示装置100では、ゲート配線101と画素電極102とが重なる領域に補助容量105が形成されている。尚、液晶表示装置100には、ゲート配線101に交差するソース配線103と、上記ゲート配線101、ソース配線103及び画素電極102に接続されたTFT104とが形成されている。

【0011】

そして、画素電極102のうち補助容量105を構成する部分が、ゲート配線101を当該ゲート配線101の幅方向の全体を覆っている。そのことにより、補助容量105を構成する画素電極102にエッチング誤差による寸法誤差(寸法シフト)があっても、表示品位の低下を抑制するようにしている。

【先行技術文献】

【特許文献】

【0012】

【特許文献1】特開2001-272694号公報

【発明の概要】

【発明が解決しようとする課題】

【0013】

しかし、上記特許文献1の液晶表示装置では、画素電極の寸法誤差のみを考慮しているが、ゲート配線に寸法誤差が生じた場合には、補助容量の容量値に直接に影響を与える結果、表示品位が低下する問題がある。特に、上述のような、いわゆる突き上げ効果を得るようにした液晶表示装置では、上述の電極又は配線の寸法誤差によって、表示画面にやや暗い領域が局所的に生じる結果、表示ムラとして視認されてしまう問題がある。

【0014】

本発明は、斯かる諸点に鑑みてなされたものであり、その目的とするところは、補助容量を構成する容量電極及び容量配線の何れに寸法誤差が生じたとしても、表示品位の低下を抑制することにある。

【課題を解決するための手段】

【0015】

上記の目的を達成するために、本発明に係る液晶表示装置は、複数の容量電極と、上記複数の容量電極にそれぞれ対向して配置された複数の電極部を有する容量配線と、互いに

10

20

30

40

50

対向する上記容量電極及び上記電極部によって形成された複数の補助容量とを備えた液晶表示装置であって、上記複数の補助容量は、該補助容量を構成する上記容量電極の面積が上記電極部よりも小さい第１補助容量と、該補助容量を構成する上記容量電極の面積が上記電極部よりも大きい第２補助容量とによって構成されている。

【００１６】

さらに、最小の表示単位である画素を複数備え、上記各画素には、上記第１補助容量及び第２補助容量の双方が設けられていてもよい。

【００１７】

また、最小の表示単位である画素を複数備え、上記各画素には、上記第１補助容量又は第２補助容量が設けられていてもよい。

10

【００１８】

さらに、上記第１補助容量は、上記第２補助容量と同じ数だけ設けられていることが好ましい。

【００１９】

上記容量電極は、半導体層によって構成されていてもよい。

【００２０】

- 作用 -

次に、本発明の作用について説明する。

【００２１】

本発明に係る液晶表示装置は、第１補助容量と第２補助容量とからなる複数の補助容量を備えている。そして、第１補助容量の容量電極の面積は、容量配線の電極部よりも小さい一方、第２補助容量の容量電極の面積は、容量配線の電極部よりも大きい。したがって、容量配線の電極部及び容量電極の何れかに製造段階で寸法誤差が生じたとしても、第１補助容量及び第２補助容量の一方のみに容量値の変化が生じることとなるため、装置全体として補助容量の容量値は大きく変化しない。そのため、複数の液晶表示装置において、全体として補助容量の容量値のばらつきを低減することが可能になる。その結果、表示ムラを低減して、表示品位の低下を抑制することができる。

20

【００２２】

例えば、容量電極に寸法誤差が生じてその面積が僅かに小さくなった場合、第１補助容量では、容量電極の面積が容量配線の電極部よりも小さく、且つその容量電極の全体が上記電極部に重なっているために、この第１補助容量の容量値は小さくなってしまう。しかし、第２補助容量では、容量電極の面積が容量配線の電極部よりも大きく、且つ容量電極が上記電極部からはみ出しているために、容量電極の面積が僅かに小さくなったとしても容量電極と上記電極部とが重なっている領域の面積は変わらず、その容量値は変化しない。

30

【００２３】

つまり、容量電極に寸法誤差が生じてその面積が僅かに小さくなった場合でも、第２補助容量の容量値を一定に維持できるため、全ての補助容量の容量値の変化が低減されることとなる。また、これは、容量配線の電極部の面積が変化した場合についても、同様である。

40

【００２４】

さらに、液晶表示装置の各画素に、第１補助容量及び第２補助容量の双方を設けた場合には、各画素において、それぞれ補助容量の容量値の変化が低減される。また、各画素における容量値の変化が同じになるため、表示品位の低下が抑制される。

【００２５】

また、液晶表示装置の各画素に、第１補助容量又は第２補助容量を設けた場合には、１つの画素に１つの補助容量を形成すればよいので、画素の構造を簡単にして、画素の微細化を図る場合には好適である。

【００２６】

また、第１補助容量を第２補助容量と同じ数だけ設けるようにすれば、容量電極及び電

50

極部の何れに寸法誤差等が生じた場合であっても、補助容量の容量値の変化度合いは同じ程度に小さくなる。

【 0 0 2 7 】

また、容量電極を半導体層によって構成すれば、例えば半導体スイッチング素子を構成する半導体層を用いて容量電極を形成することが可能になる。

【 発明の効果 】

【 0 0 2 8 】

本発明によれば、第 1 補助容量の容量電極の面積を容量配線の電極部よりも小さくする一方、第 2 補助容量の容量電極の面積を上記電極部よりも大きくするようにしたので、上記電極部及び容量電極の何れかに製造段階で寸法誤差が生じたとしても、第 1 補助容量及び第 2 補助容量の一方のみに容量値の変化が生じることとなるため、装置全体として補助容量の容量値の変化を低減することができる。その結果、表示ムラを低減して、表示品位の低下を抑制することができる。

10

【 図面の簡単な説明 】

【 0 0 2 9 】

【 図 1 】 図 1 は、本実施形態 1 の液晶表示装置の画素を拡大して示す平面図である。

【 図 2 】 図 2 は、図 1 における II - II 線断面図である。

【 図 3 】 図 3 は、2 つの画素の一部を拡大して模式的に示す平面図である。

【 図 4 】 図 4 は、参考例としての液晶表示装置における補助容量を模式的に示す平面図である。

20

【 図 5 】 図 5 は、参考例としての液晶表示装置における補助容量を模式的に示す平面図である。

【 図 6 】 図 6 は、参考例としての液晶表示装置の表示状態を示す平面図である。

【 図 7 】 図 7 は、本実施形態 2 の液晶表示装置の画素を拡大して示す平面図である。

【 図 8 】 図 8 は、1 つの画素の一部を拡大して模式的に示す平面図である。

【 図 9 】 図 9 は、参考例としての液晶表示装置の補助容量を模式的に示す平面図である。

【 図 1 0 】 図 1 0 は、参考例としての液晶表示装置の補助容量を模式的に示す平面図である。

【 図 1 1 】 図 1 1 は、従来の液晶表示装置の画素を拡大して示す平面図である。

30

【 発明を実施するための形態 】

【 0 0 3 0 】

以下、本発明の実施形態を図面に基づいて詳細に説明する。尚、本発明は、以下の実施形態に限定されるものではない。

【 0 0 3 1 】

《 発明の実施形態 1 》

図 1 ~ 図 3 は、本発明の実施形態 1 を示している。

【 0 0 3 2 】

図 1 は、本実施形態 1 の液晶表示装置の画素を拡大して示す平面図である。図 2 は、図 1 における II - II 線断面図である。また、図 3 は、2 つの画素の一部を拡大して模式的に示す平面図である。

40

【 0 0 3 3 】

- 液晶表示装置の構成 -

まず、液晶表示装置 1 の構成について説明する。

【 0 0 3 4 】

液晶表示装置 1 は、図 2 に示すように、アクティブマトリクス基板としての第 1 基板である T F T 基板 2 0 と、T F T 基板 2 0 に対向して配置された第 2 基板である対向基板 3 0 と、T F T 基板 2 0 及び対向基板 3 0 の間に設けられた液晶層 4 0 とを有する。

【 0 0 3 5 】

また、液晶表示装置 1 は、画像が表示される領域である表示領域（不図示）と、その周囲に設けられた額縁状の非表示領域（不図示）とを有している。表示領域には、図 1 に拡

50

大して示すように、マトリクス状に配置された複数の画素 10 が形成されている。ここで、画素 10 は、最小の表示単位である。

【0036】

(対向基板の構成)

対向基板 30 は、ガラス等からなる透明基板 31 に形成されたブラックマトリクス 21、カラーフィルタ層 22、及び共通電極 23 等を有している。ブラックマトリクス 21 は、例えば Mo 等の金属膜や、カーボン粒子等が分散された樹脂からなる遮光膜であって、透明基板 31 の液晶層 40 側の表面に形成されている。さらに、ブラックマトリクス 21 は、各画素 10 の間を遮光するように配置され、全体として格子状に形成されている。

【0037】

カラーフィルタ層 22 は、赤色 (R) の着色層 22r と、緑色 (G) の着色層 22g と、青色 (B) の着色層 22b とにより構成され、透明基板 31 の液晶層 40 側の表面に、上記ブラックマトリクス 21 を覆うように形成されている。また、着色層 22r, 22g, 22b は、例えば行方向 (図 2 で左右方向) に順番に並んで形成されている。そして、隣り合う着色層 22r, 22g, 22b 同士の境界が、上記ブラックマトリクス 21 によって遮光されている。

【0038】

共通電極 23 は、上記カラーフィルタ層 22 を覆うように、透明基板 31 に一様に形成されている。共通電極 23 は、例えば ITO 等によって形成されている。さらに、透明基板 31 には、共通電極 23 の表面から TFT 基板 20 側へ突出した柱状スペーサ 24 が複数形成されている。柱状スペーサ 24 は、ブラックマトリクス 21 と重なる領域に配置されると共に、その先端が TFT 基板 20 に当接することによって、液晶層 40 の厚み (セルギャップ) を規定している。

【0039】

また、液晶層 40 は、上記 TFT 基板 20 と対向基板 30 との間に設けられたシール部材 (不図示) によって封止されている。シール部材は、例えば紫外線硬化樹脂等によって構成され、液晶層 40 の周囲を取り囲んでいる。液晶層には、例えばネマチック液晶材料等を適用することが可能である。

【0040】

(TFT 基板の構成)

TFT 基板 20 は、ガラス等からなる透明基板 32 を有している。透明基板 32 には、図 1 に示すように、互いに並行して延びる複数のソース配線 16 と、これらに直交して延びる複数のゲート配線 14 とが形成されている。すなわち、ゲート配線 14 及びソース配線 16 からなる配線群は、全体として格子状に形成されている。また、隣り合うゲート配線 14 同士の間には、当該ゲート配線 14 に沿って延びる容量配線 26 がそれぞれ配置されている。

【0041】

そして、本実施形態の画素 10 は、容量配線 26 と、ソース配線 16 とによって区画される矩形状の領域に形成されている。各画素 10 には、半導体スイッチング素子である TFT5 と、これに接続された画素電極 18 とが形成されている。TFT5 は、ゲート配線 14 とソース配線 16 とが交差する領域に形成されている。

【0042】

画素電極 18 の周縁部は、当該画素電極 18 が配置されている画素 10 を区画している容量配線 26 の一部と、ソース配線 16 の一部とに、それぞれ重なっている。このことにより、画素 10 の開口率を高めるようになっている。

【0043】

また、透明基板 32 における液晶層 40 側の表面には、図 2 に示すように、オーバーコート膜 11 が一様に形成されている。オーバーコート膜 11 の表面には、TFT5 を構成するシリコン等の半導体層 12 が形成されている。半導体層 12 の一部は、図 1 に示すように、ソース配線 16 に重なって延びており、その画素 10 の内側へ延びた一端に、容量

10

20

30

40

50

電極 28 が形成されている。すなわち、容量電極 28 は、半導体層 12 によって構成され、各画素 10 に対応してそれぞれ設けられている。また、容量電極 28 は矩形島状に形成されている。

【0044】

さらに、オーバーコート膜 11 の表面には、半導体層 12 及び容量電極 28 を覆うようにゲート絶縁膜 13 が形成されている。ゲート絶縁膜 13 の表面には、上記ゲート配線 14 と、容量配線 26 とが形成されている。

【0045】

ゲート配線 14 は、図 1 に示すように、環状に形成された環状部 34 が所定間隔で複数配置された構成を有している。環状部 34 は、それぞれソース配線 16 に重なる領域に配置されている。そして、環状部 34 のうち、半導体層 12 と重なる領域がゲート電極 14a を構成している。このため、TFT5 は、2 つのゲート電極 14a を有している。

10

【0046】

容量配線 26 は、図 1 に示すように、上記複数の容量電極 28 にそれぞれ対向して配置された複数の電極部 27 を有している。電極部 27 は容量配線 26 と一体に形成され、ゲート配線 14 と同じ例えばアルミニウム等の金属材料によって構成されている。こうして、互いに対向する容量電極 28 及び電極部 27 によって、補助容量 50 が形成されている。

【0047】

さらに、ゲート絶縁膜 13 の表面には、容量配線 26、電極部 27、及びゲート配線 14 を覆う第 1 層間絶縁膜 15 が形成されている。この第 1 層間絶縁膜 15 及びゲート絶縁膜 13 には、コンタクトホール 41、42 が形成されている。コンタクトホール 41 は、半導体層 12 における容量電極 28 とは反対側の端部領域（つまりソース領域）に形成されている。一方、コンタクトホール 42 は、半導体層 12 における容量電極 28 側の領域（つまりドレイン領域）に形成されている。

20

【0048】

第 1 層間絶縁膜 15 の表面には、ソース配線 16 及びドレイン電極 19 が形成されている。ソース配線 16 は、コンタクトホール 41 を介して上記半導体層 12 に接続されている。こうして、TFT5 は、ソース配線 16 及びゲート配線 14 に接続されている。

【0049】

一方、ドレイン電極 19 の一端は、コンタクトホール 42 を介して上記半導体層 12 に接続されている。ドレイン電極 19 の他端は、電極部 27 が形成されている領域に配置されている。

30

【0050】

さらに、第 1 層間絶縁膜 15 の表面には、上記ソース配線 16 及びドレイン電極 19 を覆う第 2 層間絶縁膜 17 が形成されている。第 2 層間絶縁膜 17 には、上記ドレイン電極 19 の他端が配置されている領域において、コンタクトホール 43 が形成されている。

【0051】

第 2 層間絶縁膜 17 の表面には、上記画素電極 18 が形成されている。画素電極 18 は、コンタクトホール 43 を介してドレイン電極 19 に接続されている。

40

【0052】

（補助容量の構成）

そして、上記液晶表示装置 1 に形成されている複数の補助容量 50 は、第 1 補助容量 51 と、第 2 補助容量 52 とによって構成されている。

【0053】

第 1 補助容量 51 は、図 1 に示すように、当該第 1 補助容量 51 を構成する容量電極 28 の面積が、当該第 1 補助容量 51 を構成する電極部 27 の面積よりも小さくなっている。電極部 27 は容量電極 28 よりも一回り大きくなっており、その電極部 27 の周縁部分は容量電極 28 に重なっていない。

【0054】

50

第２補助容量５２は、当該第２補助容量５２を構成する容量電極２８の面積が、当該第２補助容量５２を構成する電極部２７の面積よりも大きくなっている。容量電極２８は電極部２７よりも一回り大きくなっており、その容量電極２８の周縁部分は電極部２７に重なっていない。

【００５５】

各画素１０には、第１補助容量５１又は第２補助容量５２が設けられている。言い換えれば、液晶表示装置１の画素１０は、第１補助容量５１が設けられている画素１０と、第２補助容量５２が設けられている画素１０とにより構成されている。また、第１補助容量５１及び第２補助容量５２は、行方向（図１で左右方向）に交互に配置されている。そうして、液晶表示装置１の全体で、第１補助容量５１は、第２補助容量５２と同じ数だけ設けられている。

10

【００５６】

また、容量配線２６には、面積が比較的大きい電極部２７と、それよりも面積が小さい電極部２７とが、容量配線２６が延びる方向に交互に配置されている。一方、容量電極２８には、面積が比較的大きい容量電極２８と、それよりも面積が小さい容量電極２８とが、容量配線２６が延びる方向に交互に配置されている。そして、上記比較的面積が大きい電極部２７と、上記比較的面積が小さい容量電極２８とが対向する一方、比較的面積が小さい電極部２７と、比較的面積が大きい容量電極２８とが対向するように、それぞれ配置されている。

20

【００５７】

本実施形態の液晶表示装置１は、ＴＦＴ基板２０と対向基板３０とを、シール部材及び液晶層４０を介して貼り合わせることによって製造する。ＴＦＴ基板２０を製造する工程には、上記第１補助容量５１及び第２補助容量５２を製造する工程が含まれる。これらの第１補助容量５１及び第２補助容量５２は、フォトリソグラフィ及びエッチングによって所定の形状にパターンニングすることが可能である。このことにより、容量電極２８は、半導体層１２と同時に形成される一方、電極部２７を含む容量配線２６は、ゲート配線１４と同時に形成されることとなる。

【００５８】

- 液晶表示装置の作動 -

上記液晶表示装置１は、ゲート配線１４を介して走査信号がＴＦＴ５に供給され、そのＴＦＴ５がＯＮになった状態で、ソース配線１６からデータ信号がＴＦＴ５を介して画素電極１８に供給される。そのことにより、画素電極１８と共通電極２３との間で液晶容量（ＣＬ）が形成される結果、所定の表示が行われる。

30

【００５９】

このとき、データ信号が容量電極２８にも供給されるため、当該容量電極２８と、容量配線２６の電極部２７との間で、補助容量５０（Ｃｓ）が形成される。補助容量５０（Ｃｓ）は、書き込まれたデータ信号に応じた電荷を保持し、その容量値により液晶容量（ＣＬ）の保持電荷を補って、液晶層４０に印加される電圧を安定化させる。

【００６０】

容量配線２６に印加される電圧は、共通電極２３に印加する電圧（Ｖｃｏｍ）であってもよいが、本実施形態では、共通電極２３に印加する電圧とは別の電圧（Ｖｃｓ）を独立して印加するようになっている。そのことによって、いわゆる突き上げ効果が得られるようになっている。

40

【００６１】

すなわち、容量配線２６に印加する電圧（Ｖｃｓ）を、正極性データの供給時に、ＴＦＴ５のＯＮ時よりもＯＦＦ時の方が大きくなるように変化させることにより、容量配線２６から補助容量５０（Ｃｓ）を介して画素電極の電位を上昇させるように変動させる。

【００６２】

一方、上記電圧（Ｖｃｓ）を、負極性データの供給時に、ＴＦＴ５のＯＮ時よりもＯＦＦ時のほうが小さくなるように変化させることにより、容量配線２６から補助容量５０（

50

Cs)を介して画素電極18の電位を低下させるように変動させる、いわゆる突き下げ効果が得られることとなる。

【0063】

この突き上げ効果および突き下げ効果によって、データ信号の電圧よりも大きな電圧を液晶層40に印加することが可能となる。

【0064】

- 実施形態1の効果 -

ここで、図4及び図5は、参考例としての液晶表示装置100の補助容量を模式的に示す平面図である。図4及び図5に示す液晶表示装置100は、各画素110に補助容量150が1つつ設けられている。

10

【0065】

そして、図4に示す液晶表示装置100では、各画素110において、容量配線126の電極部127の面積が容量電極128よりもそれぞれ大きくなっている。したがって、容量配線126の電極部127に製造段階で寸法誤差が僅かに生じた場合には、電極部127と容量電極128との重なり面積に変化が無いために、補助容量150の容量値(Cs)も変化はない。しかし、容量電極128に製造段階で寸法誤差が僅かに生じた場合には、その誤差が電極部127と容量電極128との重なり面積に直接に影響を与えるため、各画素110の全体として補助容量150の容量値(Cs)が大きく変化してしまう。

【0066】

一方、図5に示す液晶表示装置100では、各画素110において、容量配線126の電極部127の面積が容量電極128よりもそれぞれ小さくなっている。したがって、容量電極128に製造段階で寸法誤差が僅かに生じた場合には、電極部127と容量電極128との重なり面積に変化が無いために、補助容量150の容量値(Cs)も変化はない。しかし、容量配線126の電極部127に製造段階で寸法誤差が僅かに生じた場合には、その誤差が電極部127と容量電極128との重なり面積に直接に影響を与えるため、各画素110の全体として補助容量150の容量値(Cs)が大きく変化してしまう。

20

【0067】

すなわち、図4及び図5に示すように、各画素110の全てにおいて容量電極128の面積が電極部127よりも小さい場合、又は各画素110の全てにおいて容量電極128の面積が電極部127よりも大きい場合には、容量電極128及び電極部127の何れかに寸法誤差が生じたときに、補助容量150の容量値(Cs)の変化が大きくなってしまふ。その結果、複数の液晶表示装置100において、全体として補助容量150の容量値(Cs)のばらつきが増大してしまう。

30

【0068】

そのため、参考例における液晶表示装置100の平面図である図6に示すように、補助容量150の容量値(Cs)のばらつきによって液晶層への印加電圧がばらつく結果、表示領域130において表示ムラ131が顕著に生じてしまうこととなる。

【0069】

これに対し、本実施形態1によると、模式図である図3にも示すように、複数の補助容量50を第1補助容量51と第2補助容量52とによって構成し、その第1補助容量51の容量電極28の面積を容量配線26の電極部27よりも小さくする一方、第2補助容量52の容量電極28の面積を上記電極部27よりも大きくするようにしたので、上記電極部27及び容量電極28の何れかに製造段階で寸法誤差が生じたとしても、第1補助容量51及び第2補助容量52の一方のみに容量値の変化が生じることとなるため、装置全体として補助容量50の容量値(Cs)の変化を低減することができる。言い換えれば、容量電極28又は電極部27の寸法誤差による補助容量50の容量値(Cs)の変動リスクを分散させることができる。その結果、全体として補助容量50の容量値(Cs)のばらつきを低減して表示ムラを低減できるため、表示品位の低下を抑制することができる。

40

【0070】

例えば、容量電極28に寸法誤差が生じてその面積が僅かに小さくなった場合、第1補

50

助容量 5 1 では、容量電極 2 8 の面積が容量配線 2 6 の電極部 2 7 よりも小さく、且つその容量電極 2 8 の全体が上記電極部 2 7 に重なっているために、この第 1 補助容量 5 1 の容量値は小さくなってしまふ。しかし、第 2 補助容量 5 2 では、容量電極 2 8 の面積が容量配線 2 6 の電極部 2 7 よりも大きく、且つ容量電極 2 8 が上記電極部 2 7 からみ出しているために、容量電極 2 8 の面積が僅かに小さくなったとしても容量電極 2 8 と上記電極部 2 7 とが重なっている領域の面積は変わらず、その容量値は変化しない。

【 0 0 7 1 】

つまり、容量電極 2 8 に寸法誤差が生じてその面積が僅かに小さくなった場合でも、第 2 補助容量 5 2 の容量値を一定に維持できるため、全ての補助容量 5 0 の容量値 (C s) の変化が低減されることとなる。また、これは、容量配線 2 6 の電極部 2 7 の面積が変化した場合についても、同様である。

10

【 0 0 7 2 】

さらに、各画素 1 0 に、第 1 補助容量 5 1 及び第 2 補助容量 5 2 の何れか一方を設けるようにしたので、1つの画素 1 0 に1つの補助容量 5 0 (つまり、第 1 補助容量 5 1 又は第 2 補助容量 5 2) を形成すればよいので、画素 1 0 の構造を簡単にして、画素 1 0 の微細化を容易に図ることが可能になる。

【 0 0 7 3 】

また、容量電極 2 8 を半導体層 1 2 によって構成したので、T F T 5 を構成する半導体層 1 2 を用いて、これと同じ工程で同時に容量電極 2 8 を形成することができる。

20

【 0 0 7 4 】

さらに、第 1 補助容量 5 1 を第 2 補助容量 5 2 と同じ数だけ設けるようにしたので、容量電極 2 8 及び電極部 2 7 の何れに寸法誤差等が生じた場合であっても、補助容量 5 0 の容量値 (C s) の変化度合いを同じ程度に小さくすることができる。

【 0 0 7 5 】

さらにまた、本実施形態の構成では、補助容量 5 0 の容量値 (C s) のばらつきを低減するために、上記従来のように画素電極 1 0 2 同士の隙間を配線 1 0 1 に重ならないように配置する必要がないため、画素電極 1 8 同士の隙間を容量配線 2 6 及びソース配線 1 6 に重ねて配置することができる。その結果、画素 1 0 の開口率を高めることができる。

【 0 0 7 6 】

《 発明の実施形態 2 》

30

図 7 及び図 8 は、本発明の実施形態 2 を示している。

【 0 0 7 7 】

図 7 は、本実施形態 2 の液晶表示装置 1 の画素 1 0 を拡大して示す平面図である。図 8 は、1つの画素 1 0 の一部を拡大して模式的に示す平面図である。尚、以降の各実施形態では、図 1 ~ 図 3 と同じ部分については同じ符号を付して、その詳細な説明を省略する。

【 0 0 7 8 】

- 液晶表示装置の構成 -

上記実施形態 1 では、各画素 1 0 に第 1 補助容量 5 1 又は第 2 補助容量 5 2 を設けたのに対し、本実施形態 2 は、図 7 に示すように、各画素 1 0 に第 1 補助容量 5 1 及び第 2 補助容量 5 2 の双方を設けるようにしたものである。

40

【 0 0 7 9 】

すなわち、図 7 及び図 8 に示すように、第 1 補助容量 5 1 は、容量配線 2 6 の電極部 2 7 a と、容量電極 2 8 a とによって構成されている。一方、第 2 補助容量 5 2 は、容量配線 2 6 の電極部 2 7 b と、容量電極 2 8 b とによって構成されている。

【 0 0 8 0 】

そして、第 1 補助容量 5 1 では、容量電極 2 8 a の面積が電極部 2 7 a の面積よりも小さくなっている。一方、第 2 補助容量 5 2 では、容量電極 2 8 b の面積が電極部 2 7 b の面積よりも大きくなっている。

【 0 0 8 1 】

容量電極 2 8 a , 2 8 b は、半導体層 1 2 の一端から二股状に分かれて形成され、互い

50

に容量配線 2 6 が延びる方向に並んで配置されている。そして、容量電極 2 8 a の面積は、容量電極 2 8 b よりも小さくなっている。

【0082】

一方、容量配線 2 6 の電極部 2 7 a , 2 7 b は、容量配線 2 6 が延びる方向に交互に並んで配置され、当該容量配線 2 6 と一体に形成されている。そして、電極部 2 7 a の面積は、電極部 2 7 b よりも大きくなっている。

【0083】

そうして、比較的面積が大きい電極部 2 7 a と、これよりも面積が小さい容量電極 2 8 a とが互いに対向して配置され、これらによって第 1 補助容量 5 1 が形成されている。また、比較的面積が小さい電極部 2 7 b と、これよりも面積が大きい容量電極 2 8 b とが互いに対向配置され、これらによって第 2 補助容量 5 2 が形成されている。

【0084】

これらの第 1 補助容量 5 1 及び第 2 補助容量 5 2 には、同じデータ信号が同時に供給される。この第 1 補助容量 5 1 及び第 2 補助容量 5 2 の容量値の合計によって、画素 1 0 の補助容量 5 0 (C s) が形成されることとなる。

【0085】

- 実施形態 2 の効果 -

ここで、図 9 及び図 1 0 は、参考例としての液晶表示装置 1 0 0 の補助容量を模式的に示す平面図である。図 9 及び図 1 0 に示す液晶表示装置 1 0 0 は、各画素 1 1 0 に補助容量 1 5 0 が 1 つずつ設けられている。

【0086】

図 9 に示す液晶表示装置 1 0 0 では、各画素 1 1 0 において、容量配線 1 2 6 の電極部 1 2 7 の面積が容量電極 1 2 8 よりもそれぞれ大きくなっている。したがって、電極部 1 2 7 に寸法誤差が僅かに生じた場合には、補助容量 1 5 0 の容量値 (C s) も変化はないが、容量電極 1 2 8 に寸法誤差が僅かに生じた場合には、各画素 1 1 0 の全体として補助容量 1 5 0 の容量値 (C s) が大きく変化してしまう。

【0087】

一方、図 1 0 に示す液晶表示装置 1 0 0 では、各画素 1 1 0 において、容量配線 1 2 6 の電極部 1 2 7 の面積が容量電極 1 2 8 よりもそれぞれ小さくなっている。したがって、容量電極 1 2 8 に寸法誤差が僅かに生じた場合には、補助容量 1 5 0 の容量値 (C s) も変化はないが、容量配線 1 2 6 の電極部 1 2 7 に寸法誤差が僅かに生じた場合には、各画素 1 1 0 の全体として補助容量 1 5 0 の容量値 (C s) が大きく変化してしまう。

【0088】

すなわち、これらの場合には、容量電極 1 2 8 及び電極部 1 2 7 の何れかに寸法誤差が生じたときに、補助容量 1 5 0 の容量値 (C s) の変化が大きくなる結果、複数の液晶表示装置 1 0 0 において、全体として補助容量 1 5 0 の容量値 (C s) のばらつきが増大してしまう。

【0089】

そのため、参考例における液晶表示装置 1 0 0 の平面図である図 6 に示すように、補助容量 1 5 0 の容量値 (C s) のばらつきにより、表示領域 1 3 0 において表示ムラ 1 3 1 が顕著に生じてしまうこととなる。

【0090】

これに対し、本実施形態 2 によると、模式図である図 8 にも示すように、上記実施形態 1 と同様に、複数の補助容量 5 0 を第 1 補助容量 5 1 と第 2 補助容量 5 2 とによって構成したので、上記電極部 2 7 及び容量電極 2 8 の何れかに製造段階で寸法誤差が生じたとしても、第 1 補助容量 5 1 及び第 2 補助容量 5 2 の一方のみに容量値の変化が生じることとなるため、装置全体として補助容量 5 0 の容量値 (C s) の変化を低減することができる。言い換えれば、容量電極 2 8 又は電極部 2 7 の寸法誤差による補助容量 5 0 の容量値 (C s) の変動リスクを分散させることができる。その結果、全体として補助容量 5 0 の容量値 (C s) のばらつきを低減して表示ムラを低減できるため、表示品位の低下を抑制す

10

20

30

40

50

ることができる。

【 0 0 9 1 】

さらに、本実施形態の構成では、補助容量 5 0 の容量値 (C s) のばらつきを低減するために、上記従来のように画素電極 1 0 2 同士の隙間を配線 1 0 1 に重ならないように配置する必要がないため、画素電極 1 8 同士の隙間を容量配線 2 6 及びソース配線 1 6 に重ねて配置することができる。その結果、画素 1 0 の開口率を高めることができる。

【 0 0 9 2 】

さらにまた、液晶表示装置の各画素 1 0 に、第 1 補助容量 5 1 及び第 2 補助容量 5 2 の双方を設けるようにしたので、各画素 1 0 において、それぞれ補助容量 5 0 の容量値 (C s) の変化を低減することができる。加えて、各画素 1 0 における補助容量 5 0 の容量値 (C s) の変化が同じになるため、表示ムラの発生をさらに抑制することができる。

10

【 0 0 9 3 】

《その他の実施形態》

本発明に係る液晶表示装置 1 の補助容量 5 0 は、第 1 補助容量 5 1 及び第 2 補助容量 5 2 によって構成されていればよいので、例えば、図 1 に示すような第 1 補助容量 5 1 又は第 2 補助容量 5 2 が配置されている画素 1 0 と、図 7 に示すような第 1 補助容量 5 1 及び第 2 補助容量 5 2 の双方が配置されている画素 1 0 とが、表示領域に混在しているような構成とすることも可能である。このことによって、表示ムラを低減して表示品位の低下を抑制できる。

20

【産業上の利用可能性】

【 0 0 9 4 】

以上説明したように、本発明は、補助容量を有する液晶表示装置について有用である。

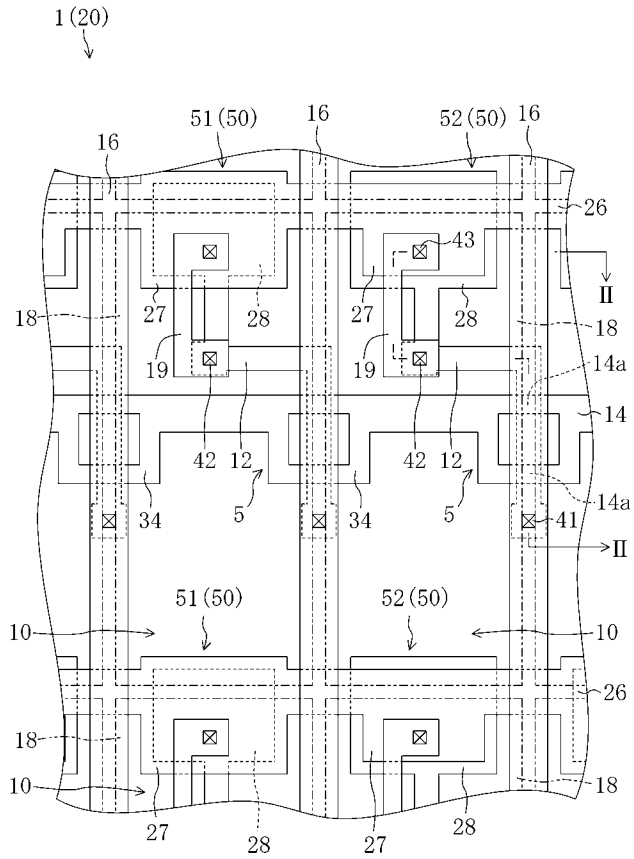
【符号の説明】

【 0 0 9 5 】

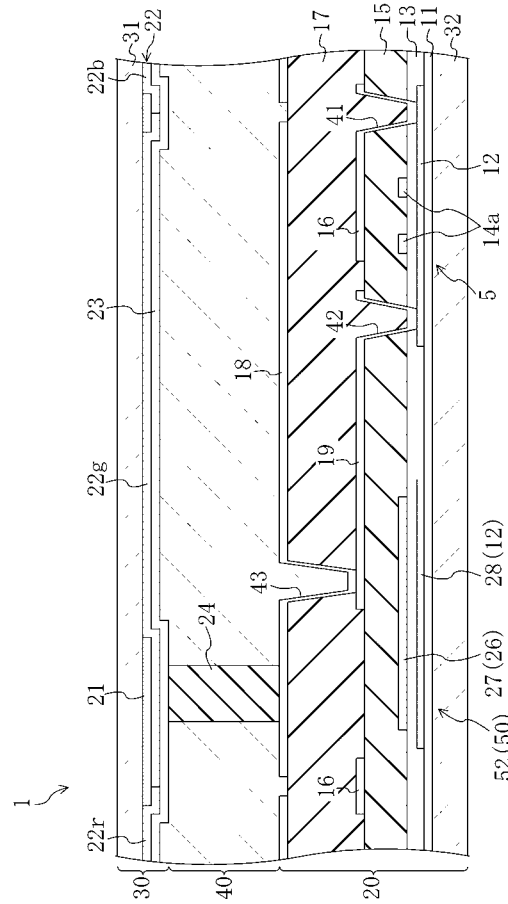
1	液晶表示装置
5	T F T
1 0	画素
1 2	半導体層
1 4	ゲート配線
1 6	ソース配線
1 8	画素電極
2 0	T F T 基板
2 6	容量配線
2 7	電極部
2 8	容量電極
5 0	補助容量
5 1	第 1 補助容量
5 2	第 2 補助容量

30

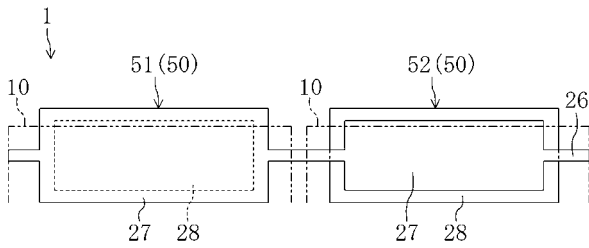
【図 1】



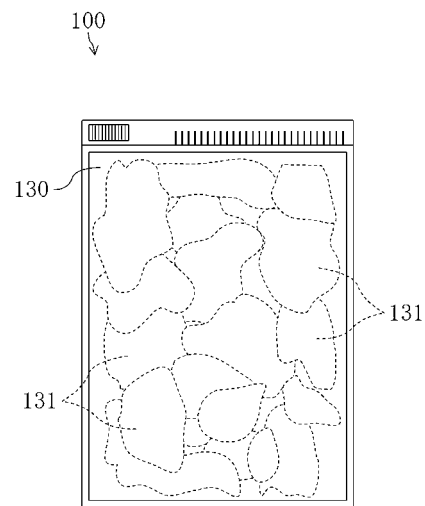
【図 2】



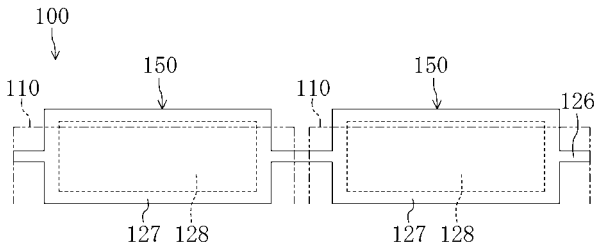
【図 3】



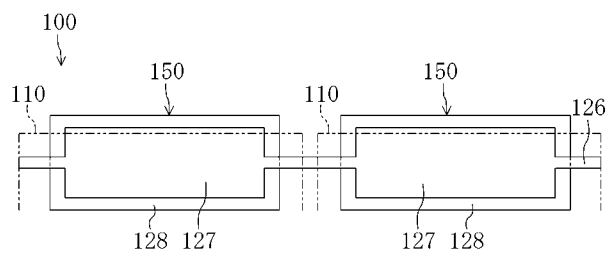
【図 6】



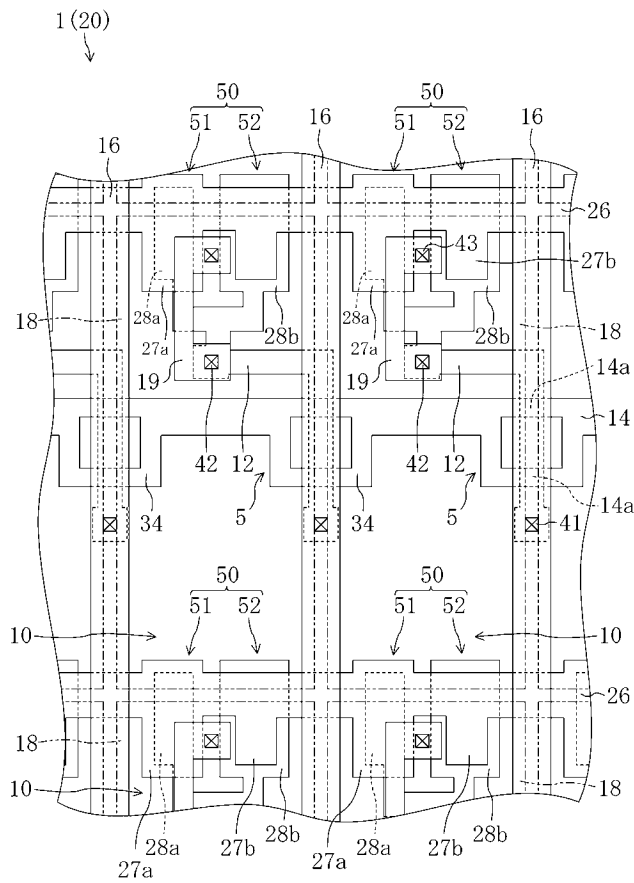
【図 4】



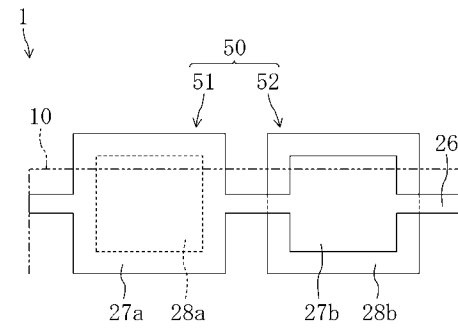
【図 5】



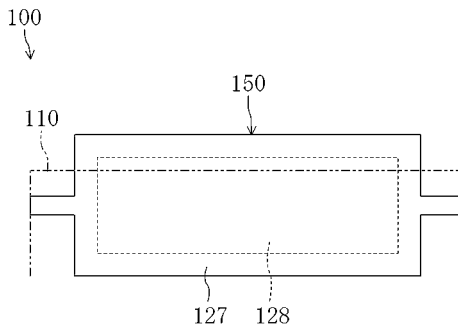
【図 7】



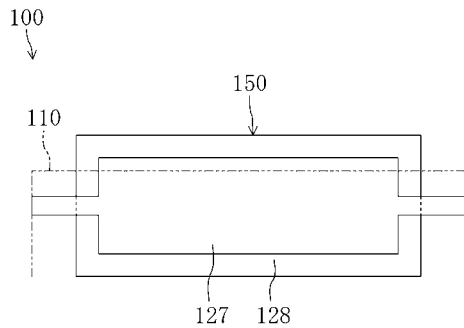
【図 8】



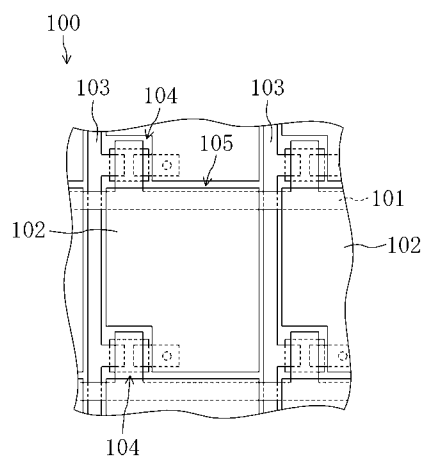
【図 9】



【図 10】



【図 11】



专利名称(译)	液晶表示装置		
公开(公告)号	JP2010266627A	公开(公告)日	2010-11-25
申请号	JP2009117239	申请日	2009-05-14
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	山田淳一 永田尚志		
发明人	山田 淳一 永田 尚志		
IPC分类号	G02F1/1343 G02F1/1368		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/JA25 2H092/JB56 2H092/JB69 2H092/KB04 2H092/KB12 2H092/MA13 2H092/MA17 2H092/NA01 2H092/NA07 2H092/NA24 2H092/NA27 2H092/PA03 2H092/PA04 2H092/PA08 2H092/PA09 2H192/AA24 2H192/AA45 2H192/BC31 2H192/CB02 2H192/CC05 2H192/CC16 2H192/DA12 2H192/DA43 2H192/DA44 2H192/DA65 2H192/EA22 2H192/EA43		
代理人(译)	前田弘 竹内雄二		
外部链接	Espacenet		

摘要(译)

要解决的问题：无论电容电极28和电容布线26中的任何一个中的尺寸误差如何，都要抑制显示质量的劣化。液晶显示装置1包括由电容器电极28和电容器布线26的电极部分27形成的多个辅助电容器50。多个辅助电容器50被布置成使得构成辅助电容器50的电容器电极28的面积小于电极部分27的面积，并且构成辅助电容器50的电容器电极28的面积大于电极部分27的面积。以及第二辅助电容器52。点域1

去誤

多量
補助
電5
小
多量
電量

