

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5223023号
(P5223023)

(45) 発行日 平成25年6月26日 (2013. 6. 26)

(24) 登録日 平成25年3月15日 (2013. 3. 15)

(51) Int. Cl. F I
GO2F 1/1368 (2006.01) GO2F 1/1368
GO9F 9/30 (2006.01) GO9F 9/30 338
HO1L 21/336 (2006.01) HO1L 29/78 612Z
HO1L 29/786 (2006.01)

請求項の数 8 (全 18 頁)

(21) 出願番号	特願2012-182147 (P2012-182147)	(73) 特許権者	000153878
(22) 出願日	平成24年8月21日 (2012. 8. 21)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2011-200767 (P2011-200767) の分割		神奈川県厚木市長谷398番地
原出願日	平成23年9月14日 (2011. 9. 14)	(72) 発明者	三宅 博之
(65) 公開番号	特開2012-226385 (P2012-226385A)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(43) 公開日	平成24年11月15日 (2012. 11. 15)	審査官	清水 督史
審査請求日	平成24年8月22日 (2012. 8. 22)		
(31) 優先権主張番号	特願2010-206282 (P2010-206282)		
(32) 優先日	平成22年9月15日 (2010. 9. 15)		
(33) 優先権主張国	日本国 (JP)		
早期審査対象出願			

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

基板の上方に第1の導電層を有し、
前記基板の上方に第2の導電層を有し、
前記第1の導電層の上方と前記第2の導電層の上方とに第1の絶縁層を有し、
前記第1の絶縁層の上方に第1の酸化物半導体層を有し、
前記第1の絶縁層の上方に第2の酸化物半導体層を有し、
前記第1の酸化物半導体層の上方に第3の導電層を有し、
前記第1の酸化物半導体層の上方に第4の導電層を有し、
前記第3の導電層の上方と前記第4の導電層の上方とに第2の絶縁層を有し、
前記第2の絶縁層の上方に第5の導電層を有し、
前記第1の導電層は、トランジスタのゲート電極として機能することができる領域を有し、
前記第2の導電層は、前記第2の酸化物半導体層と電氣的に接続されており、
前記第3の導電層は、前記トランジスタのソース電極又は前記トランジスタのドレイン電極の一方として機能することができる領域を有し、
前記第4の導電層は、前記トランジスタのソース電極又は前記トランジスタのドレイン電極の他方として機能することができる領域を有し、
前記第5の導電層は、前記第4の導電層と電氣的に接続されており、
前記第1の酸化物半導体層は、前記第1の導電層と重なる領域を有し、

10

20

前記第2の酸化物半導体層は、前記第5の導電層と重なる領域を有し、
前記第4の導電層は、前記第2の導電層と重なる領域を有することを特徴とする液晶表示装置。

【請求項2】

基板の上方に第1の導電層を有し、
前記基板の上方に第2の導電層を有し、
前記第1の導電層の上方と前記第2の導電層の上方とに第1の絶縁層を有し、
前記第1の絶縁層の上方に第1の酸化物半導体層を有し、
前記第1の絶縁層の上方に第2の酸化物半導体層を有し、
前記第1の酸化物半導体層の上方に第3の導電層を有し、
前記第1の酸化物半導体層の上方に第4の導電層を有し、
前記第3の導電層の上方と前記第4の導電層の上方とに第2の絶縁層を有し、
前記第2の絶縁層の上方に第5の導電層を有し、
前記第1の導電層は、トランジスタのゲート電極として機能することができる領域を有し、

10

前記第2の導電層は、前記第2の酸化物半導体層と電氣的に接続されており、
前記第3の導電層は、前記トランジスタのソース電極又は前記トランジスタのドレイン電極の一方として機能することができる領域を有し、
前記第4の導電層は、前記トランジスタのソース電極又は前記トランジスタのドレイン電極の他方として機能することができる領域を有し、

20

前記第5の導電層は、前記第4の導電層と電氣的に接続されており、
前記第1の酸化物半導体層は、前記トランジスタのチャンネル形成領域として機能することができる領域を有し、
前記第2の酸化物半導体層は、第1の容量素子の一方の電極として機能することができる領域を有し、

前記第5の導電層は、前記第1の容量素子の他方の電極として機能することができる領域を有し、

前記第2の導電層は、第2の容量素子の一方の電極として機能することができる領域を有し、

前記第4の導電層は、前記第2の容量素子の他方の電極として機能することができる領域を有することを特徴とする液晶表示装置。

30

【請求項3】

基板の上方に第1の導電層を有し、
前記基板の上方に第2の導電層を有し、
前記第1の導電層の上方と前記第2の導電層の上方とに第1の絶縁層を有し、
前記第1の絶縁層の上方に、InとGaとZnとを有する第1の酸化物層を有し、
前記第1の絶縁層の上方に、InとGaとZnとを有する第2の酸化物層を有し、
前記第1の酸化物層の上方に第3の導電層を有し、
前記第1の酸化物層の上方に第4の導電層を有し、
前記第3の導電層の上方と前記第4の導電層の上方とに第2の絶縁層を有し、
前記第2の絶縁層の上方に第5の導電層を有し、
前記第1の導電層は、トランジスタのゲート電極として機能することができる領域を有し、

40

前記第2の導電層は、前記第2の酸化物層と電氣的に接続されており、
前記第3の導電層は、前記トランジスタのソース電極又は前記トランジスタのドレイン電極の一方として機能することができる領域を有し、

前記第4の導電層は、前記トランジスタのソース電極又は前記トランジスタのドレイン電極の他方として機能することができる領域を有し、

前記第5の導電層は、前記第4の導電層と電氣的に接続されており、

前記第1の酸化物層は、前記第1の導電層と重なる領域を有し、

50

前記第2の酸化物層は、前記第5の導電層と重なる領域を有し、
前記第4の導電層は、前記第2の導電層と重なる領域を有することを特徴とする液晶表示装置。

【請求項4】

基板の上方に第1の導電層を有し、
前記基板の上方に第2の導電層を有し、
前記第1の導電層の上方と前記第2の導電層の上方とに第1の絶縁層を有し、
前記第1の絶縁層の上方に、InとGaとZnとを有する第1の酸化物層を有し、
前記第1の絶縁層の上方に、InとGaとZnとを有する第2の酸化物層を有し、
前記第1の酸化物層の上方に第3の導電層を有し、
前記第1の酸化物層の上方に第4の導電層を有し、
前記第3の導電層の上方と前記第4の導電層の上方とに第2の絶縁層を有し、
前記第2の絶縁層の上方に第5の導電層を有し、
前記第1の導電層は、トランジスタのゲート電極として機能することができる領域を有し、

10

前記第2の導電層は、前記第2の酸化物層と電気的に接続されており、
前記第3の導電層は、前記トランジスタのソース電極又は前記トランジスタのドレイン電極の一方として機能することができる領域を有し、
前記第4の導電層は、前記トランジスタのソース電極又は前記トランジスタのドレイン電極の他方として機能することができる領域を有し、

20

前記第5の導電層は、前記第4の導電層と電気的に接続されており、
前記第1の酸化物層は、前記トランジスタのチャネル形成領域として機能することができる領域を有し、

前記第2の酸化物層は、第1の容量素子の一方の電極として機能することができる領域を有し、

前記第5の導電層は、前記第1の容量素子の他方の電極として機能することができる領域を有し、

前記第2の導電層は、第2の容量素子の一方の電極として機能することができる領域を有し、

前記第4の導電層は、前記第2の容量素子の他方の電極として機能することができる領域を有することを特徴とする液晶表示装置。

30

【請求項5】

基板の上方に第1の導電層を有し、
前記基板の上方に第2の導電層を有し、
前記第1の導電層の上方と前記第2の導電層の上方とに第1の絶縁層を有し、
前記第1の絶縁層の上方に第1の半導体層を有し、
前記第1の絶縁層の上方に第2の半導体層を有し、
前記第1の半導体層の上方に第3の導電層を有し、
前記第1の半導体層の上方に第4の導電層を有し、
前記第3の導電層の上方と前記第4の導電層の上方とに第2の絶縁層を有し、
前記第2の絶縁層の上方に第5の導電層を有し、
前記第1の導電層は、トランジスタのゲート電極として機能することができる領域を有し、

40

前記第2の導電層は、前記第2の半導体層と電気的に接続されており、
前記第3の導電層は、前記トランジスタのソース電極又は前記トランジスタのドレイン電極の一方として機能することができる領域を有し、

前記第4の導電層は、前記トランジスタのソース電極又は前記トランジスタのドレイン電極の他方として機能することができる領域を有し、

前記第5の導電層は、前記第4の導電層と電気的に接続されており、

前記第1の半導体層は、前記第1の導電層と重なる領域を有し、

50

前記第2の半導体層は、前記第5の導電層と重なる領域を有し、
前記第4の導電層は、前記第2の導電層と重なる領域を有することを特徴とする液晶表示装置。

【請求項6】

基板の上方に第1の導電層を有し、
前記基板の上方に第2の導電層を有し、
前記第1の導電層の上方と前記第2の導電層の上方とに第1の絶縁層を有し、
前記第1の絶縁層の上方に第1の半導体層を有し、
前記第1の絶縁層の上方に第2の半導体層を有し、
前記第1の半導体層の上方に第3の導電層を有し、
前記第1の半導体層の上方に第4の導電層を有し、
前記第3の導電層の上方と前記第4の導電層の上方とに第2の絶縁層を有し、
前記第2の絶縁層の上方に第5の導電層を有し、
前記第1の導電層は、トランジスタのゲート電極として機能することができる領域を有し、

10

前記第2の導電層は、前記第2の半導体層と電氣的に接続されており、
前記第3の導電層は、前記トランジスタのソース電極又は前記トランジスタのドレイン電極の一方として機能することができる領域を有し、
前記第4の導電層は、前記トランジスタのソース電極又は前記トランジスタのドレイン電極の他方として機能することができる領域を有し、

20

前記第5の導電層は、前記第4の導電層と電氣的に接続されており、
前記第1の半導体層は、前記トランジスタのチャンネル形成領域として機能することができる領域を有し、

前記第2の半導体層は、第1の容量素子の一方の電極として機能することができる領域を有し、

前記第5の導電層は、前記第1の容量素子の他方の電極として機能することができる領域を有し、

前記第2の導電層は、第2の容量素子の一方の電極として機能することができる領域を有し、

前記第4の導電層は、前記第2の容量素子の他方の電極として機能することができる領域を有することを特徴とする液晶表示装置。

30

【請求項7】

基板の上方に第1の導電層を有し、
前記基板の上方に第2の導電層を有し、
前記第1の導電層の上方と前記第2の導電層の上方とに第1の絶縁層を有し、
前記第1の絶縁層の上方に第1のシリコン層を有し、
前記第1の絶縁層の上方に第2のシリコン層を有し、
前記第1のシリコン層の上方に第3の導電層を有し、
前記第1のシリコン層の上方に第4の導電層を有し、
前記第3の導電層の上方と前記第4の導電層の上方とに第2の絶縁層を有し、
前記第2の絶縁層の上方に第5の導電層を有し、
前記第1の導電層は、トランジスタのゲート電極として機能することができる領域を有し、

40

前記第2の導電層は、前記第2のシリコン層と電氣的に接続されており、
前記第3の導電層は、前記トランジスタのソース電極又は前記トランジスタのドレイン電極の一方として機能することができる領域を有し、

前記第4の導電層は、前記トランジスタのソース電極又は前記トランジスタのドレイン電極の他方として機能することができる領域を有し、

前記第5の導電層は、前記第4の導電層と電氣的に接続されており、

前記第1のシリコン層は、前記第1の導電層と重なる領域を有し、

50

前記第2のシリコン層は、前記第5の導電層と重なる領域を有し、
前記第4の導電層は、前記第2の導電層と重なる領域を有することを特徴とする液晶表示装置。

【請求項8】

基板の上方に第1の導電層を有し、
前記基板の上方に第2の導電層を有し、
前記第1の導電層の上方と前記第2の導電層の上方とに第1の絶縁層を有し、
前記第1の絶縁層の上方に第1のシリコン層を有し、
前記第1の絶縁層の上方に第2のシリコン層を有し、
前記第1のシリコン層の上方に第3の導電層を有し、
前記第1のシリコン層の上方に第4の導電層を有し、
前記第3の導電層の上方と前記第4の導電層の上方とに第2の絶縁層を有し、
前記第2の絶縁層の上方に第5の導電層を有し、
前記第1の導電層は、トランジスタのゲート電極として機能することができる領域を有し、

10

前記第2の導電層は、前記第2のシリコン層と電氣的に接続されており、
前記第3の導電層は、前記トランジスタのソース電極又は前記トランジスタのドレイン電極の一方として機能することができる領域を有し、
前記第4の導電層は、前記トランジスタのソース電極又は前記トランジスタのドレイン電極の他方として機能することができる領域を有し、

20

前記第5の導電層は、前記第4の導電層と電氣的に接続されており、
前記第1のシリコン層は、前記トランジスタのチャネル形成領域として機能することができる領域を有し、
前記第2のシリコン層は、第1の容量素子の一方の電極として機能することができる領域を有し、

前記第5の導電層は、前記第1の容量素子の他方の電極として機能することができる領域を有し、

前記第2の導電層は、第2の容量素子の一方の電極として機能することができる領域を有し、

前記第4の導電層は、前記第2の容量素子の他方の電極として機能することができる領域を有することを特徴とする液晶表示装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関する。

【背景技術】

【0002】

近年、液晶ディスプレイ(LCD)などのフラットパネルディスプレイが広く普及してきている。薄膜トランジスタの半導体層材料として、アモルファス(非晶質)シリコンやポリ(多結晶)シリコンを用いたものが多く使われている一方、透光性を有する金属酸化物も注目集めている。例えば、In-Ga-Zn-O系酸化物などを、薄膜トランジスタのチャネル層に適用することで、開口率を向上させる技術が検討されている。また、特許文献1では、寄生容量を低減させ、薄膜の剥がれに起因する不良を防止する薄膜トランジスタを作製する技術を開示している。

40

【0003】

非特許文献1では、液晶表示装置の低消費電力化を図るために、動画表示と静止画表示の際のフレーム周波数を異ならせる構成について開示している。

【先行技術文献】

【特許文献】

【0004】

50

【特許文献1】特開2010-098305号公報

【非特許文献】

【0005】

【非特許文献1】Kazuhiko Tsuda et al., IDW '02, pp 295-298

【発明の概要】

【発明が解決しようとする課題】

【0006】

静止画表示時にフレーム周波数を低くした場合(1/600Hz~1Hz)、画像信号等の電気信号の保持時間をより長くし、より良好な静止画表示を維持するためには、画素内における保持容量が大きい方が有利である。しかし画素内において保持容量を大きくしようと設計すると、画素の開口率が低減する問題や、画素トランジスタのチャネル幅を大きくしなければならないといった問題がある。また、フリッカーノイズ(ちらつき)を防ぎ、より滑らかな動画表示を実現するため、動画表示時にはフレーム周波数を高くする(60Hz~180Hz)。カラーシーケンシャル表示を行う場合には、更にフレーム周波数を高くする(180Hz~480Hz)。この際、画像信号等の電気信号は素早く切り替えられるため、画素内において保持容量を大きくする必要はない。つまり静止画表示時及び動画表示時のどちらの場合に対しても、適切な保持容量を狭い面積の画素内に同時に確保することは非常に困難である。

10

【0007】

上述の問題に鑑み、開示する発明の一態様では、フレーム周波数の変化に対応させて、開口率を低減させることなく画素内に所望の保持容量を確保することを可能とした液晶表示装置を提供することを課題の一とする。また消費電力を低減させ、より高精細な画像表示を可能とした液晶表示装置を提供することを課題の一とする。

20

【課題を解決するための手段】

【0008】

本発明の一態様は、ゲート電極が走査線と電気的に接続され、ソース電極又はドレイン電極の一方となる第1の電極が信号線と電気的に接続され、ソース電極又はドレイン電極の他方となる第2の電極が画素電極と電気的に接続される画素トランジスタと、一方の電極が第2の電極と電気的に接続され、他方の電極が容量線に電気的に接続される第1の容量素子と、一方の電極が第2の電極と電気的に接続され、他方の電極が容量線に電気的に接続される第2の容量素子とを有し、第2の容量素子は、一方の電極が画素電極と同じ層で形成され、他方の電極が画素トランジスタの半導体層と同じ半導体材料で形成され、一方の電極と他方の電極との間に誘電体層が挟まれたMOSキャパシタ構造を有し、容量線の電位を調整することによって、ゲートパルスの時間間隔に応じて第2の容量素子の容量値を変化させることを特徴とする液晶表示装置である。

30

【0009】

また、本発明の一態様は、ゲート電極が走査線と電気的に接続され、ソース電極又はドレイン電極の一方となる第1の電極が信号線と電気的に接続され、ソース電極又はドレイン電極の他方となる第2の電極が画素電極と電気的に接続される画素トランジスタと、一方の電極が第2の電極と電気的に接続され、他方の電極が遮蔽用配線に電気的に接続される第1の容量素子と、一方の電極が第2の電極と電気的に接続され、他方の電極が容量線に電気的に接続される第2の容量素子と、ゲート電極が遮蔽用配線と電気的に接続され、ソース電極又はドレイン電極の一方となる第1の電極が、第1の容量素子の一方の電極と電気的に接続され、ソース電極又はドレイン電極の他方となる第2の電極が容量線に電気的に接続されるトランジスタとを有し、第2の容量素子は、一方の電極が画素電極と同じ層で形成され、他方の電極が画素トランジスタの半導体層と同じ半導体材料で形成され、一方の電極と他方の電極との間に誘電体層が挟まれたMOSキャパシタ構造を有し、容量線の電位を調整し、少なくとも画像表示時にトランジスタがオフとなるような電位を遮蔽用配線に供給することによって、ゲートパルスの時間間隔に応じて第2の容量素子の容量値

40

50

を変化させることを特徴とする液晶表示装置である。

【0010】

また本発明の一態様において、画素電極と半導体層は、透光性を有することを特徴とする液晶表示装置である。

【0011】

また本発明の一態様において、半導体層は、酸化物半導体で構成されていてもよい。

【0012】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。また、「上」「下」の用語は説明の便宜のために用いる表現に過ぎない。

10

【0013】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0014】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

20

【0015】

なお、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電氣信号の授受を可能とするものであれば、特に制限を受けない。

【0016】

例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【発明の効果】

30

【0017】

本発明の一態様により、フレーム周波数の変化に対応させて、開口率を低減させることなく画素内に所望の保持容量を確保することを可能とした液晶表示装置を得ることができる。また消費電力を低減させ、より高精細な画像表示を可能とした液晶表示装置を得ることができる。

【図面の簡単な説明】

【0018】

【図1】液晶表示装置の画素構成を示す回路図。

【図2】液晶表示装置の画素構成を示す上面図。

【図3】液晶表示装置の画素構成を示す断面図。

40

【図4】容量 - 電圧特性及び電圧の関係図。

【図5】容量 - 電圧特性。

【図6】液晶表示装置の画素構成を示す回路図。

【図7】液晶表示装置の画素構成を示す上面図。

【図8】液晶表示装置の画素構成を示す断面図。

【発明を実施するための形態】

【0019】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈さ

50

れるものではない。

【 0 0 2 0 】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【 0 0 2 1 】

なお、本明細書等における「第 1」、「第 2」、「第 3」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【 0 0 2 2 】

(実施の形態 1)

本実施の形態では、開示する発明の一態様に係る液晶表示装置における画素の構成および保持容量を切り替える方法について、説明する。なお本実施の形態で説明する液晶表示装置は、画像の表示状態に合わせて容量値を変化させることができる画素を有するものである。

【 0 0 2 3 】

図 1 は、液晶表示装置が有する画素の回路の一例を示す図である。

【 0 0 2 4 】

画素 1 1 0 は、画素トランジスタ 3 0 0、第 1 の容量素子 1 0、第 2 の容量素子 2 0 を有する。画素トランジスタ 3 0 0 のゲート電極は、走査線 G L と電氣的に接続され、画素トランジスタ 3 0 0 のソース電極又はドレイン電極の一方となる第 1 電極は、信号線 S L と電氣的に接続されている。そして、第 1 の容量素子 1 0 の一方の電極と第 2 の容量素子 2 0 の一方の電極とは、電氣的に接続され、画素トランジスタ 3 0 0 のソース電極又はドレイン電極の他方となる第 2 電極と、第 1 の容量素子 1 0 の他方の電極と、第 2 の容量素子 2 0 の他方の電極とは、電氣的に接続されている。なお第 1 の容量素子 1 0 の一方の電極、及び第 2 の容量素子 2 0 の一方の電極は、容量線 C s と電氣的に接続されている。

【 0 0 2 5 】

次いで、図 1 に示した画素の具体的な構成の一例を、図 2 及び図 3 を用いて説明する。図 2 に、画素の上面図を示す。また、図 3 に、図 2 の鎖線 A 1 - A 2 における画素の断面図を示す。

【 0 0 2 6 】

断面 A 1 - A 2 において、基板 5 0 0 上に下地層 5 0 1 が形成され、下地層 5 0 1 上にゲート電極 5 0 2、配線 5 0 3、配線 5 0 4、が形成されている。また、ゲート電極 5 0 2、配線 5 0 3、配線 5 0 4 を覆うように、ゲート絶縁層 5 0 7 が形成されている。更に、半導体層 5 0 8 が、ゲート電極 5 0 2 と重なるようにゲート絶縁層 5 0 7 上に形成され、半導体層 5 0 9 が、ゲート絶縁層 5 0 7 上に形成されている。また、ゲート電極 5 0 2 の端部と重なるように、半導体層 5 0 8 上にソース電極 5 1 0 a 及びドレイン電極 5 1 0 b が形成され、配線 5 0 4 の一部に接し、ゲート絶縁層 5 0 7、半導体層 5 0 9 上に、配線 5 1 1 が形成されている。なお、配線 5 1 1 は、ゲート絶縁層 5 0 7 に形成されたコンタクトホール 5 1 6 を介して配線 5 0 4 に電氣的に接続されている。また、半導体層 5 0 8 の一部に接し、ソース電極 5 1 0 a、ドレイン電極 5 1 0 b、配線 5 1 1 上に絶縁層 5 1 2、絶縁層 5 1 3 が順に形成され、絶縁層 5 1 3 上には画素電極 5 1 4 が形成されている。なお、画素電極 5 1 4 は、絶縁層 5 1 2、絶縁層 5 1 3 に形成されたコンタクトホール 5 1 5 を介してドレイン電極 5 1 0 b に電氣的に接続されている。

【 0 0 2 7 】

配線 5 0 4 とドレイン電極 5 1 0 b が、ゲート絶縁層 5 0 7 を間に挟んで重なっている部分が第 1 の容量素子 1 0 として機能する。ゲート絶縁層 5 0 7 は誘電体層として機能する。また、半導体層 5 0 9 と画素電極 5 1 4 が、絶縁層 5 1 2 と絶縁層 5 1 3 を間に挟んで重なっている部分が第 2 の容量素子 2 0 として機能する。絶縁層 5 1 2 と絶縁層 5 1 3 は誘電体層として機能する。

【 0 0 2 8 】

10

20

30

40

50

誘電体層を多層構造とすることで、絶縁層に形成されるピンホール等による層間ショート
を防止させることができる。すなわち一つの誘電体層にピンホールが生じても、ピンホ
ールは他の誘電体層で被覆されるため、第2の容量素子20の機能を向上させることが
できる。

【0029】

半導体層508及び半導体層509は、非晶質シリコン、微結晶シリコン及び多結晶シリ
コンを用いて形成することができる。しかしながら、低いフレーム周波数で画素を駆動す
る場合には、前述のシリコン系半導体材料よりもエネルギーギャップの広い半導体材料を
用いることが好ましい。エネルギーギャップの広い半導体材料として、好適には酸化物半
導体を用いることができる。例えば、酸化亜鉛系の酸化物半導体はエネルギーギャップが
約3 eVあり、可視光域において透過性に優れる。このような酸化物半導体はn型の導電
性を示すものが多いが、水素等のドナーとなる不純物を低減させ、また酸素欠損に起因す
る欠陥を低減することでより真性半導体に近づけることができる。このような高純度化さ
れた酸化物半導体は、エネルギーギャップが広いことと相まって、トランジスタのオフ電
流を十分に低減することができる。

10

【0030】

半導体層508に酸化物半導体を用いて画素トランジスタ300を構成することで、オフ
電流を低減することができ、画素に設けた保持容量から電荷が消失してしまう割合を低減
することができる。すなわち、フレーム周波数を低くした場合でも、次の書き込み期間ま
で保持容量に電荷を保持し続けることが可能となる。

20

【0031】

用いる酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含
むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物を用いたトラ
ンジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガ
リウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有
することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好
ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。

【0032】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、
プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、
テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、
イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種あるいは複数種を有してもよい。

30

【0033】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化
物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系
酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の
酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系
酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸
化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化
物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化
物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、
In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、I
n-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In
-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、I
n-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-
Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用
いることができる。

40

【0034】

なお、ここで、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを有する酸化

50

物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0035】

また、酸化物半導体として、 $InMO_3(ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない)で表記される材料を用いてもよい。なお、 M は、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $In_2SnO_5(ZnO)_n$ ($n > 0$ 、且つ、 n は整数)で表記される材料を用いてもよい。

【0036】

例えば、 $In : Ga : Zn = 1 : 1 : 1 (= 1/3 : 1/3 : 1/3)$ あるいは $In : Ga : Zn = 2 : 2 : 1 (= 2/5 : 2/5 : 1/5)$ の原子比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $In : Sn : Zn = 1 : 1 : 1 (= 1/3 : 1/3 : 1/3)$ 、 $In : Sn : Zn = 2 : 1 : 3 (= 1/3 : 1/6 : 1/2)$ あるいは $In : Sn : Zn = 2 : 1 : 5 (= 1/4 : 1/8 : 5/8)$ の原子比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0037】

しかし、これらに限られず、必要とする半導体特性(移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

【0038】

また、画素トランジスタ300の半導体層508は、ゲート電極502に重なる構成を用いることが望ましい。このような構成を採用することで、基板500側から入射した光により半導体層508中の酸化物半導体が劣化するのを防ぐことができる。これにより、画素トランジスタ300の閾値電圧がシフトするなどの特性の劣化が引き起こされるのを防ぐことができる。

【0039】

画素電極514には、透光性を有する導電材料を用いることが好ましい。透光性を有する導電材料としては、酸化珪素を含む酸化インジウムスズ(ITSO)、酸化インジウムスズ(ITO)、酸化亜鉛(ZnO)、酸化インジウム亜鉛(IZO)(登録商標)、ガリウムを添加した酸化亜鉛(GZO)などの材料を用いることができる。なお本明細書において、透光性を有する導電材料とは可視光の透過率が75~100%である材料を指すものとする。

【0040】

半導体層509に酸化物半導体を用いて、画素電極514に、透光性を有する導電材料を用いることで、透光性を有する第2の容量素子20を形成することが可能になる。このため、画素110の開口率を向上させることができる。第2の容量素子20の面積を、画素ピッチの7割以上、または8割以上とすることで、より開口率を向上させた液晶表示装置を実現することができる。

【0041】

次いで、図1乃至図3に示した画素が、保持容量の値を変化させる具体的な方法について説明する。

【0042】

図4(A)に、MOSキャパシタの容量(C)-電圧(V_g)特性を示す。横軸はゲート電圧 V_g 、縦軸は容量Cである。半導体層509と画素電極514が、絶縁層512と絶縁層513を間に挟んで重なって形成されている第2の容量素子20は、MOSキャパシタを構成している。MOSキャパシタは、図4(A)に示すように、電圧値がある一定のしきい値電圧 V_{th} より低い場合は、容量素子として機能せず、電圧値がある一定のしきい値電圧 V_{th} 以上の場合にのみ、容量素子として機能するという特性を持つ。

【0043】

図4(B)に、動画表示期間と静止画表示期間において、容量線Csの電圧値を変化させ

10

20

30

40

50

た場合、容量線Csが取り得る電圧値の範囲の模式図を示す。ビデオデータ電圧Vviは、図4(B)に示すように、最大値Vmaxから、最小値Vminまでのある一定の範囲内の値を取る。従って、容量線Csの電圧値を、動画表示期間には、ビデオデータ電圧Vviの最大値Vmax以上に調整し、静止画表示期間には、ビデオデータ電圧Vviの最小値Vmin以下に調整する。

【0044】

図5において、第2の容量素子20のゲート電極の電圧Vgが、ビデオデータ電圧Vviの最大値Vmaxから、最小値Vminまでの値を取る場合の範囲をa、ビデオデータ電圧Vviの最小値Vmin以下の値を取る場合の範囲をb、ビデオデータ電圧Vviの最大値Vmax以上の値を取る場合の範囲をcとする。

10

【0045】

容量線Csの電圧値をビデオデータ電圧Vviの最大値Vmax以上に調整した場合、第2の容量素子20のゲート電極の電圧値Vgは、ビデオデータ電圧Vviの最小値Vmin以下の値を取る。図5(A)より、第2の容量素子20のゲート電極の電圧値Vgが、範囲b内のいずれかの値を取る時、第2の容量素子20の容量値は、値を取らないことがわかる。

【0046】

つまり動画表示期間には、第1の容量素子10の一方の電極、及び第2の容量素子20の一方の電極と電気的に接続される容量線Csの電圧値が、ビデオデータ電圧Vviの最大値Vmax以上の値を取るため、MOSキャパシタである第2の容量素子20は機能しないことになる。従って、画素110においては、第1の容量素子10のみが機能する。

20

【0047】

容量線Csの電圧値をビデオデータ電圧Vviの最小値Vmin以下に調整した場合、第2の容量素子20のゲート電極の電圧値Vgは、ビデオデータ電圧Vviの最大値Vmax以上の値を取る。図5(B)より、第2の容量素子20のゲート電極の電圧値Vgが、範囲cのいずれかの値を取る時、第2の容量素子20の容量値は、ある一定の値Caを取ることがわかる。

【0048】

つまり静止画表示期間には、第1の容量素子10の一方の電極、及び第1の容量素子10の一方の電極と電気的に接続される容量線Csの電圧値が、ビデオデータ電圧Vviの最小値Vmin以下の値を取るため、MOSキャパシタである第2の容量素子20は機能する。従って、画素110においては、第1の容量素子10及び第2の容量素子20が機能する。

30

【0049】

このように、上記構成によれば、容量線Csの電圧値を調整することによって、動画表示期間と、静止画表示期間の両期間で容量値の切り替えが可能になる。すなわち画像の表示状態に依存して、極端に変化するフレーム周波数の値に対応させて、その都度、画素内の容量値を、各画素に最も適するように変化させることができる。特にカラーシーケンシャル表示時のような極めて高いフレーム周波数で画素を駆動する場合は、より一層画素内の容量値を低減させることができるため、液晶表示装置の小型化、高集積化が実現される。つまり、画素に対して、効率良く所望の容量値を設定できるため、液晶表示装置全体の消費電力を低減させることが可能になる。

40

【0050】

また、上記構成によれば、第1の容量素子10の一方の電極、及び第2の容量素子20の一方の電極と電気的に接続される容量線Csの電圧値を調整することによって、画素全体の容量値を独立して制御できるため無駄に配線を引き回す必要はない。このため、隣接配線間の重なりに生じる寄生容量を低減させることができ、より高精細な液晶表示装置を得ることができる。また、画素トランジスタ300のチャンネル幅に依存せず、適切な保持容量を画素内に確保できるため、液晶表示装置の高集積化が容易になる。

【0051】

50

(実施の形態2)

本実施の形態では、開示する発明の一態様に係る液晶表示装置における別の画素の構成および保持容量を切り替える方法について、説明する。なお本実施の形態で説明する液晶表示装置は、画像の表示状態に合わせて容量値を変化させることができる画素を有するものである。

【0052】

図6は、液晶表示装置が有する画素の回路の一例を示す図である。

【0053】

画素111は、画素トランジスタ301、トランジスタ400、第1の容量素子11、第2の容量素子21を有する。画素トランジスタ301のゲート電極は、走査線GLと電氣的に接続され、画素トランジスタ301のソース電極又はドレイン電極の一方となる第1電極は、信号線SLと電氣的に接続されている。そして、第1の容量素子11の一方の電極とトランジスタ400のゲート電極とは、電氣的に接続され、トランジスタ400のソース電極又はドレイン電極の一方となる第1電極と、第2の容量素子21の一方の電極とは、電氣的に接続され、画素トランジスタ301のソース電極又はドレイン電極の他方となる第2電極と、第1の容量素子11の他方の電極と、トランジスタ400のソース電極又はドレイン電極の他方となる第2電極と、第2の容量素子21の他方の電極とは、電氣的に接続されている。

10

【0054】

なおトランジスタ400のゲート電極及び第1の容量素子11の一方の電極は、遮蔽用配線Diと電氣的に接続され、トランジスタ400のソース電極又はドレイン電極の一方となる第1電極及び第2の容量素子21の一方の電極は、容量線Csと電氣的に接続されている。更に、遮蔽用配線Diには、少なくとも画像表示時にトランジスタ400がオフとなるような電位が供給されている。

20

【0055】

次いで、図6に示した画素の具体的な構成の一例を、図7乃至図8を用いて説明する。図7に、画素の上面図を示す。また、図8に、図7の鎖線A1-A2における画素の断面図を示す。

【0056】

断面A1-A2において、基板200上に下地層201が形成され、下地層201上にゲート電極202、配線203、配線204、配線205が形成されている。また、ゲート電極202、配線203、配線204、配線205上に、ゲート絶縁層206と半導体層207が形成されている。また、半導体層207上にソース電極208a及びドレイン電極208bが形成されている。また、半導体層207の一部に接し、ソース電極208a及びドレイン電極208b上に絶縁層209が形成されている。絶縁層209上には画素電極210が形成されている。なお、画素電極210は、絶縁層209に形成されたコンタクトホール211を介してドレイン電極208bに電氣的に接続されている。

30

【0057】

配線204とドレイン電極208bが、ゲート絶縁層206と半導体層207を間に挟んで重なっている部分が第1の容量素子11として機能する。ゲート絶縁層206と半導体層207は誘電体層として機能する。また、半導体層207と画素電極210が、絶縁層209を間に挟んで重なっている部分が第2の容量素子21として機能する。絶縁層209は誘電体層として機能する。

40

【0058】

誘電体層を多層構造とすることで、絶縁層に形成されるピンホール等による層間ショートを防止させることができる。すなわち一つの誘電体層にピンホールが生じても、ピンホールは他の誘電体層で被覆されるため、第1の容量素子11の機能を向上させることができる。

【0059】

半導体層207に酸化物半導体を用いて画素トランジスタ301を構成することで、オフ

50

電流を低減することができ、画素に設けた保持容量から電荷が消失してしまう割合を低減することができる。すなわち、フレーム周波数を低くした場合でも、次の書き込み期間まで保持容量に電荷を保持し続けることが可能となる。

【0060】

画素電極210には、透光性を有する導電材料を用いることが好ましい。透光性を有する導電材料としては、酸化珪素を含む酸化インジウムスズ(ITSO)、酸化インジウムスズ(ITO)、酸化亜鉛(ZnO)、酸化インジウム亜鉛(IZO)(登録商標)、ガリウムを添加した酸化亜鉛(GZO)などの材料を用いることができる。なお本明細書において、透光性を有する導電材料とは可視光の透過率が75~100%である材料を指すものとする。

10

【0061】

半導体層207に酸化物半導体を用いて、画素電極210に、透光性を有する導電材料を用いることで、透光性を有する第2の容量素子21を形成することが可能になる。このため、画素111の開口率を向上させることができる。第2の容量素子21の面積を、画素ピッチの7割以上、または8割以上とすることで、より開口率を向上させた液晶表示装置を実現することができる。なお、画素ピッチとは、隣り合う信号線から信号線までの距離を一辺とし、隣り合う走査線から走査線までの距離をもう一辺として、これらの両辺に囲まれた部分の面積を示すものとする。

【0062】

次いで、図6乃至図8に示した画素が、保持容量の値を変化させる具体的な方法について説明する。

20

【0063】

半導体層207と画素電極210が、絶縁層209を間に挟んで重なって形成されている第2の容量素子21は、MOSキャパシタを構成している。MOSキャパシタは、図4(A)に示すように、電圧値がある一定のしきい値電圧 V_{th} より低い場合は、容量素子として機能せず、電圧値がある一定のしきい値電圧 V_{th} 以上の場合にのみ、容量素子として機能するという特性を持つ。

【0064】

図4(B)に、動画表示期間と静止画表示期間において、容量線Csの電圧値を変化させた場合、容量線Csが取り得る電圧値の範囲の模式図を示す。ビデオデータ電圧 V_{vi} は、図4(B)に示すように、最大値 V_{max} から、最小値 V_{min} までのある一定の範囲内の値を取る。従って、容量線Csの電圧値を、動画表示期間には、ビデオデータ電圧 V_{vi} の最大値 V_{max} 以上に調整し、静止画表示期間には、ビデオデータ電圧 V_{vi} の最小値 V_{min} 以下に調整する。

30

【0065】

なお、画素111において、遮蔽用配線Diを設置しているのは、図8における領域Bが導通するのを防ぐためである。従って、トランジスタ400のゲート電極と電氣的に接続される遮蔽用配線Diには、少なくとも画像表示時には、トランジスタ400がオフとなるような電位を供給する必要がある。

【0066】

容量線Csの電圧値をビデオデータ電圧 V_{vi} の最大値 V_{max} 以上に調整した場合、第2の容量素子21のゲート電極の電圧値 V_g は、ビデオデータ電圧 V_{vi} の最小値 V_{min} 以下の値を取る。図5(A)より、第2の容量素子21のゲート電極の電圧値 V_g が、範囲b内のいずれかの値を取る時、第2の容量素子21の容量値は、値を取らないことがわかる。

40

【0067】

つまり動画表示期間には、第2の容量素子21の一方の電極、及びトランジスタ400のソース電極又はドレイン電極の一方となる第1電極と電氣的に接続される容量線Csの電圧値が、ビデオデータ電圧 V_{vi} の最大値 V_{max} 以上の値を取るため、MOSキャパシタである第2の容量素子21は機能しないことになる。従って、画素111においては、

50

第1の容量素子11のみが機能する。

【0068】

容量線Csの電圧値をビデオデータ電圧Vviの最小値Vmin以下に調整した場合、第2の容量素子21のゲート電極の電圧値Vgは、ビデオデータ電圧Vviの最大値Vmax以上の値を取る。図5(B)より、第2の容量素子21のゲート電極の電圧値Vgが、範囲cのいずれかの値を取る時、第2の容量素子21の容量値は、ある一定の値Caを取ることがわかる。

【0069】

つまり静止画表示期間には、第2の容量素子21の一方の電極、及びトランジスタ400のソース電極又はドレイン電極の一方となる第1電極と電氣的に接続される容量線Csの電圧値が、ビデオデータ電圧Vviの最小値Vmin以下の値を取るため、MOSキャパシタである第2の容量素子21は機能する。従って、画素111においては、第1の容量素子11及び第2の容量素子21が機能する。

【0070】

このように、上記構成によれば、容量線Csの電圧値を調整することによって、動画表示期間と、静止画表示期間の両期間で容量値の切り替えが可能になる。すなわち画像の表示状態に依存して、極端に変化するフレーム周波数の値に対応させて、その都度、画素内の容量値を、各画素に最も適するように変化させることができる。特にカラーシーケンシャル表示時のような極めて高いフレーム周波数で画素を駆動する場合は、より一層画素内の容量値を低減させることができるため、液晶表示装置の小型化、高集積化が実現される。つまり、画素に対して、効率良く所望の容量値を設定できるため、液晶表示装置全体の消費電力を低減させることが可能になる。

【0071】

また、上記構成によれば、第2の容量素子21の一方の電極、及びトランジスタ400のソース電極又はドレイン電極の一方となる第1電極と電氣的に接続される容量線Csの電圧値を調整することによって、画素全体の容量値を独立して制御できるため無駄に配線を引き回す必要はない。このため、隣接配線間の重なりに生じる寄生容量を低減させることができ、より高精細な液晶表示装置を得ることができる。また、画素トランジスタ301のチャンネル幅に依存せず、適切な保持容量を画素内に確保できるため、液晶表示装置の高集積化が容易になる。

【符号の説明】

【0072】

10	容量素子
11	容量素子
20	容量素子
21	容量素子
110	画素
111	画素
200	基板
201	下地層
202	ゲート電極
203	配線
204	配線
205	配線
206	ゲート絶縁層
207	半導体層
209	絶縁層
210	画素電極
211	コンタクトホール
300	画素トランジスタ

10

20

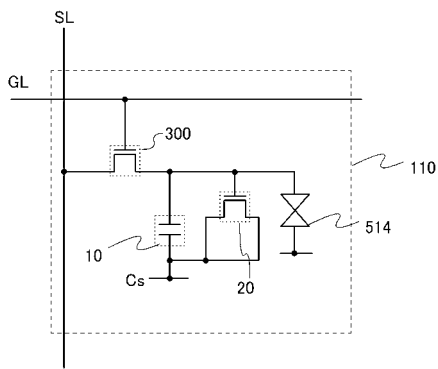
30

40

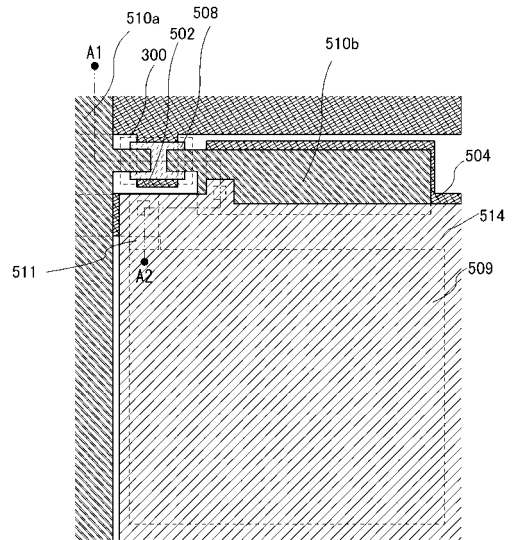
50

3 0 1	画素トランジスタ	
4 0 0	トランジスタ	
5 0 0	基板	
5 0 1	下地層	
5 0 2	ゲート電極	
5 0 3	配線	
5 0 4	配線	
5 0 7	ゲート絶縁層	
5 0 8	半導体層	
5 0 9	半導体層	10
5 1 1	配線	
5 1 2	絶縁層	
5 1 3	絶縁層	
5 1 4	画素電極	
5 1 5	コンタクトホール	
5 1 6	コンタクトホール	
2 0 8 a	ソース電極	
2 0 8 b	ドレイン電極	
5 1 0 a	ソース電極	
5 1 0 b	ドレイン電極	20

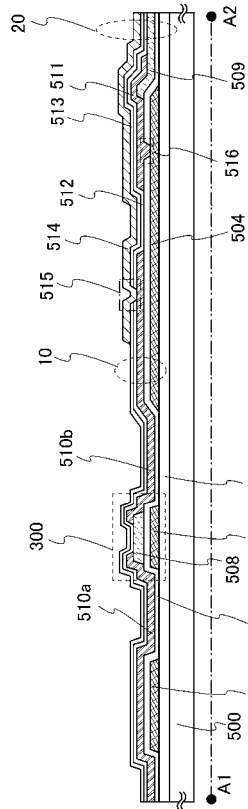
【図 1】



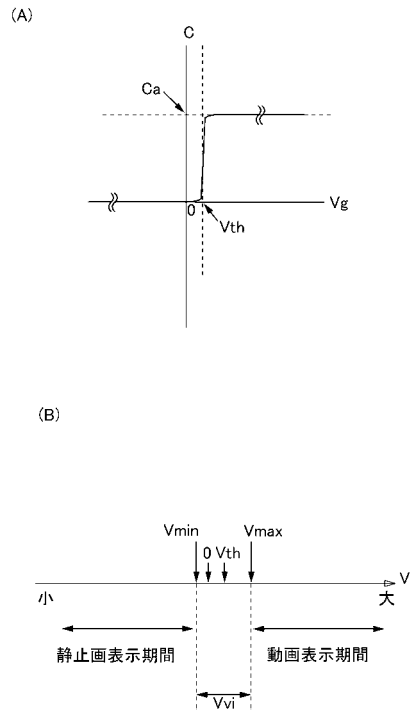
【図 2】



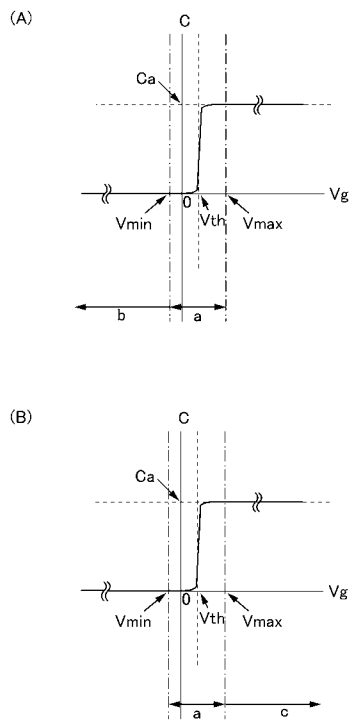
【図3】



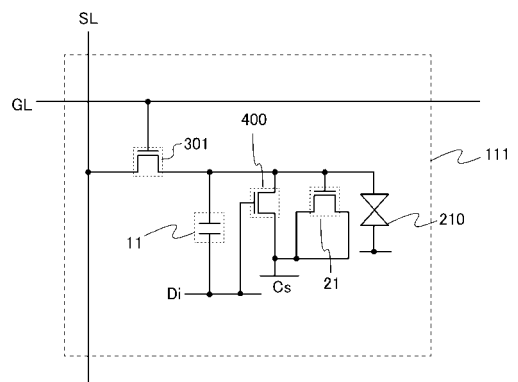
【図4】



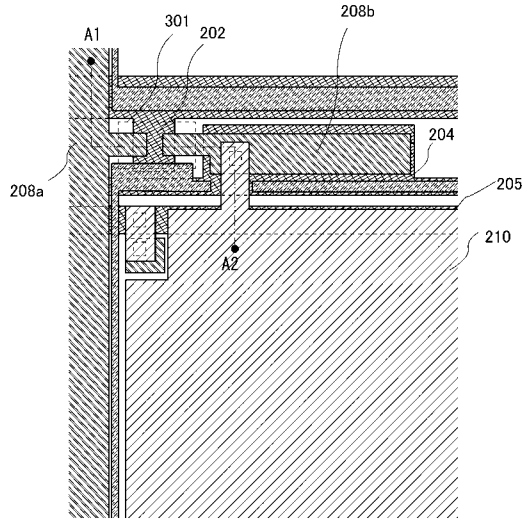
【図5】



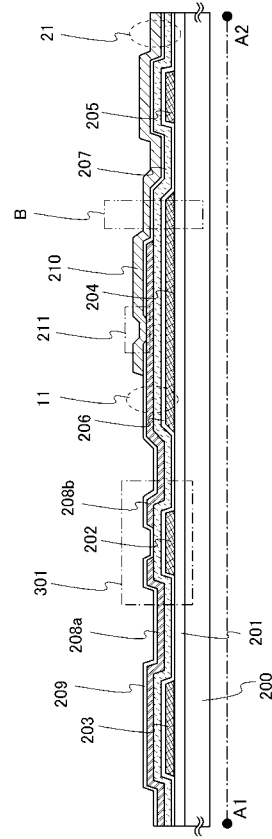
【図6】



【 図 7 】



【 図 8 】



フロントページの続き

- (56)参考文献 特開2002-072248(JP,A)
特開2010-114213(JP,A)
特開平11-103066(JP,A)
特開2005-215702(JP,A)
特開2002-357850(JP,A)
国際公開第2011/148537(WO,A1)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368
G09F 9/30
H01L 21/336
H01L 29/786

专利名称(译)	液晶表示装置		
公开(公告)号	JP5223023B2	公开(公告)日	2013-06-26
申请号	JP2012182147	申请日	2012-08-21
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	三宅博之		
发明人	三宅 博之		
IPC分类号	G02F1/1368 G09F9/30 H01L21/336 H01L29/786		
CPC分类号	H01L27/1225 G02F1/136213 H01L27/1255		
FI分类号	G02F1/1368 G09F9/30.338 H01L29/78.612.Z		
F-TERM分类号	2H092/JA26 2H092/JB42 2H092/JB64 2H092/JB66 2H092/JB69 2H092/KA04 2H092/KA05 2H092/KA08 2H092/KB14 2H092/NA07 2H092/NA25 2H092/PA06 2H192/AA24 2H192/CB05 2H192/CB22 2H192/CB37 2H192/DA12 2H192/DA43 2H192/DA65 2H192/GD61 5C094/AA04 5C094/AA05 5C094/AA10 5C094/AA21 5C094/AA22 5C094/BA03 5C094/BA43 5C094/DA13 5C094/EA04 5C094/FB14 5C094/FB15 5C094/FB16 5F110/AA30 5F110/BB01 5F110/CC07 5F110/GG01 5F110/GG02 5F110/GG13 5F110/GG14 5F110/GG15 5F110/NN03 5F110/NN72 5F110/NN73		
优先权	2010206282 2010-09-15 JP		
其他公开文献	JP2012226385A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其能够在不降低孔径比的情况下确保像素中的期望保持体积，以响应帧频率的变化。解决方案：在具有使用氧化物半导体材料的像素晶体管和每个像素中的两个电容元件的液晶显示装置中，一个电容元件由具有半透明性的材料制成，以改善像素的孔径比。此外，通过利用具有半透明性的电容元件的特性并响应于根据图像的显示状态而改变的帧频，调节电容线的电压值以改变像素中的保持体积的大小。

【图2】

