

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-191327

(P2017-191327A)

(43) 公開日 平成29年10月19日(2017.10.19)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H192
H01L 29/786 (2006.01)	H01L 29/78 613Z	5F110
H01L 21/336 (2006.01)	H01L 29/78 612B	
	H01L 29/78 618C	
	H01L 29/78 617N	
審査請求 有 請求項の数 3 O L (全 24 頁) 最終頁に続く		

(21) 出願番号	特願2017-113301 (P2017-113301)	(71) 出願人	000153878
(22) 出願日	平成29年6月8日(2017.6.8)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2015-228370 (P2015-228370)		神奈川県厚木市長谷398番地
原出願日	平成12年4月4日(2000.4.4)	(72) 発明者	北角 英人
(31) 優先権主張番号	特願平11-99481		神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成11年4月6日(1999.4.6)		半導体エネルギー研究所内
(33) 優先権主張国	日本国(JP)	(72) 発明者	河崎 律子
(31) 優先権主張番号	特願平11-176120		神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成11年6月22日(1999.6.22)		半導体エネルギー研究所内
(33) 優先権主張国	日本国(JP)	(72) 発明者	笠原 健司
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

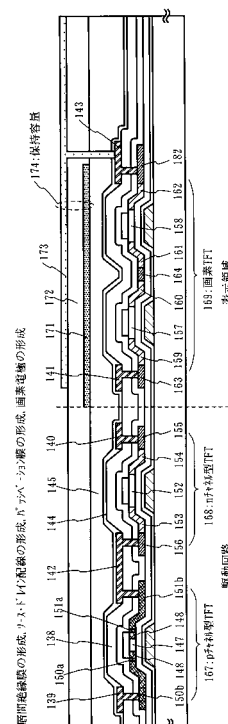
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】画素のTFTと電気的に接続する保持容量を設けた液晶表示装置。

【解決手段】画素TFTに接続する保持容量を、遮光膜と第3の層間絶縁膜と画素電極とから形成する。画素電極は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。遮光膜はAl、Ti、Taから選ばれた一種または複数種の元素を主成分とする膜である。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

表示領域と、駆動回路領域とを有し、
前記表示領域は、
基板上の、第 1 のゲート電極と、
前記基板上の、第 2 のゲート電極と、
前記第 1 のゲート電極上の、ゲート絶縁膜と、
前記第 2 のゲート電極上の、前記ゲート絶縁膜と、
前記ゲート絶縁膜上の、半導体膜と、
前記半導体膜上の、第 1 の絶縁膜と、
前記第 1 の絶縁膜上の、配線と、
前記配線上の、第 2 の絶縁膜と、
前記第 2 の絶縁膜上の、第 1 の電極と、
前記第 1 の電極上の、第 3 の絶縁膜と、
前記第 3 の絶縁膜上の、第 2 の電極と、を有し、
前記第 2 の電極は、画素電極として機能する領域を有し、
前記半導体膜は、第 1 の不純物領域と、第 1 のチャネル形成領域と、第 2 の不純物領域と、第 2 のチャネル形成領域と、第 3 の不純物領域とを有し、
前記半導体膜は、前記半導体膜上からみたとき、前記第 1 のチャネル形成領域と、前記第 2 のチャネル形成領域との間に曲がった領域を有し、
前記第 1 のチャネル形成領域は、前記第 1 のゲート電極と重なる領域を有し、
前記第 2 のチャネル形成領域は、前記第 2 のゲート電極と重なる領域を有し、
前記第 1 のゲート電極は、ゲート配線の一部であり、
前記第 2 のゲート電極は、前記ゲート配線の一部であり、
前記第 1 の絶縁膜は、第 1 の開口を有し、
前記第 2 の絶縁膜は、第 2 の開口を有し、
前記第 3 の絶縁膜は、第 3 の開口を有し、
前記第 1 の電極は、第 4 の開口を有し、
前記第 1 の不純物領域は、前記第 1 の開口を介して、前記配線と電氣的に接続され、
前記第 4 の開口は、前記第 3 の開口と重なる領域を有し、
前記第 3 の開口は、前記第 2 の開口と重なる領域を有し、
前記第 2 の電極は、前記第 2 の開口、前記第 3 の開口、及び前記第 4 の開口を介して、前記配線と電氣的に接続され、
前記第 2 の電極は、前記第 1 の開口と重ならない領域で、前記配線と接する第 1 の領域を有し、
前記第 1 の領域は、前記第 1 のゲート電極と重ならず、
前記第 1 の領域は、前記第 2 のゲート電極と重ならず、
前記第 2 の電極は、前記第 3 の絶縁膜を介して、前記第 1 の電極と重なる領域で、容量素子の電極として機能し、
前記第 3 の絶縁膜は、前記第 1 の電極を形成する材料の酸化物、又は窒化シリコン膜を有することを特徴とする液晶表示装置。

【請求項 2】

表示領域と、駆動回路領域とを有し、
前記表示領域は、
基板上の、第 1 のゲート電極と、
前記基板上の、第 2 のゲート電極と、
前記第 1 のゲート電極上の、ゲート絶縁膜と、
前記第 2 のゲート電極上の、前記ゲート絶縁膜と、
前記ゲート絶縁膜上の、半導体膜と、
前記半導体膜上の、第 1 の絶縁膜と、

前記第 1 の絶縁膜上の、配線と、
前記配線上の、第 2 の絶縁膜と、
前記第 2 の絶縁膜上の、第 1 の電極と、
前記第 1 の電極上の、第 3 の絶縁膜と、
前記第 3 の絶縁膜上の、第 2 の電極と、を有し、
前記第 2 の電極は、画素電極として機能する領域を有し、
前記半導体膜は、第 1 の不純物領域と、第 1 のチャネル形成領域と、第 2 の不純物領域と、第 2 のチャネル形成領域と、第 3 の不純物領域とを有し、
前記半導体膜は、前記半導体膜上からみたとき、前記第 1 のチャネル形成領域と、前記第 2 のチャネル形成領域との間に曲がった領域を有し、
前記第 1 のチャネル形成領域は、前記第 1 のゲート電極と重なる領域を有し、
前記第 2 のチャネル形成領域は、前記第 2 のゲート電極と重なる領域を有し、
前記第 1 のゲート電極は、ゲート配線の一部であり、
前記第 2 のゲート電極は、前記ゲート配線の一部であり、
前記第 1 の絶縁膜は、第 1 の開口を有し、
前記第 2 の絶縁膜は、第 2 の開口を有し、
前記第 3 の絶縁膜は、第 3 の開口を有し、
前記第 1 の電極は、第 4 の開口を有し、
前記第 1 の不純物領域は、前記第 1 の開口を介して、前記配線と電氣的に接続され、
前記第 4 の開口は、前記第 3 の開口と重なる領域を有し、
前記第 3 の開口は、前記第 2 の開口と重なる領域を有し、
前記第 2 の電極は、前記第 2 の開口、前記第 3 の開口、及び前記第 4 の開口を介して、前記配線と電氣的に接続され、
前記第 2 の電極は、前記第 1 の開口と重ならない領域で、前記配線と接する第 1 の領域を有し、
前記第 1 の領域は、前記第 1 のゲート電極と重ならず、
前記第 1 の領域は、前記第 2 のゲート電極と重ならず、
前記第 2 の電極は、前記第 3 の絶縁膜を介して、前記第 1 の電極と重なる領域で、容量素子の電極として機能し、
前記第 3 の絶縁膜は、前記第 1 の電極を形成する材料の酸化物、又は窒化シリコン膜を有し、
前記第 4 の開口において、前記第 3 の絶縁膜は、前記第 1 の電極の側面と重なる領域を有することを特徴とする液晶表示装置。
【請求項 3】
請求項 1 又は請求項 2 において、
前記第 2 の絶縁膜は、有機材料を有することを特徴とする液晶表示装置。
【発明の詳細な説明】
【技術分野】
【0001】
本発明は絶縁表面を有する基板上に薄膜トランジスタ（以下、TFTと記す）で構成された回路を有する半導体装置の作製方法に関する。特に本発明は、表示領域に設けた画素TFTと、該表示領域の周辺に設けた駆動回路とを同一の基板上に設けた液晶表示装置に代表される電気光学装置、およびそのような電気光学装置を搭載した電子機器に好適に利用できる。尚、本願明細書において半導体装置とは、半導体特性を利用することで機能する装置全般を指し、上記電気光学装置およびその電気光学装置を搭載した電子機器をその範疇に含んでいる。
【背景技術】
【0002】
絶縁表面を有する基板上に、結晶質シリコン膜で活性層を形成したTFT（以下、結晶質シリコンTFTと記す）は電界効果移動度が高いことから、いろいろな機能回路を形成

することが可能であり、そのような機能回路を同一基板上に一体形成した上記電気光学装置が開発されている。アクティブマトリクス型液晶表示装置はその代表例としてよく知られている。

【 0 0 0 3 】

結晶質シリコン T F T を用いたアクティブマトリクス型液晶表示装置は、画像表示領域の各画素に画素 T F T が形成され、画像表示領域の周辺には駆動回路が設けられている。駆動回路は C M O S 回路を基本として形成されるシフトレジスタ回路、レベルシフタ回路、バッファ回路、サンプリング回路などから構成され、このような回路が同一基板上に形成され、一体となって表示装置が完成する。

【 0 0 0 4 】

画素 T F T や駆動回路の動作条件は必ずしも同一ではないので、そのことから T F T に要求される特性も少なからず異なっている。例えば、画素 T F T は液晶に電圧を印加するためのスイッチ素子としての機能が要求されている。液晶は交流で駆動させるので、フレーム反転駆動と呼ばれる方式が多く採用されている。

この方式では保持容量の電荷を保持するために、画素 T F T に要求される特性は、オフ電流値（T F T がオフ動作時に流れるドレイン電流）を十分低くすることであった。一方、駆動回路のバッファ回路は高い駆動電圧が印加されるため、高電圧が印加されても壊れないように T F T の耐圧を高めておく必要があった。また電流駆動能力を高めるために、オン電流値（T F T がオン動作時に流れるドレイン電流）を十分確保する必要があった。

【 0 0 0 5 】

しかし、結晶質シリコン T F T のオフ電流値は高くなりやすいといった問題点があった。また、I C などで使われる M O S トランジスタと同様に、結晶質シリコン T F T にはオン電流値の低下といった劣化現象が観測される。その主たる原因はホットキャリア注入であり、ドレイン近傍の高電界によって発生したホットキャリアが劣化現象を引き起こすものと考えられている。

【 0 0 0 6 】

オフ電流値を低減するための T F T の構造として、低濃度ドレイン（L D D : Lightly Doped Drain）構造が知られている。この構造はチャネル形成領域と、高濃度に不純物元素を添加して形成するソース領域またはドレイン領域との間に低濃度に不純物元素を添加した領域を設けたものであり、この領域を L D D 領域と呼んでいる。

【 0 0 0 7 】

L D D 領域を有する T F T の作製方法に関し、例えば特許第 2 5 6 4 7 2 5 号には、ゲート絶縁膜をゲート電極よりチャネル幅方向に広く形成し、さらにそのゲート絶縁膜より薄い絶縁膜をその横に形成して、該絶縁膜とゲート絶縁膜との厚みの差を利用してゲート電極の端部とソースまたはドレイン領域との間の半導体膜に L D D 領域を形成する方法が開示されている。

【 0 0 0 8 】

また、ホットキャリアによる劣化を防ぐための手段として、L D D 領域をゲート絶縁膜を介してゲート電極と重なるように配置させた、いわゆる G O L D（Gate-drain Overlapped LDD）構造が知られている。このような構造とすることで、ドレイン近傍の高電界が緩和されてホットキャリア注入を防ぎ、劣化現象の防止に有効である。例えば、「Muto ko Hatano, Hajime Akimoto and Takeshi Sakai, IEDM97 TECHNICAL DIGEST, p523-526, 1997」では、シリコンで形成したサイドウォールにより形成した G O L D 構造を開示しているが、他の構造の T F T と比べ、きわめて優れた信頼性が得られることが確認されている。

【 0 0 0 9 】

このような構造の T F T のソース領域やドレイン領域、および L D D 領域などの不純物領域を形成するための半導体層への不純物元素の導入は、半導体層上に設けたゲート電極やマスク用の絶縁膜を用いて自己整合的に行う方法で行うことが望ましかった。さらに、マスク数を削減するために一旦、ゲート電極やマスク用の絶縁膜を用いて全面に一導電型

10

20

30

40

50

の不純物元素を導入し、それより高濃度でpチャネル型TFTまたはnチャネル型TFTのいずれか一方のTFTの不純物領域に一導電型とは反対の導電型の不純物元素を導入する方法（本明細書中ではクロスドープ法と記す）がとられていた。

【発明の概要】

【発明が解決しようとする課題】

【0010】

しかしながら、画素TFTと、シフトレジスタ回路やバッファ回路などの駆動回路のTFTとは、その要求される特性は必ずしも同じではない。例えば、画素TFTにおいてはゲートに大きな逆バイアス（nチャネル型TFTでは負の電圧）が印加されるが、駆動回路のTFTは基本的に逆バイアス状態で動作することはない。また、動作速度に関しても、画素TFTは駆動回路のTFTの1/100以下で良かった。

10

【0011】

GOLD構造はオン電流値の劣化を防ぐ効果は高いが、その反面、通常のLDD構造と比べてオフ電流値が大きくなってしまいう問題があった。従って、画素TFTに適用するには好ましい構造ではなかった。逆に通常のLDD構造はオフ電流値を抑える効果は高いが、ドレイン近傍の電界を緩和してホットキャリア注入による劣化を防ぐ効果は低かった。このように、アクティブマトリクス型液晶表示装置のような動作条件の異なる複数の集積回路を有する半導体装置において、全てのTFTを同じ構造で形成することは必ずしも好ましくなかった。このような問題点は、特に結晶質シリコンTFTにおいて、その特性が高まり、またアクティブマトリクス型液晶表示装置に要求される性能が高まるほど顕在化してきた。

20

【0012】

また、TFTのオフ電流値を低減するための手段はいくつかあるが、チャネル形成領域と不純物領域（LDD領域、ソース領域またはドレイン領域）との接合を良好に形成することが必要であった。そのためには、チャネル形成領域とそれに接する不純物領域との界面における不純物元素の分布を精密に制御する必要があった。しかし、前述のクロスドープ法を実施した場合、一方のTFTの不純物領域には一導電型の不純物元素と、それとは反対の導電型の不純物元素が導入されていて、界面における不純物元素の分布を精密に制御することは困難であった。

【0013】

30

このようなLDD構造はnチャネル型TFTの特性を重点的に考慮して形成されていた。CMOS回路などを形成するために同一基板上に形成されるpチャネル型TFTは、マスク数を可能な限り少なくするためにシングルドレイン構造で形成することが多かった。しかし、その場合、pチャネル型TFTのソースまたはドレイン領域にnチャネル型TFTのLDD形成用のリン（P）がドーピングされて、チャネル形成領域との接合に欠陥が形成され、オフ電流値が増加してしまう問題があった。

【0014】

本発明はこのような問題点を解決するための技術であり、半導体装置の各回路に配置されるTFTの構造を、回路の機能に応じて適切なものとすることにより、半導体装置の動作特性および信頼性を向上させることを目的とする。

40

【課題を解決するための手段】

【0015】

上記の課題を解決するために本発明の構成は、表示領域に設けた画素TFTと、該表示領域の周辺に設けた駆動回路のnチャネル型TFTとpチャネル型TFTを同一の基板に有する半導体装置において、前記画素TFTと前記駆動回路のTFTとは、活性層と、該活性層に設けられたLDD領域と、該活性層と前記基板との間に設けたゲート絶縁膜と、該ゲート絶縁膜と前記基板との間に設けたゲート電極とを有し、前記画素TFTと前記駆動回路のnチャネル型TFTのLDD領域は、当該ゲート電極と少なくとも一部が重なるように配置され、前記駆動回路のpチャネル型TFTのLDD領域は、当該ゲート電極と全てが重なるように配置されていることを特徴としている。また、前記画素TFTと

50

前記駆動回路とのnチャネル型TFTのLDD領域は、当該TFTに設けられたチャネル保護絶縁膜と重ならず、かつ、ゲート電極と少なくとも一部が重なるように配置され、前記駆動回路のpチャネル型TFTのLDD領域は、当該TFTの保護絶縁膜と重なり、かつ、ゲート電極と重なるように配置されていることを特徴とする。

【0016】

また、他の発明の構成は、前記駆動回路のpチャネル型TFTは、p型を付与する不純物元素とn型を付与する不純物元素との両方を含む不純物領域(A)と、p型を付与する不純物元素だけを含む不純物領域(B)とを有し、前記不純物領域(B)は、前記不純物領域(A)と前記駆動回路のpチャネル型TFTのLDD領域との間に形成されていることを特徴としている。

10

【0017】

この構造は、マスク数を増加させることなくpチャネル型TFTのソースまたはドレイン領域にドーピングされるリン(P)が、チャネル形成領域との接合部にはドーピングされない構造であり、オフ電流値の低減を目的としている。

【0018】

前記画素TFTに接続する保持容量は、前記基板上に形成された容量配線と、該容量配線上に形成された絶縁膜と、該絶縁膜上に形成された半導体層とから形成されていること、或いは、前記画素TFT上に有機樹脂膜が形成され、該有機樹脂膜上に形成された遮光膜と、該遮光膜に密接して形成された誘電体膜と、一部が前記遮光膜と重なるように設けられ前記画素TFTに接続する画素電極とから、容量が形成されていることを特徴としている。

20

【0019】

上記課題を解決するために、本発明の半導体装置の作製方法は、表示領域に設けた画素TFTと、該表示領域の周辺に設けた駆動回路のnチャネル型TFTとpチャネル型TFTとを同一の基板上に有する半導体装置の作製方法において、前記画素TFTと前記nチャネル型TFTに、当該ゲート電極と少なくとも一部が重なるLDD領域を形成する工程と、前記駆動回路のpチャネル型TFTに、当該ゲート電極と全てが重なるLDD領域を形成する工程とを有することを特徴としている。また、前記画素TFTと前記nチャネル型TFTに、当該TFTのチャネル保護絶縁膜と重ならず、かつ、ゲート電極と少なくとも一部が重なるLDD領域を形成する工程と、前記駆動回路のpチャネル型TFTに、当該TFTのチャネル保護絶縁膜と全てが重なり、かつ、当該ゲート電極と重なるLDD領域を形成する工程とを有していことを特徴とする。

30

【0020】

上記半導体装置の作製方法において、前記駆動回路のpチャネル型TFTに、p型を付与する不純物元素とn型を付与する不純物元素との両方を含む不純物領域(A)と、p型を付与する不純物元素を含む不純物領域(B)とを形成する工程を有し、前記不純物領域(B)は、前記不純物領域(A)と前記駆動回路のpチャネル型TFTのLDD領域との間に形成することが望ましい。

【0021】

また、他の発明の構成は、表示領域に設けた画素TFTと、該表示領域の周辺に設けた駆動回路のnチャネル型TFTとpチャネル型TFTとを同一の基板上に有する半導体装置の作製方法において、基板上にゲート電極を形成する第1の工程と、前記ゲート電極上にゲート絶縁膜を形成する第2の工程と、前記ゲート絶縁膜上に第1および第2の半導体層を形成する第3の工程と、前記第1および第2の半導体層上にチャネル保護膜を形成する第4の工程と、前記第1の半導体層にn型を付与する不純物元素を導入して、前記チャネル保護膜に重ならないnチャネル型TFTのLDD領域を形成する第5の工程と、前記第1の半導体層にn型を付与する不純物元素を導入して、nチャネル型TFTのソース領域またはドレイン領域を形成する第6の工程と、前記第2の半導体層に、p型を付与する不純物元素を導入して、前記チャネル保護膜に重なるpチャネル型TFTのLDD領域とソース領域またはドレイン領域を形成する第7の工程とを有することを特徴としている。

40

50

【 0 0 2 2 】

上記本発明の半導体装置の作製方法において、前記基板上に容量配線を形成する工程と、該容量配線上に絶縁層を形成する工程と、該絶縁層上に半導体層を形成する工程と、から前記画素 T F T に接続する保持容量を形成する工程、或いは、前記画素 T F T 上に有機樹脂層を形成する工程と、該有機樹脂上に遮光膜を形成する工程と、該遮光膜に密接して誘電体膜を形成する工程と、一部が前記遮光膜と重なるように設けられ前記画素 T F T に接続する画素電極を形成する工程とから容量を形成することを特徴としている。前記遮光膜は、アルミニウム、タンタル、チタンから選ばれた一種または複数種を含む材料で形成し、前記誘電体膜は、前記遮光膜を形成する材料の酸化物で形成することが好ましく、該酸化物を形成する方法として陽極酸化法を用いることが最も好ましい。

10

【 発明の効果 】

【 0 0 2 3 】

本発明を用いることで、同一の基板上に複数の機能回路が形成された半導体装置（ここでは具体的には電気光学装置）において、その機能回路が要求する仕様に応じて適切な性能の T F T を配置することが可能となり、その動作特性や信頼性を大幅に向上させることができる。

【 0 0 2 4 】

特に、L D D 領域が設けられたボトムゲート型または逆スタガ型の T F T において、画素 T F T の L D D 領域を n^- の濃度でかつ L o f f を形成することにより、大幅にオフ電流値を低減でき、画素 T F T の低消費電力化に寄与することができる。また、駆動回路の n チャンネル型 T F T の L D D 領域を n^- の濃度でかつ L o v + L o f f を形成することにより、電流駆動能力を高め、かつ、ホットキャリアによる劣化を防ぎ、オン電流値の劣化を低減することができる。

20

【 0 0 2 5 】

さらに、駆動回路の p チャンネル型 T F T において、p 型を付与する不純物元素と n 型を付与する不純物元素との両方を含む不純物領域（B）と、p 型を付与する不純物元素を含む不純物領域（A）とを有し、前記不純物領域（A）は、前記不純物領域（A）と前記駆動回路の p チャンネル型 T F T の L D D 領域との間に形成されていることにより、チャンネル形成領域とそれに接する L D D 領域、さらに L D D 領域とソース領域またはドレイン領域との接合形成が確実なものとなり、p チャンネル型 T F T の特性を良好に保つことができる。

30

【 0 0 2 6 】

また、そのような電気光学装置を表示媒体として有する半導体装置（ここでは具体的に電子機器）の動作性能と信頼性も向上させることができる。

【 図面の簡単な説明 】

【 0 0 2 7 】

【 図 1 】 画素 T F T および駆動回路の T F T の作製工程を示す図。

【 図 2 】 画素 T F T および駆動回路の T F T の作製工程を示す図。

【 図 3 】 画素 T F T および駆動回路の T F T の作製工程を示す図。

【 図 4 】 画素 T F T および駆動回路の T F T の作製工程を示す図。

40

【 図 5 】 結晶質半導体膜の作製工程を示す図。

【 図 6 】 保持容量の断面構造の一例を示す図。

【 図 7 】 保持容量の断面構造の一例を示す図。

【 図 8 】 アクティブマトリクス型液晶表示装置の断面構造を示す図。

【 図 9 】 アクティブマトリクス型液晶表示装置の斜視図。

【 図 1 0 】 画素の上面図。

【 図 1 1 】 半導体装置の一例を示す図。

【 図 1 2 】 画素 T F T および駆動回路の T F T の作製工程を示す図。

【 図 1 3 】 画素 T F T および駆動回路の T F T の作製工程を示す図。

【 発明を実施するための形態 】

50

【 0 0 2 8 】

本発明の実施の形態について、以下に示す実施例により詳細な説明を行う。

【 実施例 1 】

【 0 0 2 9 】

本発明の実施例を図 1 ~ 図 3 を用いて説明する。ここでは、表示領域の画素 T F T と、表示領域の周辺に設けられる駆動回路の T F T を同時に作製する方法について工程に従って詳細に説明する。

【 0 0 3 0 】

(ゲート電極、ゲート絶縁膜、結晶質半導体膜の形成 : 図 1 (A))

図 1 (A) において、基板 1 0 1 には低アルカリガラス基板や石英基板を用いることができる。この基板 1 0 1 の T F T を形成する表面には、酸化シリコン膜、窒化シリコン膜または窒化酸化シリコン膜などの絶縁膜を形成しておいても良い (図示せず) 。ゲート電極 1 0 2 ~ 1 0 4 と容量配線 1 0 5 とは、タンタル (T a) 、チタン (T i) 、タングステン (W) 、モリブデン (M o) 、アルミニウム (A l) から選ばれた元素またはいずれかを主成分とする材料を用い、スパッタ法や真空蒸着法などの公知の成膜法を用いて被膜を形成した後、端面がテーパ形状となるようにエッチング処理してパターン形成した。例えば、スパッタ法で T a 膜を 2 0 0 n m の厚さに形成し、所定の形状にレジストマスクを形成した後、C F ₄ と O₂ の混合ガスでプラズマエッチング処理をすれば所望の形状に加工することができる。また、ゲート電極は窒化タンタル (T a N) と T a または窒化タングステン (W N) と W の 2 層構造としても良い (図示せず) 。ここでは図示はしていないがゲート電極に接続するゲート配線も同時に形成する。

【 0 0 3 1 】

ゲート絶縁膜 1 0 6 は酸化シリコン、窒化シリコンを成分とする材料で、1 0 ~ 2 0 0 n m 、好ましくは 5 0 ~ 1 5 0 n m の厚さで形成する。例えばプラズマ C V D 法で、S i H₄、N H₃、N₂ を原料とした窒化シリコン膜 1 0 6 a を 5 0 n m 、S i H₄ と N₂ O を原料とした窒化酸化シリコン膜 1 0 6 b を 7 5 n m の厚さに積層形成してゲート絶縁膜としても良い。勿論、窒化シリコン膜や酸化シリコン膜からなる一層としても何ら差し支えない。また、清浄な表面を得るために、ゲート絶縁膜の成膜の前にプラズマ水素処理を施すと良かった。

【 0 0 3 2 】

次に、T F T の活性層となる結晶質半導体膜の形成を行った。結晶質半導体膜の材料にはシリコンを用いた。まず、ゲート絶縁膜 1 0 6 に密接して、2 0 ~ 1 5 0 n m の厚さで非晶質シリコン膜をプラズマ C V D 法やスパッタ法などの公知の成膜法で形成した。非晶質シリコン膜の作製条件に限定されるものはないが、膜中に含まれる酸素、窒素の不純物元素を $5 \times 10^{18} \text{ cm}^{-3}$ 以下に低減させておくことが望ましい。また、ゲート絶縁膜と非晶質シリコン膜とは同じ成膜法で形成することが可能なので、両者を連続形成しても良い。ゲート絶縁膜を形成した後、一旦大気雰囲気には晒さないことでその表面の汚染を防ぐことが可能となり、作製する T F T の特性バラツキやしきい値電圧の変動を低減させることができる。そして公知の結晶化技術を使用して結晶質シリコン膜 1 0 7 を形成する。例えば、レーザー結晶化法や、熱結晶化法 (固相成長法) 、または特開平 7 - 1 3 0 6 5 2 号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質シリコン膜 1 0 7 を形成しても良い。

【 0 0 3 3 】

結晶質シリコン膜 1 0 7 の n チャネル型 T F T が形成される領域には、しきい値電圧を制御する目的で $1 \times 10^{16} \sim 5 \times 10^{17} \text{ cm}^{-3}$ 程度のボロン (B) を添加しておいても良い。ボロン (B) の添加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときに同時に添加しておくこともできる。

【 0 0 3 4 】

(マスク絶縁膜形成、n⁻領域の形成 : 図 1 (B))

次に、n チャネル型 T F T の L D D 領域を形成するために、n 型を付与する不純物元素

10

20

30

40

50

の添加を行った。まず、結晶質シリコン膜 107 の表面に酸化シリコン膜や窒化シリコン膜から成るマスク絶縁膜 108 を 100 ~ 200 nm、代表的には 120 nm の厚さに形成した。この表面にフォトリソ膜を全面に形成した後、基板 101 の裏面からの露光法によりゲート電極 102 ~ 104 をマスクとしてフォトリソ膜を感光させ、ゲート電極上にレジストマスク 109 ~ 112 を形成した。この方法により、ゲート電極上であってゲート電極の内側にレジストマスクを形成することができた。

【0035】

そして、マスク絶縁膜 108 を介してその下側にある結晶質シリコン膜に n 型を付与する不純物元素をイオンドープ法（イオン注入法でも良い）で添加した。

半導体の技術分野において n 型を付与する不純物元素には、周期律表第 15 族の元素からリン（P）、砒素（As）、アンチモン（Sb）などが適用され、ここではリン（P）を用いた。形成した不純物領域 113 ~ 118 のリン（P）濃度は $1 \times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-3}$ の範囲とすることが望ましく、ここでは、 $5 \times 10^{17} \text{ cm}^{-3}$ とした。本明細書中では、不純物領域 113 ~ 118 に含まれる n 型を付与する不純物元素の濃度を（ n^- ）と表す。

【0036】

（チャネル保護膜形成：図 1（C））

次に、このレジストマスクを使用してマスク絶縁膜 108 をエッチング除去し、チャネル保護膜 119 ~ 122 を形成した。下地となる結晶質シリコン膜 107 に対して選択性良くマスク絶縁膜 108 をエッチングするために、ここではフッ酸系の溶液を用いたウェットエッチング法を採用した。勿論、ドライエッチング法で実施しても良く、例えば CHF_3 ガスで絶縁膜 108 をエッチングすることができる。いずれにしてもこの工程ではオーバーエッチングして、レジストマスク 109 ~ 112 の端面より内側にチャネル保護膜 119 ~ 122 が形成されるようにした。

【0037】

（ n^+ 領域の形成：図 2（A））

次に n チャネル型 TFT において、ソース領域またはドレイン領域として機能する不純物領域の形成を形成する工程を行った。ここでは、通常露光法でレジストによるマスク 123 ~ 125 を形成した。そして、このレジストマスクを用いて容量配線 105 上のチャネル保護膜 122 をエッチングして除去した。次いで、結晶質シリコン膜 107 に n 型を付与する不純物元素が添加された不純物領域 126 ~ 130 をイオンドープ法（イオン注入法でも良い）で形成した。不純物領域 126 ~ 130 には $1 \times 10^{20} \sim 1 \times 10^{21} \text{ cm}^{-3}$ とすれば良く、ここでは $5 \times 10^{20} \text{ cm}^{-3}$ の濃度で不純物元素を含ませた。この濃度を本明細書中では（ n^+ ）と表す。

【0038】

（ p^+ 領域の形成：図 2（B））

次に、駆動回路の p チャネル型 TFT のソース領域およびドレイン領域を形成するために、p 型を付与する不純物元素を添加する工程を行った。半導体の技術分野において p 型を付与する不純物元素には、周期律表第 13 族の元素からボロン（B）、アルミニウム（Al）、ガリウム（Ga）などが適用され、ここではボロン（B）を用いた。チャネル保護膜 119 上の内側に位置するようにマスク 131 を形成し、n チャネル型 TFT を形成する領域はすべてレジストマスク 132、133 で覆った。そして、ジボラン（ B_2H_6 ）を用いたイオンドープ法（イオン注入法を用いても良い）で不純物領域 134 ~ 136 を形成した。不純物領域 135 a、135 b、136 a、136 b は結晶質シリコン膜の表面から不純物元素が添加され、この領域のボロン（B）濃度を $1.5 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$ の範囲とし、ここでは $2 \times 10^{21} \text{ cm}^{-3}$ とした。本明細書中では、ここで形成された不純物領域 135 a、135 b、136 a、136 b に含まれる p 型を付与する不純物元素の濃度を（ p^+ ）と表す。一方、不純物領域 134 はチャネル保護膜 119 を介して結晶質シリコン膜に不純物元素が添加されるため、この領域のボロン（B）濃度は $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ となった。本明細書中では、ここで形成された不純物領域 13

10

20

30

40

50

4 に含まれる p 型を付与する不純物元素の濃度を (p^-) と表す。

【0039】

図1(B)～図2(A)で示したように、不純物領域135b、136bには前の工程でリン(P)が添加されているに、ボロン(B)とリン(P)が混在した領域が形成されるが、この工程で添加するボロン(B)濃度をその1.5～3倍とすることでp型の導電性が確保され、TFETの特性に何ら影響を与えることはなかった。本明細書中ではこの領域を不純物領域(B)とする。そして、不純物領域(B)135b、136bのチャネル形成領域側にある不純物領域135a、136aはボロン(B)のみを含む領域であり、本明細書中ではこの領域を不純物領域(A)とする。また、ゲート電極103に重なり、かつ、チャネル保護膜120とも重なる不純物領域134もボロン(B)のみを含む領域として形成し、この領域はLDD領域として機能する。

10

【0040】

(第1の層間絶縁膜の形成、熱活性化の工程、水素化の工程：図2(C))

結晶質シリコン膜にそれぞれの不純物元素を選択的に添加したら、結晶質シリコン膜をエッチング処理して島状に分割し、後に第1の層間絶縁膜の一部となる保護絶縁膜137を形成した。保護絶縁膜137は窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は100～400nmとすれば良い。

【0041】

その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために熱処理工程を行った。この工程はファーンズアニール法、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)などで行うことができる。ここではファーンズアニール法で活性化工程を行った。加熱処理は、窒素雰囲気中において300～650、好ましくは500～550、ここでは525で4時間の熱処理を行った。さらに、3～100%の水素を含む雰囲気中で、300～450で1～12時間の熱処理を行い、活性層を水素化する工程を行った。この工程は熱的に励起された水素により活性層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

20

【0042】

活性層となる結晶質シリコン膜107を、非晶質シリコン膜から触媒元素を用いる結晶化の方法で作製した場合、結晶質シリコン膜107中にはおよそ $1 \times 10^{17} \sim 5 \times 10^{19} \text{ cm}^{-3}$ の触媒元素が残留した。勿論、そのような状態でもTFETを完成させ動作させることに問題はないが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン(P)によるゲッタリング作用を利用する手段があった。ゲッタリングに必要なリン(P)の濃度は図2(B)で形成した不純物領域(n^+)と同程度であり、ここで実施される活性化工程の熱処理により、nチャネル型TFETおよびpチャネル型TFETのチャネル形成領域から、リン(P)が添加されている周辺の不純物領域へ触媒元素をゲッタリングをすることができた。その結果チャネル形成領域の触媒元素濃度を $5 \times 10^{17} \text{ cm}^{-3}$ 以下とすることが可能となり、前記不純物領域には $1 \times 10^{18} \sim 5 \times 10^{20} \text{ cm}^{-3}$ の触媒元素が偏析した。

30

40

【0043】

(層間絶縁膜の形成、ソース・ドレイン配線の形成、パッシベーション膜の形成、画素電極の形成：図3)

活性化工程を終えたら、保護絶縁膜137の上に500～1500nmの厚さの層間絶縁膜138を形成した。前記保護絶縁膜137と層間絶縁膜138とでなる積層膜を第1の層間絶縁膜とした。その後、それぞれのTFETのソース領域またはドレイン領域に達するコンタクトホールを形成して、ソース配線139～141と、ドレイン配線142、143を形成した。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とした。

50

【 0 0 4 4 】

保護絶縁膜 1 3 7 と層間絶縁膜 1 3 8 とは、窒化シリコン膜、酸化シリコン膜または窒化酸化シリコン膜などで形成すれば良いが、いずれにしても膜の内部応力を圧縮応力としておくと良かった。

【 0 0 4 5 】

次に、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜を用い、パッシベーション膜 1 4 4 を 5 0 ~ 5 0 0 n m (代表的には 1 0 0 ~ 3 0 0 n m) の厚さで形成した。その後、この状態で水素化処理を行うと T F T の特性向上に対して好ましい結果が得られた。例えば、3 ~ 1 0 0 % の水素を含む雰囲気中で、3 0 0 ~ 4 5 0 で 1 ~ 1 2 時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜 1 4 4 に開口部を形成しておいても良い。

【 0 0 4 6 】

その後、有機樹脂膜からなる第 2 の層間絶縁膜 1 4 5 を約 1 μ m の厚さに形成した。適用できる有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、B C B (ベンゾシクロブテン) 等を使用することができる。

ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、3 0 0 で焼成して形成した。そして、第 2 の層間絶縁膜 1 4 5 、パッシベーション膜 1 4 4 にドレイン配線 1 4 3 に達するコンタクトホールを形成し、画素電極 1 4 6 を設けた。画素電極 1 4 6 は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ (I T O) 膜を 1 0 0 n m の厚さにスパッタ法で形成した。画素電極 1 9 0 は隣接する画素の電極である。

【 0 0 4 7 】

以上の工程で、同一の基板上に表示領域の画素 T F T と、表示領域の周辺に設けた駆動回路の T F T とを形成することができた。駆動回路には、n チャネル型 T F T 1 6 8 と p チャネル型 T F T 1 6 7 が形成され、C M O S 回路を基本としたロジック回路を形成することを可能とした。画素 T F T 1 6 9 は n チャネル型 T F T であり、さらに容量配線 1 0 5 と半導体層 1 6 6 と、その間に形成されている絶縁膜とから保持容量 1 7 0 が画素 T F T 1 6 9 に接続している。

【 0 0 4 8 】

駆動回路の p チャネル型 T F T 1 6 7 は、チャネル形成領域 1 4 7 、ソース領域 1 5 0 a 、1 5 0 b 、ドレイン領域 1 5 1 a 、1 5 1 b および L D D 領域 1 4 8 、1 4 9 を有している。ソース領域 1 5 0 b およびドレイン領域 1 5 1 b は不純物領域 (B) で形成され、この領域のボロン (B) 濃度はリン (P) 濃度の 1 . 5 ~ 3 倍にしてある。その不純物領域 (B) の内側、即ちチャネル形成領域 1 4 7 の側に形成したソース領域 1 5 0 a およびドレイン領域 1 5 1 a は不純物領域 (A) であり、不純物領域 (B) と同じ濃度でボロン (B) のみを含む領域である。また、ゲート電極 1 0 3 に重なり、かつ、チャネル保護膜 1 2 0 と重なる L D D 領域 1 4 8 、1 4 9 もボロン (B) のみを含む領域として形成する。このように、不純物領域 (B) をチャネル形成領域から遠ざけることで、チャネル形成領域とそれに接する L D D 領域、さらに L D D 領域とソース領域またはドレイン領域との接合形成が確実なものとなり、p チャネル型 T F T の特性を良好に保つことができた。

【 0 0 4 9 】

駆動回路の n チャネル型 T F T 1 6 8 は、チャネル形成領域 1 5 2 と、ソース領域 1 5 5 およびドレイン領域 1 5 6 と、L D D 領域 1 5 3 、1 5 4 とを有している。画素 T F T 1 6 9 には、チャネル形成領域 1 5 7 、1 5 8 と、ソース領域またはドレイン領域 1 6 3 ~ 1 6 5 と、L D D 領域 1 5 9 ~ 1 6 2 とを有している。駆動回路の n チャネル型 T F T の L D D 領域は、ドレイン近傍の高電界を緩和してホットキャリア注入によるオン電流値の劣化を防ぐことを主な目的として設けるものであり、そのために適した n 型を付与する

不純物元素の濃度は $5 \times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-3}$ とすれば良かった。一方、画素 T F T の L D D 領域は、オフ電流値を低減することを主たる目的とするために設けられ、その不純物元素の濃度は駆動回路の n チャンネル型 T F T の L D D 領域の濃度と同じとしても良いが、その濃度の $1/2 \sim 1/10$ としても良い。図 3 では画素 T F T 1 6 9 をダブルゲート構造として完成したが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【 0 0 5 0 】

以上の様に本発明は、画素 T F T および駆動回路が要求する仕様に応じて各回路を構成する T F T の構造を最適化し、半導体装置の動作性能と信頼性を向上させることを可能とすることができた。

10

【 実施例 2 】

【 0 0 5 1 】

本実施例を図 4 を用い、実施例 1 とは異なる構造で画素 T F T に接続する保持容量を設ける例について説明する。駆動回路の p チャンネル型 T F T 1 6 7、n チャンネル型 T F T 1 6 8、および画素 T F T 1 6 9 は実施例 1 と同様に作製した。

以下、実施例 1 との相違点について説明する。

【 0 0 5 2 】

少なくとも画素 T F T 上には、第 2 の層間絶縁膜 1 4 5 上に遮光膜 1 7 1 を形成した。遮光膜 1 7 1 は A l、T i、T a から選ばれた一種または複数種の元素を主成分とする膜で、 $100 \sim 300 \text{ nm}$ の厚さで成膜をし、所定の形状にパターン形成した。さらに、この上に第 2 の層間絶縁膜と同様に有機樹脂膜を用いて第 3 の層間絶縁膜 1 7 2 を形成した。第 3 の層間絶縁膜 1 7 2 の厚さは $0.5 \sim 1 \mu\text{m}$ とした。そして、第 3 の層間絶縁膜 1 7 2、第 2 の層間絶縁膜 1 4 5、パッシベーション膜 1 4 4 にドレイン配線 1 4 3 に達するコンタクトホールを形成し、画素電極 1 7 3 を設けた。画素電極 1 7 3 は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ (I T O) 膜を 100 nm の厚さにスパッタ法で形成した。このようにして、画素 T F T 1 6 9 に接続する保持容量 1 7 4 を、遮光膜 1 7 1 と第 3 の層間絶縁膜 1 7 2 と画素電極 1 7 3 とから形成することができた。

20

【 実施例 3 】

30

【 0 0 5 3 】

本実施例では実施例 1 と実施例 2 で示した T F T の活性層となる結晶質半導体膜を形成する工程について図 5 を用いて説明する。まず、基板 (本実施例ではガラス基板) 1 1 0 1 上に $100 \sim 400 \text{ nm}$ の厚さのゲート電極 1 1 0 2、1 1 0 3 を形成する。ゲート電極は A l、T i、T a、M o、W から選ばれた一種または複数種の元素を含む材料から形成し、端面がテーパ形状となるようにパターン形成する。また、図示していないが、前記材料の積層構造としても良い。例えば、基板側から窒化タンタル (T a N) と T a の 2 層構造としても良い。さらに、ゲート電極の表面に陽極酸化法などで酸化物を被覆形成しておいても良い。

ゲート絶縁膜 1 1 0 4 は、窒化シリコン膜、酸化シリコン膜または窒酸化シリコン膜で形成し、その厚さは $20 \sim 200 \text{ nm}$ 、好ましくは $75 \sim 125 \text{ nm}$ で形成する。そして、ゲート絶縁膜 1 1 0 4 上に 50 nm 厚の非晶質半導体膜 (本実施例では非晶質シリコン膜) 1 1 0 5 を大気解放しないで連続的に形成する。

40

【 0 0 5 4 】

次に、重量換算で 10 ppm の触媒元素 (本実施例ではニッケル) を含む水溶液 (酢酸ニッケル水溶液) をスピンコート法で塗布して、触媒元素含有層 1 1 0 6 を非晶質半導体膜 1 1 0 5 の全面に形成する。ここで使用可能な触媒元素は、ニッケル (N i) 以外にも、ゲルマニウム (G e)、鉄 (F e)、パラジウム (P d)、スズ (S n)、鉛 (P b)、コバルト (C o)、白金 (P t)、銅 (C u)、金 (A u)、といった元素がある。また、本実施例ではスピンコート法でニッケルを添加する方法を用いたが、蒸着法やスパッ

50

タ法などにより触媒元素となる薄膜（本実施例の場合はニッケル膜）を非晶質半導体膜上に形成する手段をとっても良い。（図5（A））

【0055】

次に、結晶化の前に400～500で1時間程度の熱処理工程を行い、水素を膜中から脱離させた後、500～650（好ましくは550～570）で4～12時間（好ましくは4～6時間）の熱処理を行う。本実施例では、550で4時間の熱処理を行い、結晶質半導体膜（本実施例では結晶質シリコン膜）

1107を形成する。（図5（B））

【0056】

以上のようにして形成された活性層1107は、結晶化を助長する触媒元素（ここではニッケル）を用いることによって、結晶性の優れた結晶質半導体膜を形成することができる。また、さらにその結晶性を高めるために、レーザー結晶化法を併用しても良い。例えば、XeFエキシマレーザー光（波長308nm）を用い、線状ビームを形成して、発振周波数5～50Hz、エネルギー密度100～500mJ/cm²として線状ビームのオーバーラップ割合を80～98%として、図5（B）で作製された結晶質半導体膜1107に照射した。その結果、さらに結晶性の優れた結晶質半導体膜1108を形成することができた。（図5（C））

【0057】

このようにして基板1101上に作製された結晶質半導体膜を用い、実施例1～実施例2に示した手順でTFETを作製すると良好な特性を得ることができる。

TFETの特性は、代表的には電界効果移動度で表すことができるが、本実施例のようにして作製する結晶質半導体膜から形成するTFETの特性は、nチャネル型TFETで150～220cm²/V・sec、pチャネル型TFETで90～120cm²/V・secが得られ、しかも連続動作させても初期値からの特性劣化は殆ど観測されず、信頼性の観点からも優れた特性が得られた。

【実施例4】

【0058】

本実施例では画素TFETに接続される保持容量の他の構成について図6と図7を用いて説明する。ここで、図6および図7の作製工程は実施例1で説明した作製工程に従い、有機樹脂膜から成る第2の層間絶縁膜145を形成するところまでは同一であるので、そこまでの構造は図1～図3で既に説明されている。従って、本実施例では実施例1と異なる点のみに注目して説明を行うこととする。

【0059】

図6（A）において、まず実施例1の工程に従って第2の層間絶縁膜145を形成したら、Al、Ta、Tiから選ばれた元素を含む材料で遮光膜301を形成する。そして、遮光膜301の表面に陽極酸化法により30～150nm（好ましくは50～75nm）の厚さの誘電体膜302（遮光膜を形成する材料の酸化物）を形成する。

【0060】

陽極酸化法で誘電体膜302を形成する場合には、まず十分にアルカリイオン濃度の小さい酒石酸エチレングリコール溶液を作製した。これは15%の酒石酸アンモニウム水溶液とエチレングリコールとを2：8で混合した溶液であり、これにアンモニア水を加え、pHが7±0.5となるように調節した。そして、この溶液中に陰極となる白金電極を設け、遮光膜301が形成されている基板を溶液に浸し、遮光膜301を陽極として、一定（数mA～数十mA）の直流電流を流した。溶液中の陰極と陽極との間の電圧は酸化物の成長に従い時間と共に変化するが、電流が一定となるように電圧を調整し、150Vとなったところでその電圧を保持することなく、或いはその保持時間を数秒～数十秒として陽極酸化処理を終了させた。こうすることにより、遮光膜301が第2の層間絶縁膜に接する面にまで誘電体膜を回り込ませることなく形成することができる。

【0061】

ここでは遮光膜表面のみに誘電体膜を設ける構成としたが、誘電体膜をプラズマCVD

10

20

30

40

50

法、熱CVD法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は30～150nm（好ましくは50～75nm）とすることが好ましい。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、DLC（Diamond like carbon）膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

【0062】

その後、実施例1と同様に画素電極303を形成する。こうして、遮光膜301と画素電極303が誘電体膜302を介して重なった領域で保持容量304が形成される。

【0063】

図6（B）の構造は、図6（A）と同様に遮光膜301、誘電体膜302を形成した後、有機樹脂でなるスペーサ305を形成する。有機樹脂膜としては、ポリイミド、ポリアミド、ポリイミドアミド、アクリル、BCB（ベンゾシクロブテン）から選ばれた膜を用いることができる。その後、スペーサ305、第2の層間絶縁膜145、パッシベーション膜143をエッチングしてコンタクトホールを形成し、実施例1と同一の材料で画素電極306を形成する。こうして、遮光膜301と画素電極306が誘電体膜302を介して重なった領域において保持容量307が形成される。このようにスペーサ305を設けることにより、遮光膜301と画素電極306との間で発生するショート（短絡）を防止することができる。

【0064】

図6（C）の構造は、図6（A）と同様に遮光膜301を形成し、遮光膜301の端部を覆うようにして有機樹脂でなるスペーサ308を形成する。有機樹脂としては、ポリイミド、ポリアミド、ポリイミドアミド、アクリル、BCB（ベンゾシクロブテン）から選ばれた膜を用いることができる。次に、陽極酸化法により遮光膜301の露出した表面に誘電体膜309を形成する。なお、スペーサ308と接した部分には誘電体膜は形成されない。そして、スペーサ308、第2の層間絶縁膜145、パッシベーション膜143をエッチングしてコンタクトホールを形成し、実施例1と同一の材料で画素電極310を形成する。こうして、遮光膜301と画素電極310が誘電体膜309を介して重なった領域において保持容量311が形成される。このようにスペーサ308を設けることにより、遮光膜301と画素電極310との間で発生するショート（短絡）を防止することができる。

【0065】

図7（A）では、まず実施例1の工程に従って第2の層間絶縁膜145を形成したら、その上に窒化シリコン膜、酸化シリコン膜または窒化酸化シリコン膜などの材料で絶縁膜312を形成する。絶縁膜312は公知の成膜法で形成するが、そのなかでもスパッタ法を用いると良かった。以降は図6（A）と同様にして遮光膜、誘電体膜、画素電極を形成して保持容量313を設ける。絶縁膜312を設けることにより、遮光膜の下地との密着性が向上し、陽極酸化法で誘電体膜を形成するときに、遮光膜の下地との界面への誘電体膜の回り込み形成を防止できる。

【0066】

図7（B）では、同様に絶縁膜と遮光膜を形成した後、絶縁膜の遮光膜と密接しない領域をエッチング除去して、遮光膜の下に重なるように絶縁膜314を形成した。そして、画素電極315を設けた。このような構成にすることにより、遮光膜の下地との密着性が向上し、陽極酸化法で誘電体膜を形成するときに、遮光膜の下地との界面への誘電体膜の回り込み形成を防止でき、また、遮光膜が形成される画素領域の光の透過率を向上させることができる。

【0067】

図7（A）と（B）で示した構成は、図6（B）と（C）で示したスペーサを設ける構成と組み合わせることも可能である。また、図6と図7で示した本実施例の構成は、実施例1または実施例2の構成と組み合わせることが可能である。

【実施例5】

【0068】

実施例 1 および実施例 2 に記載した表示領域に形成される画素 T F T と表示領域の周辺に設けられる駆動回路の T F T を同一の基板上に備えた半導体装置の作製方法において、活性層とする結晶質半導体膜、ゲート絶縁膜や層間絶縁膜および下地膜などの絶縁膜、ゲート電極、ソース配線、ドレイン配線および画素電極などの導電膜はいずれもスパッタ法を用いて作製することができる。スパッタ法を用いることの利点は、導電膜などの成膜において D C (直流) 放電方式が採用できるので大面積基板に均一な膜を形成するのに適している。また、非晶質シリコン膜や窒化シリコン膜などのシリコン系の材料を成膜するのに取り扱いに多大な注意を要するシラン (S i H₄) を使用しなくて済み、作業の安全性が確保される。このような点は、特に生産の現場において非常にメリットとして生かすことができる。以下に、スパッタ法を用いた作製工程を実施例 1 に従い説明する。

10

【 0 0 6 9 】

図 1 (A) のゲート電極 1 0 2 ~ 1 0 4 や容量配線 1 0 5 は T a 、 T i 、 W 、 M o などのターゲット材を用い、公知のスパッタ法で容易に形成できる。W - M o や T a - M o などの化合物材料とする場合には、同様に化合物のターゲットを用いれば良い。また、T a N や W N を形成する場合には、スパッタ雰囲気中にアルゴン (A r) の他に窒素 (N₂) やアンモニア (N H₃) を適宜添加すると作製することができる。また、スパッタ用のガスに A r に加えヘリウム (H e) 、クリプトン (K r) 、キセノン (X e) を加え、作製する被膜の内部応力を制御する方法もある。

【 0 0 7 0 】

ゲート絶縁膜 1 0 6 に用いる窒化シリコン膜 1 0 6 a は、シリコン (S i) ターゲットを用い、A r 、 N₂、水素 (H₂) 、 N H₃ を適宜混合すれば形成できる。または、窒化シリコンのターゲット材を用いても同様に形成することができる。窒化酸化シリコン膜 1 0 6 b は、S i ターゲットを用い、A r 、 N₂、H₂、N₂O を適宜混合してスパッタすることにより作製する。

20

【 0 0 7 1 】

非晶質シリコン膜も同様に、S i ターゲットを用い、A r 、H₂ をスパッタガスに用い作製する。また、非晶質シリコン膜中に微量にボロン (B) を添加したい場合には、あらかじめターゲット中に数十 p p m ~ 数千 p p m のボロン (B) を添加しておいても良いし、スパッタガス中にジボラン (B₂H₆) を添加することでもできる。

30

【 0 0 7 2 】

チャネル保護膜 1 1 9 ~ 1 2 2 に適用できる酸化シリコン膜は、酸化シリコン (または石英) をターゲット材にして、A r または A r と酸素 (O₂) の混合ガスでスパッタすることにより作製できる。保護絶縁膜 1 3 7 、層間絶縁膜 1 3 8 、パッシベーション膜 1 4 4 に用いる窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜は前述のように作製すれば良い。

【 0 0 7 3 】

ソース配線 1 3 9 ~ 1 4 1 、及びドレイン配線 1 4 2 、1 4 3 において、A l を用いる場合には T i 、S i 、スカンジウム (S c) 、バナジウム (V) 、C u など 0 . 0 1 ~ 5 重量 % 程度含有させるとヒロックの防止に効果的である。遮光膜 1 7 1 に用いる T i 、T a 、A l 等や、画素電極 1 4 6 に用いる I T O 、Z n O 、S n O₂ などはいずれも公知のスパッタ法で成膜すれば良い。

40

【 0 0 7 4 】

このように、有機樹脂からなる第 2 の層間絶縁膜 1 4 5 と第 3 の層間絶縁膜 1 7 2 以外はいずれもスパッタ法を用いて膜形成が可能である。尚、詳細な実験条件は実施者が適宜決定すれば良い。

【 実施例 6 】

【 0 0 7 5 】

本実施例は、画素 T F T と駆動回路の T F T について、特に p チャネル型 T F T の他の一例について示す。まず、最初に実施例 1 で説明した図 1 (A) ~ 図 2 (A) までの工程

50

を同様にして行う。図 1 2 (A) は図 2 (A) に対応した図面であり、レジストマスク 1 1 2 3 ~ 1 1 2 5、n 型を付与する不純物元素が添加された不純物領域 1 1 2 6 ~ 1 1 3 0 が形成された状態を示している。

【 0 0 7 6 】

そして、図 1 2 (B) に示すように p⁺領域の形成を行う。チャネル保護膜 1 1 1 9 上の内側に位置するようにマスク 1 1 3 1 を形成し、n チャネル型 T F T を形成する領域はすべてレジストマスク 1 1 3 2、1 1 3 3 で覆った。さらに、フッ酸系の溶液を用いたウエットエッチング法でチャネル保護膜 1 1 1 9 の端部がほぼマスク 1 1 3 1 の端部と一致するようにエッチング処理して新たな形状を有するチャネル保護絶縁膜 1 1 1 9 b を形成した。そして、ジボラン (B₂H₆)

を用いたイオンドープ法 (イオン注入法を用いても良い) で高濃度不純物領域 1 1 3 4 ~ 1 1 3 6 を形成した。不純物領域 1 1 3 4 ~ 1 1 3 6 は結晶質シリコン膜の表面から不純物元素が添加され、この領域のボロン (B) 濃度を $1.5 \times 10^{20} \sim 3 \times 10^{21} \text{ cm}^{-3}$ の範囲とし、ここでは $2 \times 10^{21} \text{ cm}^{-3}$ とした。本明細書中では、ここで形成された不純物領域 1 1 3 4 ~ 1 1 3 6 に含まれる p 型を付与する不純物元素の濃度を (p⁺) と表す。このようにして、p チャネル型 T F T の高濃度不純物領域のチャネル形成領域と接する端部を、前の工程で形成した低濃度不純物領域 1 1 1 3、1 1 1 4 の端部よりチャネル形成領域側に設けることにより、この部分における接合状態を良好なものとすることができる。

【 0 0 7 7 】

図 1 (B) ~ 図 2 (A) で示したように、不純物領域 1 1 3 5、1 1 3 6 には前の工程でリン (P) が添加されているに、ボロン (B) とリン (P) が混在した領域が形成されるが、この工程で添加するボロン (B) 濃度をその 1.5 ~ 3 倍とすることで p 型の導電性が確保され、T F T の特性に何ら影響を与えることはなかった。本明細書中ではこの領域を領域 (B) とする。そして、チャネル形成領域側にある不純物領域 1 3 4 はボロン (B) のみを含む領域であり、本明細書中ではこの領域を領域 (A) とする。

【 0 0 7 8 】

結晶質シリコン膜にそれぞれの不純物元素を選択的に添加したら、結晶質シリコン膜をエッチング処理して島状に分割し、後に第 1 の層間絶縁膜の一部となる保護絶縁膜 1 1 3 7 を形成した。保護絶縁膜 1 1 3 7 は窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は 1 0 0 ~ 4 0 0 nm とすれば良い。

【 0 0 7 9 】

その後、それぞれの濃度で添加された n 型または p 型を付与する不純物元素を活性化するために熱処理工程を行った。ファーネスアニール法で活性化を行う場合には、窒素雰囲気中において 3 0 0 ~ 6 5 0、好ましくは 5 0 0 ~ 5 5 0、ここでは 5 2 5 で 4 時間の熱処理を行った。レーザーアニール法を適用する場合には、エキシマレーザーを光源として、そのレーザー光を光学系で線幅 1 0 0 ~ 5 0 0 μm、線状ビームとし、発振周波数 1 0 ~ 1 0 0 H z、発振パルス幅 2 0 ~ 5 0 n s e c (好ましくは 3 0 n s e c)、エネルギー密度 1 0 0 ~ 5 0 0 m J / c m² ので照射して行う。さらに、3 ~ 1 0 0 % の水素を含む雰囲気中で、3 0 0 ~ 4 5 0 で 1 ~ 1 2 時間の熱処理を行い、活性層を水素化する工程を行った。この工程は熱的に励起された水素により活性層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。

【 0 0 8 0 】

活性化工程を終えたら、保護絶縁膜 1 1 3 7 の上に 5 0 0 ~ 1 5 0 0 nm の厚さの層間絶縁膜 1 1 3 8 を形成した。前記保護絶縁膜 1 1 3 7 と層間絶縁膜 1 1 3 8 とでなる積層膜を第 1 の層間絶縁膜とした。その後、それぞれの T F T のソース領域またはドレイン領域に達するコンタクトホールを形成して、ソース配線 1 1 3 9 ~ 1 1 4 1 と、ドレイン配線 1 1 4 2、1 1 4 3 を形成した。図示していないが、本実施例ではこの電極を、T i 膜

10

20

30

40

50

を 100 nm、Ti を含むアルミニウム膜 300 nm、Ti 膜 150 nm をスパッタ法で連続して形成した 3 層構造の積層膜とした。

【0081】

保護絶縁膜 1137 と層間絶縁膜 1138 とは、窒化シリコン膜、酸化シリコン膜または窒化酸化シリコン膜などで形成すれば良いが、いずれにしても膜の内部応力を圧縮応力としておくと良かった。

【0082】

次に、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜を用い、パッシベーション膜 1144 を 50 ~ 500 nm (代表的には 100 ~ 300 nm) の厚さで形成した。その後、この状態で水素化処理を行うと TFT の特性向上に対して好ましい結果が得られた。例えば、3 ~ 100 % の水素を含む雰囲気中で、300 ~ 450 で 1 ~ 12 時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜 1144 に開口部を形成しておいても良い。

【0083】

その後、実施例 1 と同様に有機樹脂膜からなる第 2 の層間絶縁膜 1145 を約 1 μm の厚さに形成した。そして、第 2 の層間絶縁膜 1145、パッシベーション膜 1144 にドレイン配線 1143 に達するコンタクトホールを形成し、画素電極 1146 を設けた。画素電極 1146 は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ (ITO) 膜を 100 nm の厚さにスパッタ法で形成した。画素電極 1190 は隣接する画素の電極である。

【0084】

以上の工程で、同一の基板上に表示領域の画素 TFT と、表示領域の周辺に設けた駆動回路の TFT とを形成することができた。駆動回路には、n チャネル型 TFT 1168 と p チャネル型 TFT 1167 が形成され、CMOS 回路を基本としたロジック回路を形成することを可能とした。画素 TFT 1169 は n チャネル型 TFT であり、さらに容量配線 105 と半導体層 1166 と、その間に形成されている絶縁膜とから保持容量 1170 が画素 TFT 1169 に接続している。

【0085】

駆動回路の p チャネル型 TFT 1167 は、チャネル形成領域 1147、高濃度不純物領域で形成されるソース領域 1148、1150 およびドレイン領域 1149、1151 を有している。ソース領域 1150 とドレイン領域 1151 は領域 (B) で形成され、この領域のボロン (B) 濃度はリン (P) 濃度の 1.5 ~ 3 倍にしてある。その不純物領域 (B) の内側、即ちチャネル形成領域 1147 の側に形成したソース領域 1148 とドレイン領域 1149 は領域 (A) であり、領域 (B) と同じ濃度でボロン (B) のみを含む領域である。この領域 (A) はその全部がゲート電極 1103 と重なり、一方領域 (B) は一部がゲート電極 1103 と重なる構造となっている。このように、p チャネル型 TFT の高濃度不純物領域を領域 (B) と領域 (A) とから形成し、領域 (B) をチャネル形成領域から遠ざけることで、チャネル形成領域と高濃度不純物領域との接合を良好なものとするができる。

【0086】

駆動回路の n チャネル型 TFT 1168 は、チャネル形成領域 1152 と、ソース領域 1155 およびドレイン領域 1156 と、LDD 領域 1153、1154 とを有している。画素 TFT 1169 には、チャネル形成領域 1157、1158 と、ソース領域またはドレイン領域 1163 ~ 1165 と、LDD 領域 1159 ~ 1162 とを有している。駆動回路の n チャネル型 TFT の LDD 領域は、ドレイン近傍の高電界を緩和してホットキャリア注入によるオン電流値の劣化を防ぐことを主な目的として設けるものであり、そのために適した n 型を付与する不純物元素の濃度は $5 \times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-3}$ とすれば良かった。一方、画素 TFT の LDD 領域は、オフ電流値を低減することを主たる目的と

10

20

30

40

50

するために設けられ、その不純物元素の濃度は駆動回路のnチャネル型TF TのLDD領域の濃度と同じとしても良いが、その濃度の $1/2 \sim 1/10$ としても良い。図3では画素TF T 1169をダブルゲート構造として完成したが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0087】

以上のような工程により作製されたTF Tは、チャネル保護絶縁膜1119b、1120～1122が、イオンドープ法などによりダメージを受けることがなく形成されるので、TF Tの特性を安定なものとするができる。例えば、バイアス・熱ストレス(BTS)試験として、ゲート電極に ± 1.7 MVの電圧を印加して、150で1時間放置しても、しきい値電圧や電界効果移動度、サブスレシールド定数、オン電流値などの変動は殆ど観測されることはない。さらに本発明は、画素TF Tおよび駆動回路が要求する仕様に応じて各回路を構成するTF Tの構造を最適化し、半導体装置の動作性能と信頼性を向上させることを可能とすることができた。

【0088】

また、図13で示す保持容量の構成は、実施例4において図6と図7を用いて説明したような、遮光膜と、その表面に陽極酸化法で形成した誘電体層と、画素電極とから形成しても良い。

【実施例7】

【0089】

本実例では、画素TF Tと駆動回路が形成された基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図8に示すように、実施例1で作製した図3の状態の基板に対し、配向膜601を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。対向側の基板602には、遮光膜603、透明導電膜604および配向膜605を形成する。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。そして、画素TF Tと駆動回路が形成された一方の基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ(共に図示せず)などを介して貼りあわせる。その後、両基板の間に液晶材料606を注入し、封止剤(図示せず)によって完全に封止した。液晶材料には公知の液晶材料を用いれば良い。このようにして図8に示すアクティブマトリクス型液晶表示装置を完成する。

【0090】

次にこのアクティブマトリクス型液晶表示装置の構成を、図9の斜視図および図10の上面図を用いて説明する。尚、図9と図10は、図1～図3と図8の断面構造図と対応付けるため、共通の符号を用いている。また、図10で示すA—A'に沿った断面構造は、図3に示す画素TF T 169および保持容量170の断面図に対応している。

【0091】

図9に示す斜視図は、ガラス基板101上に形成された、表示領域701と、走査(ゲート)線駆動回路702と、信号(ソース)線駆動回路703で構成される。表示領域には画素TF T 169が設けられ、表示領域の周辺に設けられる駆動回路はCMOS回路を基本として構成されている。走査(ゲート)線駆動回路702と、信号(ソース)線駆動回路703はそれぞれゲート配線104(ゲート電極に接続し、延在して形成される意味で同じ符号を用いて表す)とソース配線141で表示領域701の画素TF Tに接続されている。また、FPC731が外部入出力端子734に接続される。

【0092】

図10は表示領域701のほぼ一画素を示す上面図である。ゲート配線104は、図示されていないゲート絶縁膜を介してその下の活性層と交差している。図示はしていないが、活性層には、ソース領域、ドレイン領域、 n^+ 領域でなるLDD領域が形成されている。また、180はソース配線141とソース領域163とのコンタクト部、181はドレイン配線143とドレイン領域165とのコンタクト部、182はドレイン配線143と画素電極146のコンタクト部である。保持容量170は、画素TF T 169のドレイン領域165に接続する半導体層166と、容量配線105とその間に形成されている絶縁

膜が重なる領域で形成される。

【 0 0 9 3 】

なお、本実施例のアクティブマトリクス型液晶表示装置は、実施例 1 で説明した構造と照らし合わせて説明したが、実施例 1 ～ 6 のいずれの構成とも自由に組み合わせてアクティブマトリクス型液晶表示装置を作製することができる。

【 実施例 8 】

【 0 0 9 4 】

本発明を実施して作製された画素 T F T や駆動回路を同一の基板上に一体形成した基板は、さまざまな電気光学装置（アクティブマトリクス型液晶表示装置、アクティブマトリクス型 E L 表示装置、アクティブマトリクス型 E C 表示装置）に用いることができる。即ち、これらの電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を実施できる。

10

【 0 0 9 5 】

そのような電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、パーソナルコンピュータ、携帯電話または電子書籍などが上げられる。それらの一例を図 1 2 に示す。

【 0 0 9 6 】

図 1 1 (A) は携帯電話であり、本体 9 0 0 1、音声出力部 9 0 0 2、音声入力部 9 0 0 3、表示装置 9 0 0 4、操作スイッチ 9 0 0 5、アンテナ 9 0 0 6 から構成されている。本願発明は音声出力部 9 0 0 2、音声入力部 9 0 0 3、及び表示領域およびその周辺に駆動回路を備えたアクティブマトリクス型の表示装置 9 0 0 4 に適用することができる。

20

【 0 0 9 7 】

図 1 1 (B) はビデオカメラであり、本体 9 1 0 1、表示装置 9 1 0 2、音声入力部 9 1 0 3、操作スイッチ 9 1 0 4、バッテリー 9 1 0 5、受像部 9 1 0 6 から成っている。本願発明は音声入力部 9 1 0 3、及び表示領域およびその周辺に駆動回路を備えたアクティブマトリクス型の表示装置 9 1 0 2、受像部 9 1 0 6 に適用することができる。

【 0 0 9 8 】

図 1 1 (C) はモバイルコンピュータであり、本体 9 2 0 1、カメラ部 9 2 0 2、受像部 9 2 0 3、操作スイッチ 9 2 0 4、表示装置 9 2 0 5 で構成されている。本願発明は受像部 9 2 0 3、及び表示領域およびその周辺に駆動回路を備えたアクティブマトリクス型の表示装置 9 2 0 5 に適用することができる。

30

【 0 0 9 9 】

図 1 1 (D) はゴーグル型ディスプレイであり、本体 9 3 0 1、表示装置 9 3 0 2、アーム部 9 3 0 3 で構成される。本願発明は表示領域およびその周辺に駆動回路を備えたアクティブマトリクス型の表示装置 9 3 0 2 に適用することができる。また、表示されていないが、その他の信号制御用回路に使用することもできる。

【 0 1 0 0 】

図 1 1 (E) はリア型プロジェクターであり、本体 9 4 0 1、光源 9 4 0 2、表示装置 9 4 0 3、偏光ビームスプリッター 9 4 0 4、リフレクター 9 4 0 5、9 4 0 6、スクリーン 9 4 0 7 で構成される。本発明は表示領域およびその周辺に駆動回路を備えたアクティブマトリクス型の表示装置 9 4 0 3 に適用することができる。

40

【 0 1 0 1 】

図 1 1 (F) は携帯書籍であり、本体 9 5 0 1、表示装置 9 5 0 2、9 5 0 3、記憶媒体 9 5 0 4、操作スイッチ 9 5 0 5、アンテナ 9 5 0 6 から構成されており、ミニディスク (M D) やデジタルビデオディスク (D V D) に記憶されたデータや、アンテナで受信したデータを表示するものである。表示装置 9 5 0 2、9 5 0 3 は表示領域およびその周辺に駆動回路を備えたアクティブマトリクス型の直視型表示装置であり、本発明はこの適用することができる。

【 0 1 0 2 】

50

また、ここでは図示しなかったが、本発明はその他にも、カーナビゲーションシステムやイメージセンサパーソナルコンピュータの表示部に適用することも可能である。このように、本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例１～７のどのような組み合わせから成る構成を用いても実現することができる。

【符号の説明】

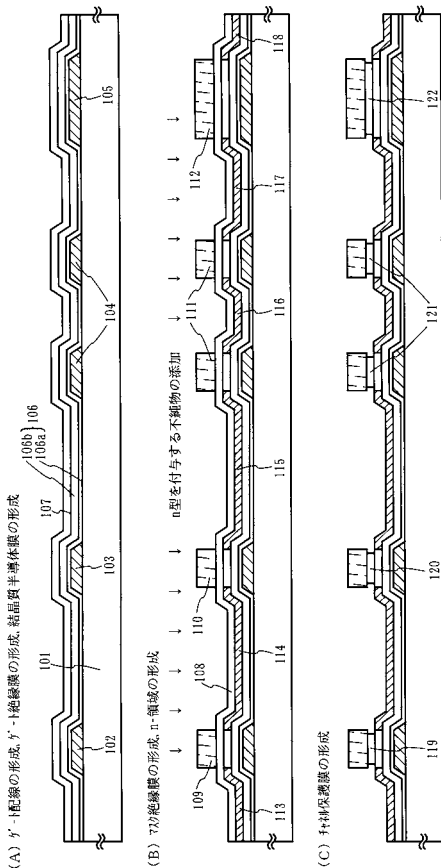
【 0 1 0 3 】

- 1 0 1 基板
- 1 0 2 ～ 1 0 4 ゲート電極
- 1 0 5 容量配線
- 1 0 6 ゲート絶縁膜
- 1 0 7 結晶質シリコン膜
- 1 0 8 マスク絶縁膜
- 1 1 9 ～ 1 2 1 チャンネル保護膜
- 1 3 9 ～ 1 4 1 ソース電極
- 1 4 2 ～ 1 4 3 ドレイン電極
- 1 3 7 保護絶縁膜
- 1 3 8 層間絶縁膜
- 1 4 4 パッシベーション膜
- 1 4 5 第２の層間絶縁膜
- 1 4 6 画素電極

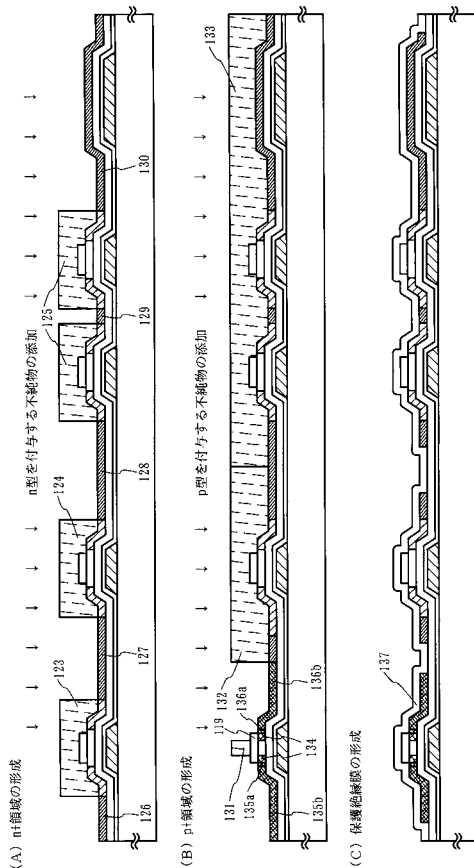
10

20

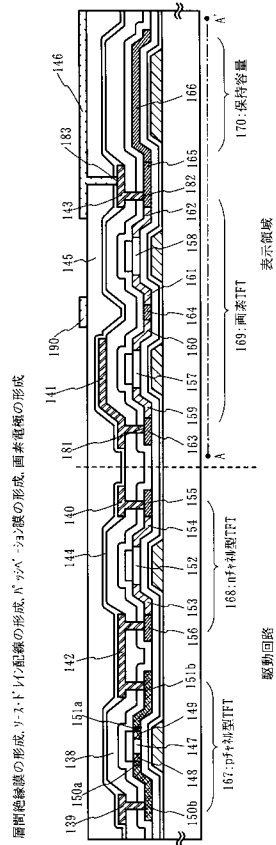
【 図 １ 】



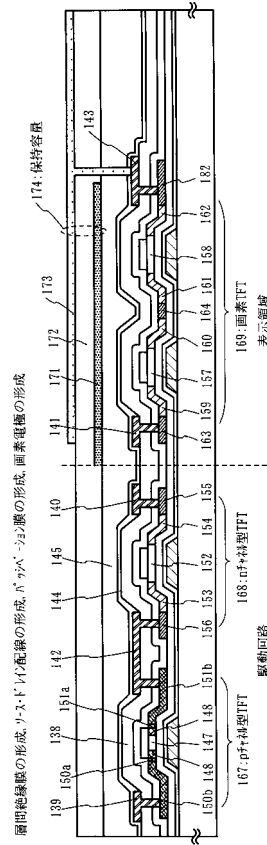
【 図 ２ 】



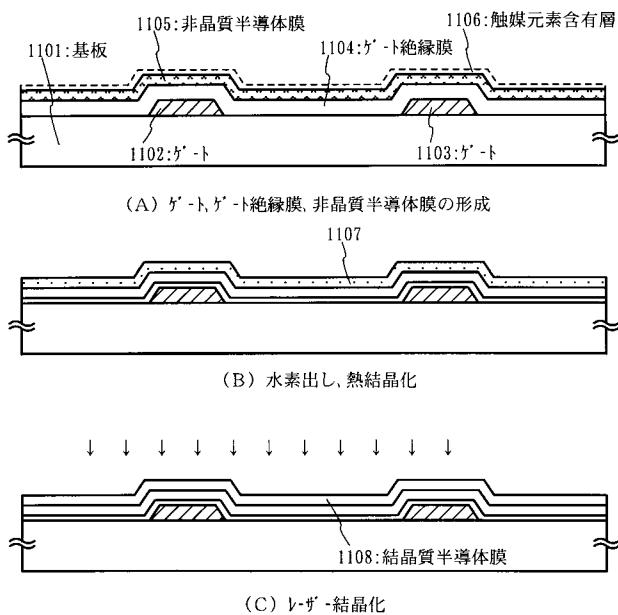
【図 3】



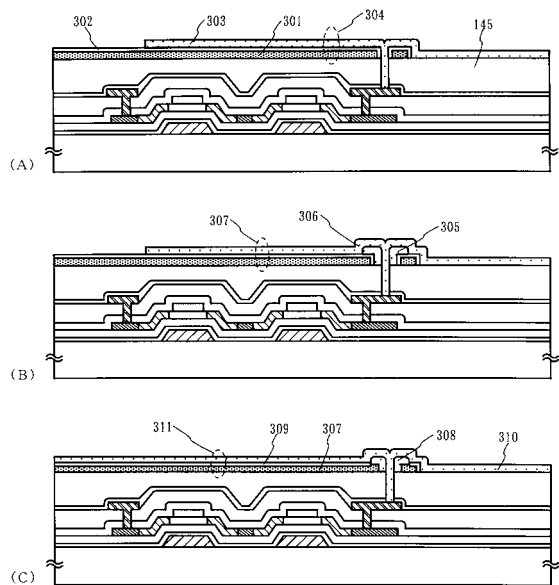
【図 4】



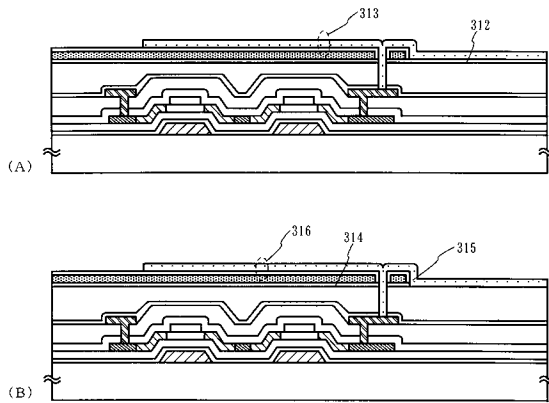
【図 5】



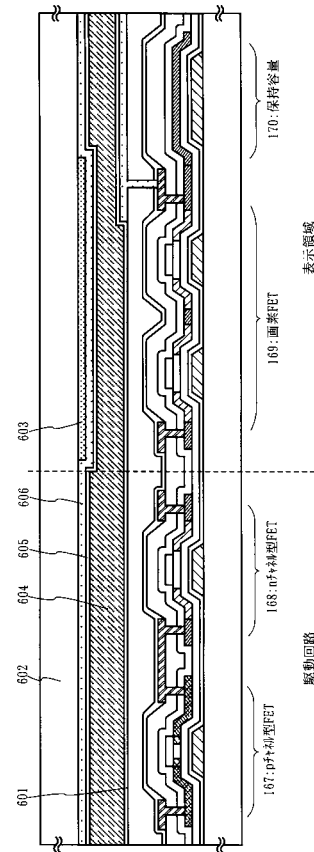
【図 6】



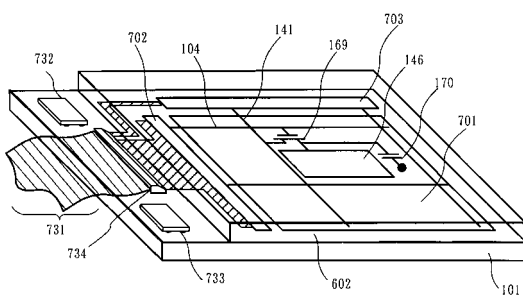
【図 7】



【図 8】

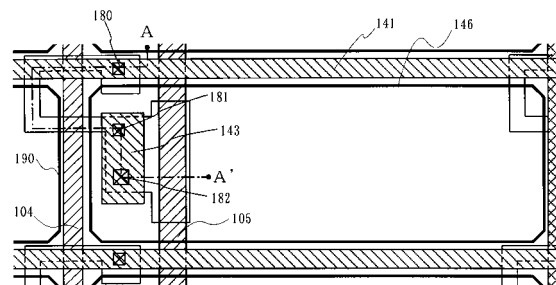


【図 9】

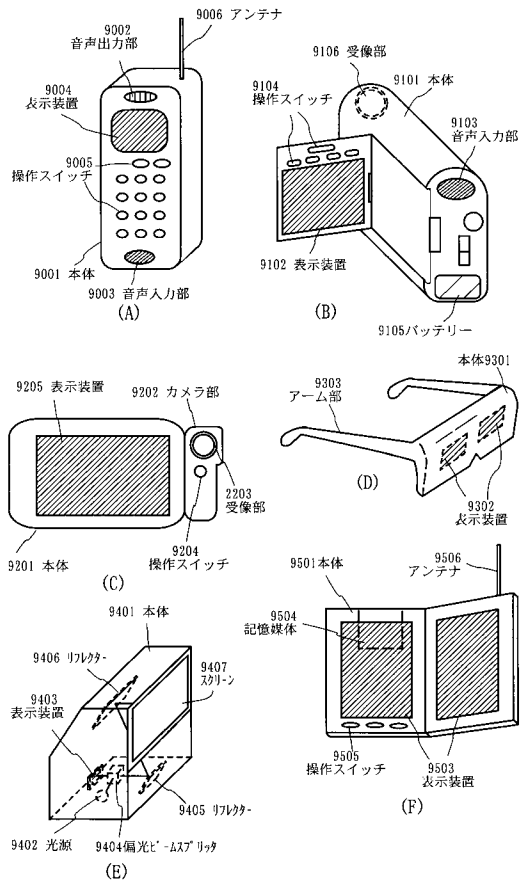


アクティブマトリクス基板
 101: 基板
 701: 表示領域
 702: 走査線駆動回路, 703: 信号線駆動回路
 731: PTC, 732, 733: ICチップ,
 734: 外部入出力端子
 169: 画素TFT
 104: Y-配線, 141: リース配線
 146: 画素電極, 170: 保持容量
 602: 対向基板

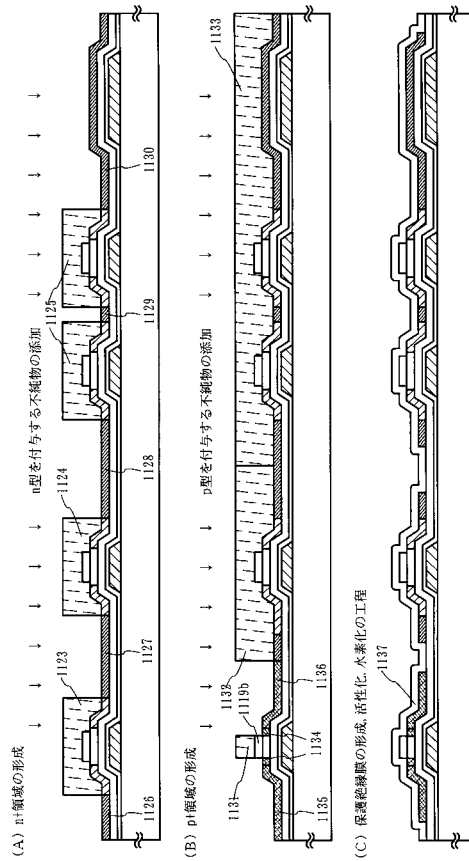
【図 10】



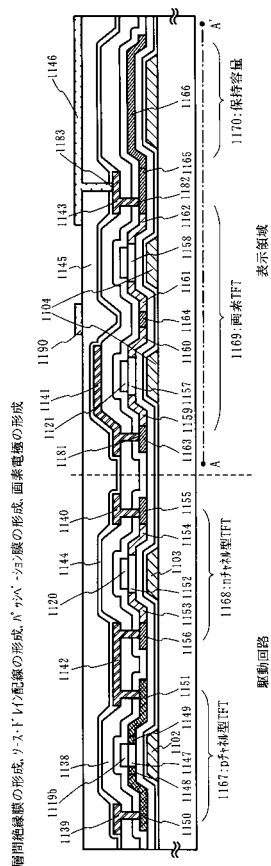
【図 1 1】



【図 1 2】



【図 1 3】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/78

6 1 9 A

F ターム(参考) 2H192 AA24 BC31 BC72 CB05 CB13 CB71 CC72 DA12 DA44 DA62
EA04 EA13 EA22 EA72 FB15 FB33 GA42 HA84 HA86
5F110 AA06 AA09 AA14 BB02 BB04 CC07 DD02 DD03 DD13 DD14
DD15 EE01 EE03 EE04 EE06 EE14 EE23 EE28 EE43 EE44
FF02 FF03 FF04 FF09 FF28 FF30 FF35 GG02 GG06 GG13
GG23 GG24 GG25 GG32 GG33 GG34 GG43 GG45 GG51 HJ01
HJ04 HJ12 HJ13 HJ23 HL03 HL04 HL12 HL23 HM15 NN03
NN04 NN12 NN22 NN23 NN24 NN27 NN34 NN40 NN46 NN47
NN54 NN73 NN78 PP03 PP04 PP06 PP10 PP34 PP35 QQ09
QQ12 QQ24 QQ25 QQ28

专利名称(译)	液晶表示装置		
公开(公告)号	JP2017191327A	公开(公告)日	2017-10-19
申请号	JP2017113301	申请日	2017-06-08
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	北角英人 河崎律子 笠原健司		
发明人	北角 英人 河崎 律子 笠原 健司		
IPC分类号	G02F1/1368 H01L29/786 H01L21/336 G02F1/1362 H01L27/12		
CPC分类号	H01L29/66765 G02F1/13454 H01L27/124 H01L27/1255 H01L29/42384 H01L29/458 H01L29/4908 H01L29/78621 H01L29/78627 H01L29/78633		
FI分类号	G02F1/1368 H01L29/78.613.Z H01L29/78.612.B H01L29/78.618.C H01L29/78.617.N H01L29/78.619.A G02F1/1343		
F-TERM分类号	2H192/AA24 2H192/BC31 2H192/BC72 2H192/CB05 2H192/CB13 2H192/CB71 2H192/CC72 2H192/DA12 2H192/DA44 2H192/DA62 2H192/EA04 2H192/EA13 2H192/EA22 2H192/EA72 2H192/FB15 2H192/FB33 2H192/GA42 2H192/HA84 2H192/HA86 5F110/AA06 5F110/AA09 5F110/AA14 5F110/BB02 5F110/BB04 5F110/CC07 5F110/DD02 5F110/DD03 5F110/DD13 5F110/DD14 5F110/DD15 5F110/EE01 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE23 5F110/EE28 5F110/EE43 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF09 5F110/FF28 5F110/FF30 5F110/FF35 5F110/GG02 5F110/GG06 5F110/GG13 5F110/GG23 5F110/GG24 5F110/GG25 5F110/GG32 5F110/GG33 5F110/GG34 5F110/GG43 5F110/GG45 5F110/GG51 5F110/HJ01 5F110/HJ04 5F110/HJ12 5F110/HJ13 5F110/HJ23 5F110/HL03 5F110/HL04 5F110/HL12 5F110/HL23 5F110/HM15 5F110/NN03 5F110/NN04 5F110/NN12 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN34 5F110/NN40 5F110/NN46 5F110/NN47 5F110/NN54 5F110/NN73 5F110/NN78 5F110/PP03 5F110/PP04 5F110/PP06 5F110/PP10 5F110/PP34 5F110/PP35 5F110/QQ09 5F110/QQ12 5F110/QQ24 5F110/QQ25 5F110/QQ28 5F110/CC08 5F110/NN72 5F110/PP01		
优先权	1999099481 1999-04-06 JP 1999176120 1999-06-22 JP		
其他公开文献	JP6495973B2		
外部链接	Espacenet		

摘要(译)

一种液晶显示装置，具有与像素的TFT电连接的存储电容器。 连接到像素TFT的存储电容器分为遮光膜，第三层间绝缘膜，像素电极 从形成。在透射型液晶显示装置的情况下，透明导电膜用于像素电极和反射 类型的液晶显示装置，可以使用金属膜。遮光膜由 Al，Ti，Ta制成 包含一种或多种选定元素作为主要成分的薄膜。

重層絶縁形成のための電極形成工程の形成

