

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-56256

(P2014-56256A)

(43) 公開日 平成26年3月27日(2014.3.27)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 612J	5C006
G02F 1/133 (2006.01)	G09G 3/20 621A	5C080
	G09G 3/20 622G	
	G09G 3/20 623R	
審査請求 有 請求項の数 2 O L (全 34 頁) 最終頁に続く		

(21) 出願番号	特願2013-228929 (P2013-228929)	(71) 出願人	000006013
(22) 出願日	平成25年11月5日 (2013.11.5)		三菱電機株式会社
(62) 分割の表示	特願2009-289194 (P2009-289194)		東京都千代田区丸の内二丁目7番3号
	の分割	(74) 代理人	100088672
原出願日	平成21年12月21日 (2009.12.21)		弁理士 吉竹 英俊
		(74) 代理人	100088845
			弁理士 有田 貴弘
		(72) 発明者	飛田 洋一
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内
		(72) 発明者	土居 佳史
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内
		最終頁に続く	

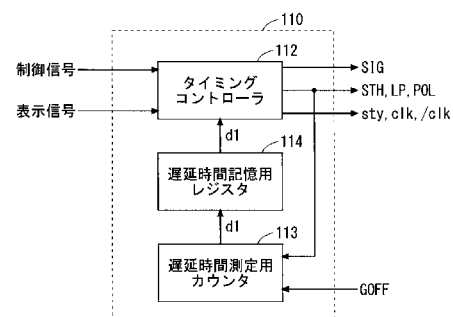
(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】画像表示装置において、ゲート線駆動信号の遅延時間が大きくなった場合でも、動作マージンを確保しつつ誤表示を防止しつつ、低コスト化を図る。

【解決手段】液晶表示装置200は、ゲート線駆動回路30を駆動するための垂直方向スタートパルスstyおよびクロック信号clk、/clkを生成するコントローラ110と、複数のゲート線GLのそれぞれが非活性化するタイミングで検出信号GOFFを一定期間活性化させるゲート線非活性遷移検出回路90とを備える。コントローラ110は、データラッチ回路が保持する表示信号の更新を行わせるラッチ信号LPに対する検出信号GOFFの遅延時間を測定する遅延時間測定用カウンタ113と、ゲートクロックclk、/clkおよび垂直方向スタート信号styの活性化タイミングをその遅延時間の分だけシフトさせるタイミングコントローラ112とを備える。

【選択図】図21



【特許請求の範囲】**【請求項 1】**

複数のゲート線と、
前記複数のゲート線に交差する複数のデータ線と、
前記複数のゲート線と前記複数のデータ線との交点近傍に形成された複数の画素と、
1画素ライン分の表示データを保持するラッチ回路を有し、当該表示データに対応する信号を前記データ線を通して前記複数の画素に供給するソースドライバと、
前記複数のゲート線を順次活性化することで前記複数の画素を駆動するゲート線駆動回路と、
前記複数のゲート線それぞれの非活性化を検出したときに、検出信号を一定期間活性化させる非活性遷移検出回路と、
前記ゲート線駆動回路を駆動するためのクロック信号およびスタートパルスを出力するコントローラとを備え、
前記コントローラは、
前記ラッチ回路が保持する表示データの更新タイミングに対する前記検出信号の活性化タイミングの遅延時間を測定するカウンタと、
前記遅延時間に基づいて前記クロック信号および前記スタートパルスの活性化タイミングを制御するタイミングコントローラとを備える
ことを特徴とする画像表示装置。

10

【請求項 2】

請求項 1 記載の画像表示装置であって、
前記タイミングコントローラは、
前記遅延時間に相当する時間だけ、前記クロック信号および前記スタートパルスの活性化タイミングを早める
ことを特徴とする画像表示装置。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、画像表示装置に関し、特に、画像表示信号の書き込みに対する動作マージンを大きくする技術に関する。

30

【背景技術】**【0002】**

画像表示を省スペースかつ低消費電力で行うために、フラットパネルディスプレイが広く用いられている。フラットパネルディスプレイにおいては、画像の表示パネルに、画素が行列状（マトリクス状）に配列される。各画素は、液晶素子などの表示素子と、この表示素子への画像表示信号（以下「表示信号」）を伝達する選択トランジスタとを含む。

【0003】

各画素行に対応してゲート線（走査線）が配置され、各画素列に対応して表示信号を伝達するデータ線が配置される。各ゲート線には、対応する行の画素の選択トランジスタのゲートが接続され、各データ線には、対応する列の画素の選択トランジスタの一方の電流電極が接続される。

40

【0004】

ゲート線の選択期間は、表示信号の水平走査期間により決定される。たとえば、水平走査線の本数が 525 本である NTSC 方式においては、1 水平走査期間は $64 \mu\text{s}$ である。この期間は短いため、通常、水平走査期間に合わせてゲート線を 1 本ずつ選択状態（活性状態）にして、その行の選択トランジスタを全て導通状態にして表示信号を画素に書き込むアクティブマトリクス方式が利用される。この方式では、各ゲート線は自己の選択期間以外の残りの垂直走査期間の間、非選択状態（非活性状態）非活性状態に維持され、その間対応する選択トランジスタは非導通状態に維持される。従って各画素は、1 フィールド期間、表示信号を維持して表示素子を駆動し、対応する表示信号を表示する。

50

【 0 0 0 5 】

このような画像表示装置においては、安定かつ正確に画像表示を行うために、種々の工夫がなされている（例えば下記の特許文献 1 - 3）。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 特開 2 0 0 5 - 3 7 1 4 号 公 報

【 特許文献 2 】 特開 2 0 0 8 - 1 7 6 2 6 9 号 公 報

【 特許文献 3 】 特開平 1 1 - 2 6 5 1 7 2 号 公 報

【 発明の概要 】

10

【 発明が解決しようとする課題 】

【 0 0 0 7 】

特許文献 1 の表示装置では、ゲート線駆動回路が接続した反対側のゲート線端にゲート線非活性検出回路（2）が設けられており（図 1 9）、その出力であるラッチ指示信号（LAT）を用いて、マルチプレクサ（1 1 6）に表示信号を送るタイミングを規定する第 2 のラッチ回路（1 1 4）を動作させている。これにより、次の画素ラインの表示信号が前の画素ラインの画素に重ね書きされてしまうのを防止している。しかしこの方法では、ゲート線駆動信号の遅延時間が大きくなると誤表示を生じさせる可能性がある。

【 0 0 0 8 】

特許文献 2 の表示装置では、ゲート線駆動回路を駆動するためのクロック信号を生成するゲートクロック生成部（4 0 0）が、ゲート線駆動信号（Von）の遅延時間を検出し、その遅延時間に応じてクロック信号（CKV, CKVB）のパルス幅を狭くしている（図 2）。それにより、ゲート線駆動信号のパルス幅を 1 水平走査期間（1 H）とほぼ同じにし、各画素に次の画素ラインの表示信号が重ね書きされることを防止している。しかしクロック信号のパルス幅が狭くなるとその駆動能力が低下するため、ゲート線駆動回路の動作マージンが低下する。

20

【 0 0 0 9 】

特許文献 3 の表示装置では、ゲート線駆動信号の遅延時間を検出して、D/A コンバータに表示信号を送るタイミングを規定するラッチ回路（1 3）の制御信号（LTHXU）を、その遅延時間だけ遅延させるタイミング調整回路（3 1）が設けられている（図 9）。これにより、各画素に次の画素ラインの表示信号が重ね書きされることを防止できるが、特許文献 1 と同様に、ゲート線駆動信号の遅延時間が大きくなると誤表示が生じる可能性がある。また、ゲート線駆動信号の遅延時間を検出する回路が表示装置の外部に設けられるため表示装置のコストが増大する。

30

【 0 0 1 0 】

このように従来が表示装置では、ゲート線駆動信号の遅延時間が大きくなった場合に、動作マージンを確保しながら誤表示を防止することが困難であった。

【 0 0 1 1 】

本発明は、画像表示装置において、ゲート線駆動信号の遅延時間が大きくなった場合でも、動作マージンを確保しつつ誤表示を防止することを第 1 の目的とし、また、ゲート線駆動回路に制御信号（クロック信号、スタートパルス等）を供給するレベルシフタを画素と一体形成可能にすることで低コスト化を図ることを第 2 の目的とする。

40

【 課題を解決するための手段 】

【 0 0 1 2 】

本発明に係る画像表示装置は、複数のゲート線と、前記複数のゲート線に交差する複数のデータ線と、前記複数のゲート線と前記複数のデータ線との交点近傍に形成された複数の画素と、1 画素ライン分の表示データを保持するラッチ回路を有し、当該表示データに対応する信号を前記データ線を通して前記複数の画素に供給するソースドライバと、前記複数のゲート線を順次活性化することで前記複数の画素を駆動するゲート線駆動回路と、前記複数のゲート線それぞれの非活性化を検出したときに、検出信号を一定期間活性化さ

50

せる非活性遷移検出回路と、前記ゲート線駆動回路を駆動するためのクロック信号およびスタートパルス出力するコントローラとを備え、前記コントローラは、前記ラッチ回路が保持する表示データの更新タイミングに対する前記検出信号の活性化タイミングの遅延時間を測定するカウンタと、前記遅延時間に基づいて前記クロック信号および前記スタートパルスの活性化タイミングを制御するタイミングコントローラとを備えるものである。

【発明の効果】

【0013】

本発明によれば、コントローラが、複数のゲート線のそれぞれが非活性化したときに活性化する検出信号に応じてクロック信号およびスタートパルスの活性化タイミングを制御するため、ゲート線駆動信号に遅延が生じて、その遅延時間を補正してゲート線が非活

10

【図面の簡単な説明】

【0014】

【図1】本発明の前提技術としての液晶表示装置の概略ブロック図である。

【図2】実施の形態1に係る液晶表示装置の概略ブロック図である。

【図3】実施の形態1に係る液晶表示装置の動作を説明するための信号波形図である。

【図4】実施の形態1の第1の変更例に係る液晶表示装置の概略ブロック図である。

【図5】実施の形態1の第2の変更例に係る液晶表示装置の動作を説明するための信号波形図である。

20

【図6】実施の形態1の第2の変更例に係る液晶表示装置の動作を説明するための信号波形図である。

【図7】ゲート線駆動回路の構成図である。

【図8】ゲート線駆動回路を構成する単位シフトレジスタの回路図である。

【図9】ゲート線駆動回路の動作を示す信号波形図である。

【図10】実施の形態1の第2の変更例に係るダミーゲート線駆動回路の構成図である。

【図11】実施の形態1の第3の変更例に係るダミーゲート線駆動回路の回路図である。

【図12】実施の形態1の第3の変更例に係るダミーゲート線駆動回路の動作を示す信号波形図である。

30

【図13】実施の形態1の第4の変更例に係るダミーゲート線非活性遷移検出回路の構成図である。

【図14】実施の形態1の第4の変更例に係るダミーゲート線非活性遷移検出回路の動作を示す信号波形図である。

【図15】レシオ型インバータの回路図である。

【図16】レシオ型インバータの入出力伝達特性を示す図である。

【図17】実施の形態1の第5の変更例に係るゲート線非活性遷移検出回路の構成を示す図である。

【図18】実施の形態2に係るコントローラの概略ブロック図である。

【図19】実施の形態2に係るコントローラの動作を示す信号波形図である。

40

【図20】実施の形態2に係るコントローラが有するメモリの動作を説明するための図である。

【図21】実施の形態3に係るコントローラの概略ブロック図である。

【図22】実施の形態3に係るコントローラの動作を示す信号波形図である。

【発明を実施するための形態】

【0015】

以下、本発明の実施の形態を図面を参照しながら説明する。なお、説明が重複して冗長になるのを避けるため、各図において同一または相当する機能を有する要素には同一符号を付してある。

【0016】

50

また、各実施の形態に用いられるトランジスタは、絶縁ゲート型電界効果トランジスタである。絶縁ゲート型電界効果トランジスタは、ゲート絶縁膜中の電界により半導体層内のドレイン領域とソース領域との間の電気伝導度が制御される。ドレイン領域およびソース領域が形成される半導体層の材料としては、アモルファスシリコン、微結晶シリコン、ペンタセン等の有機半導体あるいはIGZO(In-Ga-Zn-O)等の酸化物半導体などを用いることができる。

【0017】

よく知られているように、トランジスタは、それぞれ制御電極（狭義にはゲート（電極））と、一方の電流電極（狭義にはドレイン（電極）またはソース（電極））と、他方の電流電極（狭義にはソース（電極）またはドレイン（電極））とを含む少なくとも3つの電極を有する素子である。トランジスタはゲートに所定の電圧を印加することによりドレインとソース間にチャンネルが形成されるスイッチング素子として機能する。トランジスタのドレインとソースは、基本的に同一の構造であり、印加される電圧条件によって互いにその呼称が入れ代わる。例えば、N型トランジスタであれば、相対的に電位（以下「レベル」とも称する）の高い電極をドレイン、低い電極をソースと呼称する（P型トランジスタの場合はその逆となる）。

【0018】

特に示さない限り、それらのトランジスタは半導体基板上に形成されるものであってもよく、またガラスなどの絶縁性基板上に形成される薄膜トランジスタ(TFT)であってもよい。トランジスタが形成される基板としては、単結晶基板あるいはSOI、ガラス、樹脂などの絶縁性基板であってもよい。

【0019】

本発明の表示装置は、単一導電型のトランジスタを用いて構成され、トランジスタとしてエンハンスメント型（ノーマリオフ）とデプレッション型（ノーマリオン）のトランジスタが用いられる。デプレッション型トランジスタはスイッチング素子としてではなく電流駆動素子として用いられ、以下では、特に説明がない限り、トランジスタとはエンハンスメント型トランジスタを意味する。まず、N型トランジスタは、ゲート・ソース間電圧が当該トランジスタのしきい値電圧よりも高いH（ハイ）レベルになると活性状態（オン状態、導通状態）となり、同じきい値電圧よりも低いL（ロー）レベルで非活性状態（オフ状態、非導通状態）となる。そのためN型トランジスタを用いた回路においては信号のHレベルが「活性レベル」、Lレベルが「非活性レベル」となる。また、N型トランジスタを用いて構成した回路の各ノードは、充電されてHレベルになることで、非活性レベルから活性レベルへの変化が生じ、放電されてLレベルになることで、活性レベルから非活性レベルへの変化が生じる。

【0020】

逆にP型トランジスタは、ゲート・ソース間電圧がトランジスタのしきい値電圧（ソースを基準として負の値）よりも低いLレベルになると活性状態（オン状態、導通状態）となり、同じきい値電圧よりも高いHレベルで非活性状態（オフ状態、非導通状態）となる。そのためP型トランジスタを用いた回路においては信号のLレベルが「活性レベル」、Hレベルが「非活性レベル」となる。また、P型トランジスタを用いて構成した回路の各ノードは、充電・放電の関係がN型トランジスタの場合と逆になり、充電されてLレベルになることで、非活性レベルから活性レベルへの変化が生じ、放電されてHレベルになることで、活性レベルから非活性レベルへの変化が生じる。

【0021】

本明細書では、非活性レベルから活性レベルへの変化を「プルアップ」、活性レベルから非活性レベルへの変化「プルダウン」と定義する。つまり、N型トランジスタを用いた回路では、LレベルからHレベルへの変化が「プルアップ」、HレベルからLレベルへの変化が「プルダウン」と定義され、P型トランジスタを用いた回路では、HレベルからLレベルへの変化が「プルアップ」、LレベルからHレベルへの変化が「プルダウン」と定義される。

10

20

30

40

50

【0022】

また本明細書においては、二つの素子間、二つのノード間あるいは一の素子と一のノードとの間の「接続」とはその他の要素（素子やスイッチなど）を介しての接続であるが実質的に直接接続されているのと等価な状態を含むものとして説明する。例えば二つの素子がスイッチを介して接続している場合であっても、それらが直接接続されているときと同一に機能できるような場合には、その二つの素子が「接続している」と表現する。

【0023】

< 本発明の前提技術 >

図1は、本発明の前提技術である表示装置の構成を説明するための概略ブロック図であり、表示装置の代表例として液晶表示装置200の全体構成を示している。

10

【0024】

液晶表示装置200は、コントローラ110、レベルシフタ120、液晶アレイ部20、ゲート線駆動回路（走査線駆動回路）30、およびソースドライバ40を備える。ソースドライバ40はさらに、シフトレジスタ50と、第1および第2データラッチ回路52、54と、階調電圧生成回路60と、デコード回路70と、アナログアンプ80とから構成されている。システム100は例えば携帯機器等のシステムであり、コントローラ110に表示信号と各種の制御信号を供給する。

【0025】

コントローラ110は、システム100から受けた表示信号と制御信号に基づいて、ソースドライバ40のシフトレジスタ50を制御する水平方向スタートパルスSTH、第2データラッチ回路54を制御するラッチ信号LP、および6ビットの表示信号DOB0~DOB5を生成する。さらに、ゲート線駆動回路30を駆動するための垂直方向スタートパルスsty、互いに相補関係な（活性期間が重ならない）2つのクロック信号clk、/clkを生成する。

20

【0026】

レベルシフタ120は、コントローラ110から出力された小振幅の垂直方向スタートパルスstyおよびクロック信号clk、/clkを、ゲート線駆動回路30を駆動可能なレベルの信号（垂直方向スタートパルスSTYおよびクロック信号CLK、/CLK）へと変換するレベル変換回路である。

【0027】

30

液晶アレイ部20は、行列状に配設された複数の画素25を含む。画素の行（以下「画素ライン」とも称する）の各々にはそれぞれゲート線GL₁、GL₂...（総称「ゲート線GL」）が配設され、また、画素の列（以下「画素列」とも称する）の各々にはそれぞれデータ線DL₁、DL₂...（総称「データ線DL」）がそれぞれ設けられる。図1には、画素ラインの第1、2行に対応するゲート線GL₁、GL₂、画素列の第1、2列に対応するデータ線DL₁、DL₂、並びに、それらの交点に配設された4つの画素25が代表的に示されている。

【0028】

各画素25は、対応するデータ線DLと画素ノードNpとの間に設けられる画素スイッチ素子26と、画素ノードNpおよび共通電極ノードNCの間に並列に接続されるキャパシタ27および液晶表示素子28とを有している。画素ノードNpと共通電極ノードNCとの間の電圧差に応じて、液晶表示素子28中の液晶の配向性が変化し、これにตอบสนองして液晶表示素子28の表示輝度が変化する。これにより、データ線DLおよび画素スイッチ素子26を介して画素ノードNpへ伝達される表示電圧によって、各画素の輝度をコントロールすることが可能となる。即ち、最大輝度に対応する電圧差と最小輝度に対応する電圧差との間の中間的な電圧差を、画素ノードNpと共通電極ノードNCとの間に印加することによって、中間的な輝度を得ることができる。従って、上記表示電圧を段階的に設定することにより、階調的な輝度を得ることが可能となる。

40

【0029】

ゲート線駆動回路30は、ゲート線GL₁、GL₂...を駆動するゲート線駆動信号G₁

50

、 $G_2 \dots$ (総称「ゲート線駆動信号 G 」) を生成する。ゲート線駆動信号 G は、所定の走査周期に基づいて順に活性化され、それによりゲート線 GL が順に選択される。画素スイッチ素子 26 のゲート電極は、それぞれ対応するゲート線 GL と接続される。特定のゲート線 GL が選択されている間は、それに接続する各画素において、画素スイッチ素子 26 が導通状態になり画素ノード Np が対応するデータ線 DL と接続される。そして、画素ノード Np へ伝達された表示電圧がキャパシタ 27 によって保持される。一般的に、画素スイッチ素子 26 は、液晶表示素子 28 と同一の絶縁体基板 (ガラス基板、樹脂基板等) 上に形成される TFT で構成される。

【0030】

ソースドライバ 40 は、 N ビットのデジタル信号である表示信号 SIG によって段階的に設定される表示電圧を、データ線 DL へ出力するためのものである。ここでは一例として、表示信号 SIG は 6 ビットの信号であり、表示信号ビット $DOB_0 \sim DOB_5$ から構成されるものとする。6 ビットの表示信号 SIG に基づく、各画素において、 $2^6 = 64$ 段階の階調表示が可能となる。さらに、 R (Red)、 G (Green) および B (Blue) の 3 つの画素により 1 つのカラー表示単位を形成すれば、約 26 万色のカラー表示が可能となる。

【0031】

コントローラ 110 が出力する表示信号 SIG においては、各々の画素 25 の表示輝度に対応する表示信号ビット $DOB_0 \sim DOB_5$ がシリアルに生成される。すなわち、各タイミングにおける表示信号ビット $DOB_0 \sim DOB_5$ は、液晶アレイ部 20 中のいずれか 1 つの画素 25 における表示輝度を示している。

【0032】

またコントローラ 110 は、ソースドライバ 40 のシフトレジスタ 50 に入力される水平方向スタートパルス STH を、表示信号 SIG の 1 水平走査期間の周期で活性化する。シフトレジスタ 50 は、水平方向スタートパルス STH が活性化すると共に、表示信号 SIG の設定が切り換わる周期に同期したタイミングで、第 1 データラッチ回路 52 に対して、表示信号ビット $DOB_0 \sim DOB_5$ の取り込みを指示する。第 1 データラッチ回路 52 は、シリアルに生成される表示信号 SIG を順に取り込み、1 つの画素ライン分の表示信号 SIG を保持する。

【0033】

第 2 データラッチ回路 54 に入力されるラッチ信号 LP は、第 1 データラッチ回路 52 に 1 つの画素ライン分の表示信号 SIG が取り込まれたタイミングで活性化される。第 2 データラッチ回路 54 はそれに応答して、そのとき第 1 データラッチ回路 52 に保持されている 1 つの画素ライン分の表示信号 SIG を取り込む。つまり第 2 データラッチ回路 54 は、ラッチ信号 LP の活性化に応じて、保持するデータを更新する。

【0034】

階調電圧生成回路 60 は、高電圧 V_{DH} および低電圧 V_{DL} の間に直列に接続された 63 個の分圧抵抗で構成され、64 段階の階調電圧 $V_1 \sim V_{64}$ をそれぞれ生成する。

【0035】

デコード回路 70 は、第 2 データラッチ回路 54 に保持されている表示信号 SIG をデコードし、当該デコード結果に基づいて各デコード出力ノード $Nd_1, Nd_2 \dots$ (総称「デコード出力ノード Nd 」) に出力する表示電圧を、階調電圧 $V_1 \sim V_{64}$ のうちから選択して出力する。

【0036】

その結果、デコード出力ノード Nd には、第 2 データラッチ回路 54 に保持された 1 つの画素ライン分の表示信号 SIG に対応した表示電圧 (階調電圧 $V_1 \sim V_{64}$ のうちの 1 つ) が同時に (パラレルに) 出力される。なお、図 1 においては、第 1 列目および第 2 列目のデータ線 DL_1, DL_2 に対応するデコード出力ノード Nd_1, Nd_2 が代表的に示されている。

【0037】

10

20

30

40

50

アナログアンプ 80 は、デコード回路 70 からデコード出力ノード Nd_1 , Nd_2 ... に出力された各表示電圧に対応したアナログ電圧を電流増幅して表示信号 D_1 , D_2 ... (総称「表示信号 D」) を生成し、それらをデータ線 DL_1 , DL_2 ... に出力する。

【0038】

ソースドライバ 40 が、所定の走査周期に基づいて、一連の表示信号 SIG に対応する表示信号 D を 1 画素ライン分ずつデータ線 DL へ繰り返し出力し、ゲート線駆動回路 30 がその走査周期に同期してゲート線 GL を順に駆動することにより、液晶アレイ部 10 に表示信号 SIG に基づいた画像の表示が成される。

【0039】

図 1 のような表示装置において、その製造コストを低減するために、画素アレイ部 20、コントローラ 110、ソースドライバ 40、レベルシフタ 120 およびゲート線駆動回路 30 を一体形成した表示装置が幾つか製品化されている。しかし、表示装置の高解像度化に伴う表示速度の高速化に伴い、それら全ての回路を一体形成することは逆に高コスト化を招くと共に実用化自体が困難になる。現在の一般的な技術では、液晶アレイ部 20 とゲート線駆動回路 30 のみを一体形成する程度が、表示装置の低コスト化を容易に行える。その中でも特に、液晶アレイ部 20 とゲート線駆動回路 30 とを同一導電型のトランジスタで構成すると、最も容易に低コスト化を図ることができる。

【0040】

本発明においては、液晶アレイ部 20 とゲート線駆動回路 30 に加え、レベルシフタ 120 をも一体形成した上で、表示装置の低コスト化を図る。特に、液晶アレイ部 20、ゲート線駆動回路 30 およびレベルシフタ 120 を同一導電型のトランジスタを用いて構成することにより製造コストを削減できる。同一導電型のトランジスタのみで構成されたレベルシフタとしては、例えば、本発明者の特許出願に係る特開 2005-12356 号公報や特開 2009-188594 号公報などに開示されたものがある。

【0041】

液晶アレイ部 20 の画素スイッチ素子 26 として a-Si (非晶質シリコン) TFT を用いると、通常、低コストの表示装置の実現が容易にできる。しかし a-Si TFT はその動作速度が遅いため、レベルシフタ 120 に用いた場合、当該レベルシフタ 120 がゲート線駆動回路 30 に供給する垂直方向スタートパルス STY およびクロック信号 CLK, /CLK に遅延が生じる。その結果、ゲート線駆動回路 30 からゲート線 GL に出力されるゲート線駆動信号 G が、ソースドライバ 40 からデータ線 DL に出力される表示信号 D に対して大きく遅延し、次の画素ラインの表示信号が現在選択されている画素ラインに誤書き込みされるといった問題が生じる。本発明は、このレベルシフタ 120 の遅延の問題を解決し、且つ、液晶アレイ部 20、ゲート線駆動回路 30 およびレベルシフタ 120 を一体形成した低コストの表示装置を提供するものである。

【0042】

< 実施の形態 1 >

図 2 は本発明の実施の形態 1 に係る液晶表示装置 200 の概略ブロック図である。当該液晶表示装置 200 は、図 1 の構成に対し、ゲート線駆動回路 30 が接続した反対側のゲート線 GL の端にゲート線非活性遷移検出回路 90 を設けると共に、第 2 データラッチ回路 54 とデコード回路 70 との間に第 3 データラッチ回路 56 を介在させたものである。

【0043】

ゲート線非活性遷移検出回路 90 は、ゲート線 GL 各々の非活性化 (ゲート線駆動信号 G 各々の立ち下がり) を検出する機能を有し、ゲート線 GL の各々が非活性化したタイミングで活性化する検出信号 GOFF を出力する。

【0044】

第 3 データラッチ回路 56 は、第 2 データラッチ回路 54 と同じ機能を持つものであり、上記の検出信号 GOFF は当該第 3 データラッチ回路 56 のラッチ信号として用いられる。つまり第 3 データラッチ回路 56 は、検出信号 GOFF が活性化したときに第 2 データラッチ回路 54 に保持されている 1 画素ライン分の表示信号 SIG (表示データ) を取

10

20

30

40

50

り込んで保持する。よって第3データラッチ回路56が保持するデータは、検出信号G O F Fの活性化に応じて更新される。

【0045】

図2の液晶表示装置200の動作を説明する。ここで、レベルシフタ120はa - S i T F Tを用いて構成されており、垂直方向スタートパルスS T Yおよびクロック信号C L K、/ C L Kに遅延が生じ、応じてゲート線駆動信号Gにも遅延が生じていると仮定する。

【0046】

図3は、図2の液晶表示装置200の動作を説明するための信号波形図である。図3では、連続して活性化する第k行目のゲート線G L_kを駆動するゲート線駆動信号G_kと、その次行(第k+1行目)のゲート線G L_{k+1}を駆動するゲート線駆動信号G_kとを代表的に示している。ゲート線非活性遷移検出回路90は、ゲート線駆動信号G₁, G₂...が非活性化するそれぞれのタイミングで検出信号G O F Fを活性化させる。つまり図3のようにゲート線駆動信号G_k, G_{k+1}がHレベル(活性レベル)からLレベル(非活性レベル)に遷移したタイミングのそれぞれで、検出信号G O F Fが活性化される。

【0047】

第3データラッチ回路56は、検出信号G O F Fの立ち上がりタイミング、即ちゲート線駆動信号G_kの立ち下がったタイミングで、第2データラッチ回路54に保持されている表示信号S I Gを取り込む。ゲート線駆動信号G_kには遅延が生じているため、ゲート線駆動信号G_kの立ち下がり時には既に第2データラッチ回路54には第k+1行目の表示信号S I Gが保持されている。従って、ゲート線駆動信号G_kの立ち下がったとき、第k+1行目の表示信号S I Gがデコード回路70に取り込まれ、デコード回路70およびアナログアンプ80を通して、第k+1行目の表示信号Dがデータ線D Lに出力されることになる。

【0048】

このように本実施の形態に係る液晶表示装置200では、ゲート線駆動信号G_kが遅延することによって、ゲート線駆動信号G_kの活性期間(ゲート線G L_kの選択期間)の間に第2データラッチ回路54が保持する表示信号S I Gが第k+1行目のものに变化した場合であっても、第3データラッチ回路56が、ゲート線駆動信号G_kの立ち下がり時まで第k行目の表示信号S I Gを保持してデコード回路70に供給する。そのためゲート線G L_kの選択期間の間、データ線D Lに供給される表示信号Dは第k行目のものに維持される。つまりゲート線G L_kの画素に、第k+1行目の表示信号Dが誤書き込みされることが防止される。

【0049】

ゲート線駆動信号G_kが遅延を有していても、表示信号Dの誤書き込みの問題が生じないため、a - S i T F Tにより構成したレベルシフタ120を使用することが可能になる。よってa - S i T F Tにより構成された液晶アレイ部20およびゲート線駆動回路30と一体的に形成することが容易になり、更なる低コスト化を図ることができる。

【0050】

[第1の変更例]

上述のように図2の構成は、ゲート線駆動信号Gの遅延が比較的大きく、ゲート線駆動信号G_kの活性期間(ゲート線G L_kの選択期間)に第2データラッチ回路54が保持する表示信号S I Gが第k+1行目のものに变化する場合に有効である。しかし、ゲート線駆動信号Gの遅延が比較的小さい場合には、ゲート線駆動信号G_kの立ち下がりの時点で、まだ第2データラッチ回路54が第k行目の表示信号S I Gを保持していることが考えられる。その場合、ゲート線駆動信号G_kの立ち下がり時に第3データラッチ回路56が第k行目の表示信号S I Gをラッチし、ゲート線G L_{k+1}の選択期間に第k行目の表示信号Dがデータ線D Lへ供給される不具合が発生する。

【0051】

ゲート線駆動信号Gの遅延が比較的小さい場合には、第3データラッチ回路56を設け

10

20

30

40

50

ずに、図 4 のようにゲート線非活性遷移検出回路 90 が出力する検出信号 G O F F を第 2 データラッチ回路 54 のラッチ信号として用いる構成とすればよい（言い換えれば、図 2 において第 2 データラッチ回路 54 を省略する）。

【0052】

図 4 の構成によっても、デコード回路 70 に供給する表示信号 S I G を変化させるタイミングがゲート線駆動信号 G の遅延に応じて調整され、ゲート線駆動信号 G の遅延に起因する誤表示の問題を解決できる。図 2 の構成に比べると、ゲート線駆動信号 G の遅延が大きいケースに対応できなくなるが、ゲート線駆動信号 G の遅延が比較的小さい場合に上記の不具合が生じない点で有効である。

【0053】

[第 2 の変更例]

図 2 の液晶表示装置 200 においては、全てのゲート線 G L の各々にゲート線非活性遷移検出回路を設ける必要があるため、必要となる回路面積が大きくなる。ここでは液晶表示装置 200 の回路面積の増大を抑制できる変更例を示す。

【0054】

図 5 は実施の形態 1 の第 2 の変更例に係る液晶表示装置 200 の概略ブロック図である。同図の如く、本変更例の液晶表示装置 200 は、図 2 の構成とは異なり、ゲート線非活性遷移検出回路 90 がゲート線 G L に接続されない。その代わりに当該液晶表示装置 200 は、2 行のダミーゲート線 G D L 1 , G D L 2 と、当該ダミーゲート線 G D L 1 , G D L 2 に接続する複数のダミー画素 25 D と、当該ダミーゲート線 G D L 1 , G D L 2 を駆動するダミーゲート線駆動回路 130 と、当該ダミーゲート線 G D L 1 , G D L 2 におけるダミーゲート線駆動回路 130 が接続した反対側の端に接続したゲート線非活性遷移検出回路 140 とを備える。

【0055】

ダミーゲート線 G D L 1 , G D L 2 は通常のゲート線 G L の各々と同一構造で、同一の幅および長さ形成されている。またダミー画素 25 D は、通常の画素 25 と同一構造を有しており、ダミーゲート線 G D L 1 , G D L 2 の各々には、通常のゲート線 G L の各々に接続する画素 25 と同じ数だけのダミー画素 25 D が接続される。その結果、ダミーゲート線 G D L 1 , G D L 2 の各々における信号伝播遅延時間は、通常のゲート線 G L のそれと同一になる。

【0056】

ダミーゲート線駆動回路 130 は、ダミーゲート線 G D L 1 , G D L 2 をそれぞれ駆動するダミーゲート線駆動信号 G D 1 , G D 2 を生成する。ダミーゲート線非活性遷移検出回路 140 は、ダミーゲート線 G D L 1 , G D L 2 の非活性化（即ちダミーゲート線駆動信号 G D 1 , G D 2 の立ち下がり）を検出し、そのタイミングで活性化する検出信号 G O F F を第 3 データラッチ回路 56 に供給する。

【0057】

なお図 5 に示す各ダミー画素 25 D はデータ線 D L に接続されているが、ダミー画素 25 D は画像表示の用途には用いられないため、それらに表示信号 D₁、D₂...を供給する必要はない。よってダミー画素 25 D の画素スイッチ素子（不図示）の電流電極は、必ずしもデータ線 D L に接続させる必要はなく、例えば一定電位に固定してもよい。

【0058】

図 6 は、図 5 の液晶表示装置 200 の動作を説明するための信号波形図である。ダミーゲート線駆動回路 130 は、ゲート線駆動回路 30 が出力するゲート線駆動信号 G に同期したタイミングで、1 水平走査期間（1 H）毎にダミーゲート線駆動信号 G D 1 , G D 2 を交互に活性化させるように動作する（詳細は後述する）。そしてダミーゲート線非活性遷移検出回路 140 は、ダミーゲート線駆動信号 G D 1 , G D 2 が非活性化するタイミング（立ち下がりタイミング）で検出信号 G O F F を活性化させる。その結果図 6 のように、検出信号 G O F F の波形は、図 2 の構成の場合（図 3）と同様になる。

【0059】

従って本変更例においても、図 2 の液晶表示装置 200 と同様に、ゲート線駆動信号 G_k の遅延に起因する誤表示が防止される効果が得られる。さらにゲート線 GL の全てに接続されるゲート線非活性遷移検出回路 90 に代えて、2 つのダミーゲート線 $GDL1$, $GDL2$ のみに接続するダミーゲート線非活性遷移検出回路 140 が使用されるため、回路面積の増大が抑制される。

【0060】

この後、ダミーゲート線駆動回路 130 について説明するが、説明の便宜のため、それに先立ちゲート線駆動回路 30 についての説明を行う。

【0061】

図 7 は、ゲート線駆動回路 30 の構成を示す図である。このゲート線駆動回路 30 は、縦続接続（カスケード接続）した複数の単位シフトレジスタ SR_1 , SR_2 ...（総称「単位シフトレジスタ SR 」）で構成される多段のシフトレジスタから成っている。単位シフトレジスタ SR は、1 つのゲート線 GL ごとに設けられる。

10

【0062】

図 7 のゲート線駆動回路 30 は、最後段の単位シフトレジスタ SR_n のさらに次段に、ゲート線に接続されないダミーの単位シフトレジスタ SRD （以下「ダミー段」）が設けられている。ダミー段 SRD も通常の単位シフトレジスタ SR と同様の構成を有している。

【0063】

各単位シフトレジスタ SR は、入力端子 IN 、出力端子 OUT 、クロック端子 CK およびリセット端子 RST を有している。図 7 のように、各単位シフトレジスタ SR のクロック端子 CK には、レベルシフタ 120 が出力するクロック信号 CLK , $/CLK$ のいずれかが供給される。具体的には、クロック信号 CLK は奇数段の単位シフトレジスタ SR_1 , SR_3 , SR_5 ... に供給され、クロック信号 $/CLK$ は偶数段の単位シフトレジスタ SR_2 , SR_4 , SR_6 ... に供給される。

20

【0064】

図 7 の例では最後段である第 n 段目（第 n ステージ）の単位シフトレジスタ SR_n は偶数段であり、当該単位シフトレジスタ SR_n には、クロック信号 $/CLK$ が供給されている。よって、ダミー段 SRD は奇数段となり、そのクロック端子 CK にはクロック信号 CLK が供給される。

30

【0065】

第 1 段目（第 1 ステージ）である単位シフトレジスタ SR_1 の入力端子 IN には、レベルシフタ 120 が出力する垂直方向スタートパルス STY が入力される。第 2 段目以降の各単位シフトレジスタ SR では、入力端子 IN はその前段の単位シフトレジスタ SR の出力端子 OUT に接続される。

【0066】

垂直方向スタートパルス STY は、ゲート線駆動回路 30 に信号のシフト動作を開始させるための信号であり、表示信号 SIG の各フレーム期間の先頭に対応するタイミングで活性化される信号である。但し、本実施の形態では、レベルシフタ 120 により垂直方向スタートパルス STY にも遅延が生じている。

40

【0067】

各単位シフトレジスタ SR のリセット端子 RST は、その次段の単位シフトレジスタ SR の出力端子 OUT に接続される。最後段の単位シフトレジスタ SR_n のリセット端子 RST は、ダミー段 SRD の出力端子 OUT に接続される。なお、ダミー段 SRD のリセット端子 RST には、そのクロック端子 CK に入力されるクロック信号 CLK とは位相の異なるクロック信号 $/CLK$ が入力される。

【0068】

このように各単位シフトレジスタ SR の出力端子 OUT から出力されるゲート線駆動信号 G は、垂直走査パルスとして、それぞれ対応するゲート線 GL へと供給されると共に、自己の次段の入力端子 IN および自己の前段のリセット端子 RST へと供給される。

50

【 0 0 6 9 】

図 8 は、単位シフトレジスタ $S R$ の構成の一例を示す回路図である。なおゲート線駆動回路 30 においては、縦続接続された単位シフトレジスタ $S R$ の構成は実質的にどれも同じであるので、ここでは代表的に、第 k 段目（第 k 行目の画素ラインに対応する）の単位シフトレジスタ $S R_k$ について説明する。また本実施の形態では、単位シフトレジスタ $S R_k$ を構成するトランジスタは、全て同一導電型の電界効果トランジスタであるが、以下に示す実施の形態および変更例においては全て N 型 $T F T$ であるものとする。

【 0 0 7 0 】

図 8 の如く、単位シフトレジスタ $S R_k$ は、図 7 に示した入力端子 $I N$ 、出力端子 $O U T$ 、クロック端子 $C K$ およびリセット端子 $R S T$ の他に、低電位側電源電位（ロー側電源電位） $V S S$ が供給される第 1 電源端子 $S 1$ 、高電位側電源電位（ハイ側電源電位） $V D D$ が供給される第 2 電源端子 $S 2$ を有している。実使用では、画素 25 に書き込まれる表示信号 D の電圧を基準にして基準電位が設定され、例えばハイ側電源電位 $V D D$ は $1.7 V$ 、ロー側電源電位 $V S S$ は $-1.2 V$ などと設定される。

【 0 0 7 1 】

図 8 に示すように、単位シフトレジスタ $S R_k$ は、以下のトランジスタ $Q 1 \sim Q 7$ および容量素子 $C 1$ により構成されている。トランジスタ $Q 1$ は、出力端子 $O U T$ とクロック端子 $C K$ との間に接続する。トランジスタ $Q 2$ は、出力端子 $O U T$ と第 1 電源端子 $S 1$ との間に接続する。ここでトランジスタ $Q 1$ のゲートが接続するノードを「ノード $N 1$ 」、トランジスタ $Q 2$ のゲートが接続するノードを「ノード $N 2$ 」とそれぞれ定義する。

【 0 0 7 2 】

容量素子 $C 1$ は、トランジスタ $Q 1$ のゲート・ソース間（即ち出力端子 $O U T$ とノード $N 1$ との間）に接続される。容量素子 $C 1$ は、出力端子 $O U T$ の充電時にノード $N 1$ を昇圧するためのものである。トランジスタ $Q 1$ のゲート・チャネル間容量が充分大きければそれを容量素子 $C 1$ に置き換えることができ、その場合は容量素子 $C 1$ を省略できる。

【 0 0 7 3 】

トランジスタ $Q 3$ は、入力端子 $I N$ とノード $N 1$ との間に接続し、そのゲートは入力端子 $I N$ に接続される（即ちトランジスタ $Q 3$ はダイオード接続されている）。トランジスタ $Q 4$ は、ノード $N 1$ と第 1 電源端子 $S 1$ との間に接続し、そのゲートはリセット端子 $R S T$ に接続される。トランジスタ $Q 5$ は、ノード $N 1$ と第 1 電源端子 $S 1$ との間に接続し、そのゲートはノード $N 2$ に接続される。

【 0 0 7 4 】

トランジスタ $Q 6$ は、ノード $N 2$ と第 2 電源端子 $S 2$ との間に接続し、そのゲートは第 2 電源端子 $S 2$ に接続される（即ちトランジスタ $Q 6$ はダイオード接続されている）。トランジスタ $Q 7$ は、ノード $N 2$ と第 1 電源端子 $S 1$ との間に接続し、そのゲートはノード $N 1$ に接続する。

【 0 0 7 5 】

トランジスタ $Q 7$ は、トランジスタ $Q 6$ よりもオン抵抗が充分小さく設定されており、これらトランジスタ $Q 6$ 、 $Q 7$ は、ノード $N 1$ を入力端、ノード $N 2$ を出力端とするレシオ型インバータを構成している。つまりノード $N 1$ が L レベル（トランジスタ $Q 7$ がオフ）のときノード $N 2$ はトランジスタ $Q 6$ の電流によって H レベルに維持され、ノード $N 1$ が H レベル（トランジスタ $Q 7$ がオン）のときは、ノード $N 2$ はトランジスタ $Q 7$ により放電されて L レベルになる。

【 0 0 7 6 】

次に図 8 の単位シフトレジスタ $S R_k$ の動作を説明する。説明の簡単のため、単位シフトレジスタ $S R_k$ のクロック端子 $C K$ にはクロック信号 $C L K$ が入力されているものとして説明する（図 7 の奇数段の単位シフトレジスタ $S R$ がこれに該当する）。

【 0 0 7 7 】

初期状態として、ノード $N 1$ が L レベル（ $V S S$ ）、ノード $N 2$ が H レベル（ $V D D - V_{th}$ ）の状態を仮定する（この状態を「リセット状態」と称す）。リセット状態では、

トランジスタ Q_1 がオフ、トランジスタ Q_2 がオンであるので、クロック信号 CLK のレベルに関係なく、出力端子 OUT （ゲート線駆動信号 G_k ）は L レベルである。即ち、ゲート線 GL_k は非選択状態にある。

【0078】

その状態から、前段のゲート線駆動信号 G_{k-1} が H レベル（ VDD ）になると、トランジスタ Q_3 がオンになりノード N_1 を充電する。このときトランジスタ Q_5 もオンしているが、トランジスタ Q_3 はトランジスタ Q_5 よりもオン抵抗が充分低く設定されており、ノード N_1 は H レベルになる。

【0079】

するとトランジスタ Q_7 がオンになり、ノード N_2 は L レベルになる。応じてトランジスタ Q_5 はオフになり、ノード N_1 の H レベル電位は $VDD - V_{th}$ になる。このようにノード N_1 が H レベル、ノード N_2 が L レベルの状態（この状態を「セット状態」称す）では、トランジスタ Q_1 がオン、トランジスタ Q_2 がオフになる。

【0080】

その後、前段のゲート線駆動信号 G_{k-1} は L レベルに戻るとトランジスタ Q_3 がオフになる。しかしノード N_1 はフローティング状態で H レベルに維持されるので、単位シフトレジスタ SR_k のセット状態はその後も維持される。

【0081】

この状態で、クロック信号 CLK が H レベルになると、そのレベル上昇がオン状態のトランジスタ Q_1 を通して出力端子 OUT に伝達され、ゲート線駆動信号 G_k のレベルが上昇する。このとき容量素子 C_1 およびトランジスタ Q_1 のゲート・チャネル間容量を介するによる容量結合によりノード N_1 が昇圧される。その結果トランジスタ Q_1 は非飽和領域で動作し、ゲート線駆動信号 G_k の H レベル電位はクロック信号 CLK と同じ VDD になる。

【0082】

このようにゲート線駆動信号 G_k が H レベルになることで、ゲート線 GL_k は選択状態になる。それと共に、次段である単位シフトレジスタ SR_{k+1} がセット状態になる。

【0083】

クロック信号 CLK が L レベルに戻ると、オン状態のトランジスタ Q_1 を通して出力端子 OUT が放電され、ゲート線駆動信号 G_k は L レベルになる。これによりゲート線 GL_k は非選択状態に戻る。ゲート線駆動信号 G_k は出力端子 OUT において、クロック信号 CLK の立ち下がりにほぼ追従して L レベルになる。つまりレベルシフタ120の信号伝播遅延時間およびゲート線 GL の放電時の時定数が、ゲート線駆動信号 G の立ち下がりに遅延時間の主要素になっている。

【0084】

続いてクロック信号 CLK が H レベルになるとき、次段のゲート線駆動信号 G_{k+1} が H レベルになり、トランジスタ Q_4 がオンし、ノード N_1 は放電されて L レベルになる。応じてトランジスタ Q_7 がオフになり、ノード N_2 は H レベルになる。即ち、単位シフトレジスタ SR_k はリセット状態に戻る。

【0085】

リセット状態ではトランジスタ Q_1 がオフ、トランジスタ Q_2 がオンであるので、ゲート線駆動信号 G_k は低インピーダンスで L レベルに維持される。なお、トランジスタ Q_5 は、リセット状態のときにオンしてノード N_1 を低インピーダンスで L レベルに維持する。これにより、リセット状態にある単位シフトレジスタ SR_k の誤動作が防止される。

【0086】

以上の動作をまとめると、図8の構成の単位シフトレジスタ SR は、入力端子 IN の信号が活性化されない期間はリセット状態であり、その間はトランジスタ Q_1 がオフ、トランジスタ Q_2 がオンするため、ゲート線駆動信号 G は低インピーダンスで L レベル（ VSS ）に維持される。そして入力端子 IN の信号が活性化されると、単位シフトレジスタ SR はセット状態になり、トランジスタ Q_1 がオン、トランジスタ Q_2 がオフになる。その

10

20

30

40

50

状態でクロック端子CKのクロック信号が活性化されると、ゲート線駆動信号Gが活性化される。その後、リセット端子RSTの信号が活性化すると、単位シフトレジスタSRはリセット状態に戻り、トランジスタQ1がオフ、トランジスタQ2がオンになるため、ゲート線駆動信号Gは低インピーダンスでLレベル(VSS)に維持される。

【0087】

このように動作する複数の単位シフトレジスタSRを図7の如く縦続接続してゲート線駆動回路30を構成すると、図9に示すように、第1段目の単位シフトレジスタSR₁に入力される垂直方向スタートパルスSTYの活性化を切っ掛けにして、クロック信号CLK、/CLKに同期したタイミングで、ゲート線駆動信号G₁、G₂、G₂...がこの順に活性化される。これにより、ゲート線GL₁、GL₂、GL₃...は、所定の走査周期で順に選択されることになる。

10

【0088】

なお、ここではゲート線駆動回路30のシフトレジスタを2相のクロック信号により駆動させる例を示したが、3相以上の多相クロック信号を用いても動作させることも可能である。

【0089】

図10は、ダミーゲート線駆動回路130の構成を示す図である。ここではゲート線駆動回路30と同様に2相のクロック信号CLK、/CLKにより駆動される構成例を示す。同図の如く、ダミーゲート線駆動回路130は、ダミーゲート線GDL1を駆動する第1駆動回路130aと、ダミーゲート線GDL2を駆動する第2駆動回路130bとを備えている。

20

【0090】

なおダミーゲート線非活性遷移検出回路140は、ダミーゲート線駆動信号GD1の立ち下がりを検出し、そのタイミングで検出信号GOFFを活性化させる第1検出回路140aと、ダミーゲート線駆動信号GD2の立ち下がりを検出し、そのタイミングで検出信号GOFFを活性化させる第2検出回路140bとから構成される。これら第1および第2検出回路140a、140bの構成については後に説明する。

【0091】

第1駆動回路130aは、ダミーゲート線GDL1に接続した出力端子OUTから、ダミーゲート線駆動信号GD1を出力するものであり、以下のトランジスタQ1D、Q3D、Q4Dおよび容量素子C1Dから構成される。

30

【0092】

トランジスタQ1Dは、第1クロック端子CK1と出力端子OUTDとの間に接続する。トランジスタQ1Dのゲートが接続するノードを「ノードN1D」と定義すると、容量素子C1Dは、ノードN1Dと出力端子OUTDとの間に接続される。この容量素子C1Dは、出力端子OUTDの充電時にノードN1Dを昇圧するためのものである。トランジスタQ1Dのゲート・チャネル間容量が充分大きければそれを容量素子C1Dに置き換えることができ、その場合は容量素子C1Dを省略できる。

【0093】

トランジスタQ3Dは、第2クロック端子CK2とノードN1Dとの間に接続し、そのゲートは第2クロック端子CK2に接続される。トランジスタQ4Dは、ロー側電源電位VSSが供給される第1電源端子S1とノードN1Dとの間に接続し、そのゲートは第1電源端子S1に接続される。つまりトランジスタQ3DおよびトランジスタQ4Dは、それぞれダイオード接続される。またトランジスタQ4Dは常にオフ状態に維持されることになる。

40

【0094】

トランジスタQ1D、Q3Dおよび容量素子C1Dは、ゲート線駆動回路30の単位シフトレジスタSRのトランジスタQ1、Q3および容量素子C1とそれぞれ同一寸法のものが用いられる。またトランジスタQ4Dの寸法は、ノードN1Dが、単位シフトレジスタSR(図8)のノードN1と同じ大きさの寄生容量を持つように設定される。

50

【 0 0 9 5 】

第 1 駆動回路 1 3 0 a と第 2 駆動回路 1 3 0 b は、共に同じ回路構成であるが、第 1 および第 2 クロック端子 C K 1 , C K 2 に入力されるクロック信号が逆になる。即ち、第 1 駆動回路 1 3 0 a では第 1 クロック端子 C K 1 にクロック信号 C L K、第 2 クロック端子 C K 2 にクロック信号 / C L K が、それぞれ入力されるのに対し、第 2 駆動回路 1 3 0 b では第 1 クロック端子 C K 1 にクロック信号 / C L K、第 2 クロック端子 C K 2 にクロック信号 C L K がそれぞれ入力される。

【 0 0 9 6 】

第 1 駆動回路 1 3 0 a の動作を説明する。クロック信号 / C L K が H レベル (V D D) になると、トランジスタ Q 3 D がオンし、ノード N 1 D が充電されて H レベル (V D D - V t h) になるため、トランジスタ Q 1 D がオンになる。その後クロック信号 / C L K は L レベル (V S S) になるが、トランジスタ Q 3 D はオフするためノード N 1 D の電荷はノード N 1 D の寄生容量に保持される。よってノード N 1 D は H レベル (V D D - V t h) に維持され、トランジスタ Q 1 D のオンも維持される。

10

【 0 0 9 7 】

続いてクロック信号 C L K が活性化されると、トランジスタ Q 1 D を通して出力端子 O U T D が充電され、ダミーゲート線駆動信号 G D 1 が H レベルになる。このとき容量素子 C 1 D およびトランジスタ Q 1 のゲート・チャネル間容量を介する結合により、ノード N 1 D が昇圧され、トランジスタ Q 1 D は非飽和領域で動作する。その結果、ダミーゲート線駆動信号 G D 1 の H レベル電位は、クロック信号 C L K の H レベル電位と同じ V D D となる。

20

【 0 0 9 8 】

その後、クロック信号 C L K が L レベルになると、出力端子 O U T D はオン状態のトランジスタ Q 1 D によって放電され、ダミーゲート線駆動信号 G D 1 が L レベルになる。このとき容量素子 C 1 D およびトランジスタ Q 1 のゲート・チャネル間容量を介する結合により、ノード N 1 D は降圧され、昇圧される前の電位 V D D - V t h に戻る。

【 0 0 9 9 】

以降、第 1 駆動回路 1 3 0 a は、クロック信号 C L K , / C L K のレベル変化に応じて上記の動作を繰り返す。つまりダミーゲート線駆動信号 G D 1 は、クロック信号 C L K の活性化に追従して活性化し、クロック信号 C L K の非活性化に追従して非活性化する繰り返しパルス信号となる。

30

【 0 1 0 0 】

上記のように第 1 駆動回路 1 3 0 a のトランジスタ Q 1 D , Q 3 D および容量素子 C 1 D は、ゲート線駆動回路 3 0 の単位シフトレジスタ S R のトランジスタ Q 1 , Q 3 および容量素子 C 1 とそれぞれ同一寸法であり、ノード N 1 D は単位シフトレジスタ S R のノード N 1 と同じ大きさの寄生容量を持っている。なお且つ、ダミーゲート線 G D L 1 における信号伝播遅延時間は、通常のゲート線 G L のそれと同一に設定されている。従って、ダミーゲート線駆動信号 G D 1 は、クロック信号 C L K により駆動される単位シフトレジスタ S R が出力するゲート線駆動信号 G と活性化および非活性化のタイミングが一致することになる。つまり、ダミーゲート線駆動信号 G D 1 は、奇数行目のゲート線駆動信号 G の何れかが活性化するタイミングで活性化し、それが非活性化するのと同時に非活性化する。

40

【 0 1 0 1 】

反対に、第 2 駆動回路 1 3 0 b が出力するダミーゲート線駆動信号 G D 2 は、クロック信号 / C L K の活性化に追従して活性化し、クロック信号 / C L K の非活性化に追従して非活性化する繰り返しパルス信号となる。

【 0 1 0 2 】

また第 2 駆動回路 1 3 0 b およびダミーゲート線 G D L 2 における寄生容量や信号伝播遅延時間なども、ダミーゲート線駆動回路 1 3 0 の単位シフトレジスタ S R およびゲート線駆動信号 G と同じに設定されている。従って、ダミーゲート線駆動信号 G D 2 は、クロ

50

ック信号 / C L K で駆動される単位シフトレジスタ S R が出力するゲート線駆動信号 G と活性化および非活性化のタイミングが一致することになる。つまり、ダミーゲート線駆動信号 G D 2 は、偶数行目のゲート線駆動信号 G の何れかが活性化するタイミングで活性化し、それが非活性化するのと同時に非活性化する。

【 0 1 0 3 】

一方、ダミーゲート線非活性遷移検出回路 1 4 0 は、ダミーゲート線駆動信号 G D 1 , G D 2 の非活性化タイミング (立ち下がりタイミング) で検出信号 G O F F を活性化させる。その結果、図 6 に示したように、検出信号 G O F F の波形は、図 2 の構成の場合 (図 3) と同様になる。

【 0 1 0 4 】

[第 3 の変更例]

第 2 の変更例では、ダミーゲート線駆動信号 G D 1 , G D 2 がゲート線駆動信号 G と同期するように、第 1 および第 2 駆動回路 1 3 0 a , 1 3 0 b (図 1 0) のトランジスタ Q 4 D の寸法を調整し、ノード N 1 D の寄生容量とゲート線駆動回路 3 0 の単位シフトレジスタ S R (図 8) のノード N 1 の寄生容量とが等価となるように設定した。しかし、図 1 0 のダミーゲート線駆動信号 G D 1 , G D 2 は、単位シフトレジスタ S R とは異なった回路構成であるため、ノード N 1 D の寄生容量がノード N 1 のそれに正確に一致するようにトランジスタ Q 4 D の寸法を設定するのは簡単ではない。本変更例では、この問題を伴わない構成のダミーゲート線駆動回路 1 3 0 を示す。

【 0 1 0 5 】

図 1 1 は、実施の形態 1 の第 3 の変更例に係るダミーゲート線駆動回路 1 3 0 の構成を示す図である。このダミーゲート線駆動回路 1 3 0 は、1 水平走査期間 (1 H) ずつ位相がずれた 3 相のクロック信号 C L K 1 ~ C L K 3 を用いて駆動される。ここで、クロック信号 C L K 1 ~ C L K 3 は、C L K 1 , C L K 2 , C L K 3 , C L K 1 , C L K 2 ... の順に活性化されるものとする。

【 0 1 0 6 】

当該ダミーゲート線駆動回路 1 3 0 は、クロック信号 C L K 1 に追従して活性化するダミーゲート線駆動信号 G D 1 を生成する第 1 駆動回路 1 3 0 a と、クロック信号 C L K 2 に追従して活性化するダミーゲート線駆動信号 G D 2 を生成する第 2 駆動回路 1 3 0 b と、クロック信号 C L K 3 に追従して活性化するダミーゲート線駆動信号 G D 3 を生成する第 3 駆動回路 1 3 0 c とから成る。

【 0 1 0 7 】

図示は省略するが、第 3 駆動回路 1 3 0 c が生成するダミーゲート線駆動信号 G D 3 は、通常のゲート線駆動信号 G と同じ信号伝播遅延時間を有するダミーゲート線 G D L 3 に出力される。またダミーゲート線非活性遷移検出回路 1 4 0 は、ダミーゲート線 G D L 3 における第 3 駆動回路 1 3 0 c が接続した反対側の端に接続した第 3 検出回路 1 4 0 c を備え、当該第 3 検出回路 1 4 0 c は、ダミーゲート線駆動信号 G D 3 の立ち下がりを検出し、そのタイミングで検出信号 G O F F を活性化させる。つまり本変更例のダミーゲート線非活性遷移検出回路 1 4 0 は、ダミーゲート線駆動信号 G D 1 , G D 2 , G D 3 それぞれの立ち下がりタイミングで、検出信号 G O F F を活性化させるように動作する。

【 0 1 0 8 】

本変更例においては、ゲート線駆動回路 3 0 もダミーゲート線駆動回路 1 3 0 と同じクロック信号 C L K 1 ~ C L K 3 を用いて駆動されることが好ましい。ゲート線駆動回路 3 0 を 2 相のクロック信号 C L K , / C L K で駆動する場合には、ダミーゲート線駆動回路 1 3 0 を駆動させるクロック信号 C L K 1 ~ C L K 3 の活性期間とクロック信号 C L K , / C L K の活性期間とが一致するように、位相およびパルス幅を合わせる必要がある。またゲート線駆動回路 3 0 とダミーゲート線駆動回路 1 3 0 とを異なるクロック信号で駆動するのは、構成が複雑化してコスト上昇を招く点でも好ましくない。

【 0 1 0 9 】

図 1 1 に示すように、第 1 ~ 第 3 駆動回路 1 3 0 a , 1 3 0 b , 1 3 0 c は、それぞれ

10

20

30

40

50

ゲート線駆動回路 30 の単位シフトレジスタ S R (図 8) と同じ構成の回路であり (図 11 において、図 8 に対応する要素には同一符号に添え字「D」を付してある)、それらが縦続接続して 3 段のシフトレジスタを構成している。第 1 ~ 第 3 駆動回路 130 a, 130 b, 130 c において、トランジスタ Q1D ~ Q7D および容量素子 C1D は、それぞれ単位シフトレジスタ S R のトランジスタ Q1 ~ Q7 および容量素子 C1 と同一寸法のものが用いられている。その結果、第 1 ~ 第 3 駆動回路 130 a, 130 b, 130 c のノード N1D の寄生容量は、単位シフトレジスタ S R のノード N1 のそれと等しくなる。

【0110】

第 1 段目である第 1 駆動回路 130 a の入力端子 I N には、この 3 段のシフトレジスタのスタートパルスとしてクロック信号 C L K 1 ~ C L K 3 の何れかが入力され、それに応じて各段のクロック端子 C K に供給するクロック信号が決定する。図 11 のように第 1 駆動回路 130 a の入力端子 I N にクロック信号 C L K 3 を入力する場合、その次に活性化するクロック信号 C L K 1 を当該第 1 駆動回路 130 a の入力端子 I N に入力し、クロック信号 C L K 1 の次に活性化するクロック信号 C L K 2 を第 2 段目である第 2 駆動回路 130 b のクロック端子 C K に入力し、クロック信号 C L K 2 の次に活性化するクロック信号 C L K 3 を第 3 段目である第 3 駆動回路 130 c のクロック端子 C K に入力する。

【0111】

図 11 のダミーゲート線駆動回路 130 の動作を説明する。まず第 1 駆動回路 130 a は、クロック信号 C L K 3 が H レベルになるとセット状態になり、その後クロック信号 C L K 1 が H レベルになる間、ダミーゲート線駆動信号 G D 1 が H レベルになる。応じて第 2 駆動回路 130 b がセット状態になり、その後クロック信号 C L K 2 が H レベルになる間、ダミーゲート線駆動信号 G D 2 が H レベルになる。応じて第 3 駆動回路 130 c がセット状態になり、その後クロック信号 C L K 3 が H レベルになる間、ダミーゲート線駆動信号 G D 3 が H レベルになる。またクロック信号 C L K 3 が H レベルになったとき、再び第 1 駆動回路 130 a がセット状態になり、以降、この動作が繰り返される。

【0112】

従って、ダミーゲート線駆動信号 G D 1, G D 2, G D 3 は、図 12 の如く、それぞれクロック信号 C L K 1, C L K 2, C L K 3 の活性化に追従して活性化する繰り返しパルス信号となる。

【0113】

また上記のように、第 1 ~ 第 3 駆動回路 130 a, 130 b, 130 c の寄生容量は、ダミーゲート線駆動回路 130 の単位シフトレジスタ S R と等しく設定されており、またダミーゲート線 G D L 1 ~ G D L 3 における信号伝播遅延時間は、通常のゲート線駆動信号 G と同じになるように設定されている。従って、ダミーゲート線駆動信号 G D 1, G D 2, G D 3 は、それぞれクロック信号 C L K 1 ~ C L K 3 により駆動される単位シフトレジスタ S R が出力するゲート線駆動信号 G と、活性化および非活性化のタイミングが一致することになる。

【0114】

一方、ダミーゲート線非活性遷移検出回路 140 は、ダミーゲート線駆動信号 G D 1, G D 2, G D 3 が非活性化するタイミング (立ち下がりタイミング) で検出信号 G O F F を活性化させる。その結果、検出信号 G O F F の波形は、図 2 の構成の場合 (図 3) と同様になる。

【0115】

従って本変更例においても、図 2 の液晶表示装置 200 と同様に、ゲート線駆動信号 G_k の遅延に起因する誤表示が防止される効果が得られる。またゲート線 G L の全てに接続されるゲート線非活性遷移検出回路 90 に代えて、3 つのダミーゲート線駆動信号 G D 1 ~ G D 3 のみに接続するダミーゲート線非活性遷移検出回路 140 が使用されるため、回路面積の増大が抑制される。

【0116】

さらに、ダミーゲート線駆動回路 130 を構成する第 1 ~ 第 3 駆動回路 130 a, 130 b, 130 c

0 b , 1 3 0 c として、ダミーゲート線駆動回路 1 3 0 の単位シフトレジスタ S R と同じ構成の回路を用いることで、両者の寄生容量を等価することが容易になる。従って、ダミーゲート線駆動信号 G D 1 ~ G D 3 をゲート線駆動信号 G により正確に同期させることが可能になる。

【 0 1 1 7 】

[第 4 の変更例]

ここでは、ダミーゲート線非活性遷移検出回路 1 4 0 の具体的構成例を示す。図 1 3 は、実施の形態 1 の第 4 の変更例に係るダミーゲート線非活性遷移検出回路 1 4 0 の構成図である。ここでは図 1 0 のように、ダミーゲート線非活性遷移検出回路 1 4 0 が、ダミーゲート線駆動信号 G D 1 の立ち下がりを検出する第 1 検出回路 1 4 0 a と、ダミーゲート線駆動信号 G D 2 の立ち下がりを検出する第 2 検出回路 1 4 0 b とから成る例を示す。図 1 3 では、第 1 検出回路 1 4 0 a の回路のみを示しているが、第 2 検出回路 1 4 0 b もそれと同じ回路構成である。また、第 1 検出回路 1 4 0 a と第 2 検出回路 1 4 0 b それぞれの出力ノード（トランジスタ Q 1 0 1 , Q 1 0 2 間の接続ノード）は共に、検出信号 G O F F を出力するための出力端子 G O U T に接続される。

【 0 1 1 8 】

ダミーゲート線非活性遷移検出回路 1 4 0 は、出力回路部 2 0 1、非活性遷移検出回路部 2 0 2、プルダウン回路部 2 0 3、遅延回路部 2 0 4 およびフローティング防止回路部 2 0 5 から構成される。このうちフローティング防止回路部 2 0 5 は、第 1 および第 2 検出回路 1 4 0 a , 1 4 0 b が共通して接続する出力端子 O U T がフローティング状態になることを防止するものであるため、第 1 および第 2 検出回路 1 4 0 a , 1 4 0 b で共有される。

【 0 1 1 9 】

出力回路部 2 0 1 およびフローティング防止回路部 2 0 5 には、検出信号 G O F F の出力先であるソースドライバ 4 0 と共通の電源（ハイ側電源電位を V C C、ロー側電源電位を G N D とする）が供給される。それ以外の非活性遷移検出回路部 2 0 2、プルダウン回路部 2 0 3 および遅延回路部 2 0 4 には、ゲート線駆動回路 3 0 と共通の電源（ハイ側電源電位 V D D、ロー側電源電位 V S S）が供給される。

【 0 1 2 0 】

出力回路部 2 0 1 は、電位 G N D が供給される第 3 電源端子 S 3 と出力端子 G O U T との間に接続するトランジスタ Q 1 0 2 と、電位 V C C が供給される第 4 電源端子 S 4 と出力端子 G O U T との間に接続するトランジスタ Q 1 0 1 とから成る。トランジスタ Q 1 0 1 のゲートが接続するノードを「ノード N 2 1」、トランジスタ Q 1 0 2 のゲートが接続するノードを「ノード N 2 2」と定義する。トランジスタ Q 1 0 1 は、ノード N 2 1 の信号（第 1 信号）の活性化に応じて、出力端子 G O U T を充電して検出信号 G O F F を H レベルにするよう機能する。トランジスタ Q 1 0 2 は、ノード N 2 2 の信号（第 2 信号）の活性化に応じて、出力端子 G O U T を放電して検出信号 G O F F を L レベルにするよう機能する。

【 0 1 2 1 】

非活性遷移検出回路部 2 0 2 は、ダミーゲート線駆動信号 G D 1 が L レベルに変化したことを検出し、それに応じてノード N 2 1 の充電を行うものであり、以下のトランジスタ Q 1 0 3 ~ Q 1 0 7 および容量素子 C 1 0 1 により構成される。

【 0 1 2 2 】

トランジスタ Q 1 0 3 は、電位 V D D が供給される第 2 電源端子 S 2 とノード N 2 1 との間に接続する。トランジスタ Q 1 0 4 は、電位 V S S が供給される第 1 電源端子 S 1 とノード N 2 1 との間に接続し、そのゲートは入力端子 G I N に接続する。第 1 検出回路 1 4 0 a の入力端子 G I N には、ダミーゲート線駆動信号 G D 1 が入力される（つまり入力端子 G I N はダミーゲート線 G D L 1 に接続されている）。トランジスタ Q 1 0 4 はトランジスタ Q 1 0 3 よりもオン抵抗が充分小さく設定されており、これらトランジスタ Q 1 0 3 , Q 1 0 4 でレシオ型インバータを構成している。

【 0 1 2 3 】

トランジスタQ 1 0 3のゲートが接続するノードを「ノードN 2 3」と定義すると、トランジスタQ 1 0 5は、第2電源端子S 2とノードN 2 3との間に接続し、そのゲートは入力端子G I Nに接続する。容量素子C 1 0 1は、ノードN 2 1とノードN 2 3との間に接続される。トランジスタQ 1 0 6は、ノードN 2 1と第1電源端子S 1との間に接続し、トランジスタQ 1 0 7は、ノードN 2 3と第1電源端子S 1との間に接続する。これらトランジスタQ 1 0 6, Q 1 0 7のゲートは互いに接続しており、当該ゲートが接続するノードを「ノードN 2 4」と定義する。

【 0 1 2 4 】

ブルダウン回路部2 0 3は、非活性遷移検出回路部2 0 2がノードN 2 1をHレベルにしてから一定期間を経過した後に（この期間の長さは遅延回路部2 0 4によって規定される）、非活性遷移検出回路部2 0 2にノードN 2 1の放電を行わせて、ノードN 2 1をLレベルするものである。ブルダウン回路部2 0 3は、ノードN 2 2に接続したゲートを有し第2電源端子S 2とノードN 2 4との間に接続するトランジスタQ 1 0 8、および、入力端子G I Nに接続したゲートを有しノードN 2 4と第1電源端子S 1との間に接続するトランジスタQ 1 0 9により構成されている。

【 0 1 2 5 】

遅延回路部2 0 4は、ノードN 2 1の信号（第1信号）を一定期間だけ遅延した信号（第2信号）をノードN 2 2に出力するものであり、その一定期間の長さによって検出信号G O F Fのパルス幅が決まる。遅延回路部2 0 4は、以下のトランジスタQ 1 1 0 ~ Q 1 1 8および容量素子C 1 0 2により構成される。

【 0 1 2 6 】

トランジスタQ 1 1 0は、第2電源端子S 2とノードN 2 2との間に接続し、トランジスタQ 1 1 1はノードN 2 2と第1電源端子S 1との間に接続する。トランジスタQ 1 0 1のゲートが接続するノードを「ノードN 2 5」、トランジスタQ 1 1 1のゲートが接続するノードを「ノードN 2 6」と定義する。トランジスタQ 1 1 2は、ノードN 2 1とノードN 2 5との間に接続し、そのゲートは第2電源端子S 2に接続する。容量素子C 1 0 2は、ノードN 2 2とノードN 2 5との間に接続される。この容量素子C 1 0 2は、トランジスタQ 1 1 0がノードN 2 2を充電する際にトランジスタQ 1 1 0のゲート（ノードN 2 5）を昇圧するよう機能する。トランジスタQ 1 1 0, Q 1 1 1, Q 1 1 2および容量素子C 1 0 2により、ブートストラップインバータが構成される。

【 0 1 2 7 】

トランジスタQ 1 1 3は第2電源端子S 2とノードN 2 6との間に接続し、そのゲートは第2電源端子S 2に接続する。トランジスタQ 1 1 4は、ノードN 2 6と第1電源端子S 1との間に接続する。トランジスタQ 1 1 4のゲートが接続するノードを「ノードN 2 7」と定義する。トランジスタQ 1 1 4はトランジスタQ 1 1 3よりもオン抵抗が充分小さく設定されており、これらトランジスタQ 1 1 3, Q 1 1 4により、ノードN 2 7を入力端、ノードN 2 6を出力端とするレシオ型インバータを構成している。

【 0 1 2 8 】

トランジスタQ 1 1 5は第2電源端子S 2とノードN 2 7との間に接続し、そのゲートはノードN 2 1に接続する。トランジスタQ 1 1 6は、ノードN 2 7と第1電源端子S 1との間に接続する。トランジスタQ 1 1 6のゲートが接続するノードを「ノードN 2 8」と定義する。これらトランジスタQ 1 1 5, Q 1 1 6は、ノードN 2 8を入力端、ノードN 2 7を出力端とするプッシュプル型のインバータを構成している。

【 0 1 2 9 】

トランジスタQ 1 1 7は第2電源端子S 2とノードN 2 8との間に接続し、そのゲートは第2電源端子S 2に接続する。トランジスタQ 1 1 8は、ノードN 2 8と第1電源端子S 1との間に接続し、そのゲートはノードN 2 1に接続される。トランジスタQ 1 1 8はトランジスタQ 1 1 7よりもオン抵抗が充分小さく設定されており、これらトランジスタQ 1 1 7, Q 1 1 8により、ノードN 2 1を入力端、ノードN 2 8を出力端とするレシオ

10

20

30

40

50

型インバータを構成している。

【0130】

フローティング防止回路部205は、検出信号G O F FがLレベルに設定されたときに、出力端子G O U Tを低インピーダンスでLレベル（G N D）にして検出信号G O F Fがフローティング状態になることを防止するものである。フローティング防止回路部205は、以下のトランジスタQ 1 1 9～Q 1 2 1により構成される。

【0131】

トランジスタQ 1 1 9は、出力端子G O U Tと第3電源端子S 3との間に接続する。トランジスタQ 1 1 9のゲートが接続するノードを「ノードN 2 9」と定義すると、レベルシフタ120は、第4電源端子S 4とノードN 2 9との間に接続し、そのゲートは第4電源端子S 4に接続する。トランジスタQ 1 2 0は、ノードN 2 9と第3電源端子S 3との間に接続し、そのゲートは出力端子O U Tに接続される。トランジスタQ 1 2 1はトランジスタQ 1 2 0よりもオン抵抗が充分小さく設定されており、これらトランジスタQ 1 2 0、Q 1 2 1により、出力端子G O U Tを入力端、ノードN 2 9を出力端とするレシオ型インバータを構成している。

10

【0132】

図14は、図13のダミーゲート線非活性遷移検出回路140の動作を示す信号波形図である。以下、図14に基づき、ダミーゲート線非活性遷移検出回路140の動作を説明する。

【0133】

まず、時刻t 0以前におけるダミーゲート線非活性遷移検出回路140の状態を説明する。時刻t 0以前ではダミーゲート線駆動信号G D 1がHレベルであるので、プルダウン回路部203のトランジスタQ 1 0 9はオンしている。また後述されるように、このときノードN 2 2はLレベルとなっており、トランジスタQ 1 0 8はオフしている。従って、ノードN 2 4はLレベル（V S S）である。

20

【0134】

よって非活性遷移検出回路部202のトランジスタQ 1 0 7、Q 1 0 6はオフしている。またトランジスタQ 1 0 5がオンしているため、ノードN 2 3はHレベル（V D D - V t h）になっており、よってトランジスタQ 1 0 3はオンしている。しかし、それよりもオン抵抗の小さいトランジスタQ 1 0 4もオンしていたため、ノードN 2 1は、トランジスタQ 1 0 3、Q 1 0 4のオン抵抗比で決まる電位（V S S）のLレベルになる。

30

【0135】

ノードN 2 1がLレベルなので、遅延回路部204のトランジスタQ 1 1 8はオフしており、ノードN 2 8はHレベル（V D D - V t h）になっている。そのためトランジスタQ 1 1 6はオンしており、またトランジスタQ 1 1 5はオフしているため、ノードN 2 7はLレベル（V S S）である。よってトランジスタQ 1 1 4がオフしており、ノードN 2 6はHレベル（V D D - V t h）になっている。従ってトランジスタQ 1 1 1はオンしている。またノードN 2 5はトランジスタQ 1 1 2により放電されてLレベル（V S S）になっている。よってトランジスタQ 1 1 0はオフしている。従って、ノードN 2 2はLレベル（V S S）になる。

40

【0136】

このように時刻t 0以前では、ノードN 2 1、N 2 1は共にLレベルであり、出力回路部201のトランジスタQ 1 0 1、Q 1 0 2はオフしている。但し後述するように、このときの検出信号G O F FはLレベルに設定されている。そのためフローティング防止回路205のトランジスタQ 1 2 1はオフであり、ノードN 2 9がHレベルになっているので、トランジスタQ 1 1 9がオンして出力端子G O U T（検出信号G O F F）を低インピーダンスでLレベルに固定している。

【0137】

そして時刻t 0で、ダミーゲート線駆動信号G D 1がLレベルになると、プルダウン回路部203のトランジスタQ 1 0 9がオフするが、この時点ではトランジスタQ 1 0 8は

50

オフしているためノードN24はLレベルから変化しない。よって非活性遷移検出回路部202のトランジスタQ106, Q107はオフを維持する。

【0138】

非活性遷移検出回路部202では、トランジスタQ104, Q105がオフになる。このときトランジスタQ107はオフに維持されるため、ノードN23はHレベルのままであり、トランジスタQ103はオンを維持している。そのためノードN21は、トランジスタQ103により充電されてHレベルになる。このときのノードN21のレベル上昇に応じて、容量素子C1はノードN23を昇圧する。その結果、トランジスタQ103は非飽和領域で動作し、ノードN21は高速に充電され、そのHレベル電位はVDDまで上昇する。

10

【0139】

ノードN21がHレベルになると、出力回路部201のトランジスタQ101がオンし、出力端子GOUTが充電される。このときフローティング防止回路205のトランジスタQ119がオンしているが、トランジスタQ101のオン抵抗値はトランジスタQ119のオン抵抗値よりも充分低く設定されているため、出力端子GOUTのレベルは上昇する。応じてトランジスタQ121がオンになる。トランジスタQ120, Q121はレシオ型インバータを構成しているため、ノードN29はLレベルになり、トランジスタQ119がオフになる。

【0140】

その結果、出力端子GOUTのレベル上昇が加速し、検出信号GOFFがHレベルになる。通常、ノードN21のHレベル電位(VDD)は、トランジスタQ101のドレイン(第4電源端子S4)の電位VCCよりも充分高いので、トランジスタQ101は非飽和領域で動作し、検出信号GOFFのHレベル電位はVCCとなる。

20

【0141】

ここで、ノードN21のレベルが上昇し始めるタイミングは、トランジスタQ103, Q104のオン抵抗比に依存する。図15および図16を用いてそのことを説明する。図15は、ダイオード接続された負荷トランジスタQLと駆動トランジスタQDから構成されるレシオ型インバータであり、図16は当該インバータの入出力伝達特性を示している。

【0142】

図16には、2つの伝達特性(抵抗比A、抵抗比B)が示される。ここで抵抗比は「駆動トランジスタQDのオン抵抗値/負荷トランジスタQLのオン抵抗値」として定義され、抵抗比A<抵抗比Bの関係にある。つまり、負荷トランジスタQLのオン抵抗値が同じとすると、抵抗比Aの場合の方が、抵抗比Bの場合よりも駆動トランジスタQDのオン抵抗値が低いことを意味する。図16から分かるように、インバータの出力電圧の反転は、抵抗比が低いほど(駆動トランジスタQDのオン抵抗値が小さいほど)、小さい入力電圧VINで起こるようになる。

30

【0143】

これと同様に、図13のトランジスタQ103, Q104から成るレシオ回路においては、「トランジスタQ104のオン抵抗値/トランジスタQ103のオン抵抗値」で定義される抵抗比が小さいほど(トランジスタQ104のオン抵抗値が低いほど)、ノードN21のレベルが上昇し始めるタイミングは、ダミーゲート線駆動信号GD1のレベルがより低く下がったときになる。逆に、抵抗比が大きいほど、ノードN21のレベルが上昇し始めるタイミングは、ダミーゲート線駆動信号GD1のレベルが下がる比較的早い段階になる。

40

【0144】

このように、非活性遷移検出回路部202のトランジスタQ103, Q104の抵抗比を調整することにより、ノードN21のレベル上昇タイミング、即ち検出信号GOFFの立ち上がりタイミングを調節することができる。

【0145】

50

検出信号 G O F F の立ち上がりタイミングが、ダミーゲート線駆動信号 G D 1 がより低いレベル (V S S に近いレベル) になった時であるほど、次の行の表示信号の誤書き込みは起こり難くなる。但し、そのためにはトランジスタ Q 1 0 4 のオン抵抗が小さくなるように、トランジスタ Q 1 0 4 のゲート幅を広くする必要が生じ、回路面積が大きくなる。またトランジスタ Q 1 0 4 のゲート幅を広げると、ドレインの寄生容量も大きくなるので、ノード N 2 1 の立ち上がり速度は遅くなる点にも留意すべきである。

【 0 1 4 6 】

再び図 1 3 および図 1 4 を参照し、時刻 t_0 でノード N 2 1 が H レベルになると、トランジスタ遅延回路部 2 0 4 では、トランジスタ Q 1 1 8 がオンする。トランジスタ Q 1 1 7 , Q 1 1 8 はレシオ型インバータを構成しているので、ノード N 2 8 は放電されて L レベル (V S S) になる。応じてトランジスタ Q 1 1 6 がオフし、またノード N 2 1 が H レベルになったときトランジスタ Q 1 1 5 はオンしているため、ノード N 2 7 は充電されて H レベル (V D D - V t h) になる。それにより、トランジスタ Q 1 1 4 がオンになる。トランジスタ Q 1 1 3 , Q 1 1 4 はレシオ型インバータを構成しているので、ノード N 2 6 は放電されて L レベル (V S S) になる。

10

【 0 1 4 7 】

既にノード N 2 1 が H レベルになった段階で、トランジスタ Q 1 1 0 のゲート (ノード N 2 5) は、トランジスタ Q 1 1 2 により充電されて H レベル (V D D - V t h) になっており、トランジスタ Q 1 1 0 はオンしている。よってノード N 2 6 が L レベルになり、トランジスタ Q 1 1 1 がオフすると、ノード N 2 2 のレベルが上昇する。このとき容量素子 C 1 0 2 を介する結合により、ノード N 2 5 が昇圧される。その結果、トランジスタ Q 1 1 0 は非飽和領域で動作し、ノード N 2 2 は高速に充電されて電位 V D D の H レベルになる。このように、遅延回路部 2 0 4 においては、ノード N 2 1 のレベルが上昇タイミングと、ノード N 2 2 のレベルの上昇タイミングの間に、4 段のインバータが反転するのに要した時間だけの遅延が生じる。

20

【 0 1 4 8 】

ノード N 2 2 が H レベルになると、出力回路部 2 0 1 のトランジスタ Q 1 0 2 がオンする。またプルダウン回路部 2 0 3 のトランジスタ Q 1 0 8 がオンし、ノード N 2 4 が H レベルになるため、非活性遷移検出回路部 2 0 2 のトランジスタ Q 1 0 7 , Q 1 0 6 がオンになる。よってノード N 2 3 は L レベルになり、トランジスタ Q 1 0 3 がオフになると共にノード N 2 1 が L レベル (V S S) になる。従って、出力回路部 2 0 1 のトランジスタ Q 1 0 1 はオフになる。その結果、ラッチ出力 G O F F は、トランジスタ Q 1 0 2 により放電されて L レベルになる。

30

【 0 1 4 9 】

遅延回路部 2 0 4 はノード N 2 1 の信号を一定期間だけ遅延させてノード N 2 2 に出力するため、ノード N 2 1 が L レベルになると、その一定期間後にノード N 2 2 も L レベルになり、トランジスタ Q 1 0 2 はオフする。しかし、検出信号 G O F F が L レベルになったとき、フローティング防止回路 2 0 5 のトランジスタ Q 1 2 1 がオフし、ノード N 2 9 が H レベルになる。応じてトランジスタ Q 1 1 9 がオンになるので、出力端子 G O U T はトランジスタ Q 1 0 2 がオフした後も低インピーダンスの L レベル (G N D) に維持される。

40

【 0 1 5 0 】

以上のように、第 1 検出回路 1 4 0 a は、ダミーゲート線駆動信号 G D 1 の立ち下がりタイミングで、検出信号 G O F F を H レベル (V C C) にし、それから一定時間 (遅延回路部 2 0 4 による遅延時間) を経過した後、それを L レベル (G N D) に戻すように動作する。

【 0 1 5 1 】

一方、第 2 検出回路 1 4 0 b においては、入力端子 G I N にダミーゲート線駆動信号 G D 2 が供給され、上記と同様の動作が行われる。つまり第 2 検出回路 1 4 0 b は、ダミーゲート線駆動信号 G D 2 の立ち下がりタイミングで、検出信号 G O F F を H レベル (V C

50

C)にし、それから一定時間を経過した後、それをLレベル(GND)に戻す。

【0152】

従って、共通の出力端子GOUTから出力される検出信号GOFFは、ダミーゲート線駆動信号GD1, GD2それぞれの立ち下がりタイミングで一定期間だけHレベルになる、正極性のパルス信号となる。

【0153】

なお、出力端子GOUTの寄生容量が大きく、その寄生容量が検出信号GOFFの安定化容量として働く場合は、出力端子GOUTがフローティング状態となっても、その寄生容量が検出信号GOFFのLレベルを保持できるので、フローティング防止回路部205を省略することも可能である。

10

【0154】

[第5の変更例]

第4の変更例では、図5および図10のようにダミーゲート線GDL1, GDL2のみに設けられるダミーゲート線非活性遷移検出回路140の構成を示したが、ここでは図3のように通常のゲート線GLのそれぞれに設けられるゲート線非活性遷移検出回路90の構成を示す。

【0155】

ゲート線GLの各々にゲート線駆動信号Gの立ち下がり検出回路を設ける場合、それらの検出回路は、理論的には図13に示した検出回路(第1検出回路140a)と同じものを用いることができる。しかし図13の検出回路では、図14に示した動作から分かるように、入力端子GINに入力される信号(ダミーゲート線駆動信号GD1に相当)がLレベルになった後、再びHレベルになるまでの間、トランジスタQ108, Q109が共にオフになってノードN24はフローティング状態でHレベルに維持しているため、その期間が長くなるとノードN24のHレベルを維持できなくなる問題が生じる。

20

【0156】

ダミーゲート線非活性遷移検出回路140の場合、各検出回路には2水平走査期間(2H)の周期で活性化するダミーゲート線駆動信号が入力されるためこの問題は生じないが、通常のゲート線GLのそれぞれに設けられるゲート線非活性遷移検出回路90の場合、各検出回路には約1フレーム期間の周期で活性化するゲート線駆動信号Gが入力されるため、上記の問題が生じる。本変更例では、その対策を施した立ち下がり検出回路を示す。

30

【0157】

図17は、実施の形態1の第5の変更例に係るゲート線非活性遷移検出回路90の構成を示す図である。ゲート線非活性遷移検出回路90は、各ゲート線GLに接続し、ゲート線駆動信号Gの立ち下がりを検出する複数の検出回路から構成される。図17においては、第k行目のゲート線GL_kに接続し、ゲート線駆動信号G_kの立ち下がりを検出する検出回路90_kを代表的に示している。その他のゲート線GLに設けられる検出回路も同じ回路構成でよい。

【0158】

検出回路90_kは、図13に示した検出回路(第1検出回路140a)と同様に、出力回路部201、非活性遷移検出回路部202、プルダウン回路部203、遅延回路部204およびフローティング防止回路部205から構成される。また検出信号GOFFを出力するための出力端子GOUTには、ゲート線GLに接続する全ての検出回路が接続しており、フローティング防止回路部205はそれら全ての検出回路で共有される。

40

【0159】

図17の検出回路90_kは、図13の検出回路に対し、プルダウン回路部203のノードN24のレベルを保持するトランジスタQ122~Q126で構成されたフリップフロップ回路を設けたものである。

【0160】

当該フリップフロップ回路において、トランジスタQ122は、第2電源端子S2とノードN24との間に接続し、そのゲートは第2電源端子S2に接続される(トランジスタ

50

Q 1 2 2 はダイオード接続されている)。トランジスタ Q 1 2 3 は、ノード N 2 4 と第 1 電源端子 S 1 との間に接続する。トランジスタ Q 1 2 3 のゲートが接続するノードを「ノード N 3 0」と定義する。トランジスタ Q 1 2 3 は、トランジスタ Q 1 2 2 よりもオン抵抗が充分小さく設定されており、これらトランジスタ Q 1 2 2, Q 1 2 3 によりレシオ型インバータが構成される。またトランジスタ Q 1 2 2 は、トランジスタ Q 1 0 9 がノード N 2 4 を L レベルにできるように、トランジスタ Q 1 0 9 よりもオン抵抗が充分高く設定される。

【 0 1 6 1 】

トランジスタ Q 1 2 4 は、ノード N 3 0 と第 1 電源端子 S 1 との間に接続し、そのゲートはノード N 2 4 に接続する。トランジスタ Q 1 2 5 は、第 2 電源端子 S 2 とノード N 3 0 との間に接続し、そのゲートは入力端子 G I N に接続する。トランジスタ Q 1 2 6 は、ノード N 3 0 と第 1 電源端子 S 1 との間に接続し、そのゲートはノード N 2 2 に接続する。

10

【 0 1 6 2 】

図 1 7 の検出回路 9 0_k の動作は、基本的に図 1 3 の検出回路の動作 (図 1 4) と同様であるため、ここでは図 1 4 を参照しつつ上記フリップフロップ回路の動作を説明する。同図の如く、入力端子 G I N に入力されるゲート線駆動信号 G_k が H レベルのとき、ノード N 2 2 は L レベルである。よってトランジスタ Q 1 0 8 はオフ、トランジスタ Q 1 0 9 はオンしており、ノード N 2 4 は L レベルに設定される。このときフリップフロップ回路では、トランジスタ Q 1 2 5 がオン、トランジスタ Q 1 2 4, Q 1 2 6 がオフとなるため

20

【 0 1 6 3 】

その後、ゲート線駆動信号 G_k が L レベルに変化すると、トランジスタ Q 1 0 9 がオフになる。このときフリップフロップ回路のトランジスタ Q 1 2 5 もオフするが、ノード N 3 0 はフローティング状態で H レベルに維持され、トランジスタ Q 1 2 3 がオンを維持するため、ノード N 2 4 は L レベルに維持される。

【 0 1 6 4 】

このとき非活性遷移検出回路部 2 0 2 がノード N 2 1 を H レベルにすることで、検出信号 G O F F が H レベルになる。そしてその一定期間後、遅延回路部 2 0 4 がノード N 2 2 を H レベルにし、検出信号 G O F F は L レベルに戻る。

30

【 0 1 6 5 】

ノード N 2 2 が H レベルになったとき、トランジスタ Q 1 0 8 がオンし、ノード N 2 4 は H レベルに設定される。このときフリップフロップ回路では、トランジスタ Q 1 2 5 がオフ、トランジスタ Q 1 2 4, Q 1 2 6 がオンとなるためノード N 3 0 は L レベルになり、トランジスタ Q 1 2 3 はオフになる。その結果、ノード N 2 4 は、ダイオード接続されたトランジスタ Q 1 2 2 を通して供給される電荷により、直流的に H レベルに維持される。従って、ゲート線駆動信号 G_k が次に活性化されるまでの約 1 フレーム期間の長さの間、ノード N 2 4 を確実に H レベルに維持することができる。

【 0 1 6 6 】

[第 6 の変更例]

図 1 3 および図 1 7 に示した立ち下がり検出回路において、遅延回路部 2 0 4 は縦続接続した 4 段のインバータにより構成されているが、その段数は 4 段に限定されるものではない。遅延回路部 2 0 4 のインバータの段数を増減することで、遅延回路部 2 0 4 が作る遅延時間の長さを調整でき、それにより検出信号 G O F F のパルス幅を調整することができる。

40

【 0 1 6 7 】

図 1 3 および図 1 7 では、遅延回路部 2 0 4 に含まれるレシオ型インバータの負荷素子として、ダイオード接続されたトランジスタを用いたが、それに替えて、例えば抵抗素子、定電流源素子 (デプレッション型トランジスタ)、ゲートに繰り返し信号が供給されるトランジスタ、ブートストラップ型負荷回路を用いてもよい。このことは図 1 7 のブルダ

50

ウン回路部 203 が備えるフリップフロップ回路の負荷素子であるトランジスタ Q122 についても同様である。

【0168】

また遅延回路部 204 の最終段のインバータのブートストラップ型負荷回路（トランジスタ Q110、Q112 および容量素子 C102）においては、トランジスタ Q110 のゲート（ノード N25）電圧を制御することにより低消費電力化が図られていた。つまり当該インバータでは、トランジスタ Q111 がオンする際にトランジスタ Q112 がノード N25 を放電してトランジスタ Q110 をオフにし、これによってトランジスタ Q110、Q111 に貫通電流が流れるのを防止していた。この負荷回路に代えて、例えば通常の（トランジスタ Q110 のゲート電圧が制御されない）ブートストラップ型負荷回路、抵抗素子、定電流源素子（デプレッショントランジスタ）、ダイオード接続されたトランジスタ、ゲートに繰り返し信号が供給されるトランジスタを用いてもよい。

10

【0169】

以上の説明では、液晶表示装置の液晶アレイ部 20、ゲート線駆動回路 30 およびレベルシフタ 120 を一体形成することを前提にしたが、このうちレベルシフタ 120 を、単結晶シリコンで形成した半導体集積回路を用いた表示装置に適用してもよい。この場合、より高速動作が可能な表示装置を実現することができる。

【0170】

< 実施の形態 2 >

実施の形態 2 では、本発明に係る表示装置に搭載されるコントローラ 110 について説明する。図 18 は、コントローラ 110 の構成を示すブロック図である。同図の如く、コントローラ 110 は、メモリ 111 とタイミングコントローラ 112 とを備え、システム 100 が出力する制御信号および表示信号、並びに、ゲート線非活性遷移検出回路 90（またはダミーゲート線非活性遷移検出回路 140）が出力する検出信号 GOFF が入力される。

20

【0171】

メモリ 111 は、システム 100 からの表示信号の 1 画素ライン分のデータ（表示データ）を保持することができ、書き込まれた順に読み出しが行われるように動作する。この動作を図 20 を用いて説明する。ここでは 1 画素ラインの表示データ数を 10 個と仮定する。この場合、メモリ 111 は表示データ格納用の 10 個のセル C1 ~ C10 を備える。

30

【0172】

メモリ 111 に表示データを書き込む際、第 1 番目の表示データはセル C1 へ、第 2 番目の表示データはセル C2 へという具合に、入力された表示データが C1 から順番に格納され、第 1 ~ 第 10 番目のデータがそれぞれセル C1 ~ C10 へ格納される。なお図 20 において、白い丸は書き込み中の表示データを表しており、第 1 ラインのデータが格納されたセルには斜線を付している。

【0173】

一方、メモリ 111 から表示データを読み出す際は、セル C1、セル C2、セル C3、...、C10 の順番で読み出しが行われる。図 20 において、黒丸は読み出し中の表示データを表している。

40

【0174】

またメモリ 111 は、データの読み出しと書き込みを並行して行うことが可能である。例えば、セル C8 に格納されている第 1 ラインの表示データを読み出しているときに、第 2 ラインの表示データが入力され始めると、第 2 ラインの表示データがセル C1 から順に格納され始める。上記のように、読み出しはセル C1、セル C2、... の順に行われるので、セル C8 に格納された第 1 ラインの表示データが読み出されている時点で、セル C1 に格納されていた第 1 画素ライン目のデータが既に読み出された後である。このようにメモリ 111 は、第 i ライン（i は任意の正数）の表示データ読み出しを、第 i + 1 ラインの表示データ書き込みが追い越さない限り、第 i ラインの表示データ読み出し途中に第 i + 1 ラインのデータ書き込みを開始することができる。

50

【 0 1 7 5 】

タイミングコントローラ 1 1 2 は、システム 1 0 0 からの制御信号に基づいて、水平スタート信号 S T H、第 2 データラッチ回路 5 4 を制御するラッチ信号 L P、液晶駆動の極性を反転するための極性反転信号 P O L、メモリ 1 1 1 内の表示データ等をソースドライバ 4 0 へと出力すると共に、垂直方向スタートパルス s t y およびクロック信号 c l k、/ c l k をレベルシフタ 1 2 0 へと出力する。タイミングコントローラ 1 1 2 は、それらの各信号を出力するタイミングを、ゲート線非活性遷移検出回路 9 0 からの検出信号 G O F F に基づいて制御する。

【 0 1 7 6 】

以下、図 1 9 を参照し、コントローラ 1 1 0 の動作を説明する。システム 1 0 0 が出力した第 1 ラインの表示信号 D I N 1 および制御信号が、コントローラ 1 1 0 に入力されると、表示信号 D I N 1 に含まれる表示データ D M 1 が順次メモリ 1 1 1 に書き込まれる。

10

【 0 1 7 7 】

タイミングコントローラ 1 1 2 は、第 2 ラインの表示信号 D I N 2 および制御信号がコントローラ 1 1 0 に入力されるタイミング（時刻 t 2）より前の所定の時刻 t 1 から、第 1 ラインの表示データ D M 1 を書き込まれた順にメモリ 1 1 1 から読み出し、出力データ D O 1（表示信号 S I G に相当）として、水平スタート信号 S T H と共にソースドライバ 4 0 へと送る。タイミングコントローラ 1 1 2 は、このとき垂直方向スタートパルス s t y を活性化させる。

【 0 1 7 8 】

20

時刻 t 2 から、第 2 ラインの表示信号 D I N 2 および制御信号がコントローラ 1 1 0 に入力され始めると、それに含まれる表示データ D M 2 が順次メモリ 1 1 1 に書き込まれる。

【 0 1 7 9 】

タイミングコントローラ 1 1 2 は、ソースドライバ 4 0 へ第 1 ラインの全ての出力データ D O 1 を出力し終えたタイミング（時間 t 3）と、第 3 ラインの表示信号 D I N 3 および制御信号の入力が開始されるタイミング（時間 t 8）との間の所定の時刻 t 5 で、ラッチ信号 L P を活性化させる。これにより第 2 データラッチ回路 5 4 に第 1 ラインの表示データが保持される。

【 0 1 8 0 】

30

タイミングコントローラ 1 1 2 は、ラッチ信号 L P が活性化した後の所定の時刻 t 6 から、第 2 ラインの表示データ D M 2 を、書き込まれた順にメモリ 1 1 1 から読み出し、出力データ D O 2 として、水平スタート信号 S T H と共にソースドライバ 4 0 へと送る。タイミングコントローラ 1 1 2 は、このときクロック信号 c l k を活性化させる。極性反転信号 P O L は、データラッチ信号 L P の立ち上がり（時刻 t 5）より前の所定の時刻 t 4 でトグルされる。

【 0 1 8 1 】

クロック信号 c l k が活性化されると、レベルシフタ 1 2 0 がレベル変換したクロック信号 C L K が活性化される。応じて、ゲート線駆動回路 3 0 が出力する第 1 ラインのゲート線駆動信号 G₁ が活性化し、ゲート線 G L₁ が選択される。

40

【 0 1 8 2 】

時刻 t 8 から、第 3 ラインの表示信号 D I N 3 および制御信号がコントローラ 1 1 0 に入力され始めると、それに含まれる表示データ D M 3 が順次メモリ 1 1 1 に書き込まれる。

【 0 1 8 3 】

ゲート線非活性遷移検出回路 9 0 は、第 1 ラインの画素 2 5 への書き込みが終了する時刻 t 9 で、検出信号 G O F F を活性化させる。タイミングコントローラ 1 1 2 は、検出信号 G O F F の活性化を検知すると、所定の時間経過後の時刻 t 1 0 で、第 2 ラインの表示データを第 2 データラッチ回路 5 4 に保持させるために、ラッチ信号 L P を活性化させる。

50

【 0 1 8 4 】

タイミングコントローラ 1 1 2 は、ラッチ信号 L P が活性化した後の所定の時刻 t 1 1 から、第 3 ラインの表示データ D M 3 を、書き込まれた順にメモリ 1 1 1 から読み出し、出力データ D O 3 として、水平スタート信号 S T H と共にソースドライバ 4 0 へと送る。タイミングコントローラ 1 1 2 は、このときクロック信号 / c l k を活性化させる。また極性反転信号 P O L は、第 1 ラインに対応するラッチ信号 L P の立ち上がり（時刻 t 5 ）と、第 2 ラインに対応するラッチ信号 L P の立ち上がり（時刻 t 1 0 ）との間の所定の時刻 t 9 でトグルされる。

【 0 1 8 5 】

クロック信号 / c l k が活性化されると、レベルシフタ 1 2 0 がレベル変換したクロック信号 / C L K が活性化される。応じて、ゲート線駆動回路 3 0 が出力する第 2 ラインのゲート線駆動信号 G₂ が活性化し、ゲート線 G L₂ が選択される。

【 0 1 8 6 】

以降、上記動作を順次繰り返す。このようにタイミングコントローラ 1 1 2 は、ゲート線 G L が非活性状態（非選択状態）へ遷移するタイミング（つまり検出信号 G O F F の活性化タイミング）に基づいて、適切なタイミングで表示データ S I G（出力データ D O 1 , D O 2 ...）、および水平スタート信号 S T H、ラッチ信号 L P、極性反転信号 P O L を出力する。

【 0 1 8 7 】

本実施の形態のようにメモリ 1 1 1 が 1 画素ライン分の表示データを保持する場合、タイミングコントローラ 1 1 2 がソースドライバ 4 0 およびゲート線駆動回路 3 0 へ送る各信号の活性化タイミングを調整可能な期間は、コントローラ 1 1 0 に次ラインの表示データおよび制御信号が入力完了されるまでの期間に限られる。そのタイミング調整を必要とする期間が、次ライン以降の n 個のライン（n - 1）に渡る場合には、メモリ 1 1 1 が n ライン分の表示データを保持できるようにすればよい。そうすることにより、各信号の活性化タイミングを調整可能な期間をより長くすることができる。

【 0 1 8 8 】

なお、上述の図 1 9 に示した時刻 t 1 ~ t 1 1 のタイミングは、同図に示したタイミングに限定されるものではなく、上記の説明に矛盾しない範囲内であればよい。また本実施の形態では、極性反転信号 P O L が 1 画素ライン毎に極性反転する例を示したが、複数画素ライン毎に極性反転させる場合にも容易に適用可能である。

【 0 1 8 9 】

以上の説明では、液晶表示装置の液晶アレイ部 2 0、ゲート線駆動回路 3 0 およびレベルシフタ 1 2 0 を一体形成することを前提にしたが、このうちレベルシフタ 1 2 0 を、単結晶シリコンで形成した半導体集積回路を用いた表示装置に適用してもよい。この場合、より高速動作が可能な表示装置を実現することができる。

【 0 1 9 0 】

< 実施の形態 3 >

実施の形態 3 においては、ゲート線駆動信号 G の遅延に起因する誤表示を防止できるコントローラ 1 1 0 の構成例を示す。図 2 1 は、実施の形態 3 に係るコントローラ 1 1 0 の構成を示すブロック図である。同図の如く、当該コントローラ 1 1 0 は、タイミングコントローラ 1 1 2 と、遅延時間測定用カウンタ 1 1 3 と、遅延時間記憶用レジスタ 1 1 4 とから構成されている。システム 1 0 0 が出力する制御信号および表示信号は、タイミングコントローラ 1 1 2 に入力される。ゲート線非活性遷移検出回路 9 0（またはダミーゲート線非活性遷移検出回路 1 4 0）が出力する検出信号 G O F F は遅延時間測定用カウンタ 1 1 3 に入力される。

【 0 1 9 1 】

遅延時間測定用カウンタ 1 1 3 は、データラッチ回路が保持する表示信号（デコード回路 7 0 へ入力する表示信号）の更新を行わせるラッチ信号 L P に対する検出信号 G O F F の遅延時間を、基準クロック（ドットクロック或いはそれを分周したクロック）を用いて

10

20

30

40

50

カウントする。遅延時間は各画素ラインでほぼ等しいため、その測定は各フレームの特定の画素ライン（例えば第1行目）についてのみ行えばよい。遅延時間測定用カウンタ113が測定した遅延時間は、遅延時間記憶用レジスタ114に保存される。

【0192】

タイミングコントローラ112は、各フレームのブランク期間に、遅延時間記憶用レジスタ114に保持されている遅延時間を読み出して参照し、ゲートクロックclk、/clkおよび垂直方向スタート信号styの立ち上がりおよび立ち下りのタイミングをその遅延時間の分だけ前にシフトさせるように動作する。

【0193】

以下、本実施の形態に係るコントローラ110の動作について説明する。図22は、その動作を示す信号波形図である。同図において、符号SOUT(S1, S2, S3...)は、ソースドライバ40からデータ線DLへ出力される表示信号を示している。

10

【0194】

例えば第Nフレームにおいて、遅延時間測定用カウンタ113による測定の結果、図22のように第1行目の画素ラインのラッチ信号LPに対する検出信号GOFの遅延時間の値がd1であったとする。この遅延時間d1は、遅延時間記憶用レジスタ114に保存される。

【0195】

タイミングコントローラ112は、第Nフレームの表示期間が終了してブランク期間になると、遅延時間記憶用レジスタ114に保持されている遅延時間d1を参照し、次の第N+1フレームにおけるゲートクロックclk、/clkおよび垂直方向スタート信号styの立ち上がりおよび立ち下りのタイミングを遅延時間d1の分だけ前にシフトさせる。

20

【0196】

その結果、ゲート線駆動信号Gの遅延が補正され、第N+1フレームではラッチ信号LPと検出信号GOFの活性タイミングが同時になる。つまり各画素ラインにおいて、ゲート線駆動信号Gが立ち下がったときに表示信号SOUTが切り替わるようになる。よってゲート線駆動信号Gの遅延に起因する誤表示が防止される。

【0197】

本実施の形態に係るコントローラ110によれば、実施の形態2のコントローラに比べ搭載するメモリの容量が少なく済み、回路規模の削減を図ることができる。

30

【0198】

また従来、次の画素ラインの表示信号が前の画素ラインの画素に重ね書きされるのを防止する目的で、ゲート線駆動信号Gの立ち下りタイミングと表示信号SOUTの切り替わりタイミングとの間に一定のマージンを設ける手法がとられているが、その手法ではその分だけ画素への書き込み時間が削られてしまう。本実施の形態では、正確にゲート線駆動信号Gの立ち下りの直後に表示信号SOUTが切り替わるようになるため、そのようなマージンが不要になる。つまり画素への書き込み時間が削られることなく、誤表示を防止できる。

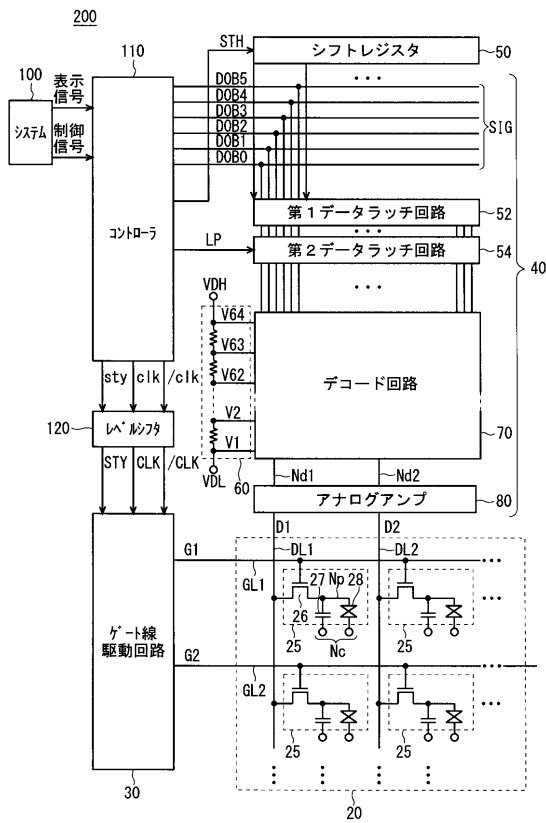
【符号の説明】

40

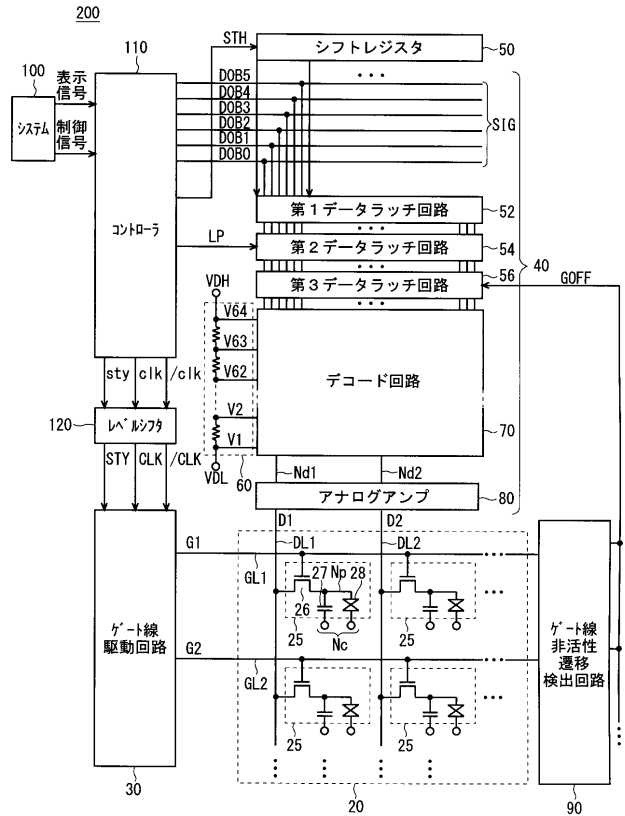
【0199】

100 システム、110 コントローラ、120 レベルシフタ、130 ダミーゲート線駆動回路、140 ダミーゲート線非活性遷移検出回路、20 液晶アレイ部、200 液晶表示装置、25 画素、25D ダミー画素、30 ゲート線駆動回路、40 ソースドライバ、52 第1データラッチ回路、54 第2データラッチ回路、56 第3データラッチ回路、90 ゲート線非活性遷移検出回路、DL データ線、GL ゲート線、GDL ダミーゲート線。

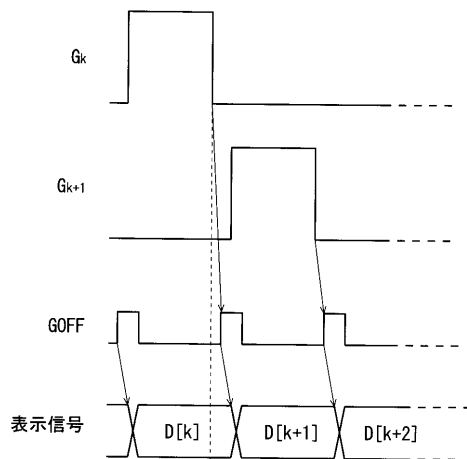
【図 1】



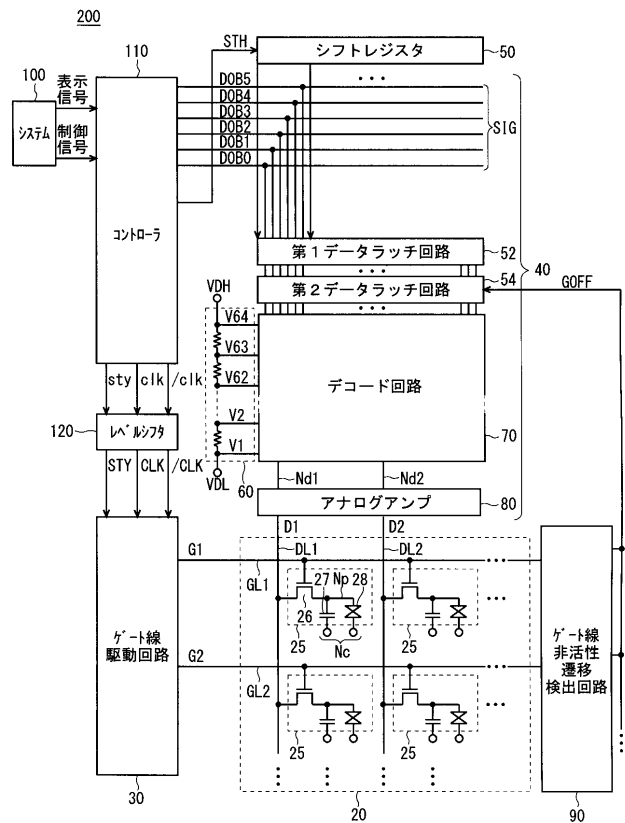
【図 2】



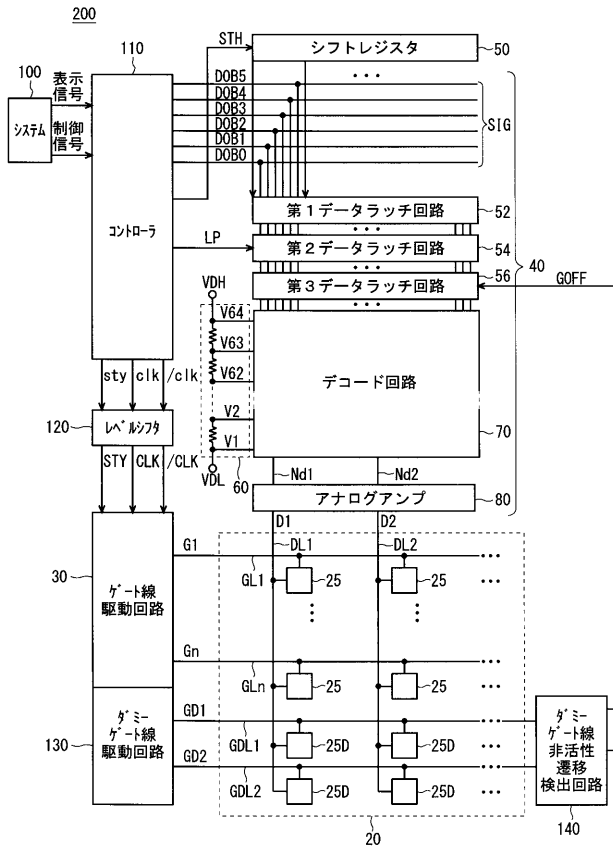
【図 3】



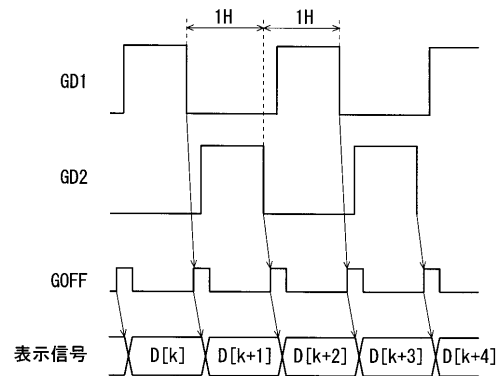
【図 4】



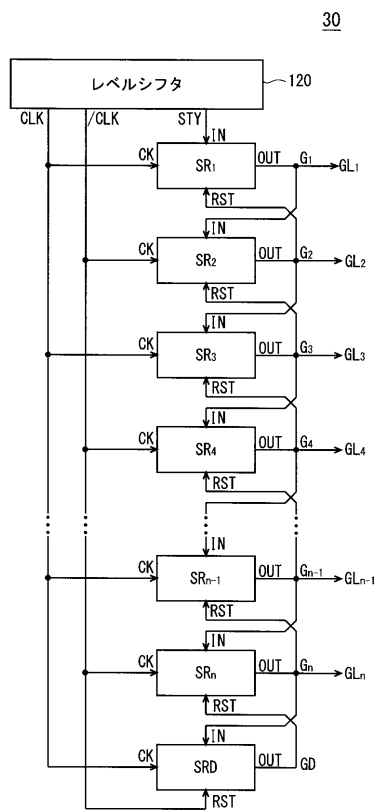
【図 5】



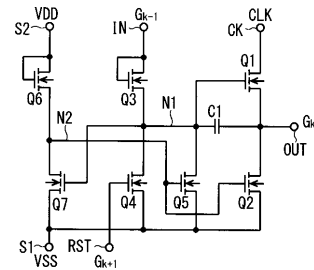
【図 6】



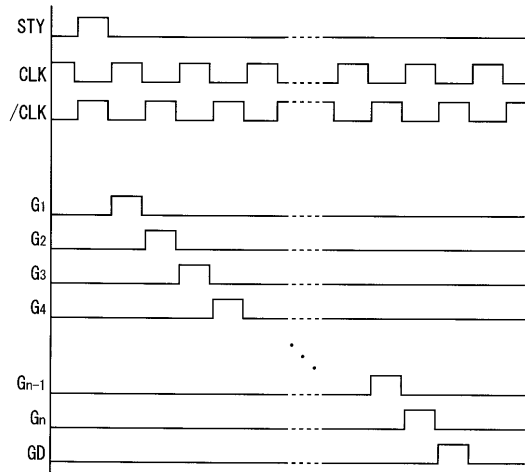
【図 7】



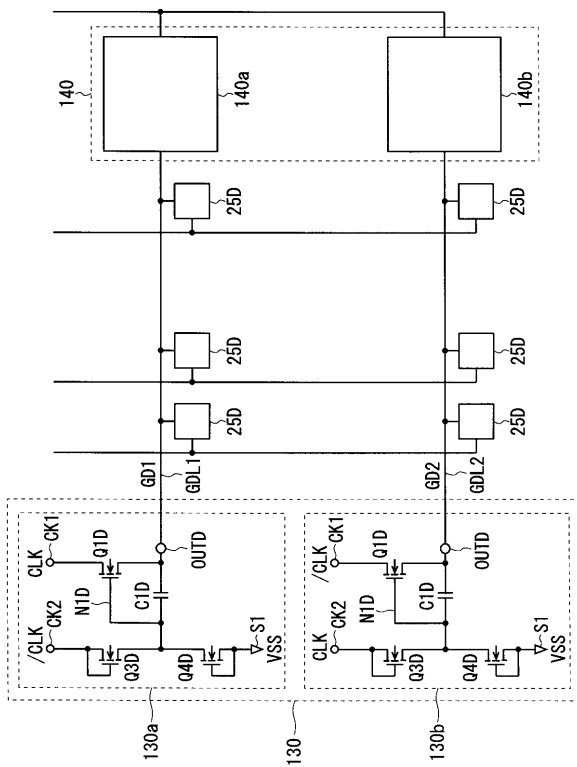
【図 8】



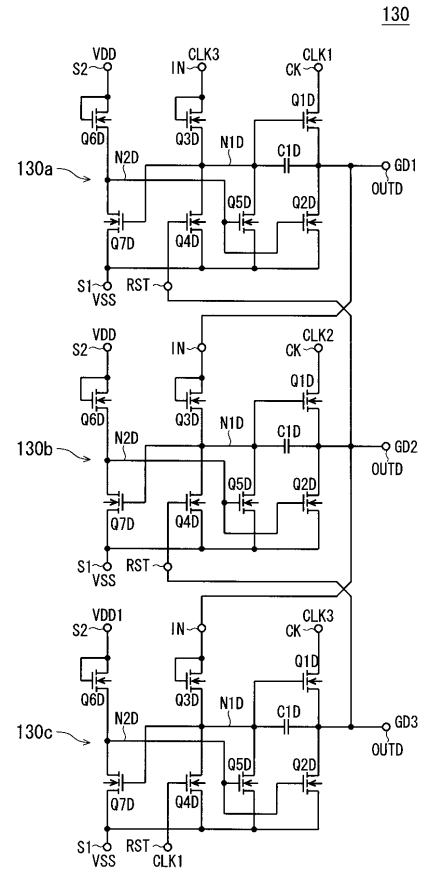
【図 9】



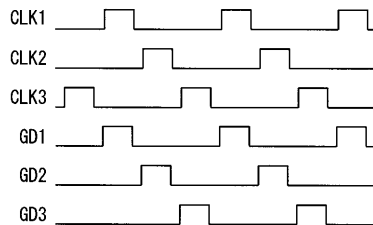
【図 10】



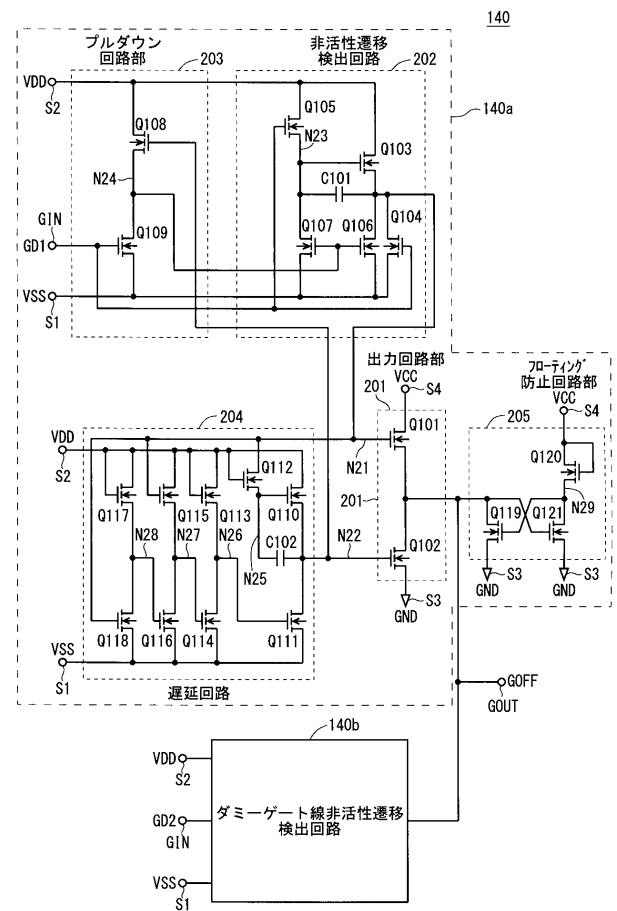
【図 11】



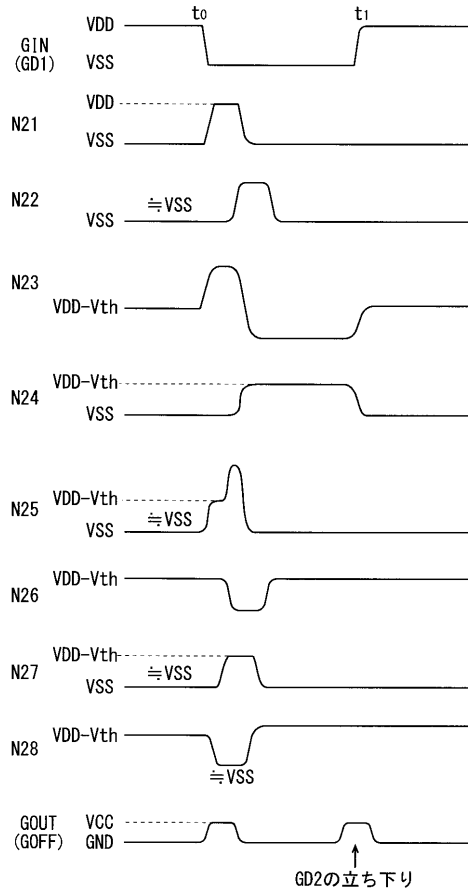
【図 12】



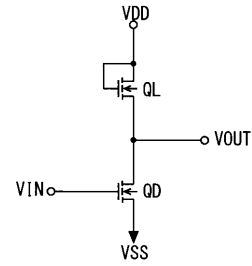
【図 13】



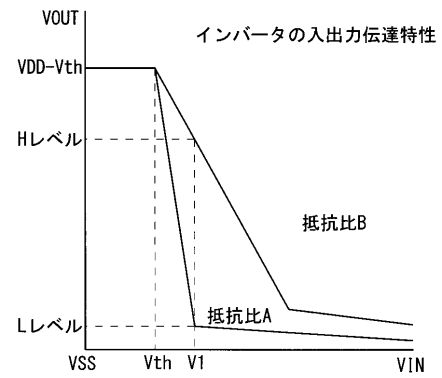
【図 14】



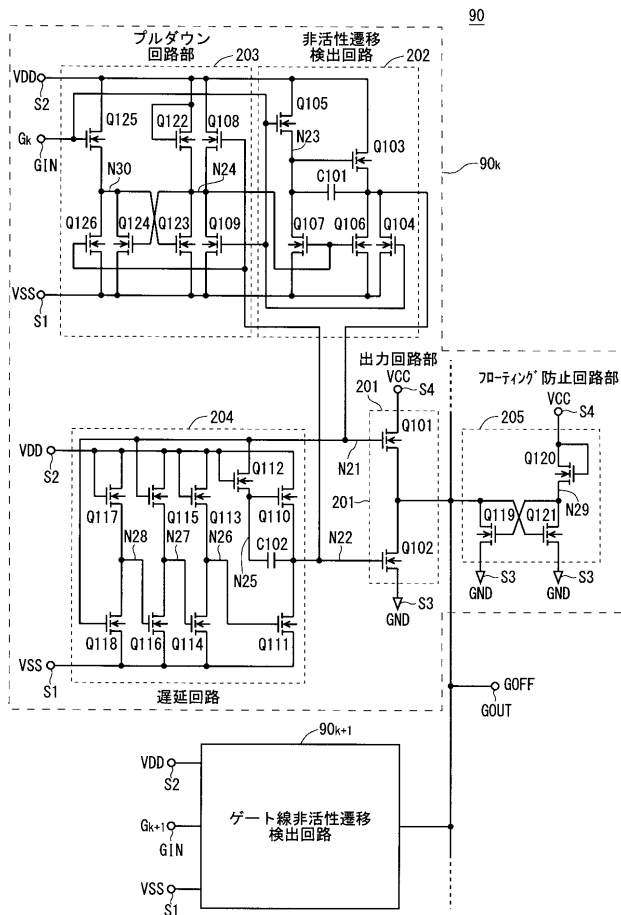
【図 15】



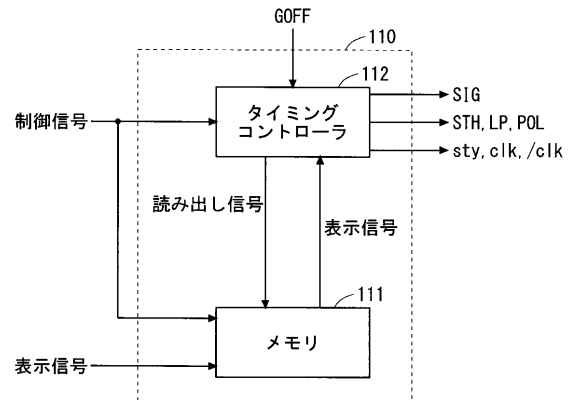
【図 16】



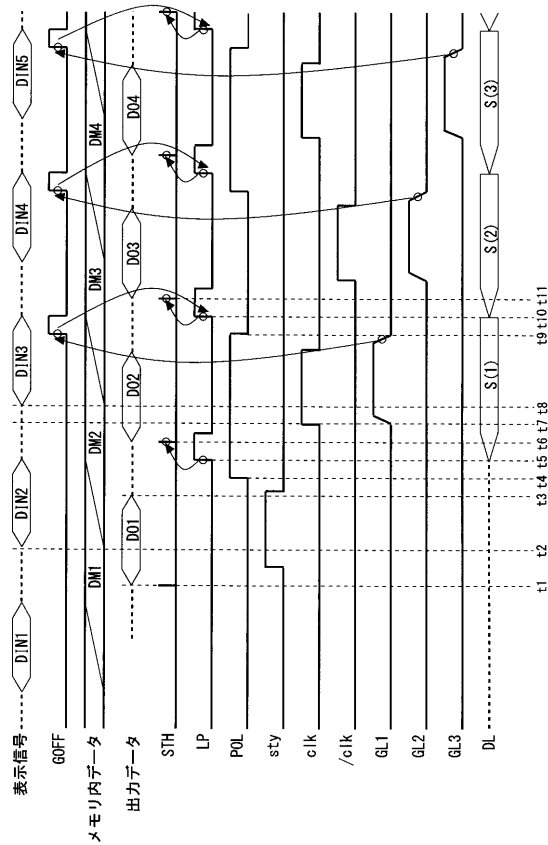
【図 17】



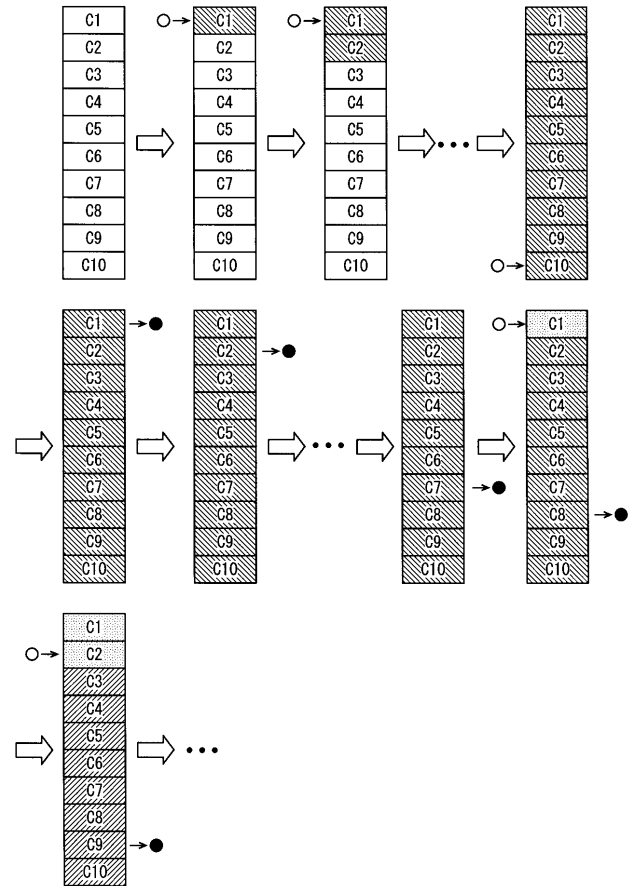
【図 18】



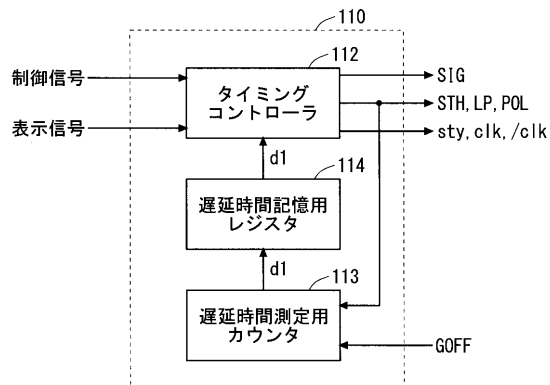
【図 19】



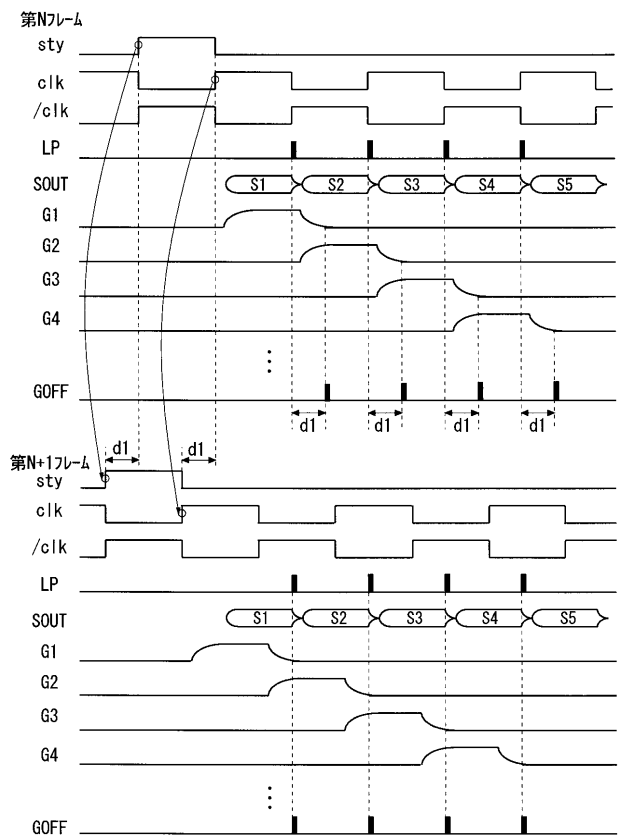
【図 20】



【図 21】



【図 22】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 3 U
G 0 2 F	1/133	5 0 5

(72)発明者 村井 博之

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

Fターム(参考) 2H193 ZA04 ZB02 ZF11 ZF23 ZF33 ZF44

5C006 AA16 AA22 AF71 BB16 BC03 BC06 BC20 BF03 BF04 BF22

FA15 FA16 FA51

5C080 AA10 BB05 CC03 DD09 DD22 DD27 FF11 JJ02 JJ03 JJ04

JJ05

专利名称(译)	画像表示装置		
公开(公告)号	JP2014056256A	公开(公告)日	2014-03-27
申请号	JP2013228929	申请日	2013-11-05
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	飛田 洋一 土居 佳史 村井 博之		
发明人	飛田 洋一 土居 佳史 村井 博之		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.612.J G09G3/20.621.A G09G3/20.622.G G09G3/20.623.R G09G3/20.623.G G09G3/20.622.D G09G3/20.623.U G02F1/133.505		
F-TERM分类号	2H193/ZA04 2H193/ZB02 2H193/ZF11 2H193/ZF23 2H193/ZF33 2H193/ZF44 5C006/AA16 5C006/AA22 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF22 5C006/FA15 5C006/FA16 5C006/FA51 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD09 5C080/DD22 5C080/DD27 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
外部链接	Espacenet		

摘要(译)

一种图像显示装置，即使栅极线驱动信号的延迟时间的增加，同时防止错误的显示，同时确保操作裕度，降低了成本。一种液晶显示装置200中，垂直起动脉冲麦粒肿以及用于驱动所述栅极线驱动电路30，用于生成/CLK，分别与多条栅极线GL的失活的控制器110的时钟信号CLK并且在接通栅极线的定时将激活检测信号GOFF达预定时段。控制器110包括一个延迟时间测量计数器113用于测量锁存信号LP的检测信号GOFF的延迟时间来执行显示信号数据的更新锁存电路保持所述栅极时钟clk，/CLK和垂直起始信号麦粒肿并且定时控制器112用于将延迟时间的激活定时移位延迟时间。The 21

