

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2012-37708
(P2012-37708A)

(43) 公開日 平成24年2月23日 (2012. 2. 23)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 624B	5C006
G02F 1/133 (2006.01)	G09G 3/20 611D	5C080
	G09G 3/20 641C	
	G09G 3/20 612U	

審査請求 未請求 請求項の数 2 O L (全 11 頁) 最終頁に続く

(21) 出願番号	特願2010-177328 (P2010-177328)	(71) 出願人	308036402
(22) 出願日	平成22年8月6日 (2010.8.6)		株式会社 J V C ケンウッド
			神奈川県横浜市神奈川区守屋町 3 丁目 1 2 番地
		(74) 代理人	100083806
			弁理士 三好 秀和
		(74) 代理人	100101247
			弁理士 高橋 俊一
		(72) 発明者	内山 裕治
			神奈川県横浜市神奈川区守屋町 3 丁目 1 2 番地
		F ターム (参考)	2H193 ZA04 ZA07 ZD23 ZD32 ZD34 ZF12 ZF17 ZF18 ZF20

最終頁に続く

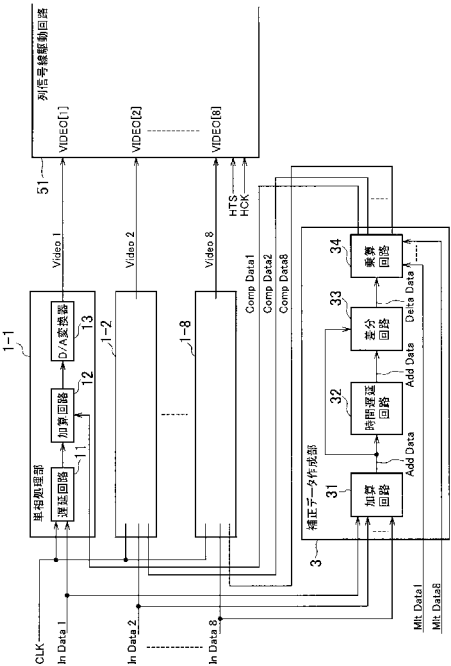
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】クロストークを大幅に削減した高画質画像を表示可能な液晶表示装置を提供する。

【解決手段】入力信号をサンプリングするスイッチング素子 6 1 が含まれる表示画素が複数個マトリクス状に配列された液晶表示装置において、多相化された多相化画像信号のうちの同一サンプリング期間の信号を加算する加算回路 3 1 と、加算回路の出力を 1 サンプリング分だけ遅延させる時間遅延回路 3 2 と、加算回路の出力と時間遅延回路の出力との差分を算出する差分回路 3 3 と、差分回路から出力された差分に所定値を乗算する乗算回路 3 4 と、乗算回路の出力を入力された多相化画像信号に加算し、入力信号としてスイッチング素子によるサンプリングに供する他の加算回路 1 2 を備えている。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

入力信号をサンプリングするスイッチング素子と、
前記スイッチング素子におけるサンプリングにより得られた信号の電圧を保持する補助容量と、
前記補助容量に保持された電圧が印加される画素電極と、
所定の電圧が印加される共通電極と、
前記画素電極と共通電極との間に封入された液晶表示部材
とからなる表示画素が複数個マトリクス状に配列された液晶表示装置において、
多相化された多相化画像信号のうちの同一サンプリング期間の信号を加算する加算回路
と、
前記加算回路の出力を 1 サンプリング分だけ遅延させる時間遅延回路と、
前記加算回路の出力と前記時間遅延回路の出力との差分を算出する差分回路と、
前記差分回路から出力された差分に所定値を乗算する乗算回路と、
前記乗算回路の出力を入力された多相化画像信号に加算し、前記入力信号として前記スイッチング素子によるサンプリングに供する他の加算回路
とを備えたことを特徴とする液晶表示装置。

【請求項 2】

前記乗算回路で乗算に使用される所定値は、時間的に異なるサンプリング期間の多相化画像信号間で発生するクロストークの量に応じて多相化画像信号毎に定められることを特徴とする請求項 1 記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、多相化された画像信号によって高画質画像を表示する液晶表示装置に関するものである。

【背景技術】**【0002】**

従来、液晶表示装置においては、表示画素に含まれるスイッチング素子の応答特性や補助容量の周波数特性が良好でない場合に対応するために、画像信号を n 相 (n は 2 以上の整数) の多相信号に変換して入力することが行われている。すなわち、元の画像信号を多相化することにより、その占有周波数帯域を $1/n$ に低下させ、 n 本の入力信号線を用いて液晶表示装置に入力することが行われている。

【0003】

図 4 は、特許文献 1 の「従来の技術」の欄に記載されている液晶表示装置の一例を示す図である。この液晶表示装置は、マトリクス状に配置された複数の表示画素 P_X と、これら複数の表示画素 P_X を駆動するための列信号線駆動回路 51 および行信号線駆動回路 52 とを備えている。

【0004】

行信号線駆動回路 52 は、行信号線 G_1 、 G_2 、 $\dots$ 、 G_j を用いて各行の表示画素 P_X に含まれるスイッチング素子の ON/OFF を制御し、列信号駆動回路 51 は、信号線 $D(1)_1 \sim D(X)_n$ を用いて、各列の表示画素 P_X に含まれる補助容量 62 に画像信号を書き込む。

【0005】

複数の列信号線 $D(1)_1 \sim D(X)_n$ と複数の行信号線 $G_1 \sim G_j$ は、シリコンに代表される半導体基板上に、交差するように形成されるとともに、この交差部分に表示画素 P_X が形成され、表示パネルが構成されている。

【0006】

複数の表示画素 P_X の各々は、スイッチング素子としてのトランジスタ 61、信号電圧保持用のコンデンサである補助容量 62、画素電極 63、共通電極 64 および液晶部材 6

5 から構成されている。以下、一例として、列信号線 $D(1)1$ と行信号線 $G1$ の交差部分に配置された表示画素 $PX(1,1)$ について説明する。

【0007】

表示画素 $PX(1,1)$ において、トランジスタ 61 のドレインには列信号線 $D(1)1$ が、制御端子であるゲートには行信号線 $G1$ が、ソースには補助容量 62 の一端および画素電極 63 がそれぞれ接続されている。液晶部材 65 は、画素電極 63 と共通電極 64 との間に封入されている。また、全ての表示画素 PX の共通電極 64 には COM 信号が供給され、補助容量 62 の他端には CC 信号が供給される。

【0008】

列信号駆動回路 51 は、外部から送られてくる水平スタート信号 HST および水平クロック信号 HCK に基づいて、外部から送られてくる多相化画像信号 $VIDEO(K)[i]$ (ただし、 $i = 1 \sim n$) を所定のタイミングで順次にサンプリングして列信号線 $D(1)1 \sim D(1)n$ 、 $D(2)1 \sim D(2)n$ 、 $\dots$ 、 $D(X)1 \sim D(X)n$ へ順次に出力する。すなわち、列信号駆動回路 51 は、 n 個の入力端子から同時に多相化画像信号を取り込み、所定のタイミングで各組の列信号線 $D(K)1 \sim D(K)n$ (ただし、 $K = 1 \sim X$) へ順次に出力する。

【0009】

具体的には、1 水平走査期間を H とすると、列信号駆動回路 51 は、多相化画像信号を H/X の期間毎にサンプリングし、最初の H/X の期間における n 個のサンプリング信号を列信号線 $D(1)1 \sim D(1)n$ へ並列に出力し、次の H/X の期間における n 個のサンプリング信号を列信号線 $D(2)1 \sim D(2)n$ へ並列に出力し、以下同様の処理を行って、最後の H/X の期間における n 個のサンプリング信号を列信号線 $D(X)1 \sim D(X)n$ へ並列に出力する。

【0010】

行信号線駆動回路 52 は、外部から送られてくる垂直スタート信号 VST および垂直クロック信号 VCK に基づいて、1 フレーム分の走査期間内に走査信号を行信号線 $G1 \sim Gj$ へ順次に出力する動作を、フレーム単位で繰り返し実行する。例えば、走査信号が行信号線 $G1$ に出力されたときは、その走査信号が第 1 行目の $K \times n$ 個の表示画素 PX 内部のトランジスタ 61 のゲートに送られ、該トランジスタ 61 を ON 状態にし、ドレイン - ソース間を導通させる。

【0011】

これにより、列信号線駆動回路 51 でサンプリングされた画像信号は、各組の列信号線 $D(1)1 \sim D(1)n$ 、 $D(2)1 \sim D(2)n$ 、 $\dots$ 、 $D(X)1 \sim D(X)n$ へ順次に並列に出力される。その結果、列信号線 $D(1)1 \sim D(1)n$ 、 $D(2)1 \sim D(2)n$ 、 $\dots$ 、 $D(X)1 \sim D(X)n$ が接続されているトランジスタ 61 のドレイン - ソース間を経由して補助容量 62 が充電される。また、行信号線駆動回路 52 は、列信号線駆動回路 51 における水平走査期間 H 毎に走査信号を行信号線 $G1 \sim Gj$ に順次に出力し、走査信号を出力した行信号線に対応する表示画素 PX 内部の補助容量 62 に対して列信号線 $D(1)1 \sim D(1)n$ 、 $D(2)1 \sim D(2)n$ 、 $\dots$ 、 $D(X)1 \sim D(X)n$ に出力されている画像信号を蓄積させる。

【0012】

以上の動作により、第 1 行目 ($G1$) から最終行 (Gj) までの全ての表示画素 PX 内部の補助容量 62 に 1 フレーム分の画像信号が蓄積され、各表示画素 PX では、補助容量 62 に蓄積された画像信号に対応する電圧が画素電極 63 に印加される。

【0013】

COM 信号は、画像信号の極性と同極性の信号として共通電極 64 に供給され、一般的な液晶表示装置では、 COM 信号の電圧は液晶部材 65 の閾値電圧に設定されている。そして、液晶部材 65 を交流駆動するために、画像信号はフレーム毎またはフィールド毎に反転され、その信号電圧レベル (信号分電圧) と COM 信号の電圧との差を実効電圧として液晶部材 65 に光変調動作を行わせる。

10

20

30

40

50

【 0 0 1 4 】

また、C C 信号は、補助容量 6 2 に蓄積された画像信号の電圧を調整するために使用される。すなわち、C C 信号は、液晶の適正な光変調動作を確保するための電圧を、各表示画素 P X 内部の補助容量 6 2 に印加するために使用される。

【 0 0 1 5 】

以上のように構成される液晶表示装置においては、C C 信号は、全ての表示画素 P X の内部の補助容量 6 2 に共通に供給される。したがって、各表示画素 P X の内部の補助容量 6 2 に C C 信号を印加するための回路を介して補助容量 6 2 に蓄積されている画像信号のクロストークが発生し、その結果、画像の表示品質が低下する。そこで、各組単位で垂直方向に接続された表示画素 P X 群毎に独立した C C 信号線から C C 信号を供給するように構成して少なくとも水平方向に隣接した表示画素 P X 間でのクロストークを防止し、画像の表示品質を向上させた液晶表示装置も知られている。

10

【 0 0 1 6 】

しかしながら、この液晶表示装置は、表示画素 P X の内部の補助容量 6 2 によるクロストークは抑制できるが、多数の C C 信号線を別途に形成し、これらを補助容量 6 2 に接続するための回路が必要である。その結果、多数の信号線のための配線領域を確保する必要があるので基板が大きくなり、半導体プロセスの複雑化によって歩留まりの低下と製造コストの増大を招く。

【 0 0 1 7 】

そこで、これらの問題を解消するために、特許文献 1 は、多相化画像信号によって画像表示を行う液晶表示装置において、多数の C C 信号線を別途形成することなく、図 4 に示した構成によって、各表示画素 P X の画像信号のクロストークを制御できる液晶表示装置を開示している。

20

【 0 0 1 8 】

この液晶表示装置は、図 5 に示すように、多相化画像信号が入力される列信号線駆動回路 5 1 の入力側に信号処理回路が追加されて構成されている。信号処理回路は、n 相に多相化されたデジタルの画像データ V I D E O d [i] (i = 1 ~ n) が入力される信号線にそれぞれ設けられた単相処理部 1 - i と、n 相の全ての画像データ V I D E O d [i] を用いて補償データを作成する補償データ作成部 2 とからなる。

【 0 0 1 9 】

単相処理部 1 - i は、遅延回路 1 1、加算回路 1 2 および D / A 変換器 1 3 からなる。遅延回路 1 1 は、外部から送られてくるクロック C L K に同期して、画像データ V I D E O d [i] を一定時間（補償データ作成部 2 で処理に要する時間）だけ遅延させて加算回路 1 2 に送る。加算回路 1 2 は、遅延回路 1 1 からの遅延された画像データ V I D E O d [i] に、報償データ作成部 2 からの補償データ $\Delta V q$ を加算し、加算値 I n A d d D a t a [i] として D / A 変換器 1 3 に送る。D / A 変換器 1 3 は、加算回路 1 2 から送られてくるデジタル信号をアナログ信号に変換し、画像信号 V I D E O [i] として列信号線補償回路 5 1 に送る。

30

【 0 0 2 0 】

補償データ作成部 2 は、加算回路 2 1 および乗算回路 2 2 からなる。加算回路 2 1 は、n 相分の画像データ V I D E O d [i] を全て加算し、加算値として乗算回路 2 2 に送る。乗算回路 2 2 は、加算回路 2 1 からの加算値に一定の乗算係数 A c を乗じ、補償データ $\Delta V q$ として単相処理部 1 - i の加算回路 1 2 に送る。

40

【 0 0 2 1 】

この構成によれば、補助容量 6 2 に蓄積された電荷がわずかに他の組の表示画素 P X に流れ、これによって画像信号 V I D E O [i] が書き込まれた表示画素 P X 内部の画素電極 6 3 の電圧が変動することで生ずる、組単位で画像信号 V I D E O d [i] のクロストークを補償することが可能となる。すなわち、クロストーク量に対応する画素電極 6 3 の電圧変動量は同時に書き込まれる画像信号 V I D E O [i] の加算値にほぼ比例した傾向を示すため、補償データ作成部 2 の出力を単相処理部 1 - i の加算回路 1 2 で画像データ

50

V I D E O d [i] に加算し、それを D / A 変換器 13 でアナログ信号に変換することで、電圧変動量を補償した画像信号 V I D E O [i] を生成し、その結果、組単位で時間的に同一サンプル（同一サンプル期間）のクロストーク量を相殺した画像信号 V I D E O [i] を画素電極に供給することでクロストークを補償した高画質画像の表示が可能になる。

【先行技術文献】

【特許文献】

【0022】

【特許文献1】特開2004-206050号公報

【発明の概要】

10

【発明が解決しようとする課題】

【0023】

しかしながら、上述した従来の液晶表示装置では、同一サンプリング期間の多相化画像信号の総和にクロストーク量に応じた係数を乗算するとともに、その1種類の乗算結果のみを各多相化画像信号に加算するように構成されているので、次のような問題がある。例えば、相数を8とした場合、画像信号 V i d e o 1 ~ V i d e o 8 の配線は、図6(a)に示すように、シリコンに代表される半導体基板上に導体を成形することにより実現されている。ここで、図6(a)は上面図および図6(b)は矢印 A A ' で切断した断面図である。なお、図6(c)は配線モデルを示す図であり、インピーダンス Z a および Z b によって相互に関連している状態が表されている。

20

【0024】

この配線の場合、1相から8相でクロストークの量が異なる。図7(a)に示すように、信号レベル「黒」から、1サンプリング期間だけ信号レベル「白」を入力した場合、図7(b)に示す波形のようにクロストークすることが実験により確認された。具体的には、V i d e o 2 は、V i d e o 1 , 3 および 4 の影響を受けて立ち上がりが良好である。V i d e o 3 についても同様である。一方、V i d e o 1 は、V i d e o 2 , 3 および 4 が片側にしか存在しないため、クロストークの影響で立ち上がりが悪くなる。V i d e o 4 についても同様である。V i d e o 5 は、V i d e o 1 - 4 の影響を受けてクロストークが生じるが、V i d e o 2 および 3 より少ない。V i d e o 6 から V i d e o 7 に向かうほど、V i d e o 1 - 4 から離れるため、クロストークは減少する。これは絶縁性基板の配線間インピーダンスによって生じる同一サンプル期間のクロストークであるが、更には前記配線間インピーダンスによって次サンプル（次サンプル期間）にまでクロストークが生じたものである。このクロストーク現象は時間的に近接または隣接する異なるサンプリング期間の間の信号総和の差分に大きく影響されるので、従来のクロストークの補正では良好な補正効果が得られない。

30

【0025】

すなわち、乗算係数 A c が一つとかないため、前記配線間インピーダンスに応じて各単相処理部毎に異なる補正データを与えることができない。更に、同一時点の V i d e o 1 - 8 の信号に対する補正データを処理する構成となっているため、前記配線間インピーダンスによって生じる次サンプルへのクロストークを補正することができないものである。

40

【0026】

そこで、本発明は、従来に比してクロストークを大幅に削減した高画質画像を表示可能な液晶表示装置を提供することを課題とする。

【課題を解決するための手段】

【0027】

上記の課題を解決するために、本発明は、前記配線間で生じるクロストークと前のサンプリングによるクロストークを配線毎に補正するものである。すなわち、本発明は、入力信号をサンプリングするスイッチング素子と、スイッチング素子におけるサンプリングにより得られた信号の電圧を保持する補助容量と、補助容量に保持された電圧が印加される画素電極と、所定の電圧が印加される共通電極と、画素電極と共通電極との間に封入され

50

た液晶表示部材とからなる表示画素が複数個マトリクス状に配列された液晶表示装置において、多相化された多相化画像信号のうちの同一サンプリング期間の信号を加算する加算回路と、加算回路の出力を1サンプリング分だけ遅延させる時間遅延回路と、加算回路の出力と時間遅延回路の出力との差分を算出する差分回路と、差分回路から出力された差分に所定値を乗算する乗算回路と、乗算回路の出力を入力された多相化画像信号に加算し、入力信号としてスイッチング素子によるサンプリングに供する他の加算回路を備えたことを特徴とする。

【発明の効果】

【0028】

本発明は、従来に比してクロストークを大幅に削減した高画質画像を表示可能な液晶表示装置を提供できる。

10

【図面の簡単な説明】

【0029】

【図1】本発明の実施例1に係る液晶表示装置の要部の構成を抽出して示すブロック図である。

【図2】本発明の実施例1に係る液晶表示装置の画像信号のクロストーク量およびクロストーク補正係数の例を示す図である。

【図3】本発明の実施例1に係る液晶表示装置において、元信号が入力されてから補正結果が出力されるまでの各ブロックの処理結果を具体的な数値例で示す図である。

【図4】特許文献1の「従来の技術」の欄に記載されている液晶表示装置の一例を示す図である。

20

【図5】従来の液晶表示装置の要部の構成を抽出して示す図である。

【図6】従来の液晶表示装置の配線を説明するための図である。

【図7】従来の液晶表示装置の動作を説明するための図である。

【発明を実施するための形態】

【0030】

以下、本発明の実施の形態について、図面を参照しながら詳細に説明する。

【実施例1】

【0031】

本発明の実施例1に係る液晶表示装置は、図1に示すように、図4に示した液晶表示装置の列信号線駆動回路51の入力側に多相化画像信号を処理する信号処理回路が追加されて構成されている。なお、以下では、相数 n が「8」であるものとして説明する。また、背景技術の欄で説明した事項については、背景技術の欄で使用した符号と同じ符号を付して説明を省略または簡略化する。

30

【0032】

信号処理回路は、8相に多相化されたデジタルの画像データ $VIDEO[i]$ ($i = 1 \sim 8$) が列信号線駆動回路51に入力される信号線にそれぞれ設けられた単相処理部1-iと、8相の全ての画像データ $Indata[i]$ を用いて補正データを作成する補正データ作成部3とからなる。なお、単相処理部1-iの各々の構成は、補正データ作成部3から各別の補正データが送られてくる点を除けば全て同じであるので、単相処理部1-iの構成のみを示し、他は省略している。

40

【0033】

単相処理部1-iは、遅延回路11、加算回路12およびD/A変換器13からなる。遅延回路11は、外部から送られてくるクロック CLK に同期して、画像データを一定時間（補正データ作成部3で処理に要する時間）だけ遅延させて加算回路12に送る。加算回路12は、本発明の他の加算回路に対応し、遅延回路11からの遅延された画像データに、補正データ作成部3からの補正データ $CompData_i$ を加算し、加算結果をD/A変換器13に送る。D/A変換器13は、加算回路12から送られてくるデジタル信号をアナログ信号に変換し、画像信号 $Video[i]$ として列信号線補償回路51に送る。

【0034】

50

補正データ作成部 3 は、加算回路 3 1、時間遅延回路 3 2、差分回路 3 3 および乗算回路 3 4 からなる。加算回路 3 1 は、8 相分の画像データ $InData[i]$ を全て加算し、その結果である加算値 $AddData$ を時間遅延回路 3 2 および差分回路 3 3 に送る。

【0035】

時間遅延回路 3 2 は、加算回路 3 1 から送られてくる加算値 $AddData$ を、例えば 1 サンプル時間だけ遅延し、遅延データ $AddData_Q$ として差分回路 3 3 に送る。

【0036】

差分回路 3 3 は、加算回路 3 1 から送られてくる加算値 $AddData$ と、時間遅延回路 3 2 から送られてくる遅延データ $AddData_Q$ との差を計算し、差分データ $DeltaData$ として乗算回路 3 4 に送る。

10

【0037】

乗算回路 3 4 は、差分回路 3 3 から送られてくる差分データ $DeltaData$ と、クロストーク量に応じて定められた 8 個のクロストーク補正係数 $MltData[i]$ とを乗算し、補正データ $CmpData[i]$ として単相処理部 1 - 1 ~ 1 - 8 にそれぞれ送る。なお、クロストーク補正係数 $MltData[i]$ は図示しないテーブル（レジスタ）に代表されるデータ記憶部に予め記憶されている。また、更に高精度に補正する手段として、画像データ $InData[i]$ の階調レベル或いは加算値 $AddData$ の値で変化するクロストーク量を補正するために、画像データ $InData[i]$ の階調レベル或いは加算値 $AddData$ の値に応じて乗算係数を変えるルックアップテーブルからクロ

20

【0038】

図 2 は、クロストーク補正係数 $MltData[i]$ の例を示す図である。これらクロストーク補正係数は、各画像信号に対応させて、あらかじめテーブルに記憶されている。これらの係数は実験で最もクロストークが少なくなるように係数を変化させて得たものであるが、図 6 (c) の配線モデルに示すインピーダンス回路から計算によってクロストーク量を求め、クロストーク補正係数を定めても良い。いずれにしてもクロストークが補正可能な補正係数であればこれに限らない。

【0039】

図 3 は、元信号としての画像データ $InData[i]$ が入力されてから補正結果が出力されるまでの各ブロックの処理結果を、サンプリング期間 $t - 3$ 、 $t - 2$ 、 $t - 1$ および t について、具体的な数値例で示したものである。

30

【0040】

図 3 (a) は、入力される画像データ $InData[i]$ を示しており、サンプリング期間 $t - 1$ において、画像データ $InData1 \sim 4$ に白レベルを示す「1」が、画像データ $InData5 \sim 8$ に黒レベルを示す「0」が入力されている。

【0041】

図 3 (b) は、補正前のビデオレベル、つまりクロストークが発生している状態の画像信号 $Video1 \sim 8$ のレベルを示している。すなわち、時間 ($t - 1$) 時点で $Video1 \sim 4$ は白レベルを示す「1」となるべきであるが、これより低いレベルであって且つ相毎に異なるレベルとなっている。これは時間 ($t - 2$) のレベル「0」から時間 ($t - 1$) のレベル「1」への変化つまり次サンプル期間にクロストークが生じたものであり、主に各相間の配線の結合インピーダンスが原因である。また、 $InData5 \sim 8$ は時間 ($t - 2$) と ($t - 1$) 間でレベル「0」と変化はないが、 $Video5 \sim 8$ ではレベル「0」とはならず相毎に異なるレベルとなっている。これは主に共通電極または各相間の配線の結合インピーダンスが原因で次サンプル期間に生じたクロストークである。

40

【0042】

図 3 (c) は、入力される画像データ $InData[i]$ の総和（信号総和：加算回路 3 1 の出力）、時間遅延回路 3 2 の出力および差分回路 3 3 の出力を示している。

【0043】

50

図 3 (d) は、図 3 (c) で示す差分回路 3 3 の出力にクロストーク量に応じた係数を乗じる乗算回路 3 4 の出力を示している。この出力がクロストークを打ち消す (補正する) データとなる。

【 0 0 4 4 】

図 3 (e) は、図 3 (d) の乗算回路 3 4 の出力を画像データ $InData[i]$ に加算する加算回路 1 2 の出力を示している。この出力は生じるクロストークを打ち消す (補正する) データを画像データに印加したものである。

【 0 0 4 5 】

図 3 (f) は、図 3 (e) の補正データを $Video1 \sim 8$ に入力した補正結果を示している。この補正データでもクロストークが生じるが、図 3 (b) の網掛け部分と図 3 (f) の網掛け部分とを比較すると、大幅にクロストークが補正されていることが理解できる。詳細な説明、図示は省略するが更に高精度に補正する手段として、画像データ $InData[i]$ の階調レベル或いは加算値 $AddData$ の値に応じて乗算係数を変えるルックアップテーブルからクロストーク補正係数 $MltData[i]$ を生成する構成としても良い。これは、画像データレベルに応じてダイナミックに補正係数を変えることで高精度なクロストーク補正が実現できるものである。

10

【 0 0 4 6 】

以上説明したように、本発明の実施例 1 に係る液晶表示装置によれば、従来では補正することができなかった次サンプル期間への配線間クロストークを補正した高画質の表示画像を得ることができる。

20

【 0 0 4 7 】

また、特許文献 1 の補償データ作成部と実施例 1 の補正データ作成部とは作用効果が異なり、実施例 1 の補正データ作成部は、並列に設置することができる。すなわち、同一サンプル期間のクロストークを補正する特許文献 1 の補償データ作成部と次サンプル期間のクロストークを補正する実施例 1 の補正データ作成部の出力を、実施例 1 の単相処理部の加算回路で加算することで更に高精度のクロストーク補正が可能となる。

【産業上の利用可能性】

【 0 0 4 8 】

本発明は、投射型ディスプレイ、ビューファインダまたはヘッドマウントディスプレイ等に利用することができる。

30

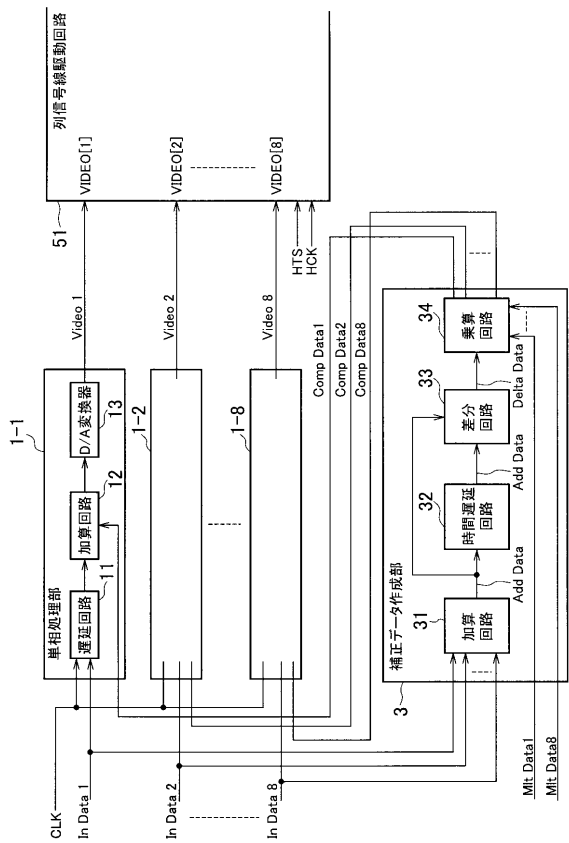
【符号の説明】

【 0 0 4 9 】

- 1 - 1 ~ 1 - 8 単相処理部
- 2 補正データ作成部
 - 1 1 遅延回路
 - 1 2 加算回路
 - 1 3 D / A 変換器
- 3 1 加算回路
- 3 2 時間遅延回路
- 3 3 差分回路
- 3 4 乗算回路
- 6 1 スイッチング素子
- 6 2 補助容量
- 6 3 画素電極
- 6 4 共通電極
- 6 5 液晶部材

40

【図 1】



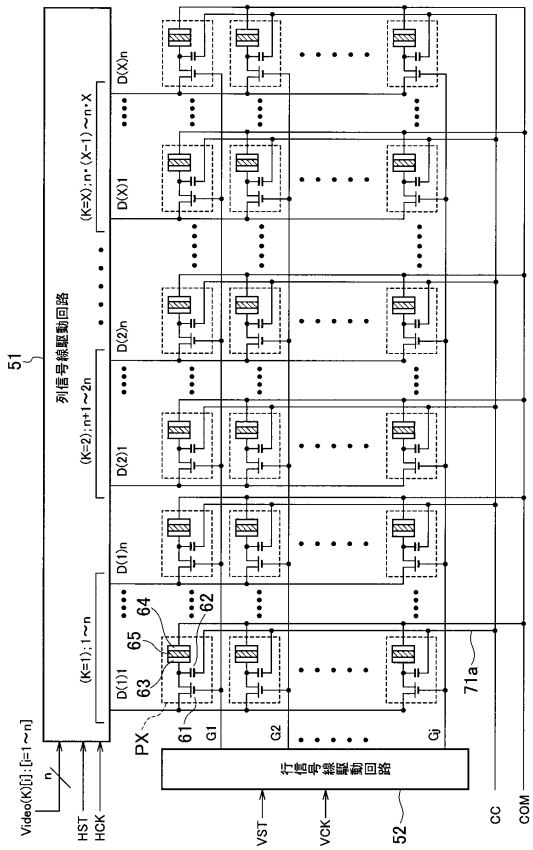
【図 2】

クロストーク補正係数	MitData1	0.01
	MitData2	0.02
	MitData3	0.03
	MitData4	0.04
	MitData5	0.04
	MitData6	0.03
	MitData7	0.02
	MitData8	0.01

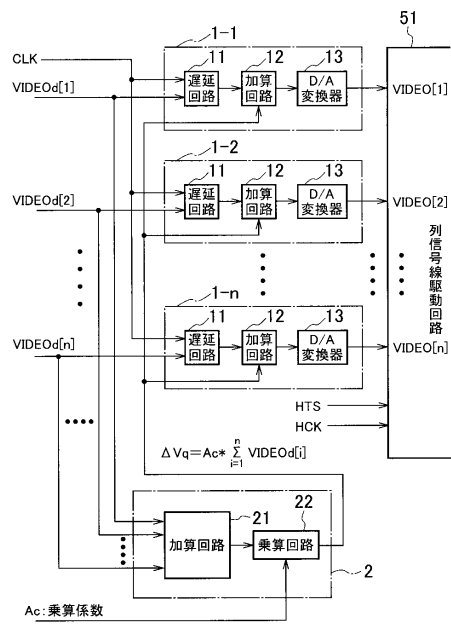
【図 3】

時間							
		t-3	t-2	t-1	t		
(a)	入力される元信号	InData1	0	0	1	0	白レベルを1,黒レベルを0とする
		InData2	0	0	1	0	
		InData3	0	0	1	0	
		InData4	0	0	1	0	
		InData5	0	0	0	0	
		InData6	0	0	0	0	
		InData7	0	0	0	0	
		InData8	0	0	0	0	
(b)	補正前ビデオレベル (クロストーク発生)	Video1	-	0	0.964	0.036	補正する前のクロストークが生じた状態の信号レベル
		Video2	-	0	0.928	0.072	
		Video3	-	0	0.892	0.108	
		Video4	-	0	0.856	0.144	
		Video5	-	0	0.144	0.144	
		Video6	-	0	0.108	0.108	
		Video7	-	0	0.072	0.072	
		Video8	-	0	0.036	0.036	
(c)	信号総和(加算回路31の出力)	AddData1	0	0	4	0	時間遅延回路32の出力
	時間遅延回路32の出力	AddData_Q	-	0	0	4	
	差分回路33の出力	DeltaData	-	0	4	-4	
(d)	乗算回路34の出力	CompData1	-	0	0.04	-0.04	
		CompData2	-	0	0.08	-0.08	
		CompData3	-	0	0.12	-0.12	
		CompData4	-	0	0.16	-0.16	
		CompData5	-	0	0.16	-0.16	
		CompData6	-	0	0.12	-0.12	
		CompData7	-	0	0.08	-0.08	
		CompData8	-	0	0.04	-0.04	
(e)	加算回路12の出力	InAddData1	-	0	1.04	-0.04	
		InAddData2	-	0	1.08	-0.08	
		InAddData3	-	0	1.12	-0.12	
		InAddData4	-	0	1.16	-0.16	
		InAddData5	-	0	0.16	-0.16	
		InAddData6	-	0	0.12	-0.12	
		InAddData7	-	0	0.08	-0.08	
		InAddData8	-	0	0.04	-0.04	
(f)	補正結果 (OutAx->Videoox)	Video'1	-	0	0.9968	0.0104	補正結果 ※補正後信号をVideo1-8として入力したときに、その補正後信号に対して生じたクロストークも含めた信号
		Video'2	-	0	0.9936	0.0208	
		Video'3	-	0	0.9904	0.0312	
		Video'4	-	0	0.9872	0.0416	
		Video'5	-	0	0.0128	0.0416	
		Video'6	-	0	0.0096	0.0312	
		Video'7	-	0	0.0064	0.0208	
		Video'8	-	0	0.0032	0.0104	

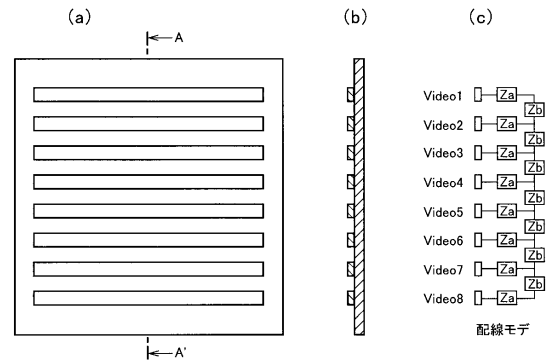
【図 4】



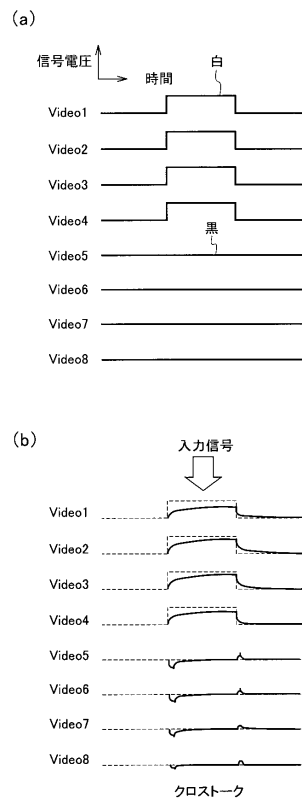
【図 5】



【図 6】



【図 7】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 4 1 P
	G 0 9 G 3/20	6 2 3 M
	G 0 9 G 3/20	6 2 3 R
	G 0 2 F 1/133	5 5 0

F ターム(参考) 5C006 AA16 AA22 AC21 AF43 AF46 AF85 BB16 BC03 BC11 BC16
BC23 BF07 BF11 BF28 FA18
5C080 AA10 BB05 CC03 DD10 EE29 FF11 JJ02 JJ03 JJ04 JJ06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2012037708A	公开(公告)日	2012-02-23
申请号	JP2010177328	申请日	2010-08-06
[标]申请(专利权)人(译)	JVC 建伍株式会社		
申请(专利权)人(译)	JVC建伍公司		
[标]发明人	内山裕治		
发明人	内山 裕治		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.624.B G09G3/20.611.D G09G3/20.641.C G09G3/20.612.U G09G3/20.641.P G09G3/20.623.M G09G3/20.623.R G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZD23 2H193/ZD32 2H193/ZD34 2H193/ZF12 2H193/ZF17 2H193/ZF18 2H193/ZF20 5C006/AA16 5C006/AA22 5C006/AC21 5C006/AF43 5C006/AF46 5C006/AF85 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BC16 5C006/BC23 5C006/BF07 5C006/BF11 5C006/BF28 5C006/FA18 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD10 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
代理人(译)	三好秀 高桥俊		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够显示串扰显著减少的高质量图像的液晶显示装置。在其中包括用于对输入信号进行采样的开关元件61的多个显示像素排列成矩阵的液晶显示装置中，显示多相图像信号中的相同采样周期的信号。用于相加的加法器电路31，用于将加法器电路的输出延迟一个采样的时间延迟电路32，用于计算加法器电路的输出与时间延迟电路的输出之间的差的差分电路33以及来自差分电路的输出 设置有将差乘以预定值的乘法电路34，以及将乘法电路的输出与输入的多相图像信号相加并且用作由开关元件采样的输入信号的另一加法电路12。[选型图]

图1

