

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6119105号
(P6119105)

(45) 発行日 平成29年4月26日(2017.4.26)

(24) 登録日 平成29年4月7日(2017.4.7)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/20 (2006.01)	G09G 3/20 660X
G02F 1/133 (2006.01)	G09G 3/20 641E
H04N 5/66 (2006.01)	G09G 3/20 621F
	G02F 1/133 550
請求項の数 11 (全 19 頁) 最終頁に続く	

(21) 出願番号 特願2012-76460 (P2012-76460)
 (22) 出願日 平成24年3月29日(2012.3.29)
 (65) 公開番号 特開2013-205726 (P2013-205726A)
 (43) 公開日 平成25年10月7日(2013.10.7)
 審査請求日 平成26年10月31日(2014.10.31)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区新宿四丁目1番6号
 (74) 代理人 100116665
 弁理士 渡辺 和昭
 (74) 代理人 100164633
 弁理士 西田 圭介
 (74) 代理人 100179475
 弁理士 仲井 智至
 (74) 代理人 100107261
 弁理士 須澤 修
 (72) 発明者 西森 喬
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 表示制御回路、表示制御方法及び電子機器

(57) 【特許請求の範囲】

【請求項1】

各々が液晶素子を有する複数画素を含む表示部と、前記複数画素の各画素に対応する前記液晶素子に電圧を印加する駆動回路とを有する表示装置を制御する表示制御回路であって、

フィールド毎に表示画像の書き換えを行う前に前記液晶素子の配向状態を揃えるリセット駆動を行う予め決められたリセット期間において、前記複数画素に対応する前記液晶素子に、前記画素の明るさを一方向に変化させる第1リセット電圧を少なくとも当該第1リセット電圧に応じた明るさになるまでの期間印加した後、残りの期間で前記画素の明るさを反対方向に変化させる第2リセット電圧を印加し、

前記リセット期間に続いて、前記画素毎の明るさを指定する映像信号に応じた電圧を前記各画素に対応する前記液晶素子に印加するよう、前記駆動回路を制御する制御部を備え、

前記第1リセット電圧の印加開始後、前記画素が当該第1リセット電圧に応じた明るさになるまでの前記液晶素子の応答時間は、前記第1リセット電圧から前記第2リセット電圧に切り替わったときの前記液晶素子の応答時間よりも短い

ことを特徴とする表示制御回路。

【請求項2】

前記制御部は、

前記第1リセット電圧の印加開始後、前記画素が当該第1リセット電圧に応じた明るさ

になるまでの前記液晶素子の応答時間、及び前記第 1 リセット電圧から前記第 2 リセット電圧に切り替わったときの前記液晶素子の応答時間のいずれもが前記リセット期間よりも短い場合、

前記画素を暗くする方向に変化させる前記第 1 リセット電圧を印加した後、前記画素を明るくする方向に変化させる前記第 2 リセット電圧を印加する

ことを特徴とする請求項 1 に記載の表示制御回路。

【請求項 3】

前記制御部は、

前記第 2 リセット電圧の印加期間を、前記第 1 リセット電圧から前記第 2 リセット電圧に切り替わったときの前記液晶素子の応答時間よりも短くする

ことを特徴とする請求項 1 又は請求項 2 に記載の表示制御回路。

【請求項 4】

前記制御部は、

前記フィールドに第 1 フィールド及び第 2 フィールドを含むサブフィールド駆動方式に従って、前記映像信号に応じた電圧を前記各画素に印加し

前記第 1 フィールドで前記第 1 リセット電圧及び前記第 2 リセット電圧を印加し、前記第 2 フィールドで前記画素毎の明るさを指定する映像信号に応じた電圧を前記各画素に対応する前記液晶素子に印加する

ことを特徴とする請求項 1 から請求項 3 のいずれか 1 項に記載の表示制御回路。

【請求項 5】

前記制御部は、

3 D 映像表示における右目用画像を前記表示部に表示させる第 1 表示期間と、3 D 映像表示における左目用画像を前記表示部に表示させる第 2 表示期間とのそれぞれで前記映像信号に応じた電圧を印加し、

前記第 1 表示期間と前記第 2 表示期間との間に各々設けられた前記リセット期間において、前記第 1 リセット電圧及び前記第 2 リセット電圧を印加する

ことを特徴とする請求項 4 に記載の表示制御回路。

【請求項 6】

各々が液晶素子を有する複数画素を含む表示部と、前記複数画素の各画素に対応する前記液晶素子に電圧を印加する駆動回路とを有する表示装置を制御する表示制御回路であって、

フィールド毎に表示画像の書き換えを行う前に前記液晶素子の配向状態を揃えるリセット駆動を行う予め決められたリセット期間において、前記複数画素に対応する前記液晶素子に、前記画素の明るさを一方向に変化させる第 1 リセット電圧を少なくとも当該第 1 リセット電圧に応じた明るさになるまでの期間印加した後、残りの期間で前記画素の明るさを反対方向に変化させる第 2 リセット電圧を印加し、

前記リセット期間に続いて、前記画素毎の明るさを指定する映像信号に応じた電圧を前記各画素に対応する前記液晶素子に印加するよう、前記駆動回路を制御する制御部

を備え、

前記制御部は、

前記第 2 リセット電圧の印加期間を、前記第 1 リセット電圧から前記第 2 リセット電圧に切り替わったときの前記液晶素子の応答時間よりも短くする

ことを特徴とする表示制御回路。

【請求項 7】

前記制御部は、

前記フィールドに第 1 フィールド及び第 2 フィールドを含むサブフィールド駆動方式に従って、前記映像信号に応じた電圧を前記各画素に印加し

前記第 1 フィールドで前記第 1 リセット電圧及び前記第 2 リセット電圧を印加し、前記第 2 フィールドで前記画素毎の明るさを指定する映像信号に応じた電圧を前記各画素に対応する前記液晶素子に印加する

10

20

30

40

50

ことを特徴とする請求項 6 に記載の表示制御回路。

【請求項 8】

前記制御部は、

3D 映像表示における右目用画像を前記表示部に表示させる第 1 表示期間と、3D 映像表示における左目用画像を前記表示部に表示させる第 2 表示期間とのそれぞれで前記映像信号に応じた電圧を印加し、

前記第 1 表示期間と前記第 2 表示期間との間に各々設けられた前記リセット期間において、前記第 1 リセット電圧及び前記第 2 リセット電圧を印加し、

ことを特徴とする請求項 7 に記載の表示制御回路。

【請求項 9】

各々が液晶素子を有する複数画素を含む表示部を有する表示装置を制御する表示制御方法であって、

フィールド毎に表示画像の書き換えを行う前に前記液晶素子の配向状態を揃えるリセット駆動を行う予め決められたリセット期間において、前記複数画素に対応する前記液晶素子に、前記画素の明るさを一方向に変化させる第 1 リセット電圧を少なくとも当該第 1 リセット電圧に応じた明るさになるまでの期間印加した後、残りの期間で前記画素の明るさを反対方向に変化させる第 2 リセット電圧を印加し、

前記リセット期間に続いて、前記画素毎の明るさを指定する映像信号に応じた電圧を前記各画素に対応する前記液晶素子に印加し、

前記第 1 リセット電圧の印加開始後、前記画素が当該第 1 リセット電圧に応じた明るさになるまでの前記液晶素子の応答時間は、前記第 1 リセット電圧から前記第 2 リセット電圧に切り替わったときの前記液晶素子の応答時間よりも短い

ことを特徴とする表示制御方法。

【請求項 10】

各々が液晶素子を有する複数画素を含む表示部を有する表示装置を制御する表示制御方法であって、

フィールド毎に表示画像の書き換えを行う前に前記液晶素子の配向状態を揃えるリセット駆動を行う予め決められたリセット期間において、前記複数画素に対応する前記液晶素子に、前記画素の明るさを一方向に変化させる第 1 リセット電圧を少なくとも当該第 1 リセット電圧に応じた明るさになるまでの期間印加した後、残りの期間で前記画素の明るさを反対方向に変化させる第 2 リセット電圧を印加し、

前記リセット期間に続いて、前記画素毎の明るさを指定する映像信号に応じた電圧を前記各画素に対応する前記液晶素子に印加し、

前記第 2 リセット電圧の印加期間を、前記第 1 リセット電圧から前記第 2 リセット電圧に切り替わったときの前記液晶素子の応答時間よりも短くする

ことを特徴とする表示制御方法。

【請求項 11】

請求項 1 から請求項 8 のいずれか 1 項に記載の表示制御回路を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶素子のリセット駆動に関する。

【背景技術】

【0002】

液晶等を備えた表示装置には、1 フィールドを複数のサブフィールドに分割するとともに、各サブフィールドにおいて画素（液晶素子）をオン電圧又はオフ電圧を印加して階調表示を行う、サブフィールド駆動を行うものがある（例えば特許文献 1）。

【先行技術文献】

【特許文献】

10

20

30

40

50

【 0 0 0 3 】

【特許文献 1】特開 2 0 0 3 - 1 1 4 6 6 1 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 4 】

表示装置においてフィールド毎（例えばフレーム毎）に表示画像の書き換えを行う場合に、現フィールドの表示画像が前フィールドの表示画像の影響を受けて変化し、これが表示品位の低下の原因となることがある。サブフィールド駆動の場合、高電圧側のオン電圧と低電圧側のオフ電圧とが液晶素子に印加されることがあるが、前フィールドにおけるオン電圧及びオフ電圧の印加の仕方によって、現フィールドにおいて同じサブフィールドコードで画素を駆動した場合であっても液晶素子の応答状態が異なる。現フィールドにおける応答状態が異なれば透過率の時間積分値も異なるので、前フィールドのサブフィールド駆動が現フィールドの表示画像に影響を与えることとなる。

10

【 0 0 0 5 】

このような前フィールドの影響を抑えるために、表示画像の書き換えを行う前に液晶素子の配向状態を各フィールドで揃えるためのリセット駆動を行うことがある。しかしながら、いわゆる白リセット駆動を行って、液晶素子を白状態（透過率又は反射率が 1 0 0 %）に揃えた場合、VA方式の液晶では白状態から黒状態（透過率又は反射率が 0 %）に変化するための応答時間が長いこと、次フィールドにおいて黒表示が不十分となり表示コントラストが低下することがある。一方、いわゆる黒リセット駆動を行って、液晶素子を黒状態に揃えた場合、VA方式の液晶では、次フィールドで液晶分子が垂直に配向した状態から応答を開始することになるため、光学応答速度の低下を原因としてピーク輝度が低くなることがある。このようなリセット駆動を原因とした表示品位の低下は、サブフィールド駆動に限らず、電圧変調方式に従って液晶素子に電圧印加する場合や、TN方式の液晶を用いた場合にも問題となり得る。

20

本発明は、上述した事情に鑑みてなされたもので、その目的の一つは、液晶素子に対するリセット電圧の印加によって生じる表示品位の低下を抑えることである。

【課題を解決するための手段】

【 0 0 0 6 】

上記目的を達成するために、本発明に係る表示制御回路は、各々が液晶素子を有する複数画素を含む表示部と、前記複数画素の各画素に対応する前記液晶素子に電圧を印加する駆動回路とを有する表示装置を制御する表示制御回路であって、予め決められたリセット期間において、前記複数画素に対応する前記液晶素子に、前記画素の明るさを一方向に変化させる第 1 リセット電圧を少なくとも当該第 1 リセット電圧に応じた明るさになるまでの期間印加した後、残りの期間で前記画素の明るさを反対方向に変化させる第 2 リセット電圧を印加し、前記リセット期間に続いて、前記画素毎の明るさを指定する映像信号に応じた電圧を前記各画素に対応する前記液晶素子に印加するよう、前記駆動回路を制御する制御部を備えることを特徴とする。

30

本発明によれば、リセット期間において、第 1 リセット電圧の印加により第 1 リセット電圧に応じた液晶素子の配向状態にし、残りの期間での第 2 リセット電圧の印加により液晶素子の配向状態を制御してから映像信号に基づく表示を行うことができるので、液晶素子に対するリセット電圧の印加によって生じる表示品位の低下を抑えることができる。

40

【 0 0 0 7 】

本発明において、前記第 2 リセット電圧から前記第 1 リセット電圧に切り替わったときの前記液晶素子の応答時間は、前記第 1 リセット電圧から前記第 2 リセット電圧に切り替わったときの前記液晶素子の応答時間よりも短くてもよい。

本発明によれば、リセット期間として十分な長さの期間を確保できない場合であっても、リセット期間内に第 1 リセット電圧に応じた液晶素子の配向状態にすることができる。

【 0 0 0 8 】

本発明において、前記制御部は、前記第 2 リセット電圧から前記第 1 リセット電圧に切

50

り替わったときの前記液晶素子の応答時間、及び前記第 1 リセット電圧から前記第 2 リセット電圧に切り替わったときの前記液晶素子の応答時間のいずれもが前記リセット期間よりも短い場合、前記画素を暗くする方向に変化させる前記第 1 リセット電圧を印加した後、前記画素を明るくする方向に変化させる前記第 2 リセット電圧を印加するようにしてもよい。

本発明によれば、第 1 リセット電圧と第 2 リセット電圧とのいずれであってもリセット期間内にリセット電圧に応じた液晶素子の配向状態にすることができる場合、表示コントラストの低下を優先的に抑えることができる。

【0009】

本発明において、前記制御部は、前記第 2 リセット電圧の印加期間を、前記第 1 リセット電圧から前記第 2 リセット電圧に切り替わったときの前記液晶素子の応答時間よりも短くするようにしてもよい。

10

本発明によれば、第 2 リセット電圧に応じた液晶素子の配向状態よりも第 1 リセット電圧の印加時寄りの配向状態になるため、映像信号に応じた配向状態にしやすくすることができる。

【0010】

本発明において、前記制御部は、サブフィールド駆動方式に従って、前記映像信号に応じた電圧を前記各画素に印加するようにしてもよい。

本発明によれば、映像信号に基づくサブフィールド駆動の影響を抑えつつ、液晶素子に対するリセット電圧の印加によって生じる表示品位の低下を抑えることができる。

20

【0011】

本発明において、前記制御部は、3D映像表示における右目用画像を前記表示部に表示させる第 1 表示期間と、3D映像表示における左目用画像を前記表示部に表示させる第 2 表示期間とのそれぞれで前記映像信号に応じた電圧を印加し、前記第 1 表示期間と前記第 2 表示期間との間に各々設けられた前記リセット期間において、前記第 1 リセット電圧及び前記第 2 リセット電圧を印加するようにしてもよい。

本発明によれば、右目用画像と左目用画像とを交互に切り替える方式で3D映像を表示する場合に、右目用画像がユーザーの左目に入ったり左目用画像がユーザーの右目に入ったりする、クロストークの発生を抑えることができる。

【0012】

30

なお、本発明は、表示制御回路のほか、表示制御方法及び電子機器としても概念することが可能である。

【図面の簡単な説明】

【0013】

【図 1】第 1 実施形態に係る液晶表示装置の全体構成を示すブロック図。

【図 2】液晶パネルにおける等価回路を示す図。

【図 3】3D映像を表示する場合のサブフィールドの構成を示す図。

【図 4】同実施形態に係る走査線駆動回路及びデータ線駆動回路の動作の説明図。

【図 5】同実施形態に係る制御回路の動作の流れを示すフローチャート。

【図 6】同実施形態に係るリセット駆動の説明図。

40

【図 7】第 2 実施形態に係る走査線駆動回路及びデータ線駆動回路の動作の説明図。

【図 8】同実施形態に係るリセット駆動の説明図。

【図 9】各実施形態に係る液晶表示装置を適用したプロジェクターを示す図。

【図 10】白リセット駆動のみを含むリセット駆動の説明図。

【図 11】黒リセット駆動のみを含むリセット駆動の説明図。

【発明を実施するための形態】

【0014】

以下、本発明の実施の形態について図面を参照しつつ説明する。

< 第 1 実施形態 >

まず、本発明の第 1 実施形態について説明する。

50

図1は、同実施形態に係る液晶表示装置の全体構成を示すブロック図である。液晶表示装置1は、ユーザーが3Dメガネ60を掛けた状態で3D映像を知覚することができる3D映像を表示する表示装置である。図1に示すように、液晶表示装置1は、表示制御回路10、送信部50及び液晶パネル100を備える。表示制御回路10は、より詳細には、制御回路20、メモリー30及び変換部40を有する。

【0015】

制御回路20は、上位装置(図示略)から供給される垂直走査信号Vs、水平走査信号Hs及びドットクロック信号Clkに同期して、液晶表示装置1の各部を制御する制御部である。

メモリー30は、縦m行×横n列で配列する画素110の各々に対応した記憶領域を有し、各記憶領域は、それぞれ画素110に対応した映像信号Vidを格納する。映像信号Vidは、画素110の明るさ(つまり階調レベル)を8ビットで指定するデジタルデータである。ここでは映像信号Vidは、階調レベルが高いほど画素110をより明るくすることを指定し、階調レベルが低いほど画素110をより暗くすることを指定する。

なお、映像信号Vidは、制御回路20により画素に対応する記憶領域に格納される一方で、液晶パネル100において走査対象となった画素に対応したデータがメモリー30から表示データDaとして読み出される。

【0016】

変換部40は、メモリー30から読み出された表示データDaを、この表示データDaで指定される階調レベルと、制御回路20が供給するデータsfnとで規定されるサブフィールドとに従って、画素110(液晶素子)をオン又はオフさせるかを指定する表示ビットDbに変換する。

なお、3D映像の表示時には、視差のある左目用画像と右目用画像との各々に対応する2系統の映像信号Vidが例えば時分割で供給されるので、液晶パネル100で表示する画像が右目用なのか左目用なのかに合わせて、メモリー30への格納・読出、および、変換部40による変換が制御される。

【0017】

また、変換部40は、制御回路20が供給するリセット信号RESに従って、画素110をオン又はオフさせるかを指定する表示ビットDbを出力する。リセット信号RESは、制御回路20により液晶素子120のリセット駆動が行われるときに出力される信号である。変換部40は、表示領域101のすべての画素110(液晶素子120)について白状態にする(つまり全白状態にする)白リセット駆動を指示するリセット信号RESwが供給された場合、これらの画素110をオンし、表示領域101のすべての画素110(液晶素子120)について黒状態にする(つまり全黒状態にする)黒リセット駆動を指示するリセット信号RESbが供給された場合、これらの画素110をオフする。リセット駆動の詳細については後で説明する。

【0018】

液晶パネル100は、表示領域101において複数の画素110がマトリクス状に配列した表示部である。詳細には、表示領域101には、m行の走査線112が図においてX(水平)方向に延在する一方、n列のデータ線114が走査線112と電気的な絶縁を保ちつつ、図1においてY(垂直)方向に延在している(m、nはいずれも自然数)。そして、走査線112とデータ線114との交差に対応するように画素110がそれぞれ設けられている。本実施形態において、画素110は、縦m行×横n列のマトリクス状に配列することになる。

【0019】

図2は、液晶パネル100における等価回路を示す図である。

図2に示すように、液晶パネル100は、走査線112とデータ線114との交差に対応して、画素電極118とコモン電極108とで液晶105を挟持した液晶素子120が配列した構成である。液晶パネル100における等価回路では、図2に示すように、液晶素子120に対して並列に補助容量(蓄積容量)125が設けられる。補助容量125は

10

20

30

40

50

、一端が画素電極 118 に接続され、他端が容量線 115 に共通接続されている。容量線 115 は時間的に一定の電圧に保たれている。

ここで、走査線 112 が H レベルになると、その走査線にゲート電極が接続された TFT 116 がオンとなり、画素電極 118 がデータ線 114 に接続される。このため、走査線 112 が H レベルであるときに、データ線 114 に階調に応じた電圧のデータ信号を供給すると、そのデータ信号は、オンした TFT 116 を介して画素電極 118 に印加される。走査線 112 が L レベルになると、TFT 116 はオフするが、画素電極 118 に印加された電圧は、液晶素子 120 の容量性及び補助容量 125 によって保持される。

液晶素子 120 では、画素電極 118 及びコモン電極 108 によって生じる電界に応じて液晶 105 の分子配向状態が変化する。このため、液晶素子 120 は、透過型であれば、印加・保持電圧に応じた透過率となる。液晶パネル 100 では、液晶素子 120 毎に透過率が変化するので、液晶素子 120 が画素に相当する。

なお、本実施形態においては、液晶 105 を VA 方式の液晶とし、液晶素子 120 が電圧無印加時において黒状態となるノーマリーブラックモードとする。

【0020】

図 1 に戻って説明する。

走査線駆動回路 130 は、制御回路 20 から供給されるスタートパルス D_y をクロック信号 C_{ly} にしたがって順次シフトし、1、2、3、4、...、 m 行目の走査線 112 に、走査信号 G_1 、 G_2 、 G_3 、 G_4 、...、 G_m として、供給する。

データ線駆動回路 140 は、変換部 40 によって変換された表示ビット D_b を、クロック信号 C_{lx} で順次サンプリングするとともに、極性指定信号 P_{ol} で指定された極性の電圧に変換して、1、2、3、4、5、...、 n 列目のデータ線 114 に、データ信号 d_1 、 d_2 、 d_3 、 d_4 、 d_5 、...、 d_n として供給する。

【0021】

制御回路 20 が供給する極性指定信号 P_{ol} は、画素（液晶素子 120）への書込極性を指定する信号であり、例えば H レベルであれば正極性書込を指定し、L レベルであれば負極性書込を指定する。ここで、書込極性については、画素電極 118 がコモン電極 108 よりも高位側とする場合を正極性とし、低位側とする場合を負極性とする。

なお走査線駆動回路 130 及びデータ線駆動回路 140 の協働により、液晶表示装置 1 における駆動回路が実現される。

【0022】

送信部 50 は、制御回路 20 から供給される制御信号 $R(L)$ を、例えば赤外線通信により 3D メガネ 60 に送信する。制御信号 $R(L)$ は、3D 映像の表示時において右目用画像の表示期間（第 1 期間）であるのか、左目用画像の表示期間（第 2 期間）であるのかを示す制御信号である。3D メガネ 60 は、右目のレンズ部分が液晶シャッター 62 R であり、左目のレンズ部分が液晶シャッター 62 L である。液晶シャッター 62 R、62 L は、受信部 61 によって受信された制御信号 $R(L)$ 等に従って、それぞれ透過状態又は不透過状態に制御される。詳細には、3D 映像の表示時において、後述する右目開期間において、液晶シャッター 62 R は透過状態になり、液晶シャッター 62 L は不透過状態になり、左目開期間において、液晶シャッター 62 R は不透過状態になり、液晶シャッター 62 L は透過状態になる。それ以外の期間は液晶シャッター 62 R 及び 62 L はともに不透過状態になる。

なお、液晶表示装置 1 が 2D 映像を表示する場合、制御信号 $R(L)$ とは無関係に、液晶シャッター 62 R 及び 62 L がともに透過状態になる。

【0023】

図 3 は、本実施形態において 3D 映像を表示する場合のサブフィールドの構成を示す図である。図 4 は、本実施形態の走査線駆動回路 130 及びデータ線駆動回路 140 の動作を説明する図である。

本実施形態では垂直走査信号 V_s の周波数が 240 Hz であるものとし、液晶表示装置 1 は、図 3 及び図 4 に示すように 1 フレームを 4 つのフィールドに等分割し各フィールド

10

20

30

40

50

で1～m行目の走査線を走査する、いわゆる4倍速駆動を実現する。液晶表示装置1は、240Hzの駆動速度で液晶パネル100を駆動することにより、上位装置から60Hzの供給速度で供給される映像信号Vidに応じた1フレームの画像を表示する。ここでいう1フレームとは、1カット（コマ）分の映像信号Vidが上位装置から供給される期間、又は、1カットの分の画像を液晶パネル100が表示するのに要する期間をいい、垂直走査信号Vsの周波数が60Hzであれば、その1周期分の16.67ミリ秒になる。よって、1フィールドの期間は、1/4フレーム期間に相当し、ここではおよそ4.16ミリ秒である。

【0024】

ここで1フレームに含まれる4つのフィールドを時系列順に第1フィールド、第2フィールド、第3フィールド、第4フィールドとすると、3D映像表示において、第2フィールド及び第4フィールドが液晶パネル100を用いて画像を表示する表示期間に相当する。より具体的は、第2フィールドが左目用画像の表示に割り当てられた左目開期間となり、第4フィールドが右目用画像の表示に割り当てられた右目開期間となる。第2フィールド及び第4フィールドはそれぞれ、複数のサブフィールド（例えば、期間長が互いに等しい20個のサブフィールド）に分割されている。液晶パネル100を用いた画像の表示時には、表示データDaで指定される階調レベルに応じて各サブフィールドのオンオフが制御されて、液晶素子120に対し階調レベルに応じた電圧が印加される。

【0025】

サブフィールドを用いた階調表現については周知の手法を採用することができ、例えば特開2003-114661号公報（特許文献1参照）に開示された手法がある。また、制御回路20が供給する極性指定信号Polは、例えば、第1, 2フィールドにおいて正極性書込を指定し、第3, 4フィールドにおいて負極性書込を指定する。この場合液晶パネル100は、2フィールド毎に書込極性を反転して、画素110へのデータの書き込みを行う。

【0026】

一方、3D映像表示において、第1フィールド及び第3フィールドが画素110（液晶素子120）をリセット駆動するためのリセット期間に相当する。リセット期間は左目開期間と右目開期間との間に各々設けられ、その期間は予め決められている。具体的には、液晶表示装置1では、リセット期間に続けて設けられた左目開期間及び右目開期間において、液晶パネル100を用いた映像信号Vidに基づく画像の表示を行う。

ここで、液晶表示装置1の全体的な動作の流れを説明する。

【0027】

図5は、制御回路20の動作の流れを示すフローチャートである。

制御回路20は、まず、左目開期間又は右目開期間のどちらかであるか否かを判断する（ステップS1）。制御回路20は、左目開期間又は右目開期間において映像信号Vinに応じた3D映像を表示すると判断する場合、ステップS1の処理で「YES」と判断する。ステップS1の処理で「YES」と判断すると、制御回路20は映像データVidで指定された階調レベルに応じた電圧を各画素110に対応する液晶素子120に印加し、映像データVidに基づく3D映像を表示するよう液晶パネル100を制御する（ステップS2）。ここにおいて制御回路20は、映像信号Vidが格納されたメモリー30から表示データDaを読み出して変換部40に供給し、変換部40により表示データDaを表示ビットDbに変換して、データ線駆動回路140に表示ビットDbを供給する。データ線駆動回路140は、供給された表示ビットDbに従って、各画素110に対応する液晶素子120にオン電圧又はオフ電圧を印加する。

【0028】

一方、制御回路20が左目開期間及び右目開期間のいずれでもないと判断した場合（ステップS1；NO）、リセット期間において液晶素子120のリセット駆動を行う（ステップS3）。制御回路20は、リセット期間においてリセット信号RESw又はRESbを変換部40に供給し、変換部40からデータ線駆動回路140に供給される表示ビット

10

20

30

40

50

Dbにより、表示領域101を全白状態又は全黒状態にするためのリセット電圧を液晶素子120に印加する。

制御回路20は、例えば液晶表示装置1の電源が入っている期間においては上記処理ステップを繰り返し実行する。

次に、液晶表示装置1で行われるリセット駆動を説明する。

【0029】

図6は、本実施形態のリセット駆動を説明する図であり、1フレームにおける液晶素子120の透過率の時系列変化を示す。以下の説明において、時刻 $t = t_0$ では、直前のサブフィールド駆動でのオフ電圧の印加によって液晶素子120が透過率0%の黒状態であるものとする。

図4及び図6に示すように、制御回路20は、リセット期間を2つの期間に分割して、白リセット駆動を行うためのリセット電圧 d_H （第1リセット電圧）を液晶素子120に印加した後、黒リセット駆動を行うためのリセット電圧 d_L （第2リセット電圧）を液晶素子120に印加するよう、液晶パネル100を制御する。白リセット駆動は、液晶パネル100の表示領域101を全白状態、つまり、すべての画素110を明るくする方向（一方向）に変化させて透過率を100%にするリセット駆動のことである。リセット電圧 d_H は、例えば、画素電極118とコモン電圧 L_{Ccom} とが階調表現に用いられる最高電圧である。一方黒リセット駆動は、液晶パネル100の表示領域101を全黒状態、つまり、すべての画素110を暗くする方向（反対方向）に変化させて透過率を0%にするリセット駆動のことである。リセット電圧 d_L は、例えば、画素電極118とコモン電圧 L_{Ccom} とを同電位とする印加電圧に対応し、階調表現に用いられる最低電圧である。

以下、リセット駆動の具体的な手順を説明する。

【0030】

まず制御回路20は、時刻 $t = t_0$ に、白リセット駆動を指示するリセット信号 RES_w を変換部40に供給する。そして制御回路20は、液晶素子120の白状態への応答が完了した（つまり白状態になった）後である時刻 $t = t_{b1}$ において、黒リセット駆動を指示するリセット信号 RES_b を変換部40に供給する。そして、制御回路20は、リセット期間の終了時刻である $t = t_1$ において、黒リセット駆動の停止を変換部40に指示する。図6に示すように、液晶素子120では、白リセット駆動に対応するリセット電圧 d_H が印加されることにより、黒状態から白状態への応答が完了し、リセット期間の残りの期間で黒リセット駆動に対応するリセット電圧 d_L が印加される。一方、リセット期間が終了する時刻 $t = t_1$ においては、液晶素子120は白状態から黒状態へ変化する途中であり、黒状態への応答は完了しない。時刻 $t = t_1$ での液晶素子120の透過率は、黒状態である0%よりもやや高い γ_1 [%]（例えば、5%）であるものとする。

【0031】

VA方式の液晶においては、一般に、白状態から黒状態へ変化する際の応答時間よりも、黒状態から白状態へ変化する際の応答時間の方が短い。よって、液晶素子120を白状態にするためのリセット電圧 d_H が印加されたときの液晶素子120の最長の応答時間は、黒リセット駆動に対応するリセット電圧 d_L が印加されたときの液晶素子120の最長の応答時間よりも短い、と考えることができる。ここでは、白状態にするためのリセット電圧 d_H が印加されたときの液晶素子120の最長の応答時間を、黒状態の液晶素子120を白状態に変化させるための応答時間 T_1 （ここでは、 $T_1 = 2$ ミリ秒とする。）と考えることとする。また、黒状態にするためのリセット電圧 d_L が印加されたときの液晶素子120の最長の応答時間を、白状態の液晶素子120を黒状態に変化させるための応答時間 T_2 （ここでは、 $T_2 = 5$ ミリ秒とする。）と考えることとする。

本実施形態の制御回路20は、応答時間 $T_1 <$ リセット期間（ここでは4.16ミリ秒） $<$ 応答時間 T_2 という関係を満たし、且つ、応答時間 T_1 がリセット期間よりも短いという理由で、リセット期間において白リセット駆動を先に行い、液晶素子120の白状態への応答が完了した後に、残りの期間で黒リセット駆動を行っている。続いて、このようなリセット駆動とする根拠を説明する。

10

20

30

40

50

【 0 0 3 2 】

まずリセット期間において先に行われる白リセット駆動は、リセット期間内に液晶素子 1 2 0 の白状態への応答が完了ように行われる。これにより表示領域 1 0 1 はリセット期間内に全白状態となり、液晶素子 1 2 0 の配向状態が白状態に揃えられる。したがって白リセット駆動が行われる期間は、応答時間 T_1 以上であり、液晶素子 1 2 0 が少なくとも白状態になるまでの長さの期間である。白リセット駆動が行われる期間は、例えば応答時間 T_1 に一致する 2 ミリ秒とすればよいが、例えば 3 ミリ秒のように応答時間 T_1 よりも長い時間にしてもよい。

次に、白リセット駆動に続いて行われる黒リセット駆動は、応答時間 T_2 がリセット期間の残りの期間（又はリセット期間）よりも短いので、表示領域 1 0 1 が全黒状態となる前に終了させられる。この黒リセット駆動が行われると、液晶素子 1 2 0 の配向状態は黒状態にはならないものの、黒状態よりはやや高い透過率 γ_1 [%] の配向状態に揃えられる。更に、液晶素子 1 2 0 の配向状態が透過率 γ_1 [%] の状態で次の表示期間（つまり左目開期間）に遷移することになるので、左目開期間では透過率 γ_1 [%] を初期状態として、映像信号 V_{id} に応じた階調レベルの電圧が液晶素子 1 2 0 に印加される。

10

【 0 0 3 3 】

図 1 0 に示すように、仮にリセット期間全体において白リセット駆動が行われた場合、リセット期間内に液晶素子 1 2 0 の白状態への応答が完了することがある。この場合に、リセット期間の次の表示期間（つまり左目開期間）において、黒状態又は黒状態に近い状態の透過率に応じた電圧が液晶素子 1 2 0 に印加されても、目的の透過率よりも高くなる可能性がある。その理由は、前述したように、白状態の液晶素子 1 2 0 が黒状態又は黒状態に近い状態に応答するには或る程度長い時間を要するためである。これでは、映像信号 V_{id} に基づいて黒表示又は黒表示に近い表示にしたい場合であっても、透過率が目的の透過率よりも高くなって、いわゆる黒浮きが生じることがある。この黒浮きが、液晶パネル 1 0 0 の表示コントラストが低下する、という表示品位の低下の原因となることがある。

20

【 0 0 3 4 】

これに対し本実施形態のリセット駆動によれば、制御回路 2 0 は、リセット期間において、白リセット駆動を行った後の残り期間で黒リセット駆動を行うことにより、リセット期間の次の表示期間（左目開期間）では、液晶素子 1 2 0 を透過率が γ_1 [%] まで低くすることができる。これにより黒リセット駆動のみを行った場合に比べて、黒浮きは生じにくくなる（図 6 及び図 1 0 の斜線部参照）。したがって、制御回路 2 0 が行うリセット駆動により、液晶パネル 1 0 0 の表示コントラストが低下する、という表示品位の低下は抑えられる。

30

【 0 0 3 5 】

制御回路 2 0 は、左目開期間において映像信号 V_{id} に基づく画像の表示を行った後、右目開期間の前のリセット期間においても、前述の手順でリセット駆動を行う。ここにおいても、制御回路 2 0 は、時刻 $t = t_2$ で白リセット駆動を行うためのリセット信号 $R E S_w$ を供給し、時刻 $t = t_2$ から応答時間 T_1 後よりもさらに後である時刻 $t = t_{b2}$ において黒リセット駆動を行うためのリセット信号 $R E S_b$ に切り替え、時刻 $t = t_3$ まで黒リセット駆動を行う。この場合も、時刻 $t = t_{b2}$ において液晶素子 1 2 0 は白状態に揃えられ、リセット期間の終了時刻である $t = t_3$ において液晶素子 1 2 0 の配向状態がほぼ透過率 γ_1 [%] の状態になる。これにより左目開期間と同様の理由で、時刻 $t = t_3$ から $t = t_4$ までの右目開期間においても、液晶パネル 1 0 0 の表示コントラストが低下する、という表示品位の低下が抑えられる。

40

【 0 0 3 6 】

また、本実施形態では、制御回路 2 0 は、白リセット駆動を行った後に残り期間で黒リセット駆動を行っていたが、これは応答時間 $T_1 < 応答時間 T_2$ という関係を満たすためである。このように制御回路 2 0 が応答時間が短い方のリセット駆動を先に行うことにより、例えばサブフィールド駆動方式（デジタル駆動）で表現可能な階調数の減少を避けるために、リセット期間として十分な長さの期間を確保できない場合であっても、リセット

50

期間内にリセット電圧に応じた液晶素子 120 の配向状態にすることができる。

【0037】

また、右目用画像と左目用画像とを交互に切り替える方式で 3D 映像を表示する場合には、右目用画像がユーザーの左目に入ったり左目用画像がユーザーの右目に入ったりする、クロストークの発生を抑えることが必要である。このクロストークの発生を抑えるため、液晶素子 120 に目的とする階調に応じたアナログ電圧を印加する電圧変調方式（アナログ駆動）の 3D 表示では、例えば、表示期間の前半期間で同一画像を二回繰り返して書き込み、後半期間で 3D メガネを開く動作を行うことがある。これに対し、サブフィールド駆動方式では、表示期間における液晶素子 120 の初期状態に応じて光学応答速度が変化するため、複数回繰り返して同一画像を書き込む手法では、前フィールドの影響を受けてしまい、クロストークの抑制には不十分である。これに対し、本実施形態の液晶表示装置 1 では、前述したリセット駆動を行うことにより、右目開期間における画像表示においてはそれに先行する左目開期間の影響を抑えることができ、且つ、次フレームの左目開期間における画像表示においてそれに先行する右目開期間の影響を抑えることができる。よって、液晶表示装置 1 によれば、右目用画像の表示と左目用画像との表示とが相互に影響を与えることを抑えられるので、クロストークの発生という表示品位の低下も抑えられる。

10

【0038】

< 第 2 実施形態 >

次に、本発明の第 2 実施形態について説明する。

20

本実施形態の液晶表示装置 1 は、リセット期間において、画素 110 を暗くする方向（一方向）に変化させる黒リセット駆動を行った後に、画素 110 を明るくする方向（反対方向）に変化させる白リセット駆動を行う点で、上述した第 1 実施形態の構成とは相違する。ただし、本実施形態では、黒状態の液晶素子 120 を白状態に変化させるための応答時間 $T_1 = 2$ ミリ秒とし、白状態の液晶素子 120 を黒状態に変化させるための応答時間 $T_2 = 3$ ミリ秒とする。すなわち、本実施形態では、応答時間 $T_1 < 応答時間 T_2 < 2$ リセット期間（ここでは 4.16 ミリ秒）という関係を満たすものとする。

次に、本実施形態の制御回路 20 がリセット期間において行うリセット駆動を説明する。以下の説明において、第 1 実施形態と同じ構成については同一の符号を付して表し、その説明を省略する。

30

【0039】

図 7 は、本実施形態の走査線駆動回路 130 及びデータ線駆動回路 140 の駆動の動作を説明する図である。この実施形態においても、液晶表示装置 1 は、3D 映像の表示時において、第 2 フィールドを左目用画像の表示に割り当てられた左目開期間とし、第 4 フィールドを右目用画像の表示に割り当てられた右目開期間とし、第 1 フィールド及び第 3 フィールドをリセット期間とする。

【0040】

図 8 は、本実施形態のリセット駆動を説明する図であり、1 フレームにおける液晶素子 120 の透過率の時系列変化を示す。以下の説明において、時刻 $t = t_0$ では、直前のサブフィールド駆動でのオン電圧の印加によって液晶素子 120 が透過率 100% の白状態であるものとする。

40

図 7 及び図 8 に示すように、制御回路 20 は、リセット期間を 2 つの期間に分割して、黒リセット駆動を行うためのリセット電圧 d_L （第 1 リセット電圧）を液晶素子 120 に印加した後、白リセット駆動を行うためのリセット電圧 d_H （第 2 リセット電圧）を液晶素子 120 に印加するよう、リセット信号 RES を変換部 40 に供給する。リセット電圧 d_L 及び d_H はそれぞれ上述した第 1 実施形態と同じ電圧でよい。

以下、リセット駆動の具体的な手順を説明する。

【0041】

まず制御回路 20 は、時刻 $t = t_0$ において黒リセット駆動を指示するリセット信号 RES b を変換部 40 に供給する。そして制御回路 20 は、液晶素子 120 の黒状態への応

50

なお、 γ_2 [%] は、液晶分子が動き出しやすくするための透過率であるが、透過率の変化がユーザーに知覚されない程度の透過率であることが好ましい。また、制御回路 20 は、左目開期間において表示データ Da に基づく画像表示を行った後、右目開期間の前のリセット期間においても、前述の手順でリセット駆動を行う。ここにおいても、制御回路 20 は、時刻 $t = t_3$ で黒リセット駆動を行うためのリセット信号 RESb を供給し、時刻 $t = t_3$ から応答時間 T2 後よりもさらに後である時刻 $t = t_{w2}$ において、白リセット駆動を行うためのリセット信号 RESw に切り替えて、時刻 $t = t_3$ まで白リセット駆動を行う。これにより左目開期間と同様の理由で、時刻 $t = t_3$ から $t = t_4$ までの右目開期間においても、ピーク輝度が低くなる、という表示品位の低下が抑えられる。

【0047】

本実施形態の液晶表示装置 1 は、黒リセット駆動及び白リセット駆動のいずれであってもリセット期間内に完了させることができる場合において、黒リセット駆動を実行してから白リセット駆動を実行していた。このようにしていた理由のひとつとして、白状態を表示期間の初期状態とした場合に問題となりやすい表示コントラストの低下が起こりにくい、という理由がある。

また本実施形態の液晶表示装置 1 によれば、上述した第 1 実施形態と同様の理由により、3D 映像表示においてクロストークの発生を抑制する効果も奏する。また、本実施形態においては、黒リセット駆動及び白リセット駆動のいずれもがリセット期間内に完了する場合を説明した。これに対し、応答時間 $T_2 <$ リセット期間 $<$ 応答時間 T_1 という関係を満たし、黒リセット駆動をリセット期間内に完了させることができるが白リセット駆動をリセット期間内に完了させることができない場合であっても、液晶表示装置 1 は本実施形態のように黒リセット駆動後に白リセット駆動を行ってもよい。

【0048】

<変形例>

本発明は、上述した実施形態と異なる形態で実施することが可能である。また、以下に示す変形例は、各々を適宜に組み合わせてもよい。

(変形例 1)

上述した各実施形態では、表示制御回路 10 は、サブフィールド駆動方式に従って、映像信号 Vid に応じた電圧を液晶素子 120 に印加させていたが、データ線 114 を介して液晶素子 120 に目的とする階調レベルに応じたアナログ電圧を印加する電圧変調方式 (アナログ駆動) に従って、映像信号 Vid に応じた電圧を液晶素子 120 に印加させてもよい。

【0049】

(変形例 2)

上述した第 2 実施形態において、液晶表示装置 1 は、黒リセット駆動及び白リセット駆動のいずれであってもリセット期間内に完了させることができる場合において、黒リセット駆動を実行してから白リセット駆動を実行していたが、上述した第 1 実施形態で説明した手順で、白リセット駆動を実行してから黒リセット駆動を実行してもよい。

【0050】

(変形例 3)

上述した各実施形態において、液晶素子 120 を白状態にするためのリセット電圧 dH が印加されたときの液晶素子 120 の最長の応答時間は、黒状態の液晶素子 120 を白状態に変化させるための応答時間と考えていた。仮に液晶 105 の特性等を原因として、中間階調に相当する透過率から白状態に変化するための応答時間の方が長ければ、この応答時間に基づいて黒リセット駆動又は白リセット駆動のいずれを先に行うかが決められてもよい。同様に、液晶素子 120 を黒状態にするためのリセット電圧 dL が印加されたときの液晶素子 120 の最長の応答時間は、白状態の液晶素子 120 を黒状態に変化させるための応答時間と考えていたが、中間階調に相当する透過率から黒状態に変化するための応答時間の方が長ければ、この応答時間に基づいて黒リセット駆動又は白リセット駆動のいずれを先に行うかが決められてもよい。

10

20

30

40

50

【 0 0 5 1 】

(変形例 4)

上述した第 1 実施形態のように白リセット駆動を行ってから黒リセット駆動を行うか、又は、上述した第 2 実施形態のように黒リセット駆動を行ってから白リセット駆動を行うかを、液晶表示装置 1 が決定してもよい。例えば制御回路 20 は、リセット電圧 d_L を印加して黒状態にした液晶素子 120 に白状態にするためのリセット電圧 d_H を印加して、黒状態から白状態への応答時間 T_1 を測定する。また制御回路 20 はリセット電圧 d_H を印加して白状態にした液晶素子 120 に黒状態にするためのリセット電圧 d_L を印加して、白状態から黒状態への応答時間 T_2 を測定する。そして制御回路 20 は応答時間が短かった方のリセット駆動を先に行うようにしてもよい。また制御回路 20 は、表示コントラストの低下の抑制を優先させるために、応答時間 T_2 がリセット期間よりも短い場合には、上述した第 2 実施形態のように、黒リセット駆動を行ってから白リセット駆動を行うようにしてもよい。

10

また、変形例 3 で説明したように、中間階調に相当する透過率から黒状態又は白状態に変化するための応答時間が最長の応答時間になる場合もありうるので、制御回路 20 はこの最長の応答時間に基づいて黒リセット駆動又は白リセット駆動のどちらを先に行うかを決定してもよい。

【 0 0 5 2 】

(変形例 5)

上述した各実施形態の液晶表示装置 1 は、3D 映像表示におけるリセット期間において前述のリセット駆動を行っていたが、例えば 2D 映像表示においても表示期間の前にリセット期間を設けて、上述した各実施形態の手法でリセット駆動を行ってもよい。

20

また、リセット電圧 d_H は、階調表現に用いられる最高の印加電圧に対応するものに限らず、それよりも低い電圧で、液晶素子 120 の透過率を高くする方向（画素 110 を明るくする方向）に変化させる電圧であってもよい。また、リセット電圧 d_L は、画素電極 118 とコモン電圧 L_{Ccom} とが同電位となる印加電圧に対応するものに限らず、それよりも高い電圧で、液晶素子 120 の透過率を低くする方向（画素 110 を暗くする方向）に変化させる電圧であってもよい。

【 0 0 5 3 】

(変形例 6)

上述した各実施形態では、液晶 105 に VA 方式を用いた例について説明したが TN 方式を用いてもよい（つまり、液晶素子 120 がノーマリーホワイトモード）。この場合、液晶素子の透過率が 100% となる白状態は、例えば画素電極 118 とコモン電圧 L_{Ccom} とが同電位となる低電圧の印加電圧に対応し、液晶素子の透過率が 0% となる黒状態は、例えば画素電極 118 とコモン電圧 L_{Ccom} とが階調表現に用いられる最高電圧の印加電圧に対応する。

30

また、液晶表示装置 1 において行われるリセット駆動は、表示領域 101 のすべての画素 110（液晶素子 120）を対象とするものに限らず、一部の画素 110（液晶素子 120）を対象とするものであってもよい。

【 0 0 5 4 】

(変形例 7)

また、本発明の表示制御回路は、4 倍速駆動に限られず、例えば 2 倍速や 8 倍速駆動などの倍速駆動を採用する液晶表示装置にも適用可能である。また、本発明の表示制御回路は、倍速駆動を採用する液晶表示装置に適用されるものでなくてもよい。例えば、表示制御回路は、1 コマ分の映像信号 V_{id} に対応した表示期間（例えば、複数フレーム期間）の前にリセット期間を設ければよい。

40

上述した各実施形態において、映像信号 V_{id} は、画素の階調レベルを指定するものとしたが、液晶素子の印加電圧を指定するものとしてもよい。

また、各実施形態において、液晶素子 120 は、透過型に限られず、反射型であってもよい。

50

また3Dメガネ60は、左目開期間及び右目開期間の期間全体で液晶シャッター62L又は62Rが開状態になるとは限らず、一部の期間で開状態になっていてもよい。

【0055】

<電子機器>

次に、上述した実施形態に係る液晶表示装置1を適用した電子機器について、プロジェクターを例にとって説明する。

図9は、プロジェクターの構成を示す平面図である。

この図に示されるように、プロジェクター2100の内部には、ハロゲンランプ等の白色光源からなるランプユニット2102が設けられている。このランプユニット2102から射出された投射光は、内部に配置された3枚のミラー2106および2枚のダイクロイックミラー2108によってR(赤)色、G(緑)色、B(青)色の3原色に分離され、各原色に対応するライトバルブ100R、100Gおよび100Bにそれぞれ導かれる。なお、B色の光は、他のR色やG色と比較すると、光路が長いので、その損失を防ぐために、入射レンズ2122、リレーレンズ2123および出射レンズ2124からなるリレーレンズ系2121を介して導かれる。

【0056】

このプロジェクター2100では、実施形態に係る表示装置が、R色、G色、B色のそれぞれに対応して3組設けられる。そして、R色、G色、B色のそれぞれに対応する映像信号がそれぞれ上位装置から供給される。ライトバルブ100R、100Gおよび100Bは、上述した液晶パネル100と同様であり、R色、G色、B色のそれぞれに対応する映像信号に応じて駆動される。

ライトバルブ100R、100G、100Bによってそれぞれ変調された光は、ダイクロイックプリズム2112に3方向から入射する。そして、このダイクロイックプリズム2112において、R色およびB色の光は90度に屈折する一方、G色の光は直進する。したがって、各色の画像が合成された後、スクリーン2120には、投射レンズ2114によってカラー画像が投射されることとなる。

【0057】

ライトバルブ100R、100Gおよび100Bには、ダイクロイックミラー2108によって、R色、G色、B色のそれぞれに対応する光が入射するので、カラーフィルターを設ける必要はない。また、ライトバルブ100R、100Bの透過像は、ダイクロイックプリズム2112により反射した後に投射されるのに対し、ライトバルブ100Gの透過像はそのまま投射されるので、ライトバルブ100R、100Bによる水平走査方向は、ライトバルブ100Gによる水平走査方向と逆向きにして、左右を反転させた像を表示する構成となっている。

なお、スクリーン2120に投写された画像を上述した3Dメガネ60を掛けて視聴すれば、3D映像の知覚が可能になる。

【0058】

なお、電子機器としては、図9を参照して説明したプロジェクターの他、電子ビューファインダーや、リヤ・プロジェクション型のテレビジョン、ヘッドマウントディスプレイなどが挙げられる。

【符号の説明】

【0059】

1...液晶表示装置、10...表示制御回路、100...液晶パネル、101...表示領域、110...画素、120...液晶素子、130...走査線駆動回路、140...データ線駆動回路、20...制御回路、30...メモリー、40...変換部、50...送信部、60...3Dメガネ、2100...プロジェクター

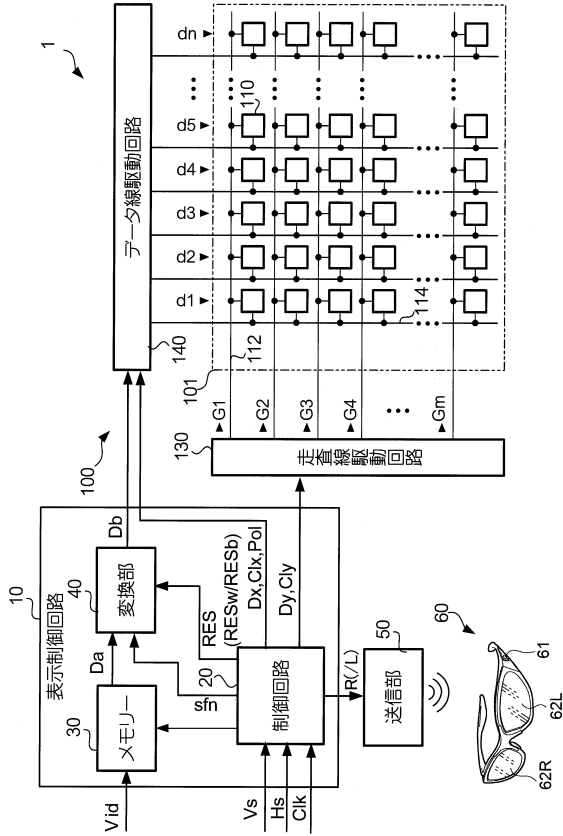
10

20

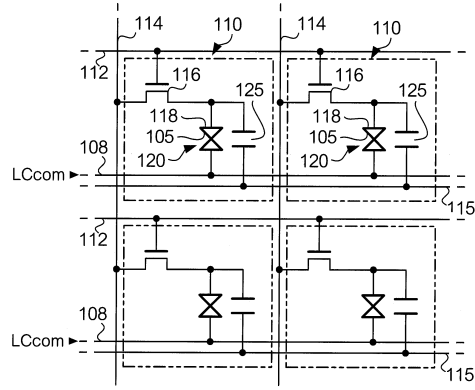
30

40

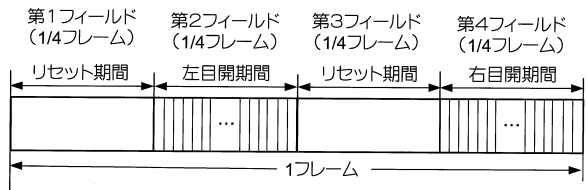
【図1】



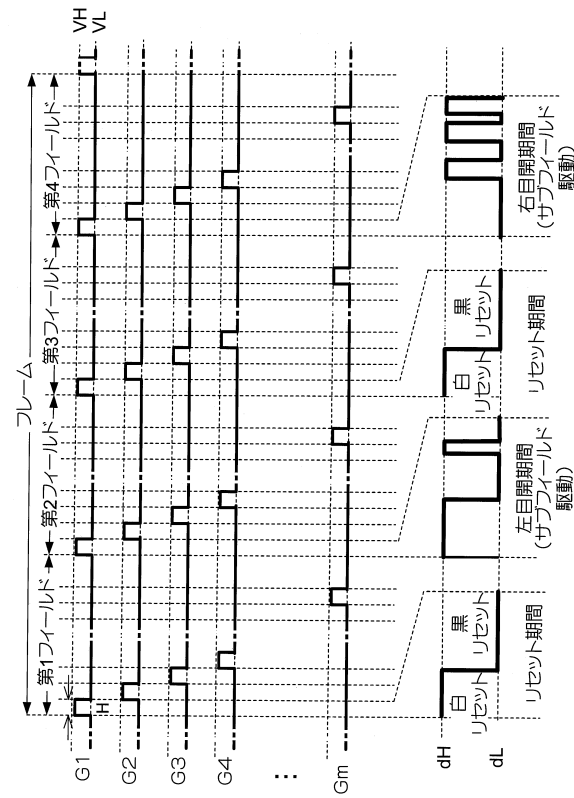
【図2】



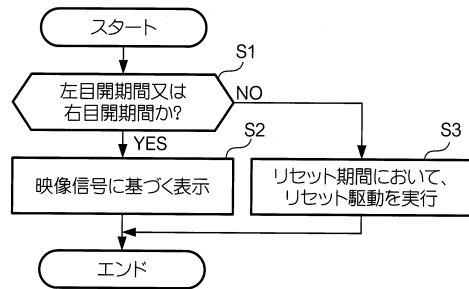
【図3】



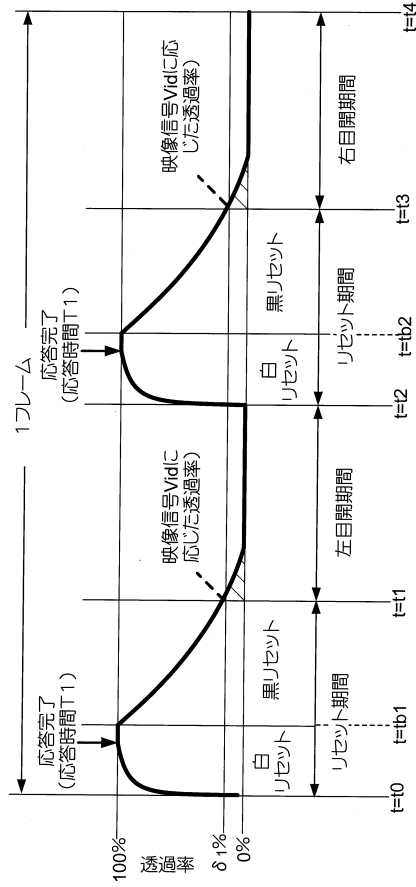
【図4】



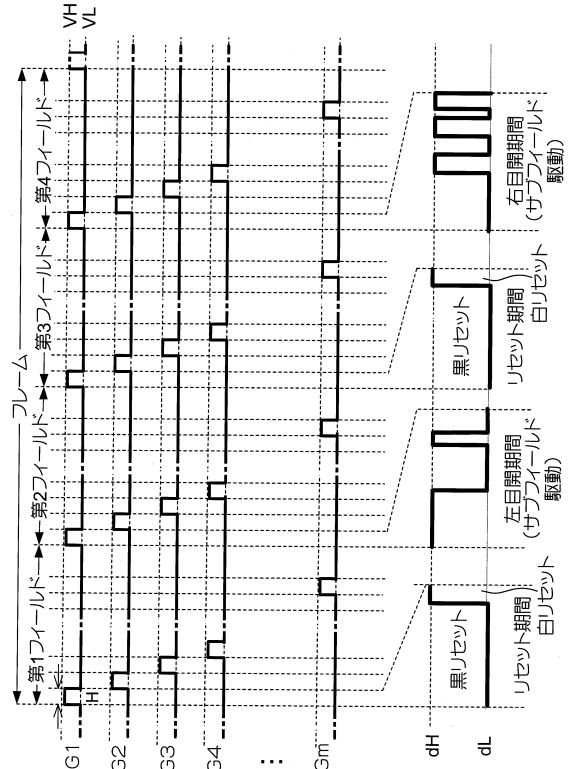
【図5】



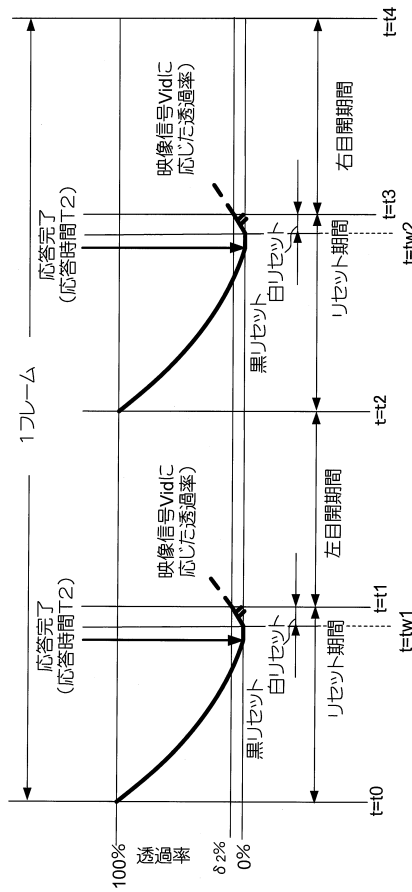
【 図 6 】



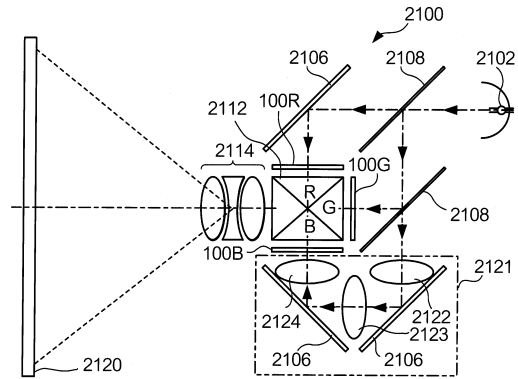
【 図 7 】



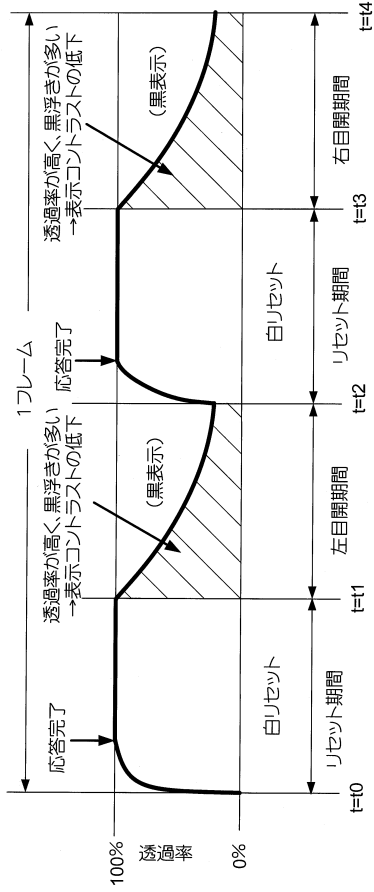
【 図 8 】



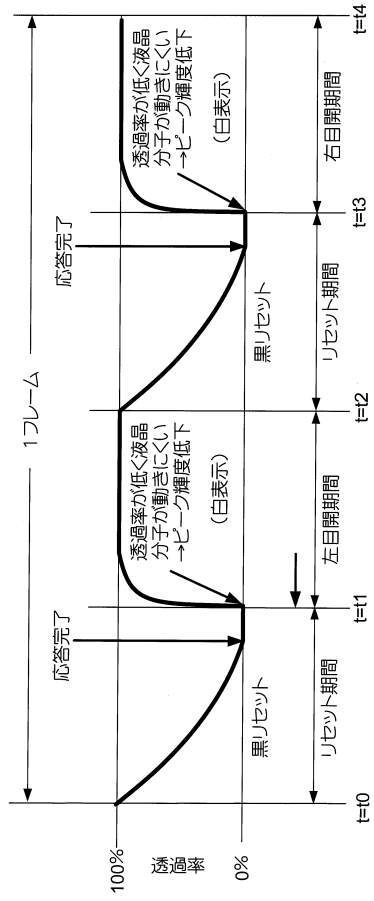
【 図 9 】



【 図 1 0 】



【 図 1 1 】



フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/133 5 7 0
H 0 4 N 5/66 1 0 2 B

(72)発明者 山 崎 哲朗
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 西島 篤宏

(56)参考文献 特開2000-267067(JP,A)
特開2009-217142(JP,A)
特開2006-227569(JP,A)
特開2006-084554(JP,A)
特開2000-259130(JP,A)
特開平06-194625(JP,A)
林利明, ITmedia流液晶ディスプレイ講座:第4回 TN? VA? IPS? - 液晶パネル駆動方式の
仕組みと特徴を知ろう(1/2), 日本, ITmedia, 2005年10月12日, [平成28年6月
14日検索], URL, <http://www.itmedia.co.jp/pcupdate/articles/0510/07/news002.html>

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 3 6
G 0 2 F 1 / 1 3 3
G 0 9 G 3 / 2 0
H 0 4 N 5 / 6 6

专利名称(译)	显示控制电路，显示控制方法和电子设备		
公开(公告)号	JP6119105B2	公开(公告)日	2017-04-26
申请号	JP2012076460	申请日	2012-03-29
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
当前申请(专利权)人(译)	精工爱普生公司		
[标]发明人	西森 喬 山崎 哲朗		
发明人	西森 喬 山▲崎▼ 哲朗		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 H04N5/66		
FI分类号	G09G3/36 G09G3/20.660.X G09G3/20.641.E G09G3/20.621.F G02F1/133.550 G02F1/133.570 H04N5/66.102.B G02F1/133.505		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZB02 2H193/ZB03 2H193/ZB16 2H193/ZC01 2H193/ZC25 2H193/ZD02 2H193/ZD11 2H193/ZD23 2H193/ZD36 2H193/ZE04 2H193/ZE21 2H193/ZF12 2H193/ZF16 2H193/ZF21 2H193/ZF31 2H193/ZQ11 2H193/ZR04 2H193/ZR10 5C006/AA16 5C006/AA22 5C006/BB16 5C006/EC11 5C006/EC12 5C006/FA14 5C058/AA06 5C058/BA04 5C058/BA05 5C080/AA10 5C080/BB05 5C080/CC03 5C080/CC04 5C080/DD01 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ07		
代理人(译)	渡边和明 西田圭介 仲井 智至 须泽 修		
其他公开文献	JP2013205726A		
外部链接	Espacenet		

摘要(译)

摘要：要解决的问题：抑制由于对液晶元件施加复位电压而导致的显示质量下降。解决方案：显示控制电路10控制液晶显示装置1，液晶面板100包括分别具有液晶元件和驱动电路的多个像素110的液晶面板100，扫描线驱动电路130和数据线驱动电路140，所述显示控制电路10包括控制电路20，所述控制电路20在预定的复位周期中施加第一复位电压以改变所述像素110的亮度，所述控制电路20用于对应于所述多个像素110中的各个像素的液晶元件施加电压。对应于像素110的液晶元件的单向至少一段时间直到亮度对应于第一复位电压为止，随后施加第二复位电压以在剩余的相反方向上改变像素110的亮度在复位周期之后，控制扫描线驱动电路130和数据线驱动电路140，以便控制扫描线驱动电路130和数据线驱动电路140响应于指定每个像素110的亮度的视频信号将电压施加到与各个像素110对应的液晶元件。

(19) 日本国特許庁(JP)	(12) 特許公報(B2)	(11) 特許番号 特許第6119105号 (P6119105)
(45) 発行日 平成29年4月26日(2017.4.26)	(24) 登録日 平成29年4月7日(2017.4.7)	
(51) Int. Cl.	F I	
G09G 3/36 (2006.01)	G09G 3/36	
G09G 3/20 (2006.01)	G09G 3/20	660X
G02F 1/133 (2006.01)	G09G 3/20	641E
H04N 5/66 (2006.01)	G09G 3/20	621F
	G02F 1/133	550
		請求項の数 11 (全 19 頁) 最終頁に続く
(21) 出願番号 特願2012-76460(P2012-76460)	(73) 特許権者 00002369	
(22) 出願日 平成24年3月29日(2012.3.29)	セイコーエプソン株式会社	
(65) 公開番号 特開2013-205726(P2013-205726A)	東京都新宿区新宿四丁目1番6号	
(43) 公開日 平成25年10月7日(2013.10.7)	(74) 代理人 100116665	
審査請求日 平成26年10月31日(2014.10.31)	弁理士 渡辺 和昭	
	(74) 代理人 100164633	
	弁理士 西田 圭介	
	(74) 代理人 100179475	
	弁理士 仲井 智至	
	(74) 代理人 100107261	
	弁理士 須澤 修	
	(72) 発明者 西森 喬	
	長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内	
		最終頁に続く

(54) 【発明の名称】表示制御回路、表示制御方法及び電子機器