

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5593435号
(P5593435)

(45) 発行日 平成26年9月24日 (2014.9.24)

(24) 登録日 平成26年8月8日 (2014.8.8)

(51) Int.Cl. F I
GO2F 1/1368 (2006.01) GO2F 1/1368
GO2F 1/1343 (2006.01) GO2F 1/1343

請求項の数 2 (全 16 頁)

<p>(21) 出願番号 特願2013-264758 (P2013-264758) (22) 出願日 平成25年12月23日 (2013.12.23) (62) 分割の表示 特願2013-37167 (P2013-37167) の分割 原出願日 平成11年9月27日 (1999.9.27) (65) 公開番号 特開2014-89464 (P2014-89464A) (43) 公開日 平成26年5月15日 (2014.5.15) 審査請求日 平成26年1月9日 (2014.1.9) 早期審査対象出願</p>	<p>(73) 特許権者 000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地 (72) 発明者 柴田 寛 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 (72) 発明者 磯部 敦生 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 審査官 鈴木 俊光</p>
--	--

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

第1の基板と、
 第2の基板と、
 前記第1の基板と、前記第2の基板との間のスペーサと、
 前記第2の基板側の、カラーフィルタと、
 前記第1の基板上の、半導体層と、
前記半導体層上の、ゲート電極と、
 前記半導体層上の、島状の電極と、
 前記半導体層上の、信号線と、
 前記島状の電極上、及び前記信号線上の、第1の絶縁膜と、
 前記第1の絶縁膜上の、第2の絶縁膜と、
 前記第2の絶縁膜上の、画素電極と、を有し、
 前記半導体層は、
 ソース領域と、
 ドレイン領域と、
 前記ソース領域と、前記ドレイン領域との間のチャネル形成領域とを有し、
前記チャネル形成領域は、第3の絶縁膜を介して、前記ゲート電極と重なり、
前記ソース領域、又は前記ドレイン領域の一方は、前記第3の絶縁膜を介して、容量配線と重なり、

前記容量配線は、走査線方向に隣接する画素間で、電氣的に独立して設けられたものであり、

前記島状の電極は、前記ソース領域、又は前記ドレイン領域の一方と電氣的に接続され、

前記信号線は、前記ソース領域、又は前記ドレイン領域の他方と電氣的に接続され、

前記画素電極は、前記第1の絶縁膜の第1のコンタクトホール、及び前記第2の絶縁膜の第2のコンタクトホールを介して、前記島状の電極と電氣的に接続され、

前記第1のコンタクトホール、及び前記第2のコンタクトホール内には、前記画素電極と、前記画素電極上の配向膜とを有し、

前記島状の電極と、前記信号線とは、同一の導電膜を加工する工程を経て形成されたものであり、

前記ゲート電極と、前記容量配線とは、同一の導電膜を加工する工程を経て形成されたものであることを特徴とする液晶表示装置。

【請求項2】

請求項1において、

前記第2の絶縁膜は、酸化シリコン膜、酸化窒化シリコン膜、又は窒化シリコン膜を上層に有する積層構造を有することを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本願発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に液晶表示装置のスイッチング素子として開発が急がれている。

【0004】

液晶表示装置において、高品位な画像を得るために、画素電極をマトリクス状に配置し、画素電極の各々に接続するスイッチング素子としてTFTを用いたアクティブマトリクス型液晶表示装置が注目を集めている。

【0005】

このアクティブマトリクス型液晶表示装置において、良好な品質の表示を行わせるには、TFTに接続された各画素電極に映像信号の電位を次の書き込み時まで保持できるようにする必要がある。一般的には、画素内に保持容量（Cs）を備えることで映像信号の電位を保持している。

【0006】

上記保持容量（Cs）の構造やその形成法として様々な提案がなされているが、製造工程の簡素さ、また信頼性の観点から、画素を構成する絶縁膜のうち、最も質の高い絶縁膜であるTFTのゲート絶縁膜を保持容量（Cs）の誘電体として利用することが望ましい。従来では、図9に示したように走査線を用いて上部電極となる容量配線を設け、上部電極（容量配線）/誘電体層（ゲート絶縁膜）/下部電極（半導体膜）により保持容量（Cs）を構成することが行われていた。

【0007】

また、表示性能の面から画素には大きな保持容量を持たせるとともに、高開口率化が求

10

20

30

40

50

められている。各画素が高い開口率を持つことによりバックライトの光利用効率が向上し、所定の表示輝度を得るためのバックライト容量が抑制できる結果、表示装置の省電力化および小型化が達成できる。また、各画素が大きな保持容量を備えることにより、各画素の表示データ保持特性が向上して表示品質が向上する。加えて、表示装置を点順次駆動する場合には、各信号線の駆動回路側にも信号保持容量（サンプルホールド容量）が必要になるが各画素が大きな保持容量を備えることで、このサンプルホールド容量の占める面積を縮小でき、表示装置を小型化することができる。

【0008】

こうした要求は、液晶表示装置の高精細化(画素数の増大)・小型化に伴う各表示画素ピッチの微細化を進める上で大きな課題となっている。

10

【0009】

加えて、上述に示した従来の画素構成では高開口率と大きな保持容量の両立が難しいという問題がある。

【発明の概要】

【発明が解決しようとする課題】

【0010】

従来の画素構成を表1のデザインルールに従い $19.2\mu\text{m}$ の画素サイズで実施した従来例を図9に示す。

【0011】

【表1】

20

Si層:min. Size= $0.8\mu\text{m}$, min. Spacing= $1.5\mu\text{m}$
ゲート電極:min. Size= $1.0\mu\text{m}$, min. Spacing= $1.5\mu\text{m}$
走査線:min. Size= $1.5\mu\text{m}$, min. Spacing= $1.5\mu\text{m}$
信号線とSi層とのコンタクトホール:min. Size= $1\mu\text{m}$ □
コンタクトホールとSi層とのmargin= $1.0\mu\text{m}$
コンタクトホールと走査線(ゲート電極)との間隔min. Spacing= $1.3\mu\text{m}$
信号線:min. Size= $1.5\mu\text{m}$, min. Spacing= $1.5\mu\text{m}$
コンタクトホールと信号線とのmargin= $1.3\mu\text{m}$
画素サイズ: $19.2\mu\text{m}$ □
画素TFT:L= $1.5\mu\text{m}$, W= $0.8\mu\text{m}$ 、シングルゲート
走査線:配線幅min. Size= $1.0\mu\text{m}$
走査線:Si層乗り越え部における配線幅min. Size= $1.5\mu\text{m}$
容量配線:min. Size= $2.0\mu\text{m}$

30

【0012】

走査線と容量配線の2本を各々連続的に形成する関係上、配線を2本(走査線と容量配線)平行に配置していることが特徴である。図9において、10は半導体膜、11は走査線、12は信号線、13は電極、14は容量配線である。なお、図9は、画素の上面図を簡略化したものであり、電極13に接続する画素電極及び電極13に達するコンタクトホールは図示していない。

40

【0013】

こうした上部電極(容量配線)/誘電体層(ゲート絶縁膜)/下部電極(半導体膜)による保持容量構成とした場合、画素の回路構成に必要な回路要素(画素TFT, 保持容量, コンタクトホール等)は全てゲート絶縁膜関連のものとなり、これらの要素素子は各画素中にほぼ平面的に配置される。

【0014】

このことから、規定の画素サイズの中で各画素の高開口率と大きな保持容量とを両方得るためには、画素の回路構成に必要な回路要素を効率よくレイアウトすることが不可欠であ

50

る。このことは、回路要素が全てゲート絶縁膜関連のものであることからゲート絶縁膜の利用効率を向上することが不可欠と言い換えることができる。

【0015】

こうした観点から図9の例において画素の回路構成における平面レイアウト効率を表したものが図10である。図10中、21は単体画素領域、22は画素開口領域、23は保持容量領域、24はA領域、25はTFTの一部及びコンタクト領域を示している。

【0016】

図10では画素開口領域22の面積 $216.7\mu\text{m}^2$ （開口率58.8%）に対し、保持容量領域23の面積 $64.2\mu\text{m}^2$ 、TFT部及びコンタクト領域25の面積 $42.2\mu\text{m}^2$ 、A領域24の面積 $34.1\mu\text{m}^2$ で構成されている。

10

【0017】

このA領域24はTFTのゲート電極として働いている領域を相互に接続する配線部及び走査線及び容量配線を平行に配置していることに起因する走査線及び容量配線の分離領域であり、A領域のゲート絶縁膜は本来の機能を与えられておらず、レイアウト効率を低下させる原因となっている。

【0018】

さらに、上記構造の場合、容量配線抵抗に対する要求が厳しくなる問題がある。

【0019】

通常の液晶表示装置駆動では、各走査線に接続されている複数の各画素に走査線方向で連続的に（点順次駆動の場合）、または同時に（線順次駆動の場合）映像信号の電位の書き込みが行われる。

20

【0020】

この際、上記の画素構成では容量配線が走査線に平行に配置されている関係上、各走査線に接続されている複数の画素が共通の容量配線に接続されているため、該当する容量配線には画素書き込み電流に対応する対向電流が複数画素分、連続的にまたは同時に流れることになり、容量配線の電位変動による表示品質の低下を避けるためには容量配線抵抗を十分に下げておく必要がある。

【0021】

しかし、容量配線抵抗の低抵抗化のために線幅を広げることは保持容量の占める面積を拡大する一方、画素の開口率を損なってしまっていた。

30

【0022】

本発明は上述の問題に設計側から解決策を与えるものであり、高い開口率を得ながら十分な保持容量（Cs）を確保し、また同時に容量配線の負荷（画素書き込み電流）を時間的に分散させて実効的に低減する事により、高い表示品質をもつ液晶表示装置を提供するものである。

【課題を解決するための手段】

【0023】

本明細書で開示する発明の構成は、絶縁表面上に半導体膜と、前記半導体膜上に第1絶縁膜（ゲート絶縁膜）と、前記第1絶縁膜上にゲート電極及び第1配線（容量配線）と、前記ゲート電極及び前記第1配線上に第2絶縁膜と、前記第2絶縁膜上に前記ゲート電極と接続する第2配線（走査線）と、前記第2配線上に第3絶縁膜とを有した半導体装置であり、前記第2絶縁膜を介して前記第1配線と前記第2配線とが重なっていることを特徴とし、前記第2絶縁膜を介して前記第1配線と前記第2配線とが重なっている領域には、前記第2の絶縁膜を誘電体とする保持容量が形成される。

40

【0024】

また、他の発明の構成は、絶縁表面上に半導体膜と、前記半導体膜上に第1絶縁膜（ゲート絶縁膜）と、前記第1絶縁膜上にゲート電極及び第1配線（容量配線）と、前記ゲート電極及び前記第1配線上に第2絶縁膜と、前記第2絶縁膜上に前記ゲート電極と接続する第2配線（走査線）と、前記第2配線上に第3絶縁膜とを有した半導体装置であり、前記第1絶縁膜を介して前記第1配線と前記半導体膜とが重なっていることを特徴とし、前

50

記第1絶縁膜を介して前記第1配線と前記半導体膜とが重なっている領域には、前記第1の絶縁膜を誘電体とする保持容量が形成される。

【0025】

また、上記構成においても前記第2絶縁膜を介して前記第1配線と前記第2配線とが重なっており、前記第2絶縁膜を介して前記第1配線と前記第2配線とが重なっている領域には、前記第2の絶縁膜を誘電体とする保持容量が形成される。

【0026】

また、上記各構成において、前記半導体膜のうち、前記第1絶縁膜を介して前記第1配線と重なる領域には、導電性を付与する不純物元素が添加されている。

【0027】

また、上記各構成において、前記第1配線は、前記第2配線とは直交する方向に配置されていることを特徴としている。

【0028】

また、上記各構成において、前記第3絶縁膜上に前記半導体膜と接する第3配線（信号線）が設けられていることを特徴とし、前記半導体膜のうち、前記第3配線と接する領域は、ソース領域またはドレイン領域である。

【0029】

また、上記各構成において、前記半導体膜と電氣的に接続する画素電極が設けられている。

【0030】

また、上記各構成において、前記第1配線は、前記第3配線と平行な方向に配置されている。

【0031】

また、上記各構成において、前記ゲート電極は、前記走査線と異なる層に形成されている。

【0032】

また、上記各構成において、前記ゲート電極は、島状にパターンニングされている。

【0033】

また、上記構成を実現するための発明の構成は、基板上に島状の半導体膜を形成し、前記島状の半導体膜上に第1絶縁膜（ゲート絶縁膜）を形成し、島状のゲート電極及び容量配線を形成し、前記ゲート電極及び容量配線を覆う第2絶縁膜を形成し、前記第2絶縁膜に選択的なエッチングを施して、前記ゲート電極に達する第1コンタクトホールを形成し、前記第2絶縁膜上に前記ゲート電極と接する走査線を形成し、前記走査線上に第3絶縁膜を形成し、前記第3絶縁膜に選択的なエッチングを施して、前記半導体膜に達する第2コンタクトホールを形成し、前記半導体膜と電氣的に接続する信号線を形成することを特徴とする半導体装置の作製方法である。

【0034】

上記構成において、前記半導体膜上に第1絶縁膜を形成した後、前記走査線と重なる前記第2絶縁膜を部分的に薄くすることが好ましい。

【発明の効果】

【0035】

本発明により、従来では走査線内の配線領域及び走査線・容量配線分離領域として使われていた領域（図10中のA領域に相当する）を保持容量として使うことができること、また各走査線に接続されている複数の画素が各々独立した容量配線を持つ構成になることにより各画素は隣接画素と連続的、又は同時に信号書き込みが行われる場合にも隣接画素の書き込み電流の影響を受けず、さらに各容量配線は電流負荷が時間的に分散される事から実効負荷が低減、容量配線抵抗への要求が緩和される。

【0036】

従って、本発明を用いた液晶表示装置によれば、高い開口率と各画素内に十分な表示信号電位保持容量を併せ持つ液晶表示素子が得られ、装置の小型化、省電力化を達成しながら

10

20

30

40

50

良好な表示画像を得る事ができる。

【図面の簡単な説明】

【0037】

【図1】アクティブマトリクス型液晶表示装置の断面構造図を示す図。

【図2】TFT基板の回路を示す図。

【図3】画素上面図及び画素開口領域を示す図。

【図4】画素断面図を示す図。

【図5】画素上面図及び断面図を示す図。(実施例2)

【図6】AM-LCDの外観を示す図。

【図7】電子機器の一例を示す図。

【図8】電子機器の一例を示す図。

【図9】従来画素上面図。

【図10】従来画素開口領域を示す図。

【発明を実施するための形態】

【0038】

本願発明の実施形態について、以下に説明する。

【0039】

本発明は、開口率を向上させるとともに保持容量の増大を図るため、ゲート電極と異なる層に走査線を形成し、その走査線を上部電極として保持容量を形成することを特徴としている。

【0040】

本明細書中において、ゲート電極は、島状にパターンニングされており、第2絶縁膜に形成されたコンタクトホールを通じて第2絶縁膜上の走査線と接続している。

【0041】

本発明において、保持容量は、下部電極を半導体膜とし、誘電体を第1絶縁膜(ゲート絶縁膜)とし、上部電極を容量配線とした構成となっている。第1絶縁膜を介して容量配線と重なる領域は、ソース領域やドレイン領域と同様にして低抵抗化することが望ましい。また、容量配線と接して重なる第1絶縁膜の一部を薄膜化して保持容量の増大を図るとよい。

【0042】

また、本発明において、図1に示したようにゲート電極104の上層に走査線107を形成し、ゲート電極上に接する第2絶縁膜106を誘電体として容量を形成する。この容量は、下部電極を容量配線105とし、誘電体を第2絶縁膜106とし、上部電極を走査線107とした構成となっている。

【0043】

また、本発明は従来(容量配線が走査線と平行)と異なり、図3(a)に示したように容量配線105が信号線109、111と平行になるよう配置されている。従って、駆動方式から各走査線に対応する画素には連続的に映像信号の書き込みが行われるが、この際該当する各画素はそれぞれ独立した容量配線に(容量的に)接続されているため隣接画素の書き込み電流による容量配線電位の変動を回避でき、良好な表示画像を得る事ができる。

【0044】

また、同じ理由により容量配線抵抗への要求性能が緩和されるため容量配線の配置やサイズ、膜厚の設計自由度が増し、また容量配線材料の選択の幅が広がることにより設計上の難度及び製造上の難度が下がり、より高い製造歩留まりを得ることに繋がる。

【0045】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【実施例1】

【0046】

10

20

30

40

50

以下、本発明の実施例を投写型の点順次駆動の液晶表示装置を一例にとり図1を用いて説明する。

【0047】

TFTをスイッチング素子として用いるアクティブマトリクス型液晶表示装置は、画素電極がマトリクス状に配置された基板(TFT基板)と、対向電極が形成された対向基板とを液晶層を介して対向配置した構造となっている。両基板間はスペーサ等を介して所定の間隔に制御され、表示領域の外周部にシール材を用いることで液晶層を封入している。

【0048】

図1は、本実施例の液晶表示装置の概略を示す断面構造図である。図1において、101は基板(TFT基板)、102は半導体膜、103はゲート絶縁膜(第1絶縁膜)、104はゲート電極、105は容量配線、106は第2絶縁膜、107は走査線、108は第3絶縁膜、109、111は信号線から分岐された電極及び信号線、110は画素電極に接続する電極である。

10

【0049】

なお、本明細書中において「電極」とは、「配線」の一部であり、他の配線との電気的接続を行う箇所、または半導体層と交差する箇所を指す。従って、説明の便宜上、「配線」と「電極」とを使い分けるが、「電極」という文言に「配線」は常に含まれているものとする。

【0050】

なお、本明細書中では、TFT(スイッチング素子)を、102~110で示した部分と定義している。また、109及び110においては、配線から分岐された電極であっても、配線であってもよい。

20

【0051】

また、112はTFTを覆う第4絶縁膜、113はTFTの光劣化を防ぐ遮光膜、114は第5絶縁膜、115は、TFTと接続された画素電極、116は液晶層117を配向させる配向膜である。

【0052】

また、図1においては、対向基板120に、対向電極119と、配向膜118とを設けたが、必要に応じて遮光膜やカラーフィルタを設けてもよい。

【0053】

この基板(TFT基板)101は、図2に示されるように表示領域201と、その周辺に形成される走査線駆動回路202、信号線駆動回路203を備えている。

30

【0054】

走査線駆動回路202は、走査信号を順次転送するシフトレジスタによって主に構成されている。また、信号線駆動回路203は、シフトレジスタとシフトレジスタ出力に基づいて入力される映像信号をサンプリングした後、保持し信号線を駆動するサンプルホールド回路により主に構成されている。

【0055】

表示領域201には走査線駆動回路202に接続され互いに平行に所定の間隔で配置された複数の走査線(ゲート配線)207と、信号線駆動回路203に接続され互いに平行に所定の間隔で配置された複数の信号線208とが交差して配置されており、その交差するそれぞれの位置にTFTを配置するとともに、走査線と信号線とで区画される各領域に画素電極が配置されている。この構成から各画素電極はマトリクス状の配置となる。また、GND(接地)または固定電位に接続された複数の容量配線209が、信号線208と平行に設けられている。なお、図2においては、簡略化のため信号線、走査線、及び容量配線を数本しか図示していない。

40

【0056】

以下、図1に示した半導体装置の作製工程を簡略に示す。なお、説明には図3(a)、図3(b)、及び図4も用いる。

【0057】

50

まず、基板101にはガラス基板の他に、石英基板、プラスチック基板を用いることができる。ガラス基板を用いる場合には、ガラス歪み点よりも10~20程度低い温度であらかじめ熱処理しておいても良い。また、基板101のTFTを形成する表面に、基板101からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜を形成するとよい。

【0058】

次に、25~80nm(好ましくは30~60nm)の厚さの半導体膜をプラズマCVD法やスパッタ法等の公知の方法で形成し、所望の形状にパターニングされた半導体膜103を形成する。本実施例では、プラズマCVD法で非晶質シリコン膜を50nm程度の厚さに成膜し、公知の方法により結晶化の工程を行って結晶質シリコン膜(poly-Si)を形成した後、島状にパターニングを施した。本実施例では、結晶質シリコン膜(poly-Si)を用いたが、半導体膜であれば特に限定されない。

10

【0059】

なお、本明細書中において、「半導体膜」とは、単結晶半導体膜、結晶質半導体膜(poly-Si等)、非晶質半導体膜(a-Si等)、または微結晶半導体膜を指しており、さらにシリコンゲルマニウム膜などの化合物半導体膜をも含まれている。

【0060】

次いで、プラズマCVD法、またはスパッタ法等で形成されるシリコンを含む絶縁膜、又は半導体膜(Si膜等)の熱酸化で形成される酸化膜を用いて第1絶縁膜(ゲート絶縁膜)103を形成する。この第1絶縁膜103は、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。

20

【0061】

次いで、第1絶縁膜103上に導電膜を形成し、パターニングを施すことによりゲート電極104及び容量配線105を形成する。ゲート電極104及び容量配線105は、導電性を付与する不純物元素がドーパされたpoly-Siや WSi_x ($X=2.0\sim 2.8$)、Al、Ta、W、Cr、Mo等の導電性材料及びその積層構造により300nm程度の膜厚で形成される。また、ゲート電極104及び容量配線105は単層で形成しても良いが、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。

【0062】

次いで、各島状の半導体膜104を用いて映像信号書き込みスイッチの機能を得るTFTを構成するため、半導体膜104に選択的にn型またはp型を付与する不純物元素(リンまたはボロン等)を公知の技術(イオンドープ法、イオン注入法等)を用いて添加して、低抵抗のソース領域及びドレイン領域と、低抵抗領域を形成する。この低抵抗領域はドレイン領域と同様に不純物元素(代表的にはリンまたはボロン)を添加して低抵抗化されている半導体膜の一部である。なお、選択的に不純物元素を添加する工程順序は特に限定されず、例えば、第1絶縁膜形成前、ゲート電極形成前、またはゲート電極形成後であればよい。加えて、LDD領域やオフセット領域を回路に応じて形成する構成としてもよい。なお、簡略化のために、各領域の図示は行っていない。

30

【0063】

こうして、ソース領域とドレイン領域とに挟まれたチャネル形成領域が形成される。各画素のチャネル形成領域上には第1絶縁膜102を介してゲート電極104が島状に配置される。低抵抗領域上には容量配線がそれぞれ配置されている。また、容量配線は信号線方向に各画素連続的に配置されており、表示領域外で電氣的に接地、または固定電位に接続されている。また、本実施例においては、容量の増加を図るため、容量配線を形成する前に容量配線と接する第1絶縁膜102の一部を薄膜化した。

40

【0064】

次いで、ゲート電極及び容量配線を覆う第2絶縁膜106を形成する。この第2絶縁膜106は、プラズマCVD法、またはスパッタ法等で形成されるシリコンを含む絶縁膜を用いる。また、この第2絶縁膜106は、酸化シリコン膜、酸化窒化シリコン膜、窒化シ

50

リコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。

【0065】

次いで、第2絶縁膜106に選択的なエッチングを施して島状のゲート電極に達する第1コンタクトホールを形成する。

【0066】

次いで、第2絶縁膜106上に導電膜を形成し、パターニングを施すことにより走査線107を形成する。この走査線107は、第2絶縁膜106に形成された第1コンタクトホールを通じて各島状のゲート電極と接続され、チャネル形成領域の周辺を遮光するように配置する。走査線107は、 WSi_x 、 W 、 Cr 、 Al 等の遮光性を持つ導電性材料膜、又は $WSi_x/poly-Si$ の積層膜を用いて100nm程度の膜厚で形成する。また、走査線107は走査線駆動回路に接続される。

10

【0067】

次いで、走査線を覆う第3絶縁膜108を形成する。この第3絶縁膜108は、有機絶縁物材料膜、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。

【0068】

次いで、第1絶縁膜103、第2絶縁膜106、及び第3絶縁膜108に選択的なエッチングを施して半導体膜(ソース領域、またはドレイン領域)に達する第2コンタクトホールを形成する。

【0069】

次いで、第3絶縁膜108上に Al 、 W 、 Ti 、 TiN を主成分とする膜、またはそれらの積層構造を有する導電膜(膜厚:500 μm)を形成し、パターニングを施すことにより信号線109、111と、後に形成される画素電極と接続するための島状の電極110を形成する。信号線109は、半導体膜に達する第2コンタクトホールを通じてソース領域あるいはドレイン領域と接続する。同様に島状の電極110は、半導体膜に達する第2コンタクトホールを通じてソース領域あるいはドレイン領域と接続する。また、島状の電極110は、信号線109、111と隔離して配置される。ただし、信号線と島状の電極とがどちらもソース領域に接続されることはない。同様に、信号線と島状の電極とがどちらもドレイン領域に接続されることはない。

20

【0070】

この段階での画素上面図が図3(a)に相当し、図3(a)中のA-A'点線に沿って切断した概略断面構造図が図4(a)に相当し、図3(a)中のB-B'点線に沿って切断した概略断面構造図が図4(b)に相当する。各図の同一の部位においては同じ符号を用いている。

30

【0071】

次いで、信号線及び島状の電極を覆う第4絶縁膜112を形成する。この第4絶縁膜112は、有機絶縁物材料膜、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。

【0072】

次いで、第4絶縁膜112上に Ti 、 Al 、 W 、 Cr 、または黒色樹脂等の高い遮光性を持つ膜を所望の形状にパターニングして遮光膜113を形成する。この遮光膜113は画素の開口部以外を遮光するように網目状に配置される。

40

【0073】

本実施例において、遮光膜113は電氣的にフローティングとなるが遮光膜材料に低抵抗膜を選んだ場合、表示部の外側で遮光膜を任意の電位に制御する事も可能である。

【0074】

次いで、遮光膜113上に第5絶縁膜114を形成する。この第5絶縁膜114は、有機絶縁物材料膜で形成すれば良い。なお、第5絶縁膜114を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減することができる。しかし、吸湿性があり保護膜としては適さない

50

ので、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせた積層構造としても良い。

【0075】

次いで、第4絶縁膜112及び第5絶縁膜114に選択的なエッチングを行ない、島状の電極110に達する第3コンタクトホールを形成する。

【0076】

次いで、ITO等の透明導電体膜を形成し、パターニングを施すことにより画素電極115を形成する。画素電極115は、島状の電極110に達する第3コンタクトホールを通じて島状の電極110と接続する。各画素電極はそれぞれ独立に且つ画素開口部を覆うように配置される。

10

【0077】

以上のような作製工程を用い、さらに従来とほぼ同じ表1のデザインルール及び画素サイズに従い、図3(b)に示したように配線、半導体膜、コンタクトホール等を配置することによって、 $226.8\mu\text{m}^2$ の画素開口領域300の面積(開口率61.5%)と保持容量領域301a、301bの面積 $83.4\mu\text{m}^2$ が得られた。なお、図3(b)には、画素電極との第3コンタクトホール303の配置を示した。

【0078】

TFT部及びコンタクト領域302の面積は従来例ともほとんど同じであり、従来、走査線/信号線分離領域及びTFTのゲート接続配線領域として無駄に使われていた面積(A領域)が本構成では画素開口部と保持容量部に転換された事が分かる。

20

【0079】

このように限られた画素領域を効率よく利用することにより高い開口率と大きな保持容量面積が両立できた。

【0080】

また、本構成によれば、駆動方式から各走査線に対応する画素には連続的に映像信号の書き込みが行われるが、この際該当する各画素はそれぞれ独立した容量配線に(容量的に)接続されているため隣接画素の書き込み電流による容量配線電位の変動を回避でき、良好な表示画像を得る事ができる。

【0081】

また、同じ理由により容量配線抵抗への要求性能が緩和されるため容量配線の配置やサイズ、膜厚の設計自由度が増し、また容量配線材料の選択の幅が広がることにより設計/製造上の難度が下がり、より高い製造歩留まりを得ることに繋がる。

30

【0082】

また、本実施例では便宜上、遮光膜を備えた構成としたが、走査線に高い遮光性を持つ材料を適用することで本来遮光すべき画素開口部以外の領域及び島状Si膜のチャンネル形成領域周辺部を走査線と信号線で完全に遮光するようレイアウトできることから、上部遮光膜を備えない構成として製造工程を簡略化することもできる。

【実施例2】

【0083】

本実施例は、上述の実施例1の構成において第1絶縁膜上に形成される走査線の形成工程と同時に各画素に島状の電極(第2電極)を走査線と分離された配置で追加形成したものである。図5(a)に本実施例の画素上面図を示し、図5(a)中のC-C'点線での断面図を図5(b)に示した。なお、実施例1とは、第2電極の有無が異なるだけであるので同じ部位には同じ符号を使っている。

40

【0084】

図5(a)及び図5(b)に示すように、この第2電極501は第1絶縁膜に開口されたコンタクトホールを介して島状Si膜102に形成されたソース領域に電氣的に接続する。また、第2電極501が容量配線と重なるように配置されている。

【0085】

こうした構成とすることで、上部電極を第2電極501とし、誘電体を第1絶縁膜とし

50

、下部電極を容量配線とすることで第2の保持容量を形成でき、より映像信号保持特性を向上できる。また、表示装置の小型化を進めることもできる。

【0086】

また、本実施例において形成した第2電極501と容量配線とが重なる領域は、平面上では第1の容量電極領域に重なっており、また島状Siへのコンタクトホール領域は画素電極線とソース領域を接続するコンタクトホール領域に平面上重なるように配置することができるため、開口率を損なうことはない。

【0087】

こうした構成により本実施例では実施例1と同じ $226.8\mu\text{m}^2$ の画素開口部(開口率61.5%)と第1保持容量面積 $83.4\mu\text{m}^2$ に加えて第2の保持容量面積 $45.0\mu\text{m}^2$ を得ている。

10

【実施例3】

【0088】

本実施例では、実施例1に示したアクティブマトリクス型液晶表示装置の構成を図6の斜視図を用いて説明する。なお、実施例1と対応する部分は、同じ符号を用いている。

【0089】

図6においてアクティブマトリクス基板は、基板101上に形成された、画素部801と、走査線駆動回路802と、信号線駆動回路803とその他の信号処理回路とで構成される。画素部には画素電極115と接続する画素TF T800と第1の保持容量200及び第2の保持容量201が設けられ、画素部の周辺に設けられる駆動回路はCMOS回路

20

【0090】

また、容量線は信号線と平行な方向に設けられ、第1の保持容量200の上部電極、または第2の保持容量201の下部電極として機能している。また、容量線は接地または固定電位に接続する。

【0091】

走査線駆動回路802と信号線駆動回路803からは、それぞれ走査線107と信号線109が画素部に延在し、画素TF T800に接続している。また、フレキシブルプリント配線板(Flexible Printed Circuit: FPC)804が外部入力端子805に接続して画像信号などを入力するのに用いる。FPC804は補強樹脂によって強固に接着されている。そして接続配線806、807でそれぞれの駆動回路に接続している。また、対向基板808には図示していないが、遮光膜や透明電極が設けられている。

30

【0092】

また、本実施例は実施例2と組み合わせることができる。

【実施例4】

【0093】

本願発明を実施して形成されたCMOS回路や画素マトリクス回路は様々な電気光学装置(アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ELディスプレイ、アクティブマトリクス型ECディスプレイ)を表示部として用いた電子機器に適用することができる。

40

【0094】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター(リア型またはフロント型)、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図7及び図8に示す。

【0095】

図7(A)はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004で構成される。本願発明を画像入力部2002、表示部2003やその他の信号制御回路に適用することができる。

【0096】

50

図7(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示部2102、音声入力部2103やその他の信号制御回路に適用することができる。

【0097】

図7(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205で構成される。本願発明は表示部2205やその他の信号制御回路に適用できる。

【0098】

図7(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303で構成される。本発明は表示部2302やその他の信号制御回路に適用することができる。

【0099】

図7(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405で構成される。なお、この装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402やその他の信号制御回路に適用することができる。

【0100】

図7(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)で構成される。本願発明を表示部2502やその他の信号制御回路に適用することができる。

【0101】

図8(A)はフロント型プロジェクターであり、投射装置2601、スクリーン2602で構成される。本発明は投射装置やその他の信号制御回路に適用することができる。

【0102】

図8(B)はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704で構成される。本発明は投射装置内部に設けられた液晶表示装置やその他の信号制御回路に適用することができる。

【0103】

なお、図8(C)は、図8(A)及び図8(B)中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804~2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図8(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0104】

また、図8(D)は、図8(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図8(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0105】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~3のどのような組み合わせからなる構成を用いても実現することができる。

10

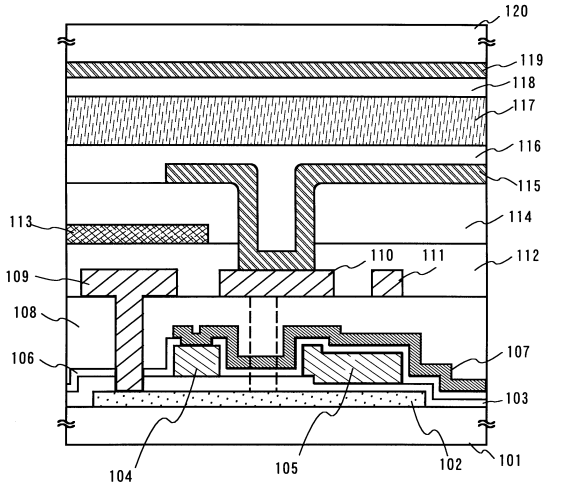
20

30

40

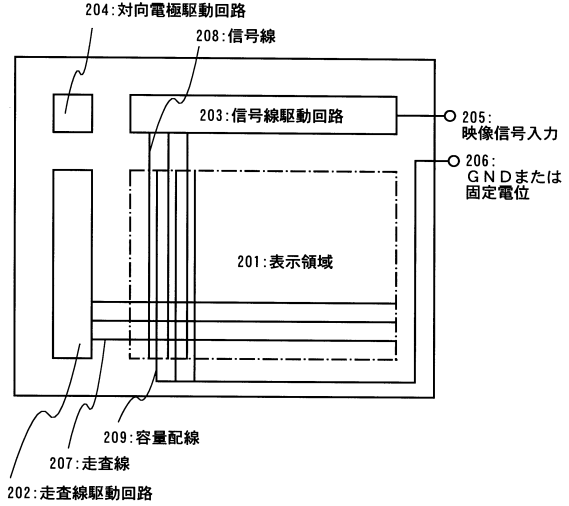
50

【図1】

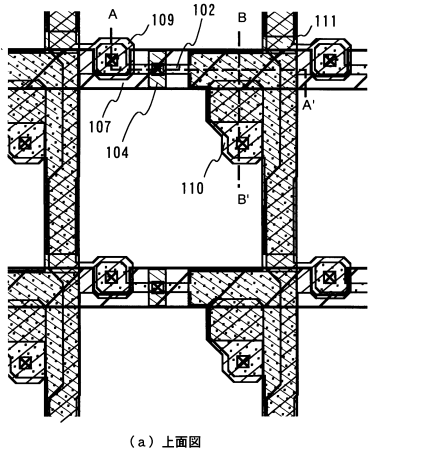


101:基板 102:半導体膜 103:第1絶縁膜(ゲート絶縁膜) 104:ゲート電極(島状配置)
 105:容量配線 106:第2絶縁膜 107:走査線
 108:第3絶縁膜 109、111:信号線 110:電極 112:第4絶縁膜
 113:透光膜 114:第5絶縁膜 115:画素電極 116:配向膜
 117:液晶層 118:配向膜 119:対向電極 120:対向基板

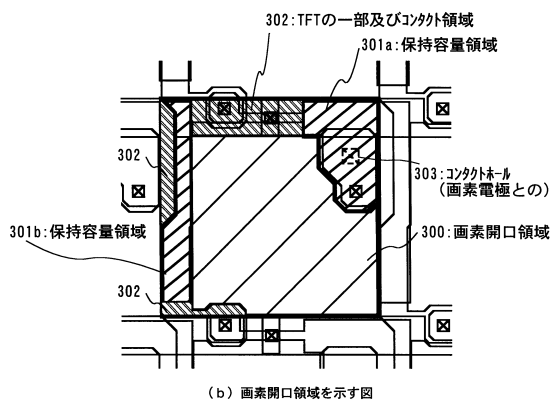
【図2】



【図3】

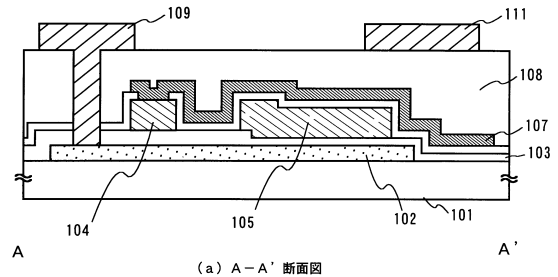


(a) 上面図

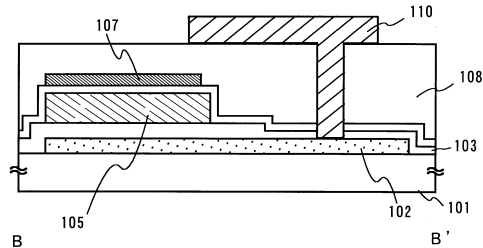


(b) 画素開口領域を示す図

【図4】

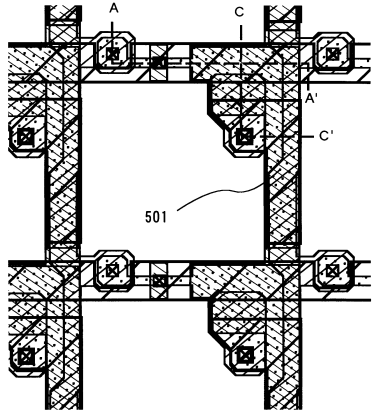


(a) A-A' 断面図

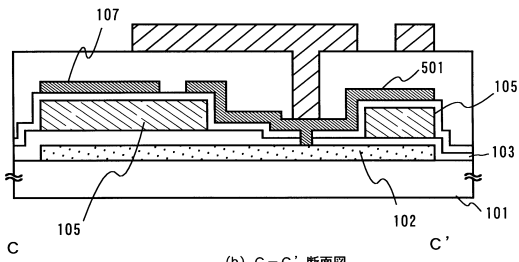


(b) B-B' 断面図

【図5】

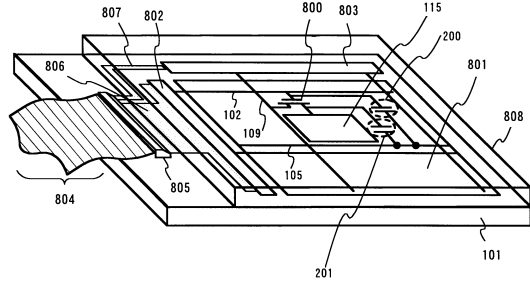


(a) 画面上面図

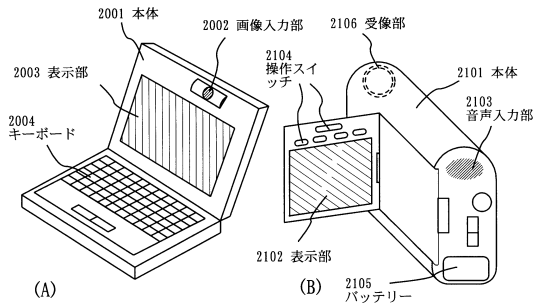


(b) C-C' 断面図

【図6】

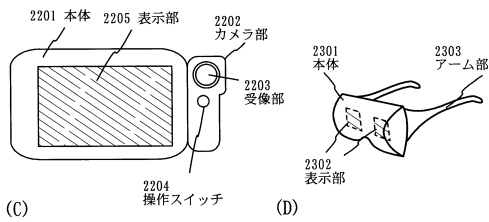


【図7】



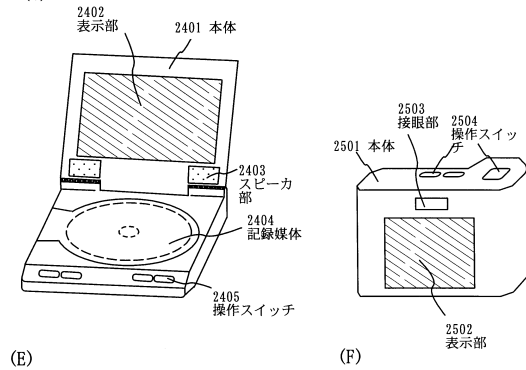
(A)

(B)



(C)

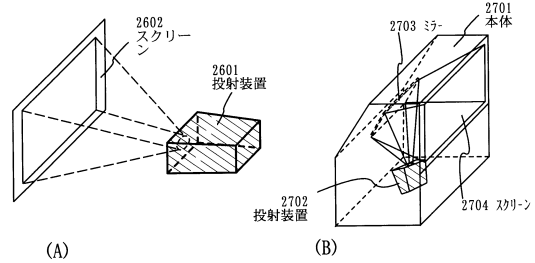
(D)



(E)

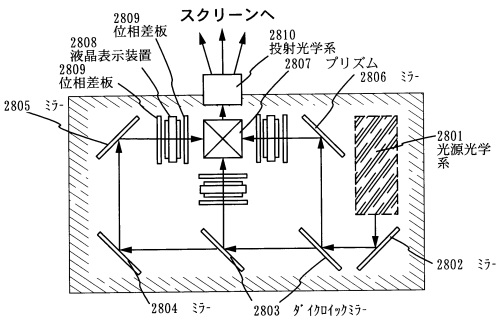
(F)

【図8】

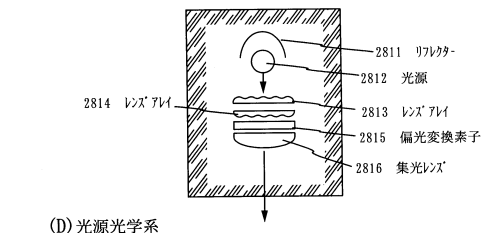


(A)

(B)

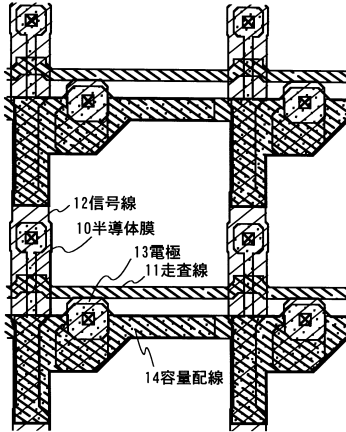


(C) 投射装置 (三板式)

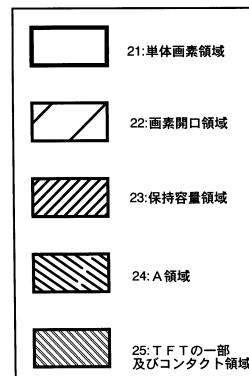
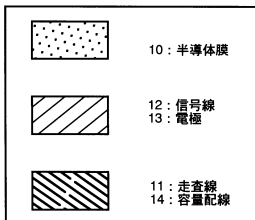
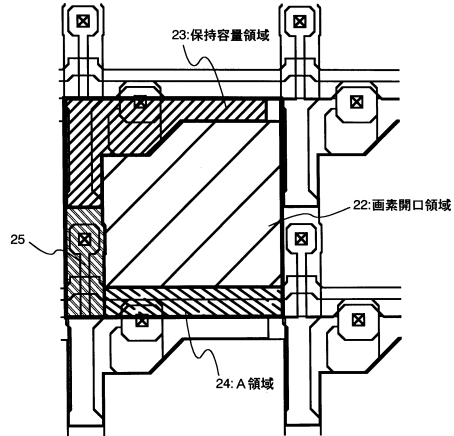


(D) 光源光学系

【図9】



【図10】



フロントページの続き

- (56)参考文献 特開平04 - 291240 (JP, A)
特開平10 - 161099 (JP, A)
特開平11 - 218781 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368
G02F 1/1343

专利名称(译)	液晶表示装置		
公开(公告)号	JP5593435B2	公开(公告)日	2014-09-24
申请号	JP2013264758	申请日	2013-12-23
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	柴田寛 磯部敦生		
发明人	柴田 寛 磯部 敦生		
IPC分类号	G02F1/1368 G02F1/1343		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H192/AA24 2H192/BC31 2H192/CB02 2H192/CC07 2H192/CC33 2H192/CC73 2H192/DA15 2H192/DA43 2H192/FB02 2H192/JB02		
审查员(译)	铃木俊光		
其他公开文献	JP2014089464A		
外部链接	Espacenet		

摘要(译)

一种具有新结构的显示装置。岛状电极，其可以电连接到像素电极和信号线，岛状电极电连接到晶体管的源区和漏区之一，信号线电连接到晶体管的源区和漏区中的另一个，并且岛形电极通过与蚀刻信号线的步骤相同的步骤形成。点域1

【图 2】

