

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-92011

(P2018-92011A)

(43) 公開日 平成30年6月14日(2018.6.14)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H192
G02F 1/1368 (2006.01)	G02F 1/1368	2H193
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G09G 3/20 611E	5C080
	G09G 3/20 611J	
審査請求 未請求 請求項の数 8 O L (全 12 頁) 最終頁に続く		

(21) 出願番号 特願2016-235559 (P2016-235559)
 (22) 出願日 平成28年12月5日 (2016.12.5)

(71) 出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 安田 尚平
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 Fターム(参考) 2H192 AA24 CB05 CC04 DA12 DA73
 GD61
 2H193 ZA04 ZA07 ZB02 ZB14 ZB18

最終頁に続く

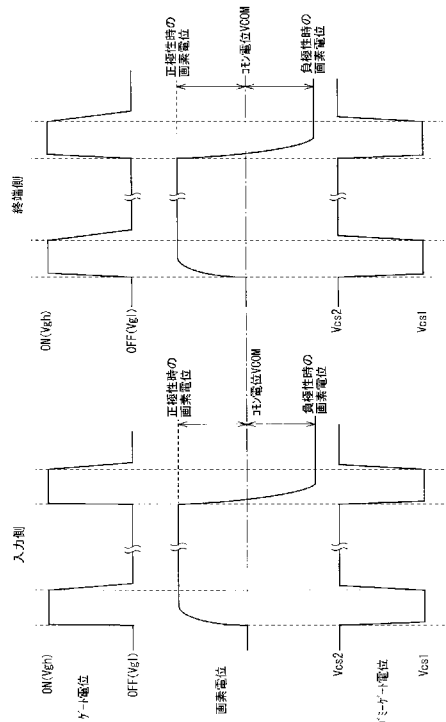
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】フィードスルーの発生を抑制可能であり、かつフィードスルーの分布を縮小可能な技術を提供することを目的とする。

【解決手段】液晶表示装置は、画素電極と、半導体スイッチング素子と、配線とを備える。半導体スイッチング素子は、ゲート電位に基づいてオンされた場合に、画素電極の電位を変更可能である。配線は、画素電極との間に静電容量を有する。液晶表示装置は、ゲート電位が変動するタイミングに合わせて、ゲート電位の変動と逆側に配線の電位を変動させる。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

画素電極と、
ゲート電位に基づいてオンされた場合に、前記画素電極の電位を変更可能な半導体スイッチング素子と、
前記画素電極との間に静電容量を有する配線と
を備え、
前記ゲート電位が変動するタイミングに合わせて、前記ゲート電位の変動と逆側に前記配線の電位を変動させる、液晶表示装置。

【請求項 2】

請求項 1 に記載の液晶表示装置であって、
前記ゲート電位が変動していないとき、前記配線の電位は一定である、液晶表示装置。

【請求項 3】

請求項 1 または請求項 2 に記載の液晶表示装置であって、
前記ゲート電位が低下するタイミングに合わせて前記配線の電位を上昇させる、液晶表示装置。

【請求項 4】

請求項 3 に記載の液晶表示装置であって、
前記画素電極は、前記半導体スイッチング素子のドレイン電極と接続され、
前記半導体スイッチング素子のオン電圧に対応する前記ゲート電位を V_{gh} 、前記半導体スイッチング素子のオフ電圧に対応する前記ゲート電位を V_{gl} 、前記ゲート電位が低下するタイミングに合わせて上昇される前の前記配線の電位を V_{cs1} 、前記ゲート電位が低下するタイミングに合わせて上昇された後の前記配線の電位を V_{cs2} 、前記半導体スイッチング素子のゲート配線と前記ドレイン電極との間の静電容量を C_{gd} 、前記画素電極と前記配線との間の静電容量を C_s とした場合に、 $(V_{cs2} - V_{cs1}) \times C_s$ が、 $(V_{gh} - V_{gl}) \times C_{gd}$ から予め定められた範囲内の値である、液晶表示装置。

【請求項 5】

請求項 3 または請求項 4 に記載の液晶表示装置であって、
前記ゲート電位が上昇するタイミングの前または後に、前記配線の電位を低下させる、液晶表示装置。

【請求項 6】

請求項 1 から請求項 5 のうちのいずれか 1 項に記載の液晶表示装置であって、
複数の前記配線が、複数の前記半導体スイッチング素子に対応して設けられ、
各前記配線の電位を、対応する前記半導体スイッチング素子の前記ゲート電位が変動するタイミングに合わせて変動させる、液晶表示装置。

【請求項 7】

請求項 1 から請求項 5 のうちのいずれか 1 項に記載の液晶表示装置であって、
一の前記配線が、複数の前記半導体スイッチング素子に共通に設けられ、
前記一の前記配線の電位を、前記複数の半導体スイッチング素子のそれぞれの前記ゲート電位が変動するタイミングに合わせて変動させる、液晶表示装置。

【請求項 8】

請求項 1 から請求項 7 のうちのいずれか 1 項に記載の液晶表示装置であって、
前記半導体スイッチング素子を駆動する IC 内部、または、前記半導体スイッチング素子が配設された基板上に配設され、前記配線の電位を制御する制御回路をさらに備える、液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素電極を備える液晶表示装置に関する。

【背景技術】

10

20

30

40

50

【 0 0 0 2 】

液晶表示装置の高解像度化が望まれている。しかしながら、高解像度化によるライン数の増加に伴い、1ライン当たりの選択期間、つまり画素の充電時間が短くなってきた。この結果、画素の充電が十分に行うことができない場合がある。そこで、液晶表示装置の基板に設けられる薄膜トランジスタ（以下「TFT」と記すこともある）のサイズを大きくすることによって、充電能力を強化することが提案されている。なお、TFTのサイズの大形化は、画素電極とゲート信号線との間のTFT内の寄生容量（ C_{gd} ）を増加させることになる。

【 0 0 0 3 】

ところで、一般的な液晶表示装置では、画素電極とコモン電極との間の電界により液晶配向を制御して、液晶パネルを透過する光を制御する。液晶に対して直流電流が流れる構成では、ヤキツキが生じやすくなることから、コモン電位に対して画素電位が交流状態になるように、つまりコモン電位に対する画素の極性が時間的に交互に切り替えられるように、ソース電位を交流駆動する構成が提案されている。

10

【 0 0 0 4 】

このように交流駆動する構成において、画素電位が比較的高い状態にある正極性時と、画素電位が比較的低い状態にある負極性時との間で、コモン電位と画素電位との電位差が異なると、正極性時の輝度と負極性時の輝度とが異なるフリッカーが発生する。また、このように電位差が異なる場合には、直流電流成分が残るため、ヤキツキが発生しやすくなる。以上のことから、コモン電位VCOM値は、正極性時の画素電位と負極性時の画素電位との中間となるように設定される必要がある。

20

【 0 0 0 5 】

図1は、交流駆動する構成における画素電位を示す図である。ゲート電位がオフ電位からオン電位に切り替えられると、画素電位はソース電位まで充電される。その後、ゲート電位がオン電位からオフ電位になるように低下し始めると、当該ゲート電位の低下と上述の寄生容量 C_{gd} とに起因して、画素電位を減少させるように変動させるフィードスルーが生じる。なお、フィードスルー量は、寄生容量 C_{gd} が大きいほど大きくなり、この寄生容量 C_{gd} は、上述したように充電時間を短くする観点から増加する傾向にある。

【 0 0 0 6 】

フィードスルーが発生した後、ゲート電位がオフ電位になるまでの間は、画素電位は、再充電され、フィードスルーによって減少した電位から、ソース電位に近づけられる。この結果、ゲート電位がオフ状態であるときの画素電位は、フィードスルー発生直後の電位から再充電の電位だけ加えた電位となる。

30

【 0 0 0 7 】

ここで、コモン電位VCOMは、上述したように、ゲート電位がオフ状態時の正極性画素電位と負極性画素電位の中間となるように設定される必要がある。しかしながら、このコモン電位VCOMは、表示面内ではばらつく、つまり分布をもつ場合がある。コモン電位VCOMの分布が発生する原因の一つとして、ゲート信号の遅延がある。

【 0 0 0 8 】

具体的には、表示領域のゲート信号の入力側ではゲート信号の遅延は小さいので、ゲート電位がオン状態からオフ状態に遷移する期間、ひいては再充電の期間が比較的短い。このため、図2に示すように、遅延が小さい入力側の画素電位は、フィードスルー発生直後の電位に近くなる。一方、表示領域のゲート信号の出力側ではゲート信号の遅延は大きいので、ゲート電位がオン状態からオフ状態に遷移する期間、ひいては再充電の期間が比較的長い。このため、図2に示すように、遅延が大きい終端側の画素電位は、画素電位はソース電位に近くなる。以上の結果、表示面内でコモン電位VCOM同士の間差（ V_{COM} ）が生じ、コモン電位VCOMに分布が生じる。これに対して、特許文献1及び2には、コモン電位VCOMを補正するための技術が開示されている。

40

【 先行技術文献 】

【 特許文献 】

50

【 0 0 0 9 】

【 特許文献 1 】 特開平 9 - 1 7 9 0 9 7 号公報

【 特許文献 2 】 特開平 2 - 1 5 7 8 1 5 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 0 】

特許文献 1 の技術では、画素電極と次段ゲート配線との間で静電容量を形成し、自段ゲート配線のオフ時のタイミングに合わせて次段ゲート配線にオン電圧を与える。しかしながら、この技術では、ゲートスキャン方向が一定方向 (G_{n-1} G_n G_{n+1}) であるスキャンにしか対応できず、逆方向 (G_{n+1} G_n G_{n-1}) のスキャンには対応できないという新たな問題が生じる。また、ゲート配線に対する静電容量が増えるため、ゲート遅延量が増加する。このようなゲート遅延時間の増加は、実効充電時間を減少させるため、TFTのサイズの拡大が生じる要因、ひいては開口率の低下が生じる要因となる。

10

【 0 0 1 1 】

また、特許文献 2 の技術では、コモン電位を 1 フレームごとに極性反転させ、ゲートオフ後の最終画素電位をコモンの容量駆動により変動させる。しかしながら、この技術では、表示面内の VCOM の分布を補正できないので、フリッカー及びヤキツキを抑制することが困難である。

【 0 0 1 2 】

また一般的に、TFTのゲートの電位がOFFになるまでの期間は、画素電位に依存する。例えば、ノーマリホワイトの液晶表示では、TFTがOFFとなるまでの期間は、黒の負極性時、白の負極性時、白の正極性時、及び、黒の正極性時の順に短くなっていく。このような期間のばらつきは、表示面内でコモン電位 VCOM に分布が生じる要因となる。

20

【 0 0 1 3 】

そこで、本発明は、上記のような問題点を鑑みてなされたものであり、フィードスルーの発生を抑制可能であり、かつフィードスルーの分布を縮小可能な技術を提供することを目的とする。

【 課題を解決するための手段 】

30

【 0 0 1 4 】

本発明に係る液晶表示装置は、画素電極と、ゲート電位に基づいてオンされた場合に、前記画素電極の電位を変更可能な半導体スイッチング素子と、前記画素電極との間に静電容量を有する配線とを備え、前記ゲート電位が変動するタイミングに合わせて、前記ゲート電位の変動と逆側に前記配線の電位を変動させる。

【 発明の効果 】

【 0 0 1 5 】

本発明によれば、ゲート電位が変動するタイミングに合わせて、ゲート電位の変動と逆側に配線の電位を変動させる。これにより、フィードスルーの分布を縮小することができる。

40

【 図面の簡単な説明 】

【 0 0 1 6 】

【 図 1 】 コモン電位を説明するための図である。

【 図 2 】 コモン電位の分布を説明するための図である。

【 図 3 】 実施の形態 1 に係る液晶表示装置の構成を示す平面図である。

【 図 4 】 実施の形態 1 に係る液晶表示装置の動作による各電位の変動を示す図である。

【 図 5 】 実施の形態 2 に係る液晶表示装置の構成を示す平面図である。

【 図 6 】 実施の形態 2 に係る液晶表示装置の動作による各電位の変動を示す図である。

【 図 7 】 実施の形態 3 に係る液晶表示装置の構成を示す平面図である。

【 図 8 】 実施の形態 3 に係る液晶表示装置の動作による各電位の変動を示す図である。

50

【図 9】実施の形態 4 に係る液晶表示装置の動作による各電位の変動を示す図である。

【図 10】実施の形態 4 に係る液晶表示装置の別の動作による各電位の変動を示す図である。

【発明を実施するための形態】

【0017】

<実施の形態 1>

図 3 は、本発明の実施の形態 1 に係る液晶表示装置の構成を示す平面図である。図 3 の液晶表示装置は、ゲート配線 1 と、ソース配線 2 と、半導体からなるチャンネル層 3 と、ドレイン電極 4 と、画素電極 5 と、ダミーゲート配線 6 とを備える。なお、図 3 の構成要素は、図 3 には示されない基板上に設けられている。以下、当該基板を TFT 基板と記して説明する。

10

【0018】

ゲート配線 1、ソース配線 2 及びドレイン電極 4 は、図示しない絶縁膜などによって互いに絶縁されている。ゲート配線 1 の一部、ソース配線 2 の一部、チャンネル層 3 及びドレイン電極 4 は、半導体スイッチング素子である TFT 11 を構成している。TFT 11 のドレイン電極 4 は、画素電極 5 と電氣的及び電位的に接続されている。なお、TFT 基板には、複数のダミーゲート配線 6 及び複数の TFT 11 などが配設されており、複数のダミーゲート配線 6 が、複数の TFT 11 にそれぞれ対応して設けられている。

【0019】

TFT 11 には、ゲート配線 1 のゲート電位に対応するゲート信号と、ソース配線 2 のソース電位に対応するソース信号とが入力される。TFT 11 は、ゲート電位に基づいてオンまたはオフされる。本実施の形態 1 に係る TFT 11 は、ゲート電位がオン電位 (= V_{gh}) である場合にオンされ、ゲート電位がオフ電位 (= V_{gl}) である場合にオフされる。

20

【0020】

オフされた TFT 11 は、画素電極 5 の電位をソース電位に変更しないが、オンされた TFT 11 は、画素電極 5 の電位をソース電位に変更する。これにより、複数の TFT 11 と接続された複数の画素電極 5 の電位を、選択的に変更することが可能となっている。

【0021】

図示しないが、上述した TFT 基板は、液晶を介して、対向基板と対向配置される。対向基板には、カラーフィルター及びコモン電極が配設される。ゲート信号及びソース信号に応じて画素電極 5 の電位が変更されると、画素電極 5 とコモン電極との間の液晶に印加される電圧が変更される。そして、液晶に印加される電圧の変更に応じて、液晶を透過する光の偏光などが変更される。このような変更が、TFT 11 ごと、つまり画素ごとに行われることにより、本実施の形態 1 に係る液晶表示装置は所望の画像を表示することが可能となっている。

30

【0022】

配線であるダミーゲート配線 6 は、図示しない絶縁膜などによって画素電極 5 と絶縁されており、画素電極 5 との間に静電容量を有する。

【0023】

図 4 は、本実施の形態 1 における、ゲート電位、画素電極 5 の電位である画素電位、及び、ダミーゲート配線 6 の電位であるダミーゲート電位の変動を示す図である。図 4 に示すように、本実施の形態 1 に係る液晶表示装置は、ゲート電位が変動するタイミングに合わせて、ゲート電位の変動と逆側にダミーゲート配線 6 の電位を変動させる。図 4 の例では、本実施の形態 1 に係る液晶表示装置は、ゲート電位が低下するタイミングに合わせてダミーゲート電位を上昇させ、ゲート電位が上昇するタイミングに合わせてダミーゲート電位を低下させる。

40

【0024】

ここで、 V_{gh} は、TFT 11 のオン電圧に対応するゲート電位であるとし、 V_{gl} は、TFT 11 のオフ電圧に対応するゲート電位であるとする。 V_{cs1} は、ゲート電位が

50

低下するタイミングに合わせて上昇される前のダミーゲート電位であるとし、 V_{cs2} は、ゲート電位が低下するタイミングに合わせて上昇された後のダミーゲート電位であるとする。 C_{gd} は、TFT11のゲート配線1の一部であるゲート電極とドレイン電極4との間の静電容量であるとし、 C_s は、画素電極5とダミーゲート配線6との間の静電容量であるとする。

【0025】

そして、 V_{gd} が、図1及び図2の画素電位に示されていたフィードスルーであるとすると、 $V_{gd} = (V_{gh} - V_{gl}) \times C_{gd}$ と表すことができる。

【0026】

このことに鑑みて、本実施の形態1に係る液晶表示装置は、ゲート電位が低下するタイミングで、 $(V_{gh} - V_{gl}) \times C_{gd}$ と $(V_{cs2} - V_{cs1}) \times C_s$ とが互いに等しくなるように、ダミーゲート電位を V_{cs1} から V_{cs2} まで上昇させる。このようにダミーゲート電位を変動させることにより、図4に示すように、図1及び図2の画素電位に生じていたフィードスルーを抑制することができる。

10

【0027】

なお、フィードスルーを抑制する観点からは、 $(V_{cs2} - V_{cs1}) \times C_s$ が $(V_{gh} - V_{gl}) \times C_{gd}$ に等しいことが好ましい。しかしながら、 $(V_{cs2} - V_{cs1}) \times C_s$ が、 $(V_{gh} - V_{gl}) \times C_{gd}$ に近くても、フィードスルーをある程度抑制することができる。このため、 $(V_{cs2} - V_{cs1}) \times C_s$ が、 $(V_{gh} - V_{gl}) \times C_{gd}$ から予め定められた範囲内の値であればよい。

20

【0028】

この場合において、 $(V_{cs2} - V_{cs1})$ は、静電容量 C_s 、 C_{gd} の値次第では $(V_{gh} - V_{gl})$ と一致しなくてもよいし、比較的小さな値であってもよい。 $(V_{cs2} - V_{cs1})$ が比較的小さな値である場合、ダミーゲート電位を変動させる制御回路は、比較的低い電圧を用いて当該変動を行うことができる。同様に、静電容量 C_s は、ゲート電位 V_{gh} 、 V_{gl} 及びダミーゲート電位 V_{cs1} 、 V_{cs2} の値次第では静電容量 C_{gd} と一致しなくてもよいし、比較的小さな値であってもよい。静電容量 C_s が比較的小さな値である場合、ダミーゲート配線6の面積を比較的小さくすることができるので、画素開口率を高めることができる。

【0029】

<実施の形態1のまとめ>

以上のような本実施の形態1に係る液晶表示装置は、ゲート電位が変動するタイミングに合わせて、ゲート電位の変動と逆側にダミーゲート配線6の電位を変動させる。このようにダミーゲート配線6の電位を変動させることにより、フィードスルーを抑制することができる。なお、このフィードスルーの抑制の程度は、静電容量 C_s に対応するダミーゲート配線6の面積を調節すれば調整可能であり、しかも、当該面積は画素ごとに調節することが可能である。したがって、画素ごとにフィードスルーの抑制の程度を調整することができるので、フィードスルーの分布を縮小することができる。したがって、当該フィードスルーの分布に起因して生じていたコモン電位 V_{COM} の分布を縮小することができる(図4)。この結果、フリッカーを抑制することができ、かつ、ヤキツキを低減することができる。

30

40

【0030】

なお、以上に説明した本実施の形態1に係る液晶表示装置において、ゲート電位が変動していないとき、ダミーゲート配線6の電位を一定にしてもよい。このような構成によれば、ダミーゲート配線6によって画素電位を安定させることができるので、補助容量配線の代用とすることができる。なお、このように構成した場合において、ダミーゲート配線6の電位を対向電極の電位と等しくする必要はない。

【0031】

<実施の形態2>

図5は、本発明の実施の形態2に係る液晶表示装置の構成を示す平面図である。以下、

50

本実施の形態 2 で説明する構成要素のうち、実施の形態 1 と同じまたは類似する構成要素については同じ参照符号を付し、異なる構成要素について主に説明する。

【0032】

図 5 の例では、表示領域 12a が規定された TFT 基板 12 が示されている。表示領域 12a 内の TFT 基板 12 上には、実施の形態 1 で説明した複数のゲート配線 1、複数のダミーゲート配線 6 及び複数の TFT 11 などが配設されている。一方、表示領域 12a 外の TFT 基板 12 上には、複数のゲート配線 1 (G_{n-1} , G_n , G_{n+1}) の電位を制御することによって、複数の TFT 11 を駆動する IC (Integrated Circuit) 13 が配設されている。本実施の形態 2 では、この IC 13 の内部に、複数のダミーゲート配線 6 (C_{n-1} , C_n , C_{n+1}) の電位を制御する制御回路 14 が配設されている。ただし制御回路 14 は、IC 13 の内部に配設されなくてもよく、例えば、TFT 11 が配設された TFT 基板 12 上に配設されてもよい。

10

【0033】

図 6 は、複数のゲート配線 1 のゲート電位、及び、複数のダミーゲート配線 6 のダミーゲート電位の変動を示す図である。図 6 に示すように、制御回路 14 は、各ダミーゲート配線 6 の電位を、対応する TFT 11 のゲート電位が変動するタイミングに合わせて変動させる。

【0034】

< 実施の形態 2 のまとめ >

本実施の形態 2 に係る液晶表示装置は、各ダミーゲート配線 6 の電位を、対応する TFT 11 のゲート電位が変動するタイミングに合わせて変動させる。このような構成によれば、ダミーゲート配線 6 の静電容量 C_s を、ラインごとに分散させることができる。このため、静電容量 C_s を比較的小さくすることができるので、制御回路 14 の消費電力を抑制することができる。

20

【0035】

< 実施の形態 3 >

図 7 は、本発明の実施の形態 3 に係る液晶表示装置の構成を示す平面図である。以下、本実施の形態 3 で説明する構成要素のうち、実施の形態 2 と同じまたは類似する構成要素については同じ参照符号を付し、異なる構成要素について主に説明する。

【0036】

図 7 の例では、複数のダミーゲート配線 6 の代わりに、複数のダミーゲート配線 6 が接続されてなる一のダミーゲート配線 6a (C) が、複数の TFT 11 に共通に設けられている。そして、制御回路 14 は、ダミーゲート配線 6a の電位を制御する。

30

【0037】

図 8 は、複数のゲート配線 1 のゲート電位、及び、一のダミーゲート配線 6a のダミーゲート電位の変動を示す図である。図 6 に示すように、制御回路 14 は、一のダミーゲート配線 6a の電位を、複数の TFT 11 のそれぞれのゲート電位が変動するタイミングに合わせて変動させる。

【0038】

< 実施の形態 3 のまとめ >

以上のような本実施の形態 3 に係る液晶表示装置は、一のダミーゲート配線 6a の電位を、複数の TFT 11 のそれぞれのゲート電位が変動するタイミングに合わせて変動させる。このような構成によれば、TFT 基板 12 における配線の引き回しレイアウトを簡素化することができる。また、制御回路 14 においてダミーゲート配線を選択する機能が不要となるので、制御回路 14 の構成を単純化することができる。

40

【0039】

< 実施の形態 4 >

本発明の実施の形態 4 に係る液晶表示装置の構成は、実施の形態 1 に係る液晶表示装置の構成と同様である。以下、本実施の形態 4 で説明する構成要素のうち、実施の形態 1 と同じまたは類似する構成要素については同じ参照符号を付し、異なる構成要素について主

50

に説明する。

【 0 0 4 0 】

上述した実施の形態 1 に係る液晶表示装置は、ゲート電位が上昇するタイミングに完全に一致するようにダミーゲート電位を低下させた（図 4）。これに対して、本実施の形態 4 に係る液晶表示装置は、ゲート電位が上昇するタイミングの前または後に、ダミーゲート電位を低下させる。

【 0 0 4 1 】

図 9 は、実施の形態 4 に係る液晶表示装置の動作による各電位の変動を示す図である。図 9 の例では、本実施の形態 4 に係る液晶表示装置は、ゲート電位がオフ電圧に対応する電位 V_{g1} から上昇するタイミングの後に、ダミーゲート電位を電位 V_{cs2} から低下させる。ダミーゲート電位が電位 V_{cs2} から低下すると、容量結合により、画素電位に $(V_{cs2} - V_{cs1}) \times C_s$ に応じた低下が生じる。しかしながら、TFT11 がオンされている間に、画素電位はソース電位となるように充電されるので、低下の影響は少ない。

10

【 0 0 4 2 】

図 10 は、実施の形態 4 に係る液晶表示装置の別の動作による各電位の変動を示す図である。図 10 の例では、本実施の形態 4 に係る液晶表示装置は、ゲート電位がオフ電圧に対応する電位 V_{g1} から上昇するタイミングの前に、ダミーゲート電位を電位 V_{cs2} から低下させる。ダミーゲート電位が電位 V_{cs2} から低下すると、容量結合により、画素電位に $(V_{cs2} - V_{cs1}) \times C_s$ に応じた低下が生じる。しかしながら、その低下が生じたすぐ後に TFT11 がオンされ、画素電位はすぐにソース電位に充電されるので、低下の影響は少ない。

20

【 0 0 4 3 】

以上のような本実施の形態 4 に係る液晶表示装置は、ゲート電位が上昇するタイミングの前または後に、ダミーゲート電位を低下させる。この場合でも、実施の形態 1 と同様の効果を得ることができる。なお、この効果が得られる限りにおいて、本実施の形態 4 に係る液晶表示装置は、ゲート電位が低下するタイミングの前または後に、ダミーゲート電位を上昇させてもよい。

【 0 0 4 4 】

< 変形例 >

以上では、本発明を、TN (Twisted Nematic) モードでかつ透過型の液晶表示装置に適用した例について説明したが、これに限ったものではない。例えば、本発明を、IPS (In Plane Switching) (登録商標) モード、または、FFS (fringe field switching) モードなどのノーマリーブラック方式の液晶表示装置に適用してもよいし、反射型または半透過型の液晶表示装置に適用してもよいし、これら以外の液晶表示装置に適用してもよい。

30

【 0 0 4 5 】

なお、本発明は、その発明の範囲内において、各実施の形態及び各変形例を自由に組み合わせたり、各実施の形態及び各変形例を適宜、変形、省略したりすることが可能である。

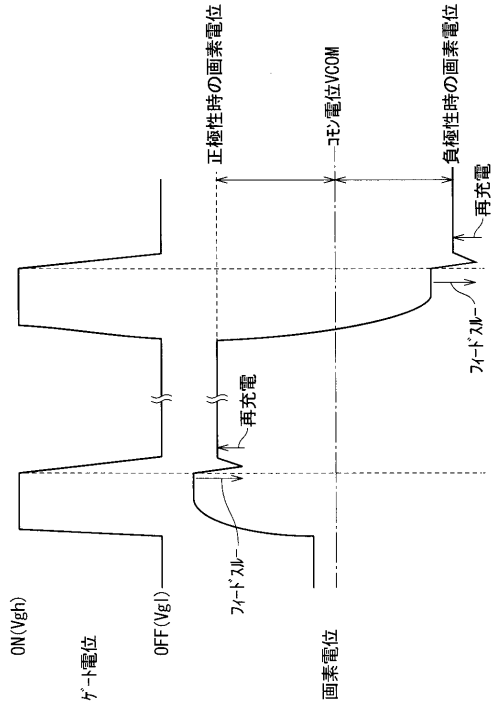
40

【 符号の説明 】

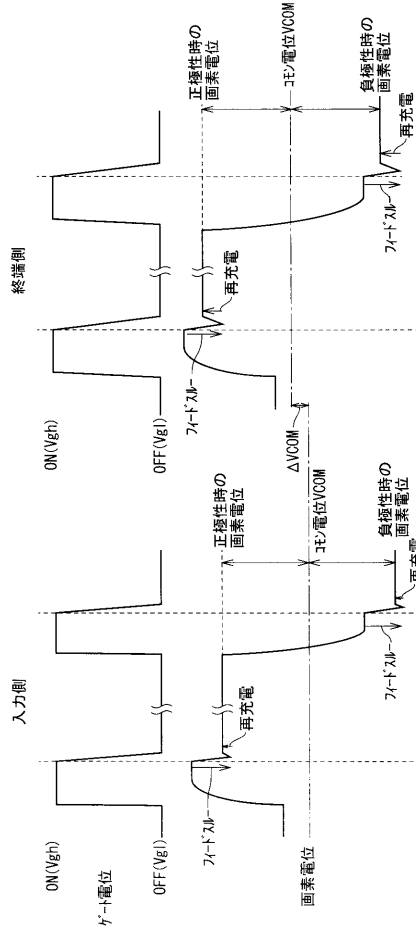
【 0 0 4 6 】

1 ゲート配線、4 ドレイン電極、5 画素電極、6 ダミーゲート配線、11 TFT、12 TFT基板、13 IC、14 制御回路。

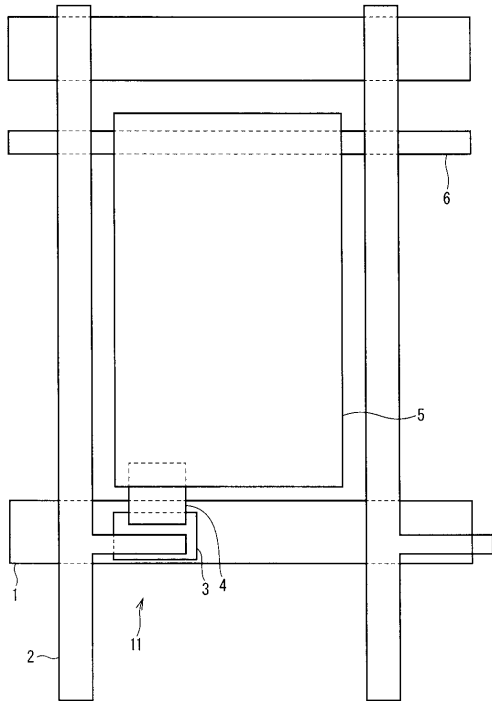
【図1】



【図2】

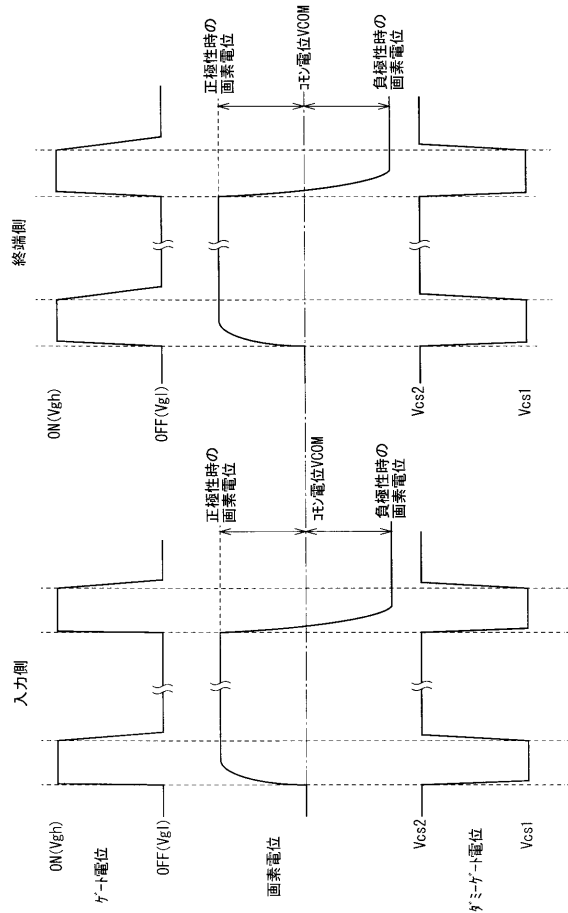


【図3】

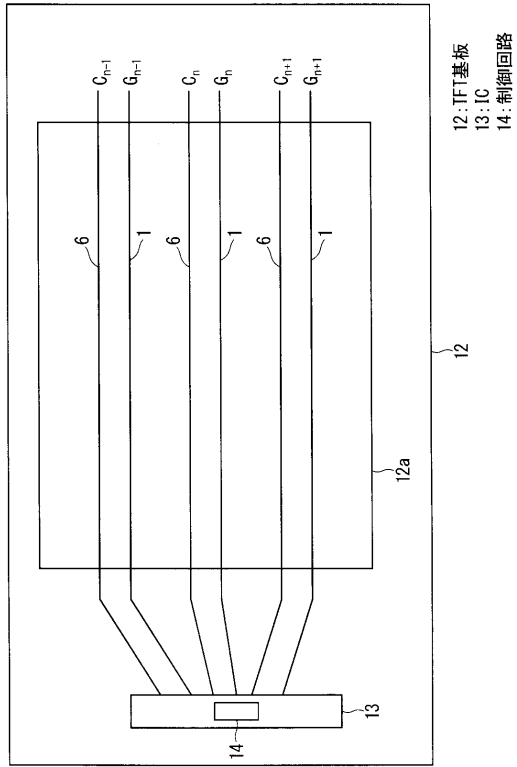


- 1: ゲート配線
- 2: ドレイン電極
- 3: 画素電極
- 4: ダミーゲート配線
- 5: TFT

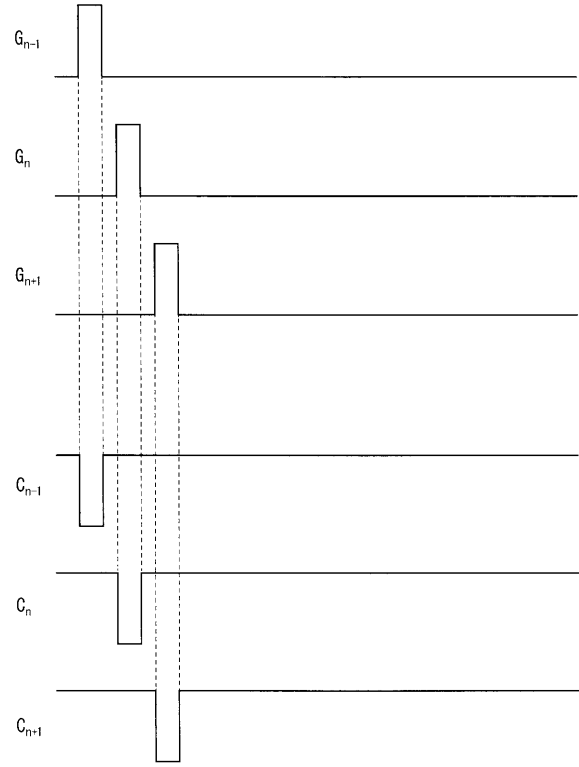
【図4】



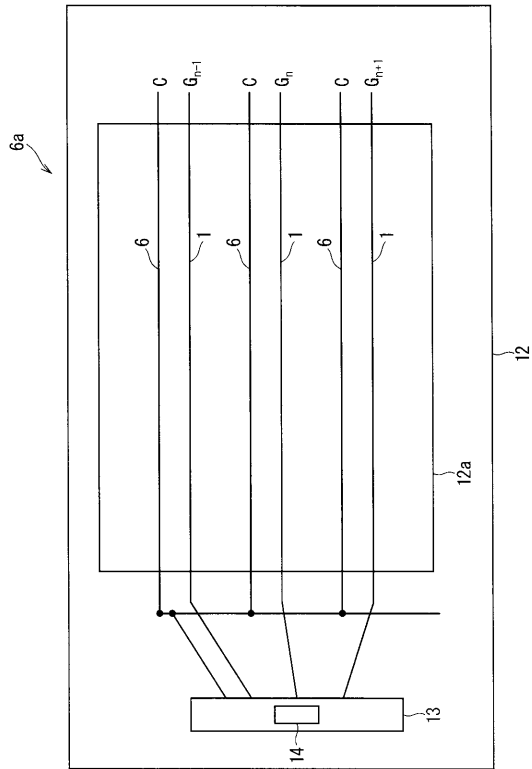
【 図 5 】



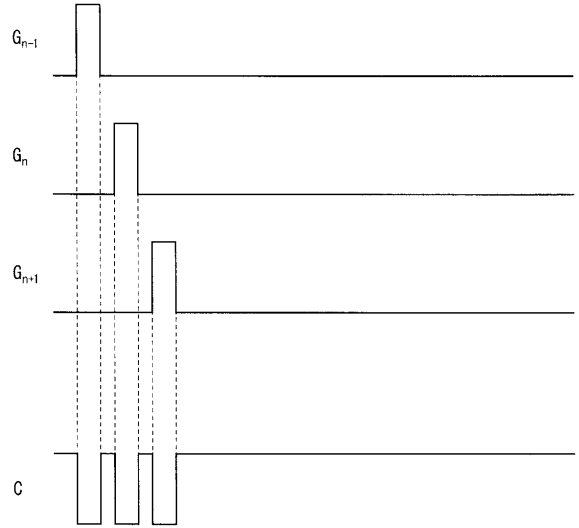
【 図 6 】



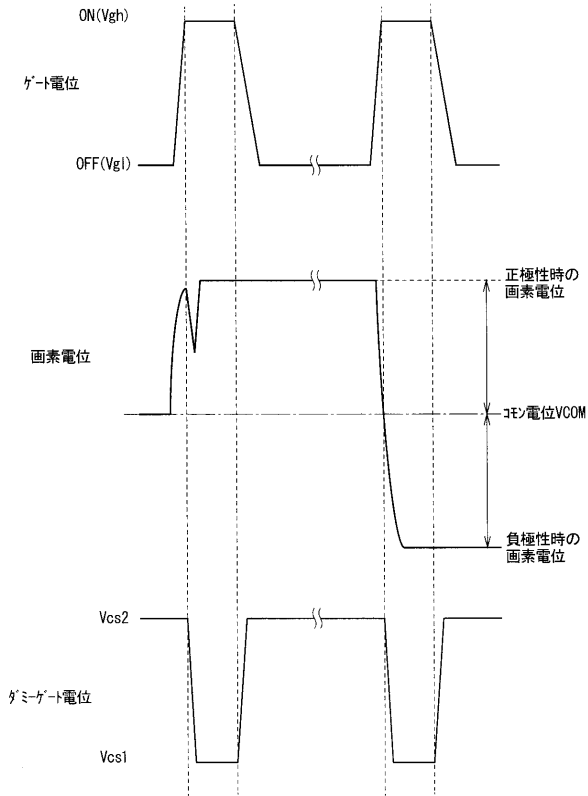
【 図 7 】



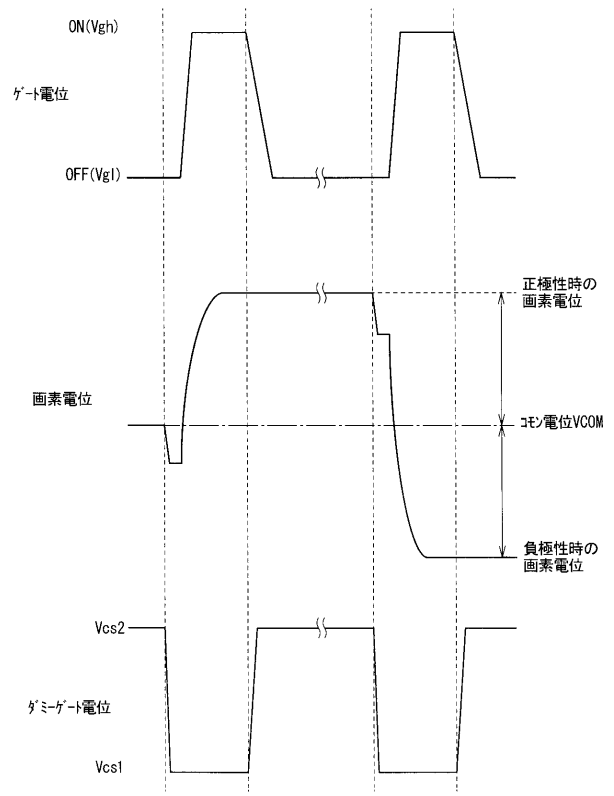
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 4 B
	G 0 9 G 3/20	6 2 2 D
	G 0 9 G 3/20	6 2 2 C

Fターム(参考) 5C006 AA16 AC22 AC25 AC26 AF50 AF59 BA19 BB16 BB28 FA23
FA26 FA34 FA37 GA02
5C080 AA10 BB05 DD06 EE29 FF11 JJ04 JJ06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2018092011A	公开(公告)日	2018-06-14
申请号	JP2016235559	申请日	2016-12-05
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	安田尚平		
发明人	安田 尚平		
IPC分类号	G09G3/36 G02F1/1368 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/1368 G02F1/133.550 G09G3/20.611.E G09G3/20.611.J G09G3/20.624.B G09G3/20.622.D G09G3/20.622.C		
F-TERM分类号	2H192/AA24 2H192/CB05 2H192/CC04 2H192/DA12 2H192/DA73 2H192/GD61 2H193/ZA04 2H193/ZA07 2H193/ZB02 2H193/ZB14 2H193/ZB18 5C006/AA16 5C006/AC22 5C006/AC25 5C006/AC26 5C006/AF50 5C006/AF59 5C006/BA19 5C006/BB16 5C006/BB28 5C006/FA23 5C006/FA26 5C006/FA34 5C006/FA37 5C006/GA02 5C080/AA10 5C080/BB05 5C080/DD06 5C080/EE29 5C080/FF11 5C080/JJ04 5C080/JJ06		
外部链接	Espacenet		

摘要(译)

要解决的问题提供一种能够抑制馈通的发生并能够减少馈通分布的技术。液晶显示装置包括像素电极，半导体开关元件和布线。半导体开关元件可以在基于栅极电位导通时改变像素电极的电位。布线与像素电极具有静电电容。液晶显示装置根据栅极电位波动的定时，改变与栅极电位的波动相反的一侧的布线的电位。 点域4

