

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-66102

(P2016-66102A)

(43) 公開日 平成28年4月28日(2016.4.28)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1343 (2006.01)	G02F 1/1343	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	2H192
H01L 29/786 (2006.01)	H01L 29/78 612C	5F110

審査請求 有 請求項の数 4 O L (全 39 頁)

(21) 出願番号	特願2016-7476 (P2016-7476)	(71) 出願人	502356528
(22) 出願日	平成28年1月18日 (2016.1.18)		株式会社ジャパンディスプレイ
(62) 分割の表示	特願2014-224652 (P2014-224652) の分割		東京都港区西新橋三丁目7番1号
原出願日	平成12年9月5日 (2000.9.5)	(71) 出願人	506087819
(31) 優先権主張番号	特願平11-252763		パナソニック液晶ディスプレイ株式会社
(32) 優先日	平成11年9月7日 (1999.9.7)		兵庫県姫路市飾磨区妻鹿日田町1-6
(33) 優先権主張国	日本国 (JP)	(74) 代理人	110000154
			特許業務法人はるか国際特許事務所
		(72) 発明者	小野 記久雄
			千葉県茂原市早野3300番地 株式会社
			日立製作所ディスプレイグループ内
		(72) 発明者	平方 純一
			千葉県茂原市早野3300番地 株式会社
			日立製作所ディスプレイグループ内

最終頁に続く

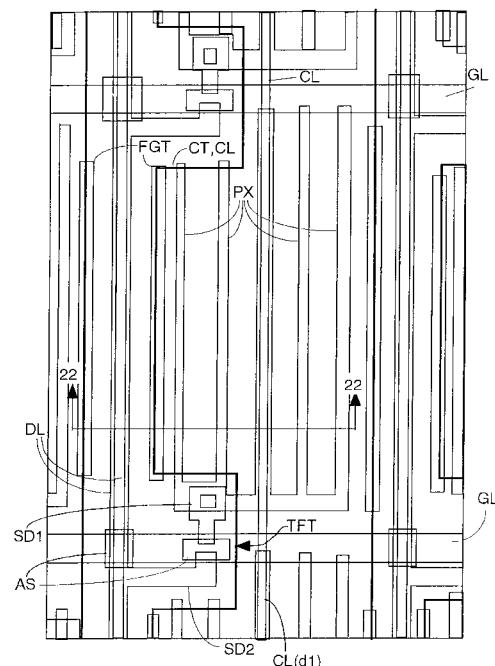
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】横電界方式で液晶層を駆動する液晶表示装置において、その画像表示性能を向上させる。

【解決手段】画素領域のそれぞれには、ドレイン信号線DLに接続された薄膜トランジスタTFTと、複数のスリットを有し且つ透明導電膜で形成される第1の電極と、前記薄膜トランジスタと前記第1の電極を接続する接続領域を有し、透明導電膜で形成される平面状の第2の電極を有し、前記第2の電極は、前記第1の電極と前記第1の基板間に形成され、且つ、前記第1の電極とゲート信号線GLに重畳し、さらに、隣接する前記画素領域の第2の電極と接続されていることを特徴とする液晶表示装置である。

【選択図】図2 1



【特許請求の範囲】**【請求項 1】**

第 1 基板と、

第 2 基板と、

前記第 1 基板と前記第 2 基板の間に封入された液晶と、を有し、

前記第 1 基板上には、マトリクス状に配置される複数のドレイン配線と複数のゲート配線と、前記ドレイン配線と前記ゲート配線に囲まれることによって定義される複数の画素領域と、を有し、

前記画素領域には、第 1 電極と、前記第 1 電極と第 1 絶縁膜を介して重畳された第 2 電極と、前記ゲート配線または前記ドレイン配線のいずれか一方と同一層で形成された金属配線と、を有し、

前記第 1 電極は複数のスリットを有し、前記複数のスリットはそれぞれ屈曲部を有し、前記金属配線は、前記屈曲部と平面視で重畳していることを特徴とする液晶表示装置。

10

【請求項 2】

前記複数のスリットは、前記金属配線に対して対称な形状であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記複数のスリットは、前記第 1 電極で囲まれており、前記第 2 電極は、前記複数のスリットの少なくとも 1 つと、完全に重畳していることを特徴とする請求項 1 に記載の液晶表示装置。

20

【請求項 4】

前記金属配線は、前記画素領域を 2 つの領域に分割しており、前記 2 つの領域において、液晶が回転する方向が異なることを特徴とする請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、液晶表示装置に係り、所謂横電界方式と称される液晶表示装置に関するものである。

30

【背景技術】**【0002】**

横電界方式と称される液晶表示装置は、液晶を介して対向配置される各透明基板の一方の透明基板の液晶側の各画素領域に、画素電極とこの画素電極との間に透明基板と平行な電界（横電界）を発生せしめる対向電極とが形成されて構成されている。

画素電極と対向電極の間の領域を透過する光に対して、その量を前記電界が印加された液晶の駆動によって、制御するようになっている。

このような液晶表示装置は、表示面に対して斜めの方向から観察しても表示に変化のない、いわゆる広視野角特性に優れたものとして知られている。

そして、これまで、前記画素電極と対向電極は光を透過させることのない導電層で形成されていた。

40

【0003】

しかし、近年、画素領域の周辺を除く領域の全域に透明電極からなる対向電極を形成し、この対向電極上に絶縁膜を介して一方向に延在し該一方向に交差する方向に並設させた透明電極からなる帯状の画素電極を形成した構成のものが知られるに至った。

このような構成の液晶表示装置は、横電界が画素電極と対向電極との間に発生し、依然として広視野角特性に優れるとともに、開口率が大幅に向上するようになる。

なお、この技術はたとえば S I D (Society for Information Display) 9 9 D I G E S T : P 2 0 2 ~ P 2 0 5、あるいは特開平 1 1 - 2 0 2 3 5 6 号公報に記載がなされている。

50

【発明の概要】

【発明が解決しようとする課題】

【0004】

以上に述べた横電界方式の液晶駆動方式を液晶表示装置に採用することにより、その視野角特性及び開口率を格段に向上させることが可能となるが、新たに対策すべき種々の技術的な問題点も現れた。

例えば、上述の構成を有する液晶表示装置の画素に液晶分子の捻じれ方向が互いに逆になる領域を設けて表示領域を左右からそれぞれ観た場合に生じる着色差を相殺させる所謂マルチドメイン方式を採用することを試みたとき、表示品質の観点から、種々の改良を施す必要性が見出された。

【0005】

本発明は、このような事情に基づいてなされたもので、その目的は、上述の所謂横電界方式の液晶表示装置における表示動作性能（液晶分子の駆動性能）を向上させ、またその表示品質を高めることにある。

【課題を解決するための手段】

【0006】

本願において開示される新規な液晶表示装置のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

その一例は、液晶を介して互いに対向配置される透明基板のうち一方の透明基板の液晶側の画素領域に、絶縁膜を介して配置される画素電極と対向電極が形成され、これら各電極との間には透明基板に平行な成分を有する電界を発生せしめるとともに、前記画素電極と対向電極のうち一方の電極は、他方の電極の周辺部であって少なくとも該他方の電極と重畳しない領域に形成された透明電極で構成され、前記絶縁膜は多層構造（少なくとも2層の絶縁膜を積層させた構造）となっていることを特徴とするものである。

【0007】

このように構成された液晶表示装置は、絶縁膜を介して配置される画素電極と対向電極は、その重畳する部分において容量素子が形成されるが、その重畳面積が大きくなってしまふと必要以上の値となってしまうことになる。

このため、画素電極と対向電極との間の絶縁膜を多層構造とすることによって、該容量素子の容量値を所望の値に低減させることができる。

【0008】

また、他の一例は、液晶を介して互いに対向配置される透明基板のうち一方の透明基板の液晶側の矩形状の画素領域に、絶縁膜を介して配置される画素電極と対向電極が形成され、これら各電極との間には透明基板に平行な成分を含む電界を発生せしめるとともに、前記対向電極は、画素電極の周辺部であって少なくとも該画素電極と重畳しない領域に形成された透明電極で構成され、前記画素電極は、その延在方向と直交する方向に並設された複数の電極であって、該延在方向を変える屈曲部を有する第1の電極と、画素領域の周辺の少なくとも一部に直線的に延在する第2の電極とから構成されていることを特徴とするものである。なお、本発明において、複数の電極を並設し電極間にスリット状の開口が形成される状態を「複数のスリットを有する画素電極」という。

【0009】

このように構成された液晶表示装置は、画素電極を、前記第1の電極の他に、画素領域の周辺の少なくとも一部に、すなわち、第1の電極が屈曲部を有するが故に横電界は発生し難くなる部分（デッドスペース）に、直線的に延在する第2の電極を新たに設けることにより、この第2の電極と対向電極との間にも横電界が発生するようになる。

このため、該デッドスペースの発生を抑制でき、実質的な画素領域の拡大を図ることができるようになる。

【0010】

本発明に係るこれら及びその他の目的、特徴、及び効果は本発明を実施する形態の記載にこれに付された図面を関連させることにより、更に明確に後述されよう。

10

20

30

40

50

【図面の簡単な説明】

【 0 0 1 1 】

【図 1】本発明による液晶表示装置の画素領域の一実施例を示す平面図である。

【図 2】第 1 図の 2 - 2 線における断面図である。

【図 3】第 1 図の 3 - 3 線における断面図である。

【図 4】第 1 図の 4 - 4 線における断面図である。

【図 5】本発明による液晶表示装置に組み込まれる液晶表示パネルの外観を示す平面図である。

【図 6】液晶表示パネルの各透明基板を固定しかつ液晶を封入されるシール材の構成を示す断面図である。

10

【図 7】本発明による液晶表示装置のゲート信号端子の一実施例を示す構成図である。

【図 8】本発明による液晶表示装置のドレイン信号端子の一実施例を示す構成図である。

【図 9】本発明による液晶表示装置の対向電圧信号端子の一実施例を示す構成図である。

【図 10】本発明による液晶表示装置の一実施例を示す等価回路図である。

【図 11】本発明による液晶表示装置の駆動の一実施例を示すタイミングチャートである。

【図 12】本発明による液晶表示装置において、その液晶表示パネルに外部回路を接続させた場合の平面図である。

【図 13】本発明による液晶表示装置の製造方法の一実施例を示す工程図である。

【図 14】本発明による液晶表示装置の製造方法の一実施例を示す工程図で、上記第 1 3 図にて説明された工程に続く工程を説明する図である。

20

【図 15】本発明による液晶表示装置の画素領域の他の実施例を示す平面図である。

【図 16】第 1 5 図の 1 6 - 1 6 線における断面図である。

【図 17】第 1 5 図の 1 7 - 1 7 線における断面図である。

【図 18】第 1 5 図の 1 8 - 1 8 線における断面図である。

【図 19】本発明による液晶表示装置の製造方法の他の実施例を示す工程図である。

【図 20】本発明による液晶表示装置の製造方法の他の実施例を示す工程図で、上記第 1 9 図にて説明された工程に続く工程を説明する図である。

【図 21】本発明による液晶表示装置の画素領域の他の実施例を示す平面図である。

【図 22】第 2 1 図の 2 2 - 2 2 線における断面図である。

30

【図 23】本発明による液晶表示装置の画素領域の他の実施例を示す平面図である。

【図 24】第 2 3 図の 2 4 - 2 4 線における断面図である。

【図 25】第 2 3 図の 2 5 - 2 5 線における断面図である。

【図 26】第 2 3 図の 2 6 - 2 6 線における断面図である。

【図 27】本発明による液晶表示装置の画素領域の他の実施例を示す平面図である。

【図 28】第 2 7 図の 2 8 - 2 8 線における断面図である。

【図 29】第 2 7 図の 2 9 - 2 9 線における断面図である。

【図 30】第 2 7 図の 3 0 - 3 0 線における断面図である。

【図 31】本発明による液晶表示装置の画素領域の他の実施例を示す平面図である。

【図 32】第 3 1 図の 3 2 - 3 2 線における断面図である。

40

【図 33】第 3 1 図の 3 3 - 3 3 線における断面図である。

【図 34】第 3 1 図の 3 4 - 3 4 線における断面図である。

【図 35】上述した各実施例の液晶表示装置の印加電圧 - 透過率の特性を示すグラフである。

【図 36】本発明による液晶表示装置の画素領域の他の実施例を示す平面図である。

【図 37】本発明による液晶表示装置の画素領域の他の実施例を示す平面図である。

【図 38】第 3 7 図の 3 8 - 3 8 線における断面図である。

【図 39】第 3 7 図の 3 9 - 3 9 線における断面図である。

【図 40】本発明による液晶表示装置の画素領域の他の実施例を示す平面図である。

【図 41】第 4 0 図の 4 1 - 4 1 線における断面図である。

50

【図４２】本発明による液晶表示装置の画素領域の他の実施例を示す説明図である。
【図４３】本発明による液晶表示装置の画素領域の他の実施例を示す断面図である。
【図４４】本発明による液晶表示装置の画素領域の他の実施例を示す平面図である。
【図４５】第４４図の４５－４５線における断面を示す図である。
【図４６】本発明による液晶表示装置の画素領域の他の実施例を示す平面図である。
【図４７】第４６図の４７－４７線における断面を示す図である。
【図４８】本発明による液晶表示装置の画素領域の他の実施例を示す平面図である。
【図４９】本発明による液晶表示装置の画素領域の他の実施例を示す平面図である。
【図５０】本発明による液晶表示装置の画素領域の他の実施例を示す平面図である。
【発明を実施するための形態】

10

【００１２】

以下、実施例により本発明による液晶表示装置をより詳細に説明する。

【００１３】

〔実施例１〕

<画素の構成>

第１図は、本発明による液晶表示装置（パネル）の画素領域における構成図であり、液晶を介して互に対向配置される各透明基板のうちの一方の透明基板の液晶側から見た平面図である。

第１図の２－２線における断面図を第２図に、３－３線における断面図を第３図に、４－４線における断面図を第４図に示している。

20

【００１４】

まず、第１図において、図中ｘ方向に延在されｙ方向に並設されるゲート信号線ＧＬがたとえばクロム（Ｃｒ）で形成されている。このゲート信号線ＧＬは後述するドレイン信号線ＤＬとで矩形状の領域を形成し、その領域は画素領域を構成するようになっている。

【００１５】

そして、この画素領域には、後述する画素電極ＰＸとの間で電界を発生せしめる対向電極ＣＴが形成され、この対向電極ＣＴは該画素領域の周辺を除く全域に形成され、透明導電体であるたとえばＩＴＯ１（Indium-Tin-Oxide）から構成されている。

【００１６】

この対向電極ＣＴは、その周辺の全域を縁取るようにして該対向電極ＣＴと接続された対向電圧信号線ＣＬが形成され、この対向電圧信号線ＣＬは図中左右の画素領域（ゲート信号線ＧＬに沿って配置される各画素領域）における対向電極ＣＴと同様に形成された対向電圧信号線ＣＬと一体的に形成されている。

30

【００１７】

この場合における画素領域の対向電圧信号線ＣＬどうしの接続は、画素領域の上部および下部のそれぞれでなされている。対向電圧信号線ＣＬと後述のドレイン信号線ＤＬとの重なる部分を極力小さくし、それらの間に発生する容量を小さくする趣旨である。

【００１８】

この対向電圧信号線ＣＬは、たとえばクロム（Ｃｒ）からなる不透明の材料で形成されている。このようにした場合、後述のドレイン信号線ＤＬとこれに近接する対向電極ＣＴの辺部との間にノイズとして作用する電界が発生し、それによって液晶の光透過率が所望通りに得られなくても、その部分は該対向電圧信号線ＣＬによって遮光されることから、表示品質の面からの不都合を解消できるようになる。

40

このことは、ゲート信号線ＧＬとこれに近接する対向電極ＣＴの周辺部との間に発生する電界（ノイズ）による不都合も解消できることを意味する。

【００１９】

また、上述したように、対向電圧信号線ＣＬの材料をゲート信号線ＧＬと同一の材料とすることにより、それらを同一の工程で形成でき製造工数の増大を回避させることができる。

【００２０】

50

ここで、前記対向電圧信号線 C L は、C r に限定されることなく、たとえば A l、あるいは A l を含有する材料で形成するようにしてもよいことはいうまでもない。

【0021】

しかし、この場合、この対向電圧信号線 C L は対向電極 C T に対して上層に位置づけるのが効果的となる。けだし、対向電極 C T を構成する I T O 膜の選択エッチング液（たとえば H B r ）は容易に A l を溶解してしまうからである。

【0022】

さらに、対向電圧信号線 C L の対向電極 C T との少なくとも接触面には T i、C r、M o、T a、W 等の高融点金属を介在させることが効果的となる。けだし、対向電極 C T を構成する I T O は対向電圧信号線 C L 中の A l を酸化させて高抵抗層を生成させてしまうからである。

【0023】

このため、一実施例として、A l、あるいは A l を含有する材料からなる対向電圧信号線 C L を形成する場合、前記高融点金属を一層目とする多層構造とすることが好ましい。

【0024】

そして、このように対向電極 C T、対向電圧信号線 C L、およびゲート信号線 G L が形成された透明基板の上面には、それらをも被ったたとえば S i N からなる絶縁膜 G I が形成されている。

【0025】

この絶縁膜 G I は、後述のドレイン信号 D L に対しては対向電圧信号線 C L およびゲート信号線 G L の層間絶縁膜としての機能を、後述の薄膜トランジスタ T F T の形成領域においてはそのゲート絶縁膜としての機能を、後述の容量素子 C s t g の形成領域においてはその誘電体膜としての機能を有するようになっている。

【0026】

そして、ゲート信号線 G L の一部（図中左下）に重畳されて薄膜トランジスタ T F T が形成され、この部分の前記絶縁膜 G I 上にはたとえば a - S i からなる半導体層 A S が形成されている。

【0027】

この半導体層 A S の上面にソース電極 S D 1 およびドレイン電極 S D 2 が形成されることによって、ゲート信号線 G L の一部をゲート電極とする逆スタガ構造の M I S 型トランジスタが形成されることになる。そして、このソース電極 S D 1 およびドレイン電極 S D 2 はドレイン信号線 D L と同時に形成されるようになっている。

【0028】

すなわち、第 1 図中 y 方向に延在され x 方向に並設されたドレイン信号線 D L が形成され、このドレイン信号線 D L の一部が前記半導体層 A S の表面にまで延在されることによって薄膜トランジスタ T F T のドレイン電極 S D 2 を構成するようになっている。

【0029】

また、該ドレイン信号線 D L の形成の際にソース電極 S D 1 が形成され、このソース電極 S D 1 は画素領域内にまで延在されて後述の画素電極 P X との接続を図るコンタクト部をも一体的に形成されるようになっている。

【0030】

なお、第 3 図に示すように、半導体層 A S の前記ソース電極 S D 1 およびドレイン電極 S D 2 との界面にはたとえば n 型不純物がドーピングされたコンタクト層 d 0 が形成されている。

【0031】

このコンタクト層 d 0 は、半導体層 A S の表面の全域に n 型不純物ドーピング層を形成し、さらにソース電極 S D 1 およびドレイン電極 S D 2 の形成後において、該各電極をマスクとしてこれら各電極から露出された半導体層 A S の表面の n 型不純物ドーピング層をエッチングすることによって形成されるようになっている。

【0032】

10

20

30

40

50

なお、この実施例では、半導体層 A S は薄膜トランジスタ T F T の形成領域ばかりでなく、ドレイン信号線 D L に対するゲート信号線 G L、対向電圧信号線 C L との交差部にも形成されている。層間絶縁膜としての機能を強化させるためである。

【0033】

そして、このように薄膜トランジスタ T F T が形成された透明基板の表面には、該薄膜トランジスタ T F T をも被ったたとえば S i N からなる保護膜 P S V が形成されている。薄膜トランジスタ T F T の液晶 L C との直接の接触を回避するためである。

【0034】

さらに、この保護膜 P S V の上面には画素電極 P X がたとえば I T O 2 (Indium-Tin-Oxide) からなる透明な導電膜によって形成されている。

10

【0035】

画素電極 P X は、前記対向電極 C T の形成領域に重畳されて、この実施例では 5 本形成され、それぞれ図中 y 方向に延在して等間隔に形成されているとともに、その両端はそれぞれ x 方向に延在する同材料層で互いに接続されるようになっている。

【0036】

ちなみに、この実施例では、隣り合う画素電極 P X 間の間隔 L はたとえば $1 \sim 15 \mu\text{m}$ 、幅 W はたとえば $1 \sim 10 \mu\text{m}$ の範囲で設定されるようになっている。

【0037】

この場合、各画素電極 P X の下端の同材料層は前記保護膜 P S V に形成されたコンタクト孔を通して前記薄膜トランジスタ T F T のソース電極 S D 1 のコンタクト部と接続されるようになっており、また、上端の同材料層は前記対向電圧信号線 C L と重畳されて形成されている。

20

【0038】

このように構成した場合、対向電極 C T と各画素電極 P X との重畳部には絶縁膜 G I と保護膜 P S V との積層膜を誘電体膜とする容量素子 C s t g が形成されるようになっている。

【0039】

この容量素子 C s t g は、薄膜トランジスタ T F T を介してドレイン信号線 D L からの映像信号が画素電極 P X に印加された後に、該薄膜トランジスタ T F T がオフとなっても該映像信号が画素電極 P X に比較的長く蓄積される等のために設けられたものとなっている。

30

【0040】

ここで、この容量素子 C s t g の容量は、対向電極 C T と各画素電極 P X との重畳面積に比例し、その面積が比較的大きくなってしまっても必要以上の値に設定されてしまう憂いがあるが、その誘電体膜は絶縁膜 G I と保護膜 P S V との積層構造となっていることから結果的にはその憂いはない構成となっている。

【0041】

すなわち、絶縁膜 G I は薄膜トランジスタ T F T のゲート絶縁膜として機能させることから、その膜厚を大きくできないが、保護膜 P S V に関しては、そのような制約がないことから、該保護膜 P S V を前記絶縁膜 G I とともに所定の膜厚 (保護膜 P S V のみの膜厚はたとえば $100 \text{ nm} \sim 4 \mu\text{m}$) にすることによって該容量素子 C s t g の容量を所定の値に低減させることができる。

40

【0042】

なお、前記保護膜 P S V としては、S i N に限定されることなく、たとえば合成樹脂によって形成されていてもよいことはいうまでもない。この場合、塗布により形成することから、その膜厚を大きく形成する場合においても製造が容易であるという効果を奏する。

【0043】

そして、このように画素電極 P X および対向電極 C T が形成された透明基板の表面には該画素電極 P X および対向電極 C T をも被って配向膜 O R I 1 が形成されている。この配向膜 O R I 1 は液晶 L C と直接に接触する膜で該液晶 L C の初期配向方向を決定づけるも

50

のとなっている。

【0044】

なお、上述した実施例では、画素電極 P X を透明な電極として構成したものであるが、必ずしも透明でなく、たとえば C r のような不透明の金属材料であってもよい。これによって開口率が若干低下するが、液晶 L C の駆動においては全く支障がないからである。

【0045】

上記実施例において、ゲート信号線 G L 、対向電圧信号線 C L 、ドレイン信号線 D L についてはクロム (C r) を用いて説明したが、他の高融点金属、M o 、W 、T i 、T a 、あるいはこれらの2種以上の合金、あるいはこれらの2種以上の積層膜を用いてもよいことはもちろんである。

10

【0046】

さらに、透明導電膜についても I T O を用いて説明したが、I Z O (Indium-Zinc-Oxide) でも同様の効果が得られることはいうまでもない。

【0047】

< フィルタ基板 >

このように構成された透明基板は T F T 基板と称され、この T F T 基板と液晶 L C を介して対向配置される透明基板はフィルタ基板と称されている。

【0048】

フィルタ基板は、第2図に示すように、その液晶側の面に、まず、各画素領域を画するようにしてブラックマトリックス B M が形成され、このブラックマトリックス B M の実質的な画素領域を決定する開口部にはそれを被ってフィルタ F I L が形成されるようになっている。

20

【0049】

そして、ブラックマトリックス B M およびフィルタ F I L を被ったたとえば樹脂膜からなるオーバーコート膜 O C が形成され、このオーバーコート膜の上面には配向膜 O R I 2 が形成されている。

【0050】

< 液晶表示パネルの全体構成 >

第5図は、マトリックス状に配置された各画素領域の集合によって構成される表示領域 A R を示す液晶表示パネルの全体構成図である。

30

【0051】

透明基板 S U B 2 は、透明基板 S U B 1 に対して若干小さく形成され、その図中右側辺および下側辺は透明基板 S U B 1 の対応する辺とそれぞれほぼ面一となるように配置されるようになっている。

【0052】

これにより、透明基板 S U B 1 の図中左側辺および上側辺は透明基板 S U B 2 によって被われない領域が形成され、この領域において、それぞれ、各ゲート信号線 G L に走査信号を供給するためのゲート信号端子 T g 、各ドレイン信号線 D L に映像信号を供給するためのドレイン信号端子 T d が形成されるようになっている。

40

【0053】

透明基板 S U B 2 の透明基板 S U B 1 に対する固定は、該透明基板 S U B 2 の周辺に形成されたシール材 S L によってなされ、このシール材 S L は各透明基板 S U B 1 、S U B 2 の間に液晶 L C を封入するための封入材としての機能をも有している。

【0054】

第6図は、各透明基板 S U B 1 、S U B 2 の間に介在される液晶 L C はシール材 S L によって封入されていることを示している。

【0055】

なお、このシール材 S L の一部 (第5図の中右側) には液晶封入口 I N J があり、この液晶封入口 I N J は、ここから液晶を封入した後は、図示しない液晶封止剤によって封止されるようになっている。

50

【 0 0 5 6 】

< ゲート信号端子 >

第 7 図は、各ゲート信号線 G L に走査信号を供給するためのゲート信号端子 G T M を示した構成図で、第 7 図 (a) は平面図、第 7 図 (b) は同図 (a) の B - B 線における断面図である。

【 0 0 5 7 】

まず、透明基板 S U B 1 上にたとえば I T O 膜 I T O 1 からなるゲート信号端子 G T M が形成されている。このゲート信号端子 G T M は対向電極 C T と同時に形成されるようになっている。

【 0 0 5 8 】

ゲート信号端子 G T M の材料として I T O 膜 I T O 1 を用いたのは電食の発生を困難にするためである。

【 0 0 5 9 】

そして、このゲート信号端子 G T M には、そのゲート信号線 G L 側の端部においてゲート信号線 G L が被うようにして形成されている。

【 0 0 6 0 】

さらに、これらゲート信号端子 G T M およびゲート信号線 G L を被って絶縁膜 G I および保護膜 P S V が順次積層され、これら保護膜 P S V および絶縁膜 G I に設けた開口によって、ゲート信号端子 G T M の一部が露呈されるようになっている。

【 0 0 6 1 】

なお、前記絶縁膜 G I および保護膜 P S V は、表示領域 A R におけるそれらの延在部分として形成されるものである。

【 0 0 6 2 】

< ドレイン信号端子 >

第 8 図は、ドレイン信号線 D L に映像信号を供給するためのドレイン信号端子 D T M を示した構成図で、第 8 図 (a) は平面図、第 8 図 (b) は同図 (a) の B - B 線における断面図である。

【 0 0 6 3 】

まず、透明基板 S U B 1 上に形成されるドレイン信号端子 D T M は、電食に対して信頼性のある I T O 膜 I T O 1 から構成され、この I T O 膜 I T O 1 は対向電極 C T と同時に形成されるようになっている。

【 0 0 6 4 】

そして、このドレイン信号端子 D T M は、絶縁膜 G I 上に形成されるドレイン信号線 D L と接続されることになるが、該絶縁膜 G I にコンタクト孔を形成して接続させようとする場合に以下のような不都合が発生する。

【 0 0 6 5 】

すなわち、I T O 膜上に形成された S i N からなる絶縁膜 G I は、該 I T O 膜と接触する部分において白濁が生じ、その部分にコンタクト孔を形成した場合に該孔は逆テーパ状に形成され、ドレイン信号線 D L の接続に不良が生じる可能性を残すことになる。

【 0 0 6 6 】

このため、同図に示すように、ドレイン信号端子 D T M の端部に重畳させてたとえば C r からなる金属層 g 1 を形成し、この金属層 g 1 上の絶縁膜 G I にコンタクト孔を形成するようにしている。

【 0 0 6 7 】

そして、このコンタクト孔の形成は、該絶縁膜 G I の上に保護膜 P S V を形成した後に、行なうことによって製造工数の低減を図っていることから、該保護膜 P S V に形成したコンタクト孔を通し、画素電極 P X と同時に形成される I T O 膜 I T O 2 によってドレイン信号線 D L と前記金属層 g 1 との接続を行っている。

【 0 0 6 8 】

ここで、前記金属層 g 1 は C r を用いた場合を示したものであるが、A l あるいは A l

10

20

30

40

50

を含む材料であってもよい。この場合、上述したようにITO膜との接触面において酸化されやすいことから、たとえば該金属層g1をTi/Al/Tiというように、上下面のそれぞれに高融点金属層を設けた三層構造とすることによって良好な接続を図ることができるようになる。

【0069】

<対向電圧信号端子>

第9図は、対向電圧信号線CLに対向電圧信号を供給するための対向電圧信号端子CTMを示した構成図で、第9図(a)は平面図、第9図(b)は同図(a)のB-B線における断面図である。

【0070】

透明基板SUB1上に形成される対向電圧信号端子CTMも、電食に対して信頼性のあるITO膜ITO1から構成され、このITO膜ITO1は対向電極CTと同時に形成されるようになっている。

【0071】

そして、この対向電圧信号端子CTMには、その対向電圧信号線CL側の端部において該対向電圧信号線CLが被うようにして形成されている。

【0072】

さらに、これら信号線を被って、表示領域ARにおけるそれらの延在部分として形成される絶縁膜GIおよび保護膜PSVが順次積層され、これら保護膜PSVおよび絶縁膜GIに設けた開口によって、対向電圧信号端子CTMの一部が露呈されるようになっている。

【0073】

<等価回路>

第10図は、液晶表示パネルの等価回路を該液晶表示パネルの外付け回路とともに示した図である。

【0074】

第10図中、x方向に延在されy方向に並設される各ゲート信号線GLには垂直走査回路Vによって順次走査信号(電圧信号)が供給されるようになっている。

【0075】

走査信号が供給されたゲート信号線GLに沿って配置される各画素領域の薄膜トランジスタTFTは該走査信号によってオンするようになっている。

【0076】

そして、このタイミングにあわせて映像信号駆動回路Hから各ドレイン信号線DLに映像信号が供給されるようになっており、この映像信号は各画素領域の該薄膜トランジスタを介して画素電極PXに印加されるようになっている。

【0077】

各画素領域において、画素電極PXとともに形成されている対向電極CTには対向電圧信号線CLを介して対向電圧が印加されており、それらの間に電界を発生させるようになっている。

【0078】

そして、この電界のうち透明基板SUB1と平行な成分を有する電界(横電界)によって液晶LCの光透過率を制御するようになっている。

【0079】

なお、同図において各画素領域に示したR、G、Bの各符号は、各画素領域にそれぞれ赤色用フィルタ、緑色用フィルタ、青色用フィルタが形成されていることを示している。

【0080】

<画素表示のタイミングチャート>

第11図は、液晶表示パネルに供給する各信号のタイミングチャートを示すもので、図中、VGはゲート信号線GLに供給する走査信号を、VDはドレイン信号線DLに供給する映像信号を、また、VCは対向電圧信号線CTに供給する対向電圧信号を示している。

【 0 0 8 1 】

対向電圧信号 V C の電位を一定にした一般的なライン反転（ドッド反転）を示す駆動波形図である。

【 0 0 8 2 】

< 液晶表示パネルモジュール >

第 1 2 図は、第 5 図に示した液晶表示パネルに外付け回路を実装したモジュール構造を示した平面図である。

【 0 0 8 3 】

同図において、液晶表示パネル P N L の周辺には、垂直走査回路 V、映像信号駆動回路 H、および電源回路基板 P C B 2 が接続されている。

10

【 0 0 8 4 】

垂直走査回路 V は、複数のフィルムキャリア方式で形成された駆動 I C チップから構成され、その出力パンプは液晶表示パネルのゲート信号端子 G T M に接続され、入力パンプはフレキシブル基板上の端子に接続されている。

【 0 0 8 5 】

映像信号駆動回路 H も、同様に、複数のフィルムキャリア方式で形成された駆動 I C チップから構成され、その出力パンプは液晶表示パネルのドレイン信号端子 D T M に接続され、入力パンプはフレキシブル基板上の端子に接続されている。

【 0 0 8 6 】

電源回路基板 P C B 2 はフラットケーブル F C を介して映像信号駆動回路 H に接続され、この映像信号駆動回路 H はフラットケーブル F C を介して垂直走査回路 V に接続されている。

20

【 0 0 8 7 】

なお、本発明では、このようなものに限定されることはなく、各回路を構成する半導体チップを透明基板 S U B 1 に直接搭載し、その入出力パンプのそれぞれを該透明基板 S U B 1 に形成された端子（あるいは配線層）に接続させるいわゆる C O G（Chip On Glass）方式にも適用できることはいうまでもない。

【 0 0 8 8 】

< 製造方法 >

第 1 3 図及び第 1 4 図は、上述した T F T 基板の製造方法の一実施例を示す工程図である。

30

【 0 0 8 9 】

この製造は（ A ）乃至（ F ）までのフォトリソグラフィ工程を経て完成され、第 1 3 図並びに第 1 4 図の夫々において、図中左側は画素領域を、図中右側はドレイン信号端子形成領域を示している。

【 0 0 9 0 】

以下、工程順に説明する。

工程（ A ）

透明基板 S U B 1 を用意し、その表面の全域にたとえばスパッタリングによって I T O 膜を形成する。そして、フォトリソグラフィ技術を用いて該 I T O 膜を選択エッチングし、画素領域には対向電極 C T を、またドレイン信号端子形成領域にはドレイン信号端子 D T M を形成する。

40

【 0 0 9 1 】

工程（ B ）

透明基板 S U B 1 の表面の全域に C r 膜を形成する。そして、フォトリソグラフィ技術を用いて該 C r 膜を選択エッチングし、画素領域にはゲート信号線 G L および対向電圧信号線 C L を、またドレイン信号端子形成領域には中間接続体となる導電層 g 1 を形成する。

【 0 0 9 2 】

工程（ C ）

50

透明基板SUB1の表面の全域にたとえばCVD法によってSiN膜を形成し絶縁膜GIを形成する。

さらに、この絶縁膜GIの表面の全域にたとえばCVD法によってa-Si層、n型不純物がドーピングされたa-Si層を順次形成する。

そして、フォトリソグラフィ技術を用いて該a-Si層を選択エッチングし、画素領域に薄膜トランジスタTFTの半導体層ASを形成する。

【0093】

工程(D)

透明基板SUB1の表面の全域に、たとえばスパッタリング法によってCr膜を形成し、フォトリソグラフィ技術を用いて該Cr膜を選択エッチングし、画素領域にドレイン信号線DL、薄膜トランジスタTFTのソース電極SD1およびドレイン電極SD2を、またドレイン信号端子形成領域に該ドレイン信号線DLの延在部を形成する。

【0094】

工程(E)

透明基板SUB1の表面の全域に、たとえばCVD法によってSiN膜を形成し保護膜PSVを形成する。そして、フォトリソグラフィ技術を用いて該保護膜PSVを選択エッチングし、画素領域に薄膜トランジスタTFTのドレイン電極SD2の一部を露呈させるコンタクト孔を形成するとともに、ドレイン信号端子形成領域には該保護膜PSVの下層の絶縁膜GIにまで貫通させて前記導電層g1の一部を露呈させるコンタクト孔を形成する。

【0095】

工程(F)

透明基板SUB1の表面の全域にたとえばスパッタリング法によってITO膜ITO2を形成する。そして、フォトリソグラフィ技術を用いて該ITO膜を選択エッチングし、画素領域に前記コンタクト孔を通して薄膜トランジスタTFTのドレイン電極SD2と接続された画素電極PXを形成するとともに、ドレイン信号端子形成領域にはドレイン信号線DLと前記導電層g1との接続を図る接続体層を形成する。

【0096】

上記製造方法において、工程(A)と工程(B)は逆転し得る。すなわち、ゲート信号線GL上に対向電極CTを上部より接続させる構成となる。この場合、ゲート信号線GLの断面形状は緩やかなテーパ加工が必要となる。

【0097】

一方、本方式では、対向電極CTがゲート信号線GLや対向電圧信号線CLより下部にあるので、ゲート信号線GLの断面形状に拘らず良好な接続が得られることになる。

【0098】

一方、本実施例では、ゲート絶縁膜GIとしてSiN膜を用いたが、ITO上の白濁を確実に回避するために少なくともITOと接触するゲート絶縁膜GIをSiO²やSiON等の酸素を含む絶縁膜を用いてもよい。

【0099】

〔実施例2〕

<画素の構成>

第15図は、本発明による液晶表示装置の他の実施例を示す平面図で、同図の16-16線における断面図、17-17線における断面図、18-18線における断面図を、それぞれ第16図、第17図、第18図に示している。

【0100】

実施例1に示した第1図と対応しており、それと同符号のものは同一の材料を示している

【0101】

実施例1と異なる構成は、まず、透明電極からなる対向電極CTが絶縁膜GI上に形成され、ドレイン信号線DLと同層になっている。

10

20

30

40

50

【0102】

このことは、対向電極CTはゲート信号線GLと異なった層として形成されていることを意味する。

【0103】

そして、該対向電極CTのドレイン信号線DLと近接する辺部に設けられる導電膜FGTは、ゲート信号線GLと同層に設けられており、該対向電極CTとは電氣的に接続されていない状態で形成されている。

【0104】

このため導電膜FGTは、実施例1のように、対向電圧信号線CLの一部として機能することはなく、専ら、ドレイン信号線DLと対向電極CTとの間にノイズとして発生する電界による液晶の光漏れ等を遮光する遮光材として機能するようになっている。

10

【0105】

このように構成した場合、ドレイン信号線DLと対向電極CTとの間隔を狭めることができ、開口率を向上させることができる効果を有する。

【0106】

しかし、該導電膜FGTはこのように形成することなく、対向電極CTと同層に形成し、該対向電極CTのドレイン信号線DLと近接する辺部に一部接続させて形成してもよいことはもちろんである。

【0107】

そして、各画素領域のうちドレイン信号線DLに沿って(ゲート信号線GLに直交する方向に)配置される各画素領域の対向電極CTは、互いに接続されて構成されている。

20

【0108】

すなわち、各画素領域の対向電極CTは、ゲート信号線GLが形成されている領域を股いで互いに一体的に形成されている。

【0109】

換言すれば、ドレイン信号線DLに沿って配置される各画素領域の対向電極CTは該ドレイン信号線DLに沿って帯状に形成され、これら帯状の各対向電極CTはドレイン信号線DLの形成領域によって分断されている。

【0110】

この対向電極CTはゲート信号線GLと異なる層で形成されており、このゲート信号線GLに接続されることなく形成できる。

30

【0111】

このように帯状に形成された対向電極CTは画素領域の集合体として形成される表示領域の外側から対向電圧信号が供給されるようにすれば、実施例1に示したような対向電圧信号線CLを特に形成せずに済むという効果を奏する。

【0112】

このため、画素電極PXは、ゲート信号線GLにより近接させて、あるいは、さらに該ゲート信号線GL上に重畳させた状態にまで延在させる(第15図参照)ことによって、該ゲート信号線GLの近傍においても画素領域としての機能をもたせることができるようになる。

40

【0113】

このことは、ゲート信号線GLの近傍において、該ゲート信号線GLそれ自体にブラックマトリックスとしての機能をもたせるだけで充分となり(換言すれば、ゲート信号線GLとその近傍を被うブラックマトリックスを必要としない)、開口率の大幅な向上が図れるという効果を奏する。

【0114】

なお、上述した実施例では、各画素領域のうちドレイン信号線DLに沿って配置される各画素領域の対向電極CTを共通に構成したものである。しかし、ゲート信号線GLに沿って配置される各画素領域の対向電極CTを共通に構成するようにしてもよいことはいうまでもない。

50

【 0 1 1 5 】

この場合、対向電極 C T はドレイン線 D L と異なる層で構成されていることが必要となり、たとえば実施例 1 の構成において適用できる。

【 0 1 1 6 】

< 製造方法 >

第 1 9 図及び第 2 0 図は上述した実施例で示した液晶表示装置の製造方法の一実施例を示した工程図であり、第 1 3 図及び第 1 4 図と対応した図となっている

【 0 1 1 7 】

実施例 1 の場合と比較して、対向電極 C T が絶縁膜 G I の上面に形成され、この対向電極 C T 上に保護膜 P S V を介して画素電極 P X が形成されている構成の相違に対応させて、製造工程に相違を有するようになっている。

【 0 1 1 8 】

〔実施例 3〕

第 2 1 図は本発明による液晶表示装置の他の実施例を示す平面図で第 1 5 図に対応した図となっている。この第 2 1 図の 2 2 - 2 2 線における断面図を第 2 2 図に示している。

【 0 1 1 9 】

第 2 1 図において、第 1 5 図と同一の符号は同一の材料を示している。第 1 5 図の構成と異なる部分は、まず、ドレイン信号線 D L に沿って配置される各画素領域内を該ドレイン信号線 D L とほぼ平行に走行する対向電圧信号線 C L が形成されていることにある。

【 0 1 2 0 】

この対向電圧信号線 C L は、対向電極 C T の直下に（あるいは直上であってもよい）に形成され、換言すれば該対向電極 C T に接続されて形成され、対向電極 C T のそれ自体の電氣的抵抗を低減させる機能をもたせている。

【 0 1 2 1 】

この対向電圧信号線 C L はたとえばドレイン信号線 D L と同時に形成され、該ドレイン信号線 D L と同一の材料からなっている。このことから、該対向電圧信号線 C L は、対向電極 C T を構成する I T O よりも電氣的抵抗の小さな導電層から構成されている。

【 0 1 2 2 】

そして、この対向電圧信号線 C L は、画素領域をほぼ 2 等分するようにしてその中央を走行するようになっている。その両脇に存在するドレイン信号線 D L との短絡を確実に回避できるように形成できるからである。

【 0 1 2 3 】

さらに、この対向電圧信号線 C L は、図中 y 方向に延在して形成される画素電極 P X のうちのひとつと重畳されて形成されている。

【 0 1 2 4 】

画素電極 P X の形成されている部分は光透過率の低減が免れない部分となっていることから、この部分に対向電圧信号線 C L を位置づけさせることによって、画素領域の全体における光透過率の低減を最小限に抑えようとする趣旨である。

【 0 1 2 5 】

この実施例では、ドレイン信号線 D L の上面に I T O 膜 I T O 1 が積層されて形成され、該ドレイン信号線 D L が断線されて形成された場合でも該 I T O 膜 I T O 1 によって該断線を修復できる構成となっている。

【 0 1 2 6 】

この I T O 膜 I T O 1 は、対向電極 C T の形成の際に同時に形成できるので、製造工数の増大を回避できる効果を奏する。

【 0 1 2 7 】

〔実施例 4〕

第 2 3 図は、本発明による液晶表示装置の他の実施例を示す平面図で、その 2 4 - 2 4 線における断面図、2 5 - 2 5 線における断面図、2 6 - 2 6 線における断面図を、それぞれ第 2 4 図、第 2 5 図、第 2 6 図に示している。

【 0 1 2 8 】

第 2 3 図は第 1 図に対応した図となっており、同一の符号は同一の材料を示している。

第 2 3 図において、第 1 図と異なる構成は、画素電極 P X が絶縁膜 G I 上に形成され、対向電極 C T とはこの絶縁膜 G I を介して配置されている。すなわち、液晶側の画素電極 P X は保護膜 P V S (および配向膜 O R I 1) を介して配置されている。

【 0 1 2 9 】

このようにした場合、液晶 L C 中への電気力線が保護膜 P V S による分圧効果によって増大され、該液晶 L C の材料として低抵抗のものを選択でき、結果として残像の少ない表示を得る効果を奏する。

【 0 1 3 0 】

また、このようにした場合、第 2 5 図に示すように、薄膜トランジスタ T F T のソース電極 S D 1 と画素電極 P X との接続を直接行なうことができるので、たとえば保護膜等に形成したコンタクト孔を通して行なう煩雑さを解消することができる。

【 0 1 3 1 】

〔 実施例 5 〕

第 2 7 図は、本発明による液晶表示装置の他の実施例を示す平面図で、その 2 8 - 2 8 線における断面図、2 9 - 2 9 線における断面図、3 0 - 3 0 線における断面図を、それぞれ第 2 8 図、第 2 9 図、第 3 0 図に示している。

【 0 1 3 2 】

第 2 7 図は第 1 図に対応した図となっており、同一の符号は同一の材料を示している。

第 2 7 図において、第 1 図と異なる構成は、まず、絶縁層を介して画素電極 P X は下層に位置づけられ、対向電極 C T は上層に位置づけられている。

【 0 1 3 3 】

第 2 8 図に示すように、絶縁膜 G I の上面に第 1 保護膜 P S V 1 が形成され、この第 1 保護膜 P S V 1 上に画素電極 P X が形成されている。

【 0 1 3 4 】

この画素電極 P X は画素領域の周辺を除く大部分の領域に形成された透明からなる電極で、第 1 保護膜 P S V 1 の下層に形成される薄膜トランジスタ T F T のソース電極 S D 2 とコンタクト孔を通して接続されている。

【 0 1 3 5 】

そして、このように形成された画素電極 P X をも被って第 2 保護膜 P S V 2 が形成され、この第 2 保護膜 P S V 2 の上面に対向電極 C T が形成されている。

【 0 1 3 6 】

この対向電極 C T は、前記画素電極 P X に重畳される領域に図中 y 方向に延在し x 方向に並設される複数の帯状の電極として形成されるが、それらの両端部は各対向電極 C T の間の領域を除く他の全ての領域に該各対向電極 C T と一体的に形成された導電層と接続されて形成されている。

【 0 1 3 7 】

換言すれば、対向電極 C T は、少なくとも表示領域を被うようにして形成された導電層 (I T O) のうち、前記画素電極 P X に重畳される領域内の導電層に、図中 y 方向に延在し x 方向に並設される複数の帯状の開口を形成することによって、形成されるようになっている。

【 0 1 3 8 】

このことは、対向電極 C T として機能する導電層以外の他の導電層は対向電圧信号線 C L として利用でき、このようにした場合、導電層全体の電気抵抗を大幅に低減できるという効果を奏するようになる。

【 0 1 3 9 】

また、対向電極 C T として機能する導電層以外の他の導電層は、ゲート信号線 G L およびドレイン信号線 D L を被った状態で形成できることになる。

【 0 1 4 0 】

10

20

30

40

50

このことは、対向電極 C T として機能する導電層以外の他の導電層は従来のブラックマトリックス層としての機能をもたせることができることを意味する。

【0141】

液晶の光透過率を制御する透明基板と平行な成分をもつ電界（横電界）は、対向電極 C T として機能する導電層と画素電極 P X の間において発生し、それ以外の部分では発生し得ないからである。

【0142】

このため、第 28 図に示すように、透明基板 S U B 2 側にはブラックマトリックス層を形成する必要がなくなり、製造の工数の低減が図れるという効果を奏するようになる。

【0143】

なお、この場合、液晶として、電界が印加されない状態で黒表示ができるいわゆるノーマリブラックのものをを用いることによって、前記導電層のブラックマトリックスとしての機能を強化することができるようになる。

【0144】

また、ゲート信号線 G L あるいはドレイン信号線 D L は、前記導電膜との間で容量を発生せしめることは否めなくなる。このことから、それらの間に介在される第 1 保護膜 P S V 1 および第 2 保護膜 P S V 2 のうちたとえば第 2 保護膜 P S V 2 を塗布で形成できる樹脂膜で構成し、この樹脂膜の膜厚を比較的大きく形成することによって該容量を小さくすることができる。

【0145】

たとえば、第 1 保護膜 P S V 1 として、その比誘電率が 7 で、膜厚が 100 ~ 900 nm の S i N 膜を用いた場合、第 2 保護膜 P S V 2 として、その比誘電率が 3 ~ 4 で、膜厚が 1000 ~ 3000 nm の有機膜が適当となる。

【0146】

また、第 2 保護膜 P S V 2 は第 1 保護膜 P S V 1 と比べて比誘電率が 1 / 2 以下であれば、その膜厚に関係なく、また、膜厚が 2 倍以上であれば、その比誘電率に関係なく、実際の製品に支障がないことが確認されている。

【0147】

〔実施例 6〕

第 31 図は本発明による液晶表示装置の他の実施例を示す平面図であり、その 32 - 32 線における断面図を第 32 図に示している。

【0148】

第 31 図は実施例 5 と比較してさらに改良された構成を示すもので、第 27 図乃至第 30 図と同符号のものは同一材料を示している。

【0149】

実施例 5 の場合と異なる構成は、まず、画素電極 P X は絶縁膜 G I 上に形成され、対向電極 C T は該画素電極 P X 上に形成された第 1 保護膜 P S V 1 上に形成されている。換言すれば、画素電極 P X と対向電極 C T は第 1 保護膜 P S V 1 を介して層を異ならしめている。

【0150】

一方、画素領域を除く他の領域には第 2 保護膜 P S V 2 が形成されている。この第 2 保護膜 P S V 2 は、たとえば少なくとも表示領域の全域に該第 2 保護膜 P S V 2 を形成した後に、画素領域に相当する部分を選択エッチングすることによって形成される。

【0151】

さらに、残存された第 2 保護膜 P S V 2 の表面には導電層が形成されている。この導電層は対向電極 C T と一体に形成され、実施例 5 の場合と同様に、少なくとも表示領域の全域に導電層を形成した後に、画素電極 P X に重畳される領域内の導電層に、図中 y 方向に延在し x 方向に並設される複数の帯状の開口を形成することによって対向電極 C T が形成されるようになっている。

【0152】

10

20

30

40

50

このように構成された液晶表示装置は、ゲート信号線 G L あるいはドレイン信号線 D L と前記導電層との間に第 1 保護膜 P S V 1 および第 2 保護膜 P S V 2 を介在させることによってそれらの間に発生させる容量を小さくできるとともに、画素電極 P X と対向電極 C T との間に第 1 保護膜 P S V 1 のみを介在させることによってそれらの間の電界を液晶 L C 側へ強く発生させることができる効果を奏する。

【 0 1 5 3 】

〔上記各実施例の特性比較〕

第 3 5 図は、上記実施例 1、実施例 2、実施例 4、実施例 5、および実施例 6 の各構成における印加電圧に対する透過率の特性を示したグラフを示している。

【 0 1 5 4 】

ここで、各実施例の液晶表示装置は、いわゆる 1 5 形 X G A 規定のもので、ゲート信号線 G L の幅を $10\ \mu\text{m}$ 、ドレイン信号線 D L の幅を $8\ \mu\text{m}$ としたものを対象としている。

【 0 1 5 5 】

第 3 5 図では、比較のため、上記各実施例の他に、T N 型の T F T - L C D および I P S 型の T F T - L C D の特性をも示している。

【 0 1 5 6 】

第 3 5 図から、実施例 1 においてはその開口率が 6 0 %、実施例 2 においてはその開口率が 7 0 %、実施例 4 においてはその開口率が 5 0 %、実施例 5 および 6 においてはその開口率が 8 0 % になることが確認される。

【 0 1 5 7 】

ここで、実施例 5 および 6 の場合に開口率が特に高いのは従来用いられていたブラックマトリックスを不要とした構成としたことによる。

【 0 1 5 8 】

また、実施例 6 の場合、実施例 5 と比較して駆動電圧を低くできるのは、画素領域において第 2 保護膜 P S V 2 が形成されていない構成となっていることによる。

【 0 1 5 9 】

上記特性は主に負の誘電異方性を有する液晶材料を用いて作成した素子の特性である。一方、正の誘電異方性を有する液晶材料を用いた場合、各実施例の透過率の最大値がそれぞれ 0 . 5 % 低下したが、逆に、しきい値電圧が 0 . 5 V 低下する効果が得られた。

【 0 1 6 0 】

〔実施例 7〕

第 3 6 図は、本発明による液晶表示装置の他の実施例を示した平面図で、上述した各実施例をいわゆるマルチドメイン方式の液晶表示装置に適用した場合を示したものである。

【 0 1 6 1 】

ここで、マルチドメイン方式とは、液晶の広がり方向に発生する電界（横電界）において、各画素領域内に該横電界の方向が異なる領域を形成するようにし、各領域の液晶の分子の揃え方向を逆にするにより、たとえば表示領域を左右からそれぞれ観た場合に生じる着色差を相殺させる効果を奏するようになる。

【 0 1 6 2 】

第 3 6 図は、例えば第 1 図に対応した図となっており、一方向に延在しそれと交差する方向に並設させた帯状の各画素電極 P X を、前記一方向に対して角度 θ （P 型液晶で、配向膜のラビング方向をドレイン信号線の方向と一致づけた場合、 $5 \sim 40^\circ$ が適当）に傾けて延在された後に角度（ -2θ ）に屈曲させて延在させることを繰り返してジグザグ状に形成したものとなっている。

【 0 1 6 3 】

この場合、対向電極 C T は画素領域の周辺を除く領域に形成され、この対向電極 C T に上述した構成の各画素電極 P X が重畳するように配置させるだけで、マルチドメイン方式の効果を奏することができる。

【 0 1 6 4 】

10

20

30

40

50

特に、画素電極 P X の屈曲部において対向電極 C T との間に発生する電界は、画素電極 P X の他の部分において対向電極 C T との間に発生する電界と全く異なることなく発生することが確かめられている。従来はいわゆるディスクリネーション領域と称され、液晶の分子の揃いれ方向がランダムになって不透過部が発生していた。

【 0 1 6 5 】

このため、画素電極 P X の屈曲部の近傍において光透過率の低下というような不都合が生じないという効果を奏する。

【 0 1 6 6 】

なお、この実施例では、画素電極 P X は第 3 6 図中 y 方向に延在させて形成したものであるが、図中 x 方向に延在させるようにし、それに屈曲部を設けてマルチドメイン方式の効果をj得るようにしてもよい。

10

【 0 1 6 7 】

また、この実施例では、画素電極 P X に屈曲部を設けてマルチドメイン方式の効果をj得るようにしたものである。

【 0 1 6 8 】

しかし、画素電極 P X を少なくとも画素領域の周辺を除く全域に形成し、例えば第 2 8 図に示したように、対向電極 C T を一方向に延在させその方向に交差する方向に並設させた構成のものにあっては、該対向電極に屈曲部を設けてマルチドメイン方式の効果をj得るようにしてもよいことはいうまでもない。

20

【 0 1 6 9 】

〔実施例 8〕

第 3 7 図は、本発明による液晶表示装置の他の実施例を示す平面図で、第 2 7 図と対応した図となっている。

なお、第 3 7 図中、3 8 - 3 8 線における断面図、3 9 - 3 9 線における断面図を、それぞれ第 3 8 図及び第 3 9 図に示している。

【 0 1 7 0 】

第 2 7 図と同符号のものは同一の材料から構成されている。第 2 7 図との構成上の相違は、画素電極 P X にある。

【 0 1 7 1 】

この画素電極 P X は、対向電極 C T と重畳される部分においてその周辺を除く部分に開口が形成されて構成されている。このため、一方向に延在する対向電極 C T の中心軸は前記画素電極 P X の開口の中心軸とほぼ一致づけられ、該対向電極 C T の幅を W とした場合、前記開口の幅はそれよりも小さい L として形成されている。

30

【 0 1 7 2 】

このように構成した場合、該画素電極 P X と対向電極 C T との間に発生する電界の分布は第 2 7 図におけるそれ全く同様にして発生できるようになっている。

【 0 1 7 3 】

そして、前記開口を設けることによって、その分だけ画素電極 P X と対向電極 C T との間の容量を小さくすることができる効果を奏する。

【 0 1 7 4 】

40

上述したように、画素電極 P X と対向電極 C T との間の容量は、画素電極 P X に供給される映像信号を比較的長く蓄積させるためにある程度は必要となるが、必要以上に大きくなることによって、信号の遅延による表示の輝度ばらつきが発生することから、前記開口を適当な大きさにすることによって該容量を最適な値とすることができるようになる。

【 0 1 7 5 】

ここで、前記画素電極 P X に形成する開口によって該画素電極 P X と対向電極 C T との間に発生する容量の値を設定しようとする場合、該画素電極 P X に対する対向電極 C T の位置ずれによって、所定の容量値が得られないことが考えられる。

【 0 1 7 6 】

この場合、例えば第 4 2 図に示すように、画素電極 P X の開口における一対の辺部（こ

50

の図では位置ずれの不都合の顕著さを考え、図中 y 方向に平行な辺を例にとっている)をたとえばジグザク状に形成し、各辺のそれぞれに山部(凸部)および谷部(凹部)が形成される開口を形成する。

【0177】

画素電極 P X と対向電極 C T とが、第 42 図(a)に示すように位置づれなく配置された場合、それらの容量の値は、それらの重畳された面積で決定されることになる。

【0178】

そして、画素電極 P X に対して対向電極 C T が、第 42 図(b)に示すように x 方向に位置づれが生じた場合にも、それらの重畳される面積が不変であり、容量の値に変化が生じない。

一方の辺の山部が引っ込んだ場合に他方の辺の山部が突き出す関係が生じるからである。

【0179】

このことから、開口のパターンは上述したものに限定されることはなく、たとえば一方の電極の位置づれに対して、該位置づれの方に交差する開口辺の一方の辺に該電極側へ突き出す凸部が形成され、また他方の辺に該電極に対して引っ込む凸部が形成されていればよい。

【0180】

なお、このような構成は、第 27 図の構成を前提とするものではなく、上述した各実施例の全てに適用できるものである。例えば、対向電極 C T が少なくとも画素領域の周辺を除く全域に形成されている構成となっている場合、この対向電極 C T において、画素電極 P X と重畳される部分においてその周辺を除く部分に開口を形成するようにしてもよい。さらに、この場合の一方の電極の開口は、その周辺において他方の電極と重畳するようになっているが、必ずしも重畳されていなくてもよいことはいうまでもない。

【0181】

〔実施例 9〕

第 40 図は、本発明による液晶表示装置の他の実施例を示す平面図で、その 41 - 41 線における断面図を第 41 図に示している。

【0182】

第 40 図及び第 41 図は、実施例 5(図 27 ~ 図 30)の改良として説明した図で、その特徴点はたとえば合成樹脂膜で構成される第 2 保護膜 P S V 2 にスペーサとしての機能ももたせるようにしたものである。

【0183】

ここで、スペーサは、一方の透明基板側に対して他方の透明基板を精度よいギャップを保持して支持するもので、表示領域の全域に及んで液晶の層厚を均一にさせることが要求される。

【0184】

この実施例では、たとえばゲート信号線 G L の一部に重畳する領域に該スペーサの形成領域を設け、このスペーサは第 2 保護膜 P S V 2 と一体に形成された突起部として構成されている。

【0185】

このスペーサを設ける個所は各画素領域において同一の場所とすることによって、表示領域の全域に及んで液晶の層厚を均一にすることができる。同一の場所であれば、その部分の積層構造が同一であるからである。

【0186】

このスペーサは、たとえば第 2 保護膜 P S V 2 を形成する際に、まず、光感光性の合成樹脂膜をスペーサの高さ分を加算させた膜厚で形成し、その後、たとえばスペーサの形成領域に強い光を、そしてスペーサの形成領域外の領域に弱い光を選択的に照射させ、現像工程を経ることによって形成できるようになる。

【0187】

このように形成される各スペーサは、同じ高さのものが精度よく得られるようになることから、各透明基板の間のギャップを表示領域の全域にわたって均一に保持させることができるようになる。

【0188】

なお、この実施例では、スペーサの形成後において、対向電極を形成する必要があるが、たとえ、スペーサの頂面において該対向電極の材料が残存したとしても、いわゆるフィルタ基板の側には電極が配置されていない構成となっていることから、それによる不都合は生じないようになっている。

【0189】

また、この実施例では、実施例5の改良として説明したものであるが、この実施例に限定されることはないことはいうまでもない。

10

【0190】

液晶に近い層として合成樹脂膜を形成する必要がある場合には、それと一体にスペーサを形成できる効果を有するが、そうでない場合であっても、いずれか一方の透明基板に固定されたスペーサを形成することは、各透明基板の間のギャップを精度よく均一にできるからである。

【0191】

〔実施例10〕

第43図は本発明による液晶表示装置の他の実施例を示す断面図である。第43図は実施例5と比較してさらに改良された構成を示すもので、第27図の28-28線に沿った別の断面図を示している。なお、画素領域を示す平面図は実施例5の第27図と同一構成となる。

20

【0192】

実施例1との構成上の相違は、まず、対向電極CTの下部であり、画素電極PXを絶縁分離している保護絶縁膜PSV2が対向電極CTあるいは対向電圧信号配線CLをマスクとして掘るように加工されている。

【0193】

この加工により、ドレイン信号線DLと対向電圧信号配線CLの間の絶縁膜PSV2は厚く、同様に、対向電極CTと画素電極PXと直接重なる領域の絶縁膜は厚く形成され、対向電極CT間の間隔部分の絶縁膜PSV2は薄く形成される。

30

【0194】

上記加工の効果は、厚く形成された絶縁膜は、薄膜トランジスタTFTの負荷の容量を低減させる、あるいはドレイン信号線DLの負荷容量を低減せしめる。

【0195】

一方、薄く形成された絶縁膜PSV2は画素電極PXと対向電極CT間の絶縁膜による電圧降下を低減し、液晶に十分な電圧を印加することが可能となり、液晶のしきい電圧を低減できる。

【0196】

また、上記絶縁膜PSV2の加工は対向電極CTをマスクとして加工するので、この対向電圧CTと自己整合的に加工され、表示むらが極めて発生しにくい。

40

【0197】

以上、実施例1乃至10を参照して説明したことから明らかなように、本発明による液晶表示装置によれば、極めて性能の高いものが得られるようになる。

【0198】

〔実施例11〕

第44図は本発明による液晶表示装置の他の実施例での画素領域における構成図であり、液晶を介して互に対向配置される一対の透明基板の一方の透明基板を液晶側から見た平面図である。また、第45図は第44図の45-45線における断面を示した図である。

【0199】

50

まず、第44図において、透明基板SUB1上に図中x方向に延在されy方向に並設されるゲート信号線GLがたとえばクロム(Cr)で形成されている。このゲート信号線GLは後述するドレイン信号線DLとで矩形状の領域を形成し、その領域は画素領域を構成するようになっている。

【0200】

この画素領域には、ゲート信号線GLとともに、前記ゲート信号線GLとの接続および前記ドレイン信号線DL(後の工程で形成される)との重畳が回避されるようにして、対向電圧信号線CLが形成されている。対向電圧信号線CLは、ゲート信号線GLと同一の材料で形成してよいから、ゲート信号線GLと同一の工程で設けられる。第44図に示されるように、この対向電圧信号線CLは、画素領域の中央において図中y方向に走行する带状の導電層CL'と、この導電層に接続されて画素領域の周辺に沿って形成された枠体状の導電層CL''とから構成され、この画素領域を間にした左右の画素領域における対向電圧信号線CLとは図中x方向に延在する対向電圧信号線CLによって互いに接続されるようになっている。この対向電圧信号線CLは、後述する対向電極CTに対向電圧信号を供給するための信号線として機能するが、遮光膜としての機能をも有するようにして形成されている。この遮光膜としての機能の詳細については後述する

【0201】

さらに、該画素領域には、その僅かな周辺部を除く中央部の全域に、透明導電体であるたとえばITO1(Indium-Tin-Oxide)からなる対向電極CTが形成されている。本実施例並びに後述の実施例12~15においては、基板主面側に設けられる透明導電体からなる対向電極CT(ITO1)の輪郭を太線で示す。この対向電極CT(ITO1)は、これより基板主面から離れた他の透明導電体の膜(画素電極PX(ITO2))に少なくとも一部が覆われる。透明導電体としては、本実施例にて用いたITOに代えて、例えば、IZO(Indium-Zinc-Oxide)やイオン・コーティングなどで得られる金属の薄膜等、これに入射する光を十分な強度で出射できるように形成された導電膜(例えば、入射光の少なくとも60%を透過させ得る)を用いてもよい。

【0202】

この対向電極CTはその周辺部が前記対向電圧信号線CLの枠体状の導電層の内側の周辺部に直接に重畳するように形成され、これにより該対向電極CTに対向電圧信号線CLから供給される対向電圧が印加されるようになっている。これらのゲート信号線GL、対向電圧信号線CL、および対向電極CTをも被って透明基板SUB1の上面の全域には、たとえばSiNからなる絶縁膜GIが形成されている。この絶縁膜GIは、後述のドレイン信号線DLに対しては対向電圧信号線CLおよびゲート信号線GLの層間絶縁膜としての機能を、後述の薄膜トランジスタTFETの形成領域においてはそのゲート絶縁膜としての機能、後述の容量素子Csfgの形成領域においてはその誘電体膜としての機能を有するようになっている。

【0203】

第44図の左下に示されるように、ゲート信号線GLの一部に重畳される薄膜トランジスタTFETの部分の前記絶縁膜GI上には、例えばa-Siからなる半導体層ASが形成されている。

【0204】

この半導体層ASの上面にソース電極SD2およびドレイン電極SD1が形成されることによって、ゲート信号線GLの一部をゲート電極とする逆スタガ構造のMIS型トランジスタが形成されることになる。そして、このソース電極SD2およびドレイン電極SD1はドレイン信号線DLと同時に形成されるようになっている。

【0205】

すなわち、第44図においてy方向に延在されx方向に並設されたドレイン信号線DLが形成され、このドレイン信号線DLの一部が前記半導体層ASの表面にまで延在されることによって薄膜トランジスタTFETのドレイン電極SD1を構成するようになっている。

【0206】

また、該ドレイン信号線DLの形成の際にソース電極SD2が形成され、このソース電極SD2は画素領域内の一部にまで延在されて後述の画素電極PXとの接続を図るコンタクト部をも一体的に形成されるようになっている。

【0207】

なお、半導体層ASの前記ソース電極SD2およびドレイン電極SD1との界面にはたとえばn型不純物がドーピングされたコンタクト層d0が形成されている。

【0208】

このコンタクト層d0は、半導体層ASの表面の全域にn型不純物ドーピング層を形成し、さらにソース電極SD2およびドレイン電極SD1の形成後において、該各電極をマスクとしてこれら各電極から露出された半導体層ASの表面のn型不純物ドーピング層をエッチングすることによって形成されるようになっている。

【0209】

なお、この実施例では、半導体層ASは薄膜トランジスタTF Tの形成領域ばかりでなく、ドレイン信号線DLに対するゲート信号線GL、対向電圧信号線CLとの交差部にも形成されている。層間絶縁膜としての機能を強化せしめためである。

【0210】

そして、このように薄膜トランジスタTF Tが形成された透明基板SUB1の表面には、該薄膜トランジスタTF Tをも被ったたとえばSiNからなる保護膜PSVが形成されている。薄膜トランジスタTF Tの液晶LCとの直接の接触を回避するためである。

【0211】

さらに、この保護膜PSVの上面には画素電極PXがたとえばITO2 (Indium-Tin-Oxide) からなる透明な導電膜によって形成されている。

【0212】

そして、この画素電極PXはその一部において、前記保護膜PSVに形成されたコンタクト孔を通して前記薄膜トランジスタTF Tのソース電極SD2の延在部と接続されるようになっている。

【0213】

この画素電極PXは、画素領域のほぼ中央において第44図中y方向に延在する対向電圧信号線CL'上で屈曲部を有する複数の第1の電極PX'と、これら第1の電極PX'の各端部をそれぞれ接続する棒体状の第2の電極PX''とから構成されている。換言すれば、第1の電極PX'は、前記対向電極信号線CL'によって画される一方の画素領域側において、該対向電極信号線CL'に対して($-\theta$; $\theta < 45^\circ$)の傾きを有して図中y方向に等間隔に配置され、また、他方の画素領域側において、該対向電極信号線に対して($+\theta$; $\theta < 45^\circ$)の傾きを有して第44図中y方向に等間隔に配置されているとともに、各画素領域の対応する電極どうしは該対向電極信号線CL'上で互いに接続された構成となっている。

【0214】

このように第1の電極CL'に屈曲部を設けているのはいわゆるマルチドメイン方式を採用するものであり、一方の傾き($-\theta$)を有する画素電極と他方の傾き($+\theta$)を有する画素電極のそれぞれの対向電極CTに対して発生する電界の方向を異ならしめ、液晶分子の捻じれ方向を逆にすることにより、たとえば表示領域を左右からそれぞれ観た場合に生じる着色差を相殺させる効果を奏するためである。

【0215】

この第1の電極PX'の各々の屈曲部は、上述した対向電圧信号線CLのうち、画素領域の中央においてy方向に延在する信号線CL'に重畳するようにして位置づけられている。

【0216】

第1の電極PX'の屈曲部の近傍は、この部分において電界の方向がランダムとなり、厳密な横電界がかからない不透過領域(以下、この領域をディスクリネーション領域と称

10

20

30

40

50

する)が発生することから、この領域を該信号線CL'によって遮光する構成としたものである。

【0217】

また、前記第1の電極PX'は、その屈曲部を中心として電極の広がり角は 2θ ($< 90^\circ$)であり、鋭角となっている。

【0218】

このようにした場合、この屈曲部において対向電極CTとの間に比較的強い電界がかかり易くなり、液晶分子の回転を高速に行わしめることができるようになる。このため、この屈曲部を起点として、その周りひいては画素領域の全域に及んで液晶分子の回転の高速化を波及せしめることができ、結果としてレスポンスの高速化を図った表示を達成せしめる効果を奏するようである。

10

【0219】

また、画素電極PXのうち第2の電極PX''は、前記対向電圧信号線CLのうち枠体状に形成された信号線CL''の内側の周辺部に重畳された枠体状の電極PX''からなり、前記第1の電極PX'の延在端と接続された構成となっている。

【0220】

第2の電極PX''のうち第44図中y方向に延在する部分と、それに隣接して配置されるドレイン信号線DLとの間には、上述した対向電圧信号線CL''が図中y方向に延在されて形成されている。

【0221】

20

この対向電圧信号線CL''は、ドレイン信号線DLとの間の隙間をなるべく小さくするようにして、その幅が大きく形成されている。

【0222】

換言すれば、画素電極PXのうち第44図中y方向に延在する電極PX''と、それに隣接して配置されるドレイン信号線DLとの間の隙間は該対向電圧信号線CL''によって遮光されている構成となっている。

【0223】

ドレイン信号線DLからはそれに供給される映像信号によって電界が発生し、この電界は対向電圧信号線CL''側へ終端させるようにするとともに、該電界によって変化する液晶の光透過率の変化による光透過を遮光させんとする趣旨である。

30

【0224】

このように構成された画素電極PXは、次のような種々の効果を奏するようになっている。

【0225】

まず、対向電極CTとの間で発生する電界の方向を異ならしめる領域は、画素領域を二分割して形成しているため、各画素電極PX(第1の電極PX')の屈曲部はそれぞれ一つとなり、その総数は該第1の電極PX'の数に相当することになる。

【0226】

従来、例えば、第44図中y方向に延在されx方向に並設された各画素電極のそれぞれを、その長手方向に沿って右側へ傾斜させた後に左側へ傾斜させ、さらに右側へ傾斜させることを繰り返した、いわゆるジグザグ形状にしたもの比べ、該電極の屈曲部を大幅に減少させた構成とすることができるようになる。

40

【0227】

このため、該電極PX'の屈曲部において、ディスクリネーション領域が発生するのを大幅に減少させることができるようになる。

【0228】

また、画素電極PXを、前記第1の電極PX'の他に、画素領域の周辺に枠体状に配置される第2の電極PX''を新たに設けることにより、この第2の電極PX''と対向電極CTとの間にも横電界が発生するようになる。

【0229】

50

従来、上述したようなジグザク形状の画素電極では、隣接するドレイン信号線との間に小さなスペースと大きなスペースとが交互に形成され、このうち大きなスペースにおいては十分な横電界が発生しないいわゆるデッドスペースが生じていた。

【0230】

このため、本実施例のように構成することにより、上述したデッドスペースの発生を抑制でき、実質的な画素領域の拡大を図ることができるようになる。

【0231】

なお、この第2の電極PX''は、薄膜トランジスタTFTのソース電極SD2を介して第1の電極PX'のそれぞれに映像信号を供給させる機能をも有する。

【0232】

このため、この機能を充足する限り、第2の電極PX''は必ずしも画素領域の周辺に沿った枠体状の形状に形成する必要がないことはいうまでもない。

【0233】

たとえば、第44図の第2の電極PX''において、図中x方向に平行に位置づけられるものうち、図中上側（薄膜トランジスタTFTと反対側）のものを特に形成しなくても十分な効果が得られるようになる。このように画素電極PXが形成された透明基板SUB1の表面には該画素電極PXをも被って配向膜（第44図及び第45図には図示せず、実施例1参照）が形成されている。この配向膜は、図中y方向にラビング処理がなされた液晶LCと直接に接触する膜で、該液晶LCの初期配向方向を決定づけるものとなっている。

【0234】

なお、上述した実施例では、画素電極PXを透明な電極として構成したものであるが、必ずしも透明でなければならないことはなく、例えばCrのような不透明の金属材料であってもよい。これによって開口率が若干低下するが、液晶LCの駆動においては全く支障がないからである。

【0235】

また、このように構成された透明基板SUB1はいわゆるTFT基板と称され、このTFT基板と液晶LCを介して対向配置される透明基板はフィルタ基板と称されている。フィルタ基板は、その液晶側の面に、まず、各画素領域を画するようにしてブラックマトリックスが形成され、このブラックマトリックスの実質的な画素領域を決定する開口部にはそれを被ってフィルタが形成されるようになっている。そして、ブラックマトリックスおよびフィルタを被って、例えば樹脂膜からなるオーバーコート膜が形成され、このオーバーコート膜の上面には配向膜が形成されている。これらの詳細は、実施例1にて述べたとおりである。

【0236】

〔実施例12〕

第46図は、本発明による液晶表示装置の他の実施例を示す図で、図1に対応した図面となっている。また、第47図は第46図の47-47線における断面を示す図である。

【0237】

第44図と異なる構成は、まず、屈曲部を有する画素電極PXの該屈曲部の近傍を遮光する部材として、ドレイン信号線GLとともに形成される（したがって該信号線と材料が同一）導電層CLを用いていることにある。

【0238】

この導電層CLは対向電圧信号線を構成するものであり、このため、透明電極を構成される対向電極CTは、この対向電圧信号線CLの上層（下層であってもよい）に重畳されて形成されるようになっている。

【0239】

また、該導電層CLは、画素領域のほぼ中央をy方向に走行して形成されているため、その両脇に位置づけられる各ドレイン信号線DLとのショートの憂いなく形成することができるようになる。

【0240】

10

20

30

40

50

〔実施例 13〕

第 48 図は、本発明による液晶表示装置の他の実施例を示す図で、第 44 図に対応した図となっている。

【0241】

第 44 図との構成上の相違は画素電極 P X に見られ、屈曲部を有する複数の第 1 の電極 P X ' の各端部をそれぞれ接続する棒体状の第 2 の電極 P X " の図中 y 方向に延伸する部分に代えて、当該画素電極の中央部を図中 y 方向に延伸する第 3 の電極 P X 3 を設けている。

【0242】

このように構成した場合にも、画素領域の全域にわたって画素電極をデッドスペースなく形成することができるようになる。

【0243】

〔実施例 14〕

第 49 図は、本発明による液晶表示装置の他の実施例を示す図で、第 44 図に対応した図となっている。

【0244】

第 44 図と異なる構成は、画素領域において電界の方向が異なる領域をこの図中 x 方向に平行な境界によって二分割したことにある。

【0245】

このため、屈曲部を有する画素電極 P X (第 1 の電極 P X ') は、一方の画素領域において図中 x 方向に対して ($-\varphi : \varphi > 45^\circ$) の角度を有して配置され、他方の画素領域において ($+\varphi : \varphi > 45^\circ$) の角度を有して配置されるとともに、該境界部において対応する画素電極が互いに接続されたパターンを有している。

【0246】

このようにした場合においても、デッドスペースの縮小化、および画素電極の第 1 の電極 P X ' の屈曲部の数の減少化を図ることができるようになる。

【0247】

また、このようにした場合、配向膜の初期配向方向 (図中 y 方向) と各電界の方向との最も好ましい設定から、第 1 の電極はその屈曲部における開き角度 (2φ) は鈍角となるように設定できるようになる。

【0248】

このため、画素電極 (第 1 の電極) の屈曲部におけるいわゆるディスクリネーション領域の発生の減少化を図ることができるようになる。

【0249】

このことから、この実施例の場合、各画素電極の屈曲部における遮光手段を備えた構成とはなっていないが、ディスクリネーション領域の完全なる発生の防止のため該遮光手段を設けるようにしてもよいことはいうまでもない。

【0250】

なお、第 49 図中、その第 2 の電極 P X " において、図中 x 方向に平行に位置づけられるものうち、図中上側 (薄膜トランジスタ T F T と反対側) のものを特に形成しなくても十分な効果が得られることはいうまでもない。

【0251】

〔実施例 15〕

第 50 図は、本発明による液晶表示装置の他の実施例を示す図で、第 44 図に対応した図となっている。

【0252】

第 44 図との構成上の相違は、対向電圧信号線 C L と対向電極 C T との接続にある。本実施例では、ゲート信号線 G L にクロム (C r) 系の合金を用い、基板上にゲート信号線 G L のパターンを形成した後、S i N x 等からなるゲート絶縁膜 G I の成膜の前に対向電極 C T (I T O 1) を形成する。例えば、第 13 図において、(B) の工程が (A) の工

10

20

30

40

50

程より前となる（（Ａ）工程と（Ｂ）工程との順序が逆転する）。対向電極ＣＴをなすＩＴＯ膜は、ブラックマトリクスＢＭの開口（その輪郭を破線で図示）により規定される画素の中心にて、対向電圧信号線ＣＬをなすＣｒ膜と直に接触する。

【０２５３】

第５０図には、液晶層の光透過率を変調するために液晶分子を回転駆動させる電場の印加方向、ドレイン信号線（映像信号線、データ線とも呼ぶ）から上記画素（破線ＢＭの枠に囲まれた領域）に洩れる電場の方向、及び図示された電極構造を覆う配向膜（図示せず）をラビング処理するときのラビングローラの進行方向（所謂ラビング方向）が夫々太線の矢印で示されている。

【０２５４】

本実施例では、液晶分子を回転駆動する電場は、図の上下方向（ドレイン信号線ＤＬの延伸方向）に沿って印加される。このため、ドレイン信号線から図の左右方向に画素へ漏洩する電場（電気力線）が液晶分子の回転駆動に与える影響が低減され、縦スミア（Smear）による画質の劣化が抑えられる。液晶分子を回転駆動させる電場の方向（「液晶への電場印加方向」の矢印）とドレイン信号線ＤＬから画素に漏洩する電場の方向（「ドレイン線からの電場方向」を示す矢印）とが交差する角度が大きいほど、上述の縦スミアの発生は抑えられる。この交差角度が小さい場合、ドレイン信号線ＤＬと画素との間に、対向電極ＣＴ又は画素電極ＰＸをドレイン信号線ＤＬに沿って設けることにより、ドレイン信号線ＤＬから画素への漏洩電場を遮蔽する必要がある。しかし、本実施例では、櫛歯状に並ぶ画素電極ＰＸ（ＩＴＯ２）をドレイン線と十分な大きさの角度を以って交差するように配置したため、この遮蔽構造が不要となる。この特徴は、第５０図に示す画素の左上及び右下にみられ、画素自体の開口率（液晶分子の回転駆動により変調される光を透過できる面積）を大きくする。

【０２５５】

また、本実施例によれば、基板主面からみて一方の透明導電体の膜ＩＴＯ１より離れて形成された他方の透明導電体の膜ＩＴＯ２（その断面構造から見て、上部ＩＴＯ層ともよぶ）により構成される電極構造の設計自由度が高くなる。このため、ドレイン信号線ＤＬの延伸方向に交差する（望ましくは略直交する）方向に沿ってこれから供給される電圧信号を画素電極ＰＸに印加するように画素全体を設計することができる。

【０２５６】

なお、本実施例においては、ドレイン信号線ＤＬに対して画素電極ＰＸの櫛歯の延伸方向が直交していないため、ラビング方向（これに沿った方向に、電場が印加されない状態での液晶分子が配向する）をドレイン信号線に対して直交する方向に設定することができる。

【０２５７】

上述した実施例１１乃至１４では、対向電極ＣＴは画素領域の僅かな周辺を除く中央部の全域に及んで形成されたものである。

【０２５８】

しかし、この対向電極ＣＴは画素電極ＰＸと重畳する部分に形成されていなくても、液晶の動作には全く影響がないことからこのように形成してもよいことはいうまでもない。

【０２５９】

また、上述した各実施例では、画素領域の僅かな周辺を除く中央部の全域に及んで形成された透明の電極を対向電極ＣＴとし、屈曲部が形成された電極を画素電極ＰＸとして形成したものであるが、これに限定されることなく、画素領域の僅かな周辺を除く中央部の全域に及んで形成された透明の電極を画素電極ＰＸとし、屈曲部が形成された電極を対向電極ＣＴとして形成するようにしてもよいことはいうまでもない。

【０２６０】

以上、実施例１１乃至１４を参照して説明したことから明らかなように、本発明による液晶表示装置によれば、優れた品質の画像を表示することができるようになる。

10

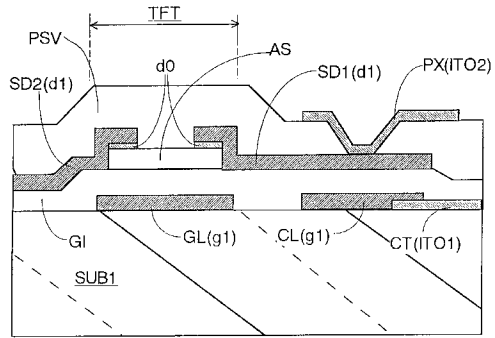
20

30

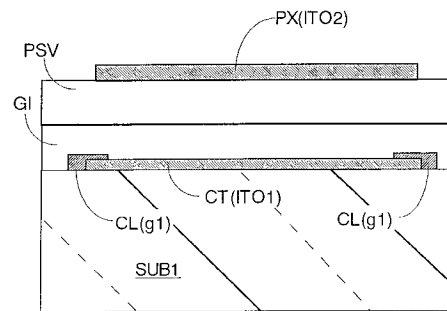
40

50

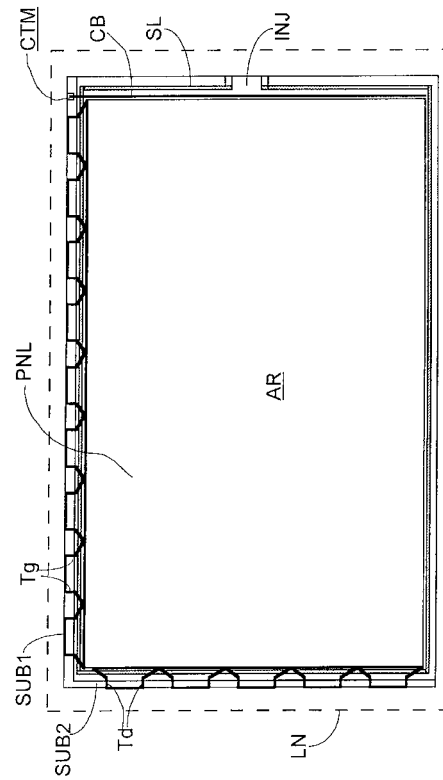
【図 3】



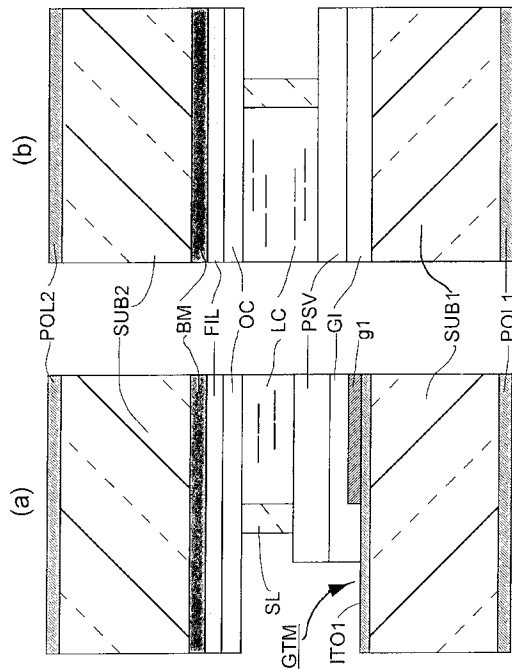
【図 4】



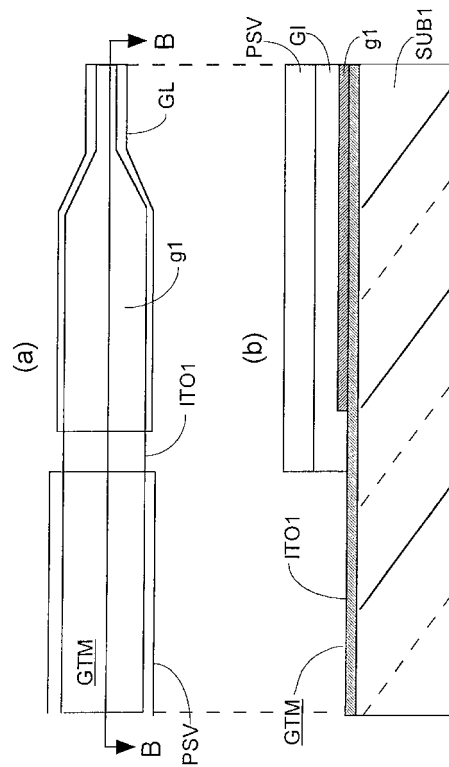
【図 5】



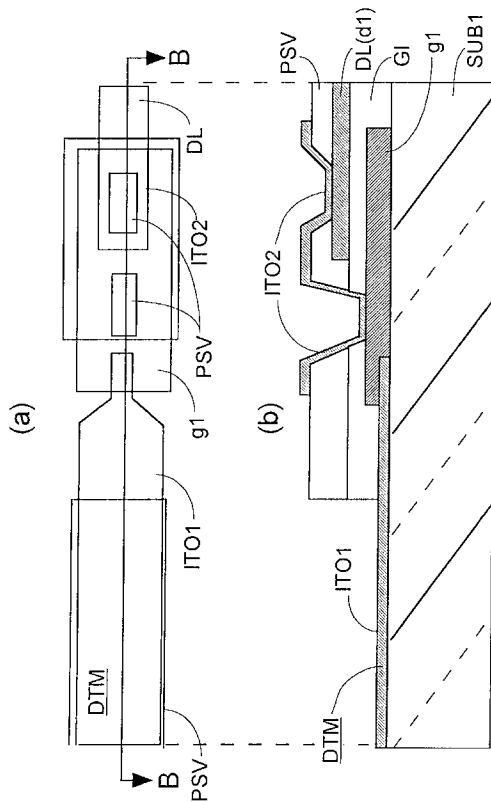
【図 6】



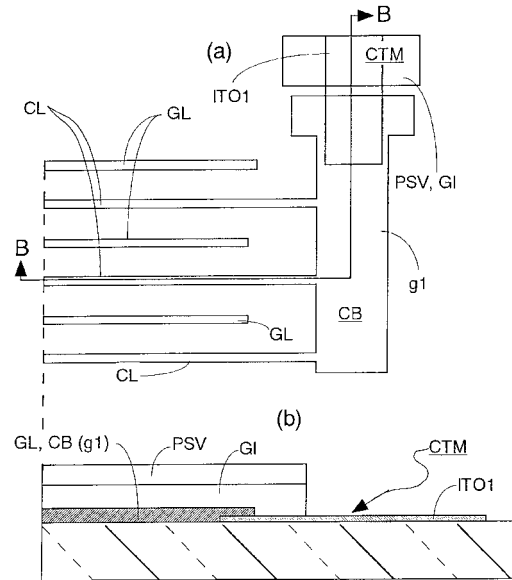
【図 7】



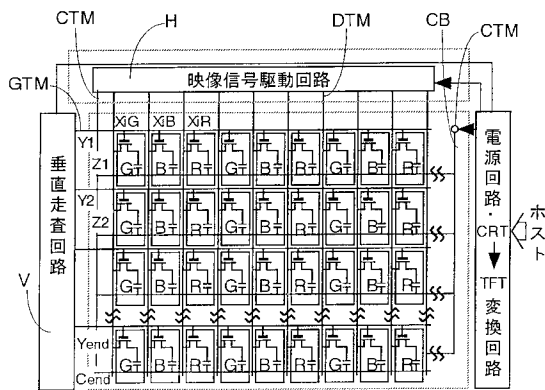
【図 8】



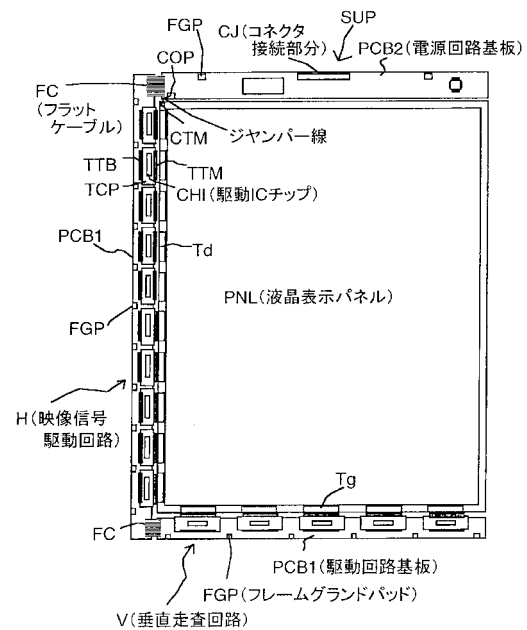
【図 9】



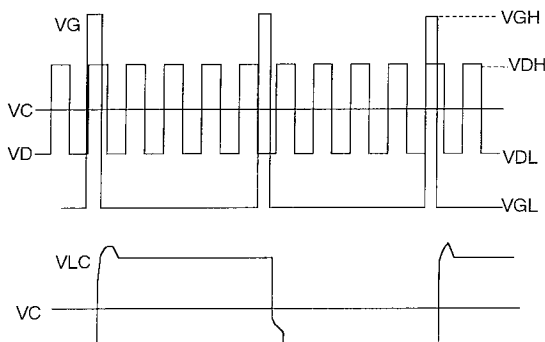
【図 10】



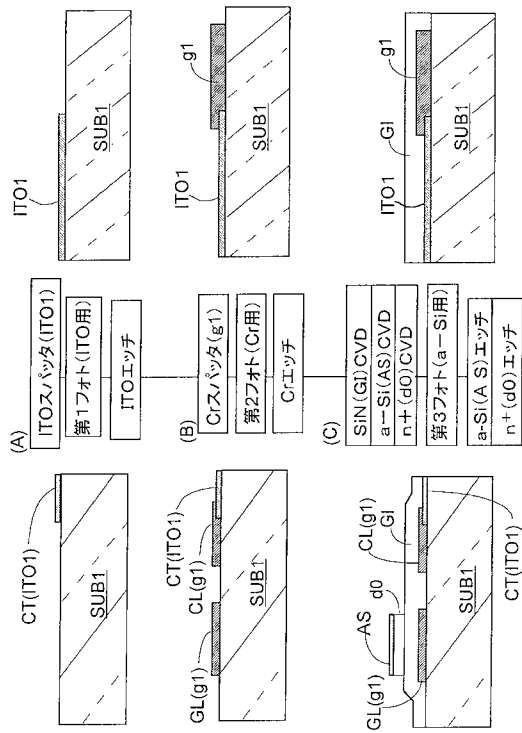
【図 12】



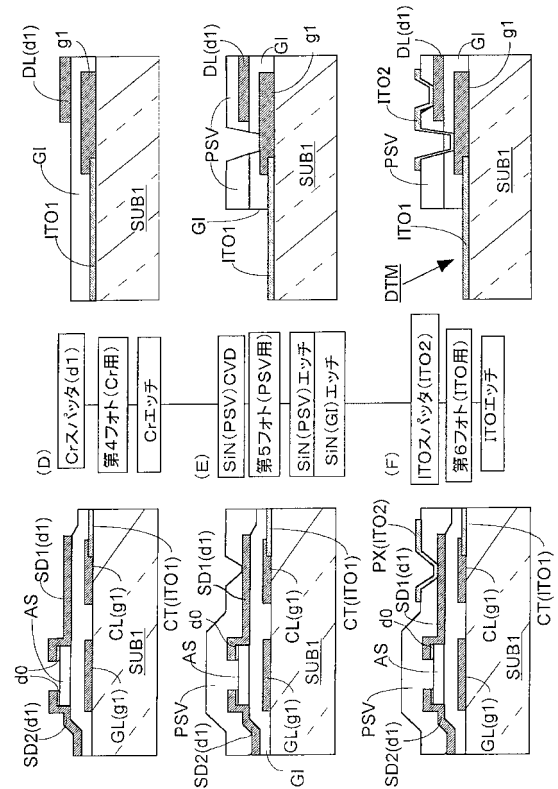
【図 11】



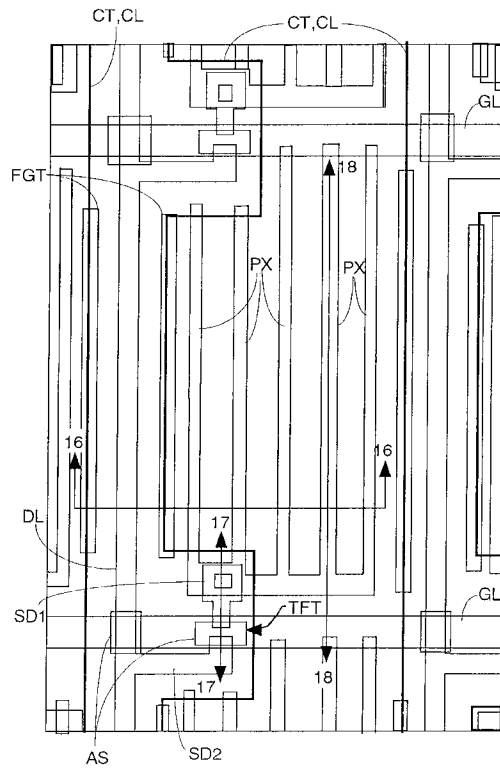
【図 13】



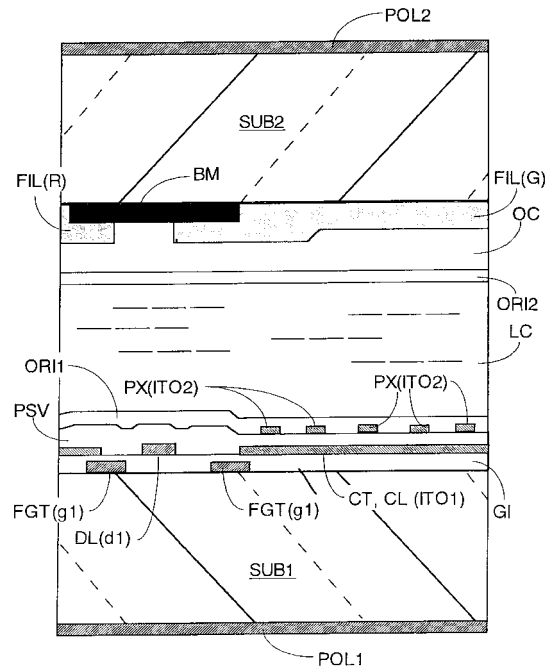
【図 14】



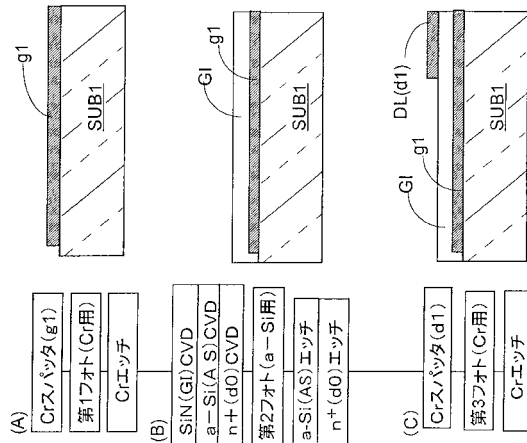
【図 15】



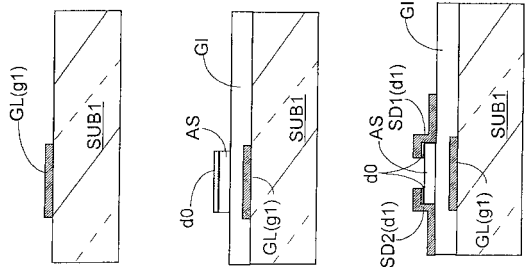
【図 16】



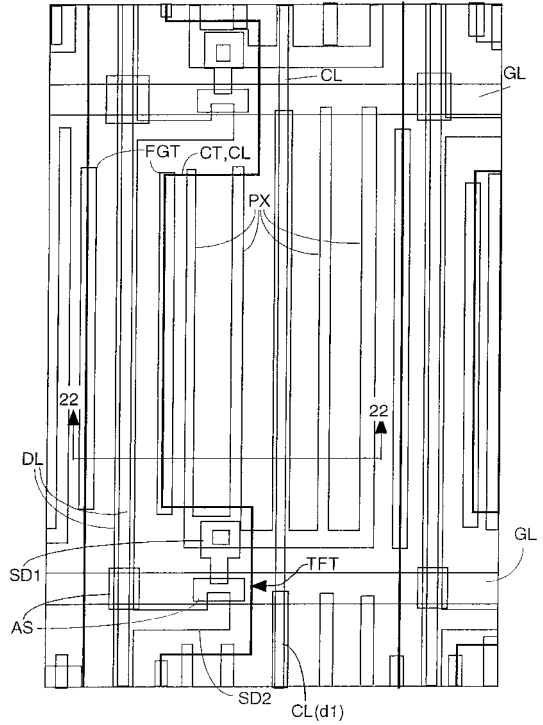
【 図 1 9 】



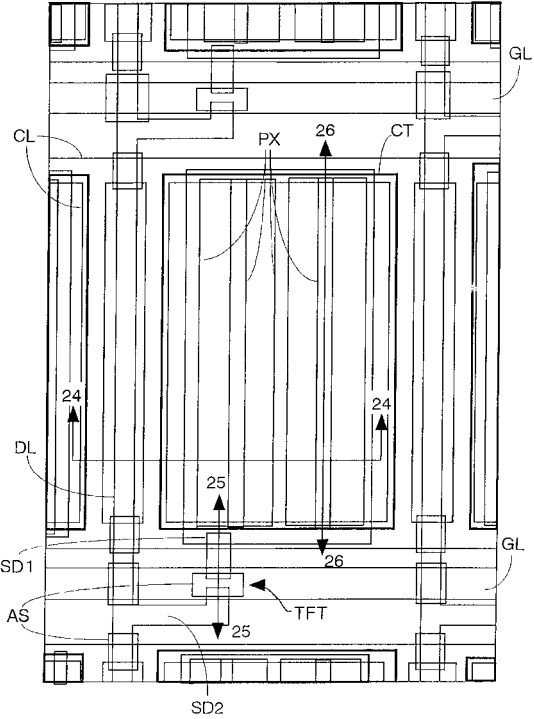
(A)



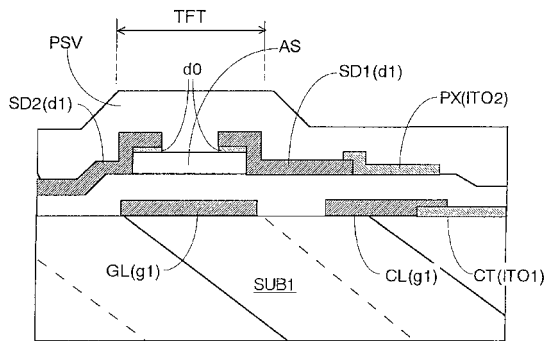
【 ㄨ 2 1 】



【 図 2 3 】

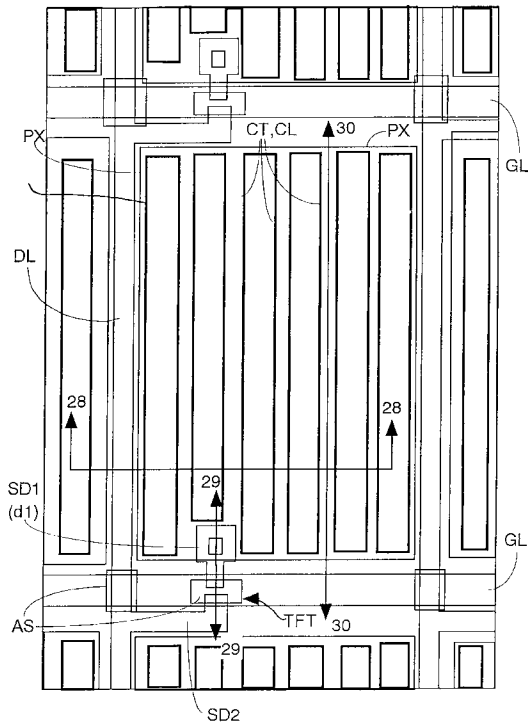


【 ㊦ 2 5 】

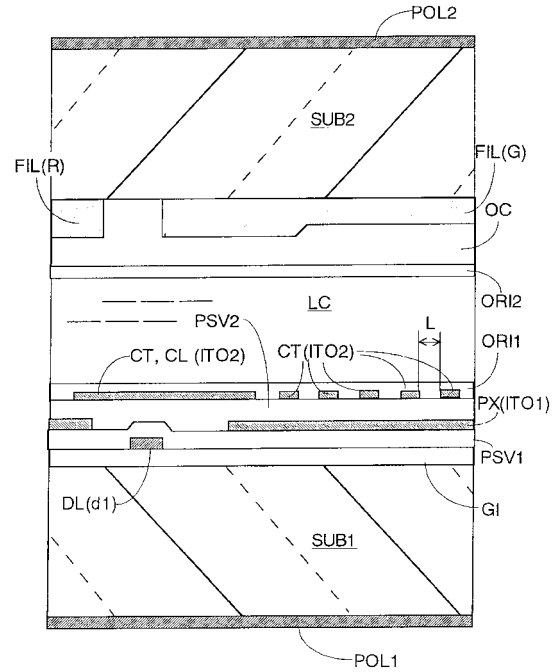


This diagram shows a cross-sectional view of the first embodiment of the semiconductor device. It features a substrate labeled **SUB1**. On the substrate, there is a layer of **CT (ITO1)**. Above this, a layer of **CL(g1)** is formed, which includes a central portion and two side portions. A layer of **PSV** is deposited over the central portion of the **CL(g1)** layer. On top of the **PSV** layer, a layer of **PX(ITO2)** is formed. A gate layer labeled **G1** is positioned above the **PX(ITO2)** layer. Dashed lines indicate the alignment and extent of the layers.

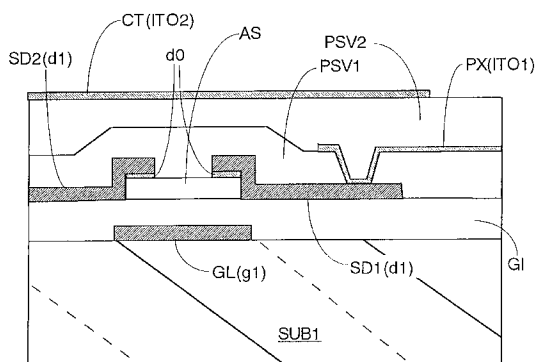
【図 27】



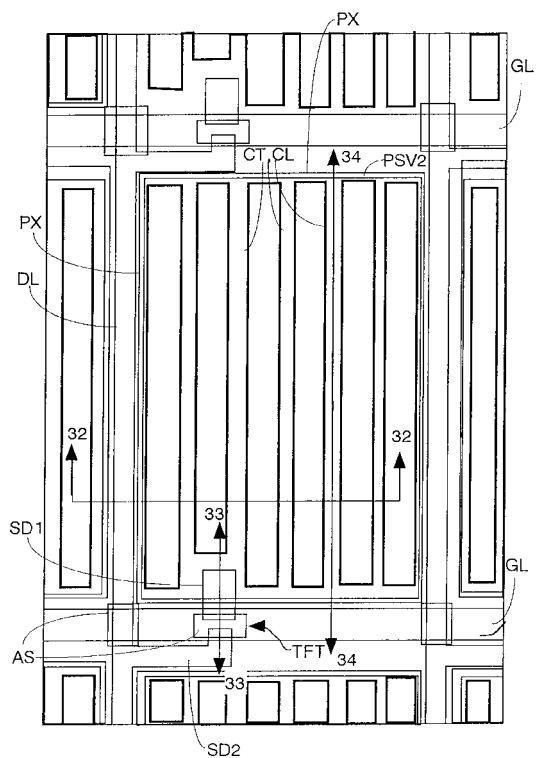
【図 28】



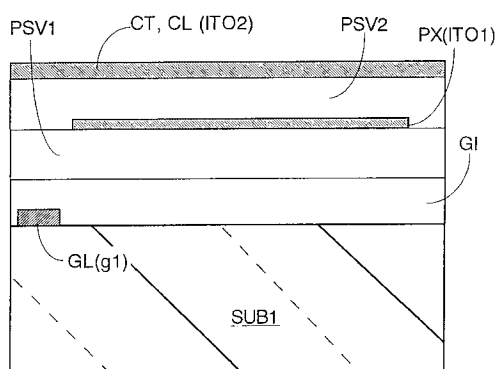
【図 29】



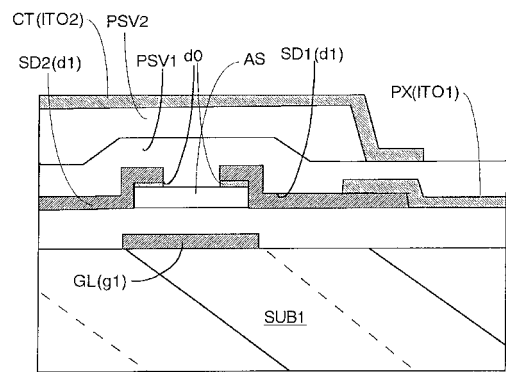
【図 31】



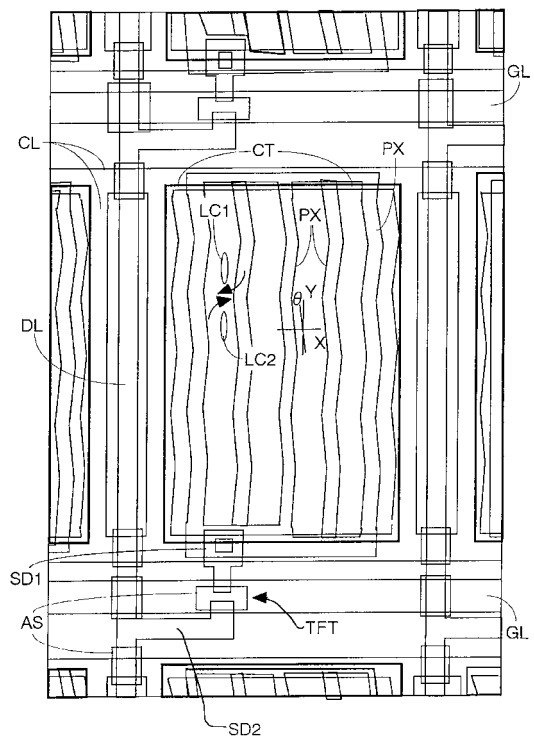
【図 30】



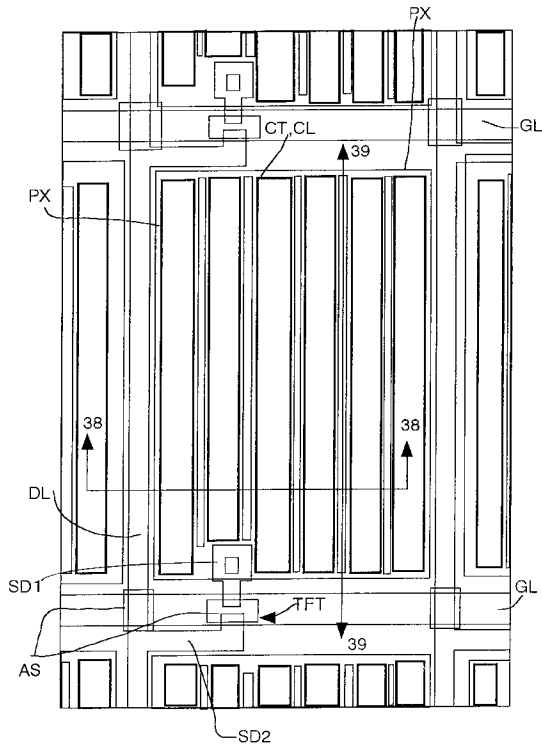
【 図 3 3 】



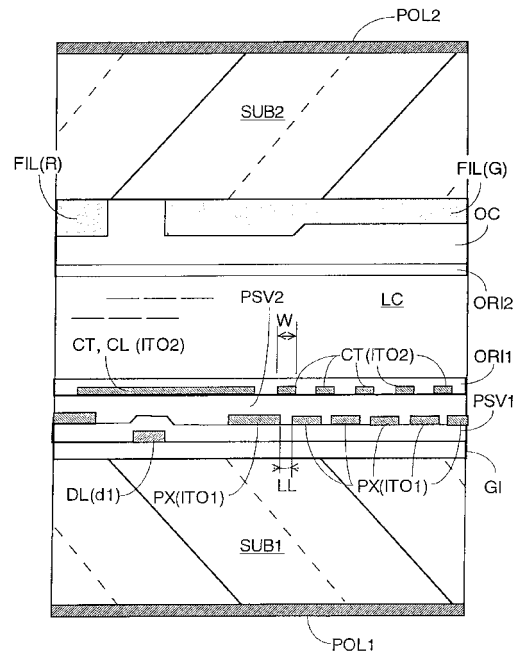
【 ㄨ 3 6 】



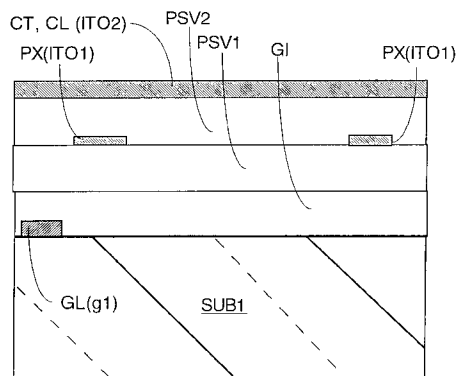
【図 37】



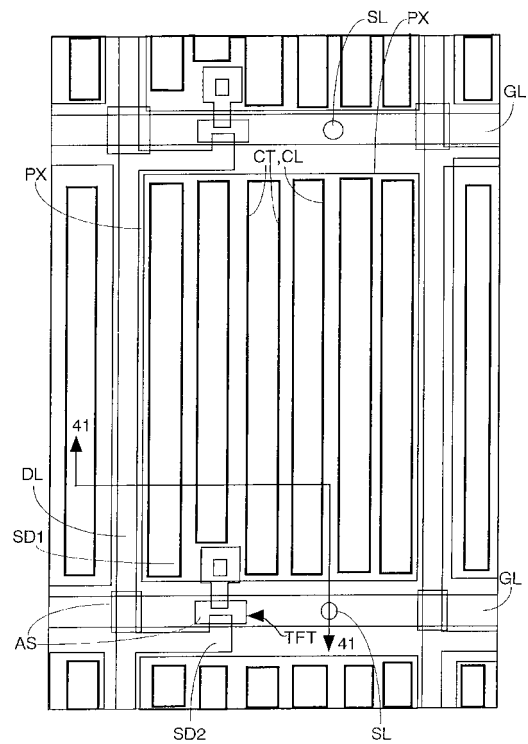
【図 38】



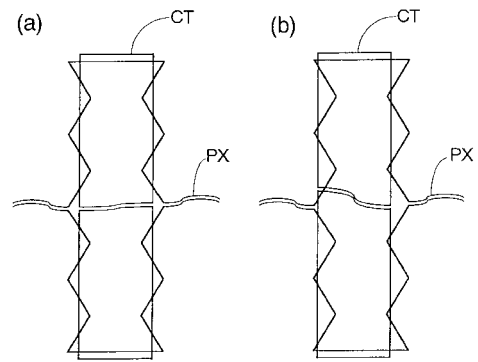
【図 39】



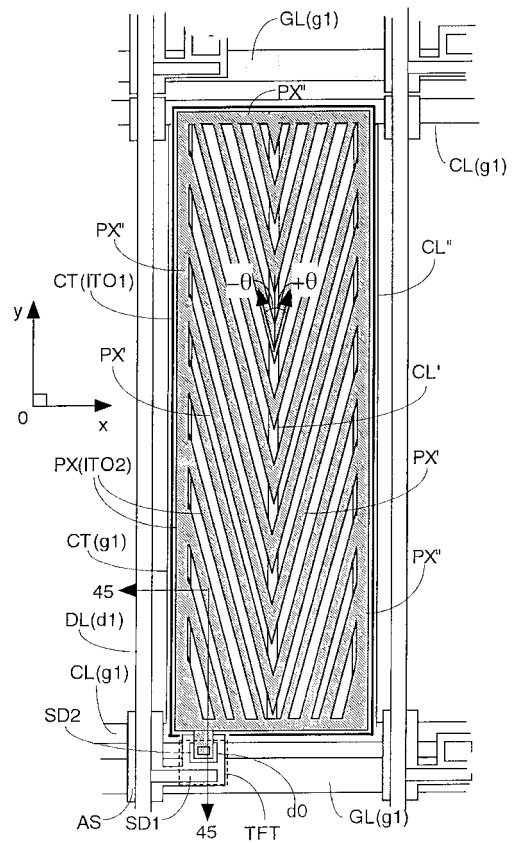
【図 40】



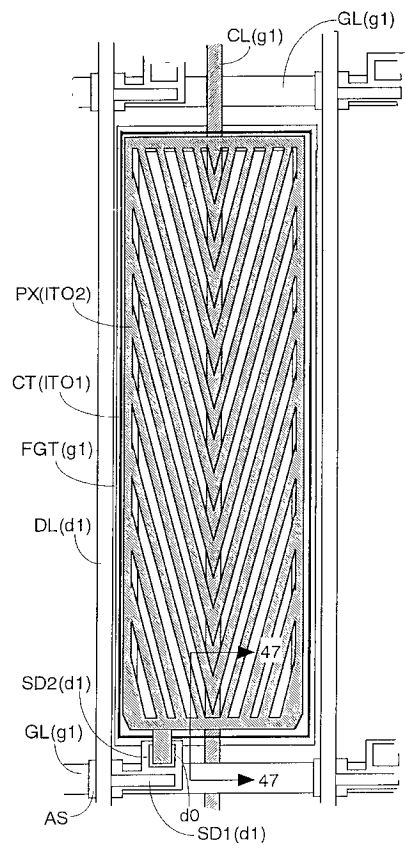
【 図 4 2 】



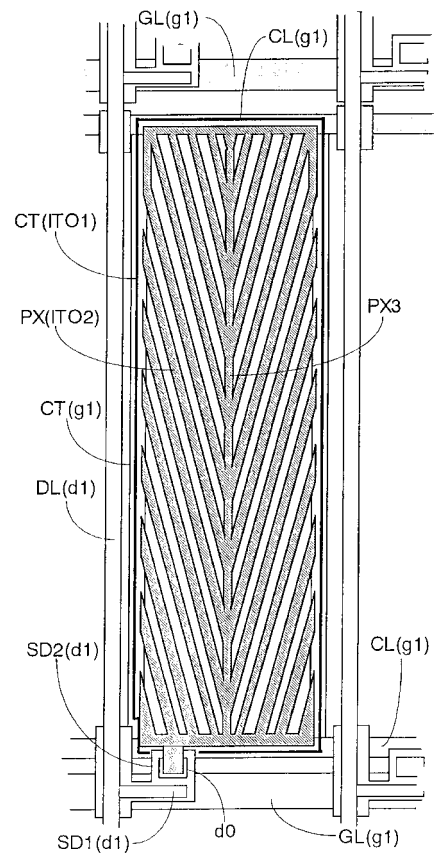
【 ㄨ 4 4 】



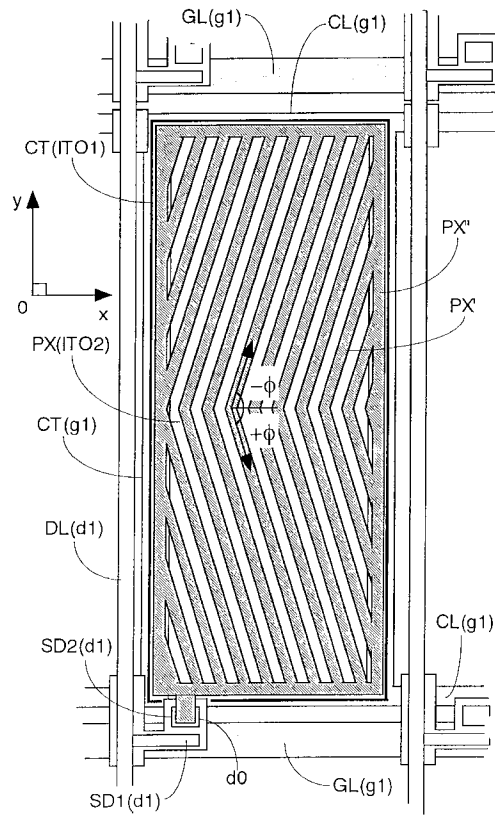
【 図 4 6 】



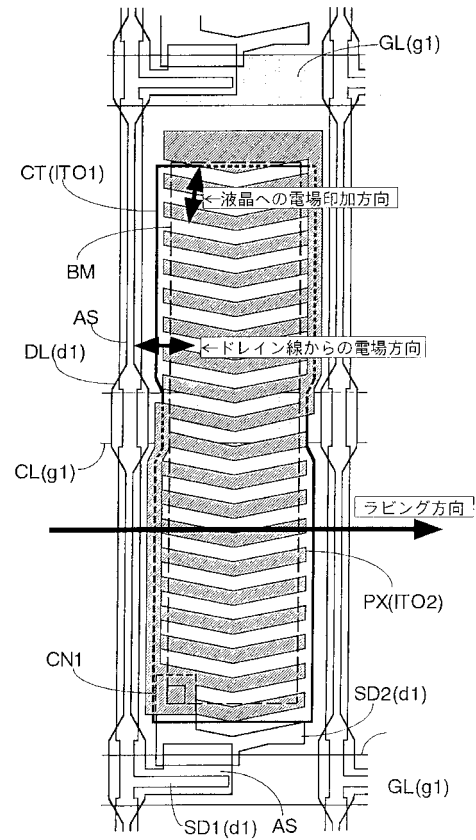
【 ㄨ 4 8 】



【図 49】



【図 50】



フロントページの続き

(72)発明者 仲吉 良彰

千葉県茂原市早野 3 3 0 0 番地 株式会社日立製作所ディスプレイグループ内

(72)発明者 米谷 慎

茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所日立研究所内

(72)発明者 山本 恒典

茨城県日立市大みか町七丁目 1 番 1 号 株式会社日立製作所日立研究所内

F ターム(参考) 2H092 GA14 JA25 JA26 JA34 JA46 JA47 JB22 JB31 JB56 KA05
KA12 MA05 MA07 NA07 PA02 PA03 PA08 PA09
2H192 AA24 BB04 BB13 BB53 BB66 BB84 BC31 CB02 CB05 CC04
EA22 EA43 EA66 JA32
5F110 BB01 CC07 EE04 EE06 FF03 FF29 GG02 GG15 HJ13 HK04
HK06 HK09 HK16 HK21 HK25 HK33 HL07 NN02 NN03 NN04
NN24 NN27 NN28 NN33 NN35 NN72

专利名称(译)	液晶表示装置		
公开(公告)号	JP2016066102A	公开(公告)日	2016-04-28
申请号	JP2016007476	申请日	2016-01-18
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器 松下液晶显示器有限公司		
[标]发明人	小野記久雄 平方純一 仲吉良彰 米谷慎 山本恒典		
发明人	小野 記久雄 平方 純一 仲吉 良彰 米谷 慎 山本 恒典		
IPC分类号	G02F1/1343 G02F1/1368 H01L29/786 G02F1/1362		
CPC分类号	G02F1/133345 G02F1/134363 G02F1/13439 G02F1/13458 G02F1/136286 G02F1/1393 G02F2201/40 G02F1/13394 G02F1/134309 G02F1/136227 G02F1/1368 H05K999/00 H05K999/99		
FI分类号	G02F1/1343 G02F1/1368 H01L29/78.612.C		
F-TERM分类号	2H092/GA14 2H092/JA25 2H092/JA26 2H092/JA34 2H092/JA46 2H092/JA47 2H092/JB22 2H092/JB31 2H092/JB56 2H092/KA05 2H092/KA12 2H092/MA05 2H092/MA07 2H092/NA07 2H092/PA02 2H092/PA03 2H092/PA08 2H092/PA09 2H192/AA24 2H192/BB04 2H192/BB13 2H192/BB53 2H192/BB66 2H192/BB84 2H192/BC31 2H192/CB02 2H192/CB05 2H192/CC04 2H192/EA22 2H192/EA43 2H192/EA66 2H192/JA32 5F110/BB01 5F110/CC07 5F110/EE04 5F110/EE06 5F110/FF03 5F110/FF29 5F110/GG02 5F110/GG15 5F110/HJ13 5F110/HK04 5F110/HK06 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK25 5F110/HK33 5F110/HL07 5F110/NN02 5F110/NN03 5F110/NN04 5F110/NN24 5F110/NN27 5F110/NN28 5F110/NN33 5F110/NN35 5F110/NN72		
优先权	1999252763 1999-09-07 JP		
其他公开文献	JP6266027B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：改善以横向电场模式驱动液晶层的液晶显示装置的图像显示性能。在每个像素区域中，连接到漏极信号线DL的薄膜晶体管TFT，具有多个狭缝并由透明导电膜形成的第一电极，形成在第一电极上的第一电极，平面第二电极具有用于连接电极并由透明导电膜形成的连接区域，第二电极具有它形成在第一电极和第一基板之间，并与第一电极和栅极信号线GL重叠，并进一步连接到相邻像素区域的第二电极一种具有上述特征的液晶显示装置。

(21) 出願番号	特願2016-7476 (P2016-7476)	(71) 出願人	502356528
(22) 出願日	平成28年1月18日 (2016. 1. 18)		株式会社ジャパンディスプレイ
(62) 分割の表示	特願2014-224652 (P2014-224652)		東京都港区西新橋三丁目7番1号
	の分割	(71) 出願人	506087819
原出願日	平成12年9月5日 (2000. 9. 5)		パナソニック液晶ディスプレイ株式会社
(31) 優先権主張番号	特願平11-252763		兵庫県姫路市飾磨区妻鹿日田町1-6
(32) 優先日	平成11年9月7日 (1999. 9. 7)	(74) 代理人	110000154
(33) 優先権主張国	日本国 (JP)		特許業務法人はるか国際特許事務所
		(72) 発明者	小野 記久雄
			千葉県茂原市早野3300番地 株式会社
			日立製作所ディスプレイグループ内
		(72) 発明者	平方 純一
			千葉県茂原市早野3300番地 株式会社
			日立製作所ディスプレイグループ内
			最終頁に続く