

【特許請求の範囲】

【請求項 1】

第 1 絶縁基板と、前記第 1 絶縁基板上で第 1 方向に延出したゲート配線と、前記ゲート配線を覆う第 1 層間絶縁膜と、前記第 1 層間絶縁膜上で第 1 方向に交差する第 2 方向に延出したソース配線と、前記ゲート配線及び前記ソース配線と電氣的に接続されたスイッチング素子と、前記ソース配線及び前記スイッチング素子を覆う第 2 層間絶縁膜と、前記第 2 層間絶縁膜上で第 1 方向及び第 2 方向に延在するとともに前記ソース配線と対向する第 1 共通電極と、前記第 1 共通電極を覆う第 3 層間絶縁膜と、前記第 3 層間絶縁膜上で前記第 1 共通電極と対向し互いに離間した複数のセグメント及び各セグメントを互いに接続する接続部を有する画素電極であって前記スイッチング素子と電氣的に接続された画素電極と、前記画素電極を覆う第 1 垂直配向膜と、を備えた第 1 基板と、

第 2 絶縁基板と、前記第 2 絶縁基板の前記第 1 基板と対向する側において画像を表示するアクティブエリアの全域に亘って延在し前記第 1 共通電極と同電位の第 2 共通電極と、前記第 2 共通電極を覆う第 2 垂直配向膜と、を備えた第 2 基板と、

誘電率異方性が負の液晶材料からなり、前記第 1 垂直配向膜と前記第 2 垂直配向膜との間に保持された液晶層と、

を備えた液晶表示装置。

【請求項 2】

前記画素電極は、第 2 方向にこの順に並んだ第 1 セグメント、第 2 セグメント、及び、第 3 セグメントと、前記第 1 セグメントと前記第 2 セグメントとを接続する第 1 接続部と、前記第 2 セグメントと前記第 3 セグメントとを接続する第 2 接続部と、を有し、

前記第 2 セグメントは前記スイッチング素子と電氣的に接続された、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記複数のセグメントは略正方形である、請求項 1 に記載の液晶表示装置。

【請求項 4】

前記セグメントの一辺の長さは 50 μm 以下である、請求項 3 に記載の液晶表示装置。

【請求項 5】

前記液晶層は、前記液晶材料に添加されたカイラル材を含む、請求項 1 乃至 4 のいずれか 1 項に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、各画素にスイッチング素子及び容量を備えたアクティブマトリクス型液晶表示装置において、VA (Vertical Aligned) モードなどの主として縦電界を利用した構造が実用化されている。このような縦電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向基板に形成された共通電極との間に形成した電界で液晶分子をスイッチングする。

【0003】

例えば、画素電極が複数のサブ画素電極を有し、隣接する 2 つのサブ画素電極同士を接続部によって電氣的に接続し、対向電極との間に所定の電圧が印加されたときに各サブ画素電極の上に放射状傾斜配向をとる液晶ドメインを形成する技術が開示されている。

【0004】

また、第 1 の基板が第 1 の共通電極を有する一方で、第 2 の基板が第 2 の共通電極及び画素電極を有し、第 1 の基板と第 2 の基板とが正の誘電率異方性を持つ液晶混合物を挟むように対向配置され、液晶混合物の配向方向が第 1 の共通電極、第 2 の共通電極、及び、画素電極の電位により発生する電界に応じて、主として基板と平行な面内で変化する技術

10

20

30

40

50

も開示されている。

【0005】

ところで、アクティブマトリクスタイプの液晶表示装置においては、各画素は、書き込まれた電位を一定期間保持するための蓄積容量を必要とする。蓄積容量は、絶縁膜を介して対向する一对の電極や配線によって構成されている。このような蓄積容量を構成する少なくとも一方の電極あるいは配線は、遮光性の材料によって形成されており、画素を横切る遮光層となる。このため、一画素あたりの表示に寄与する開口率、透過率、あるいは、輝度の低下を招く。このため、表示に必要な容量を確保しつつ、表示品位の改善が要望されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2008-225290号公報

【特許文献2】特開2009-69816号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

本実施形態の目的は、表示品位を改善することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0008】

本実施形態によれば、

第1絶縁基板と、前記第1絶縁基板上で第1方向に延出したゲート配線と、前記ゲート配線を覆う第1層間絶縁膜と、前記第1層間絶縁膜上で第1方向に交差する第2方向に延出したソース配線と、前記ゲート配線及び前記ソース配線と電氣的に接続されたスイッチング素子と、前記ソース配線及び前記スイッチング素子を覆う第2層間絶縁膜と、前記第2層間絶縁膜上で第1方向及び第2方向に延在するとともに前記ソース配線と対向する第1共通電極と、前記第1共通電極を覆う第3層間絶縁膜と、前記第3層間絶縁膜上で前記第1共通電極と対向し互いに離間した複数のセグメント及び各セグメントを互いに接続する接続部を有する画素電極であって前記スイッチング素子と電氣的に接続された画素電極と、前記画素電極を覆う第1垂直配向膜と、を備えた第1基板と、第2絶縁基板と、前記第2絶縁基板の前記第1基板と対向する側において画像を表示するアクティブエリアの全域に亘って延在し前記第1共通電極と同電位の第2共通電極と、前記第2共通電極を覆う第2垂直配向膜と、を備えた第2基板と、誘電率異方性が負の液晶材料からなり、前記第1垂直配向膜と前記第2垂直配向膜との間に保持された液晶層と、を備えた液晶表示装置が提供される。

【図面の簡単な説明】

【0009】

【図1】図1は、本実施形態の液晶表示装置を構成する液晶表示パネルLPNの構成及び等価回路を概略的に示す図である。

【図2】図2は、本実施形態の液晶表示装置に適用可能なアレイ基板ARの一画素PXの構成例を概略的に示す平面図である。

【図3】図3は、本実施形態の液晶表示装置に適用可能な対向基板CTの一画素PXの構成例を概略的に示す平面図である。

【図4】図4は、図2に示したスイッチング素子SWを含む液晶表示パネルLPNの断面構造を概略的に示す図である。

【図5】図5は、図3のA-B線で切断した液晶表示パネルLPNの断面構造を概略的に示す断面図である。

【図6】図6は、OFF状態の液晶分子LMの配向状態を模式的に示す図である。

【図7】図7は、ON状態の液晶分子LMの配向状態を模式的に示す図である。

10

20

30

40

50

【図 8】図 8 は、各セグメント S G の一辺の長さが 50 μ m の画素電極 P E を適用した場合の液晶分子の配向状態を示す図である。

【図 9】図 9 は、各セグメント S G の一辺の長さが 100 μ m の画素電極 P E を適用した場合の液晶分子の配向状態を示す図である。

【図 10】図 10 は、液晶材料にカイラル材を添加したときの液晶分子 L M の配向状態を模式的に示す図である。

【発明を実施するための形態】

【0010】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

10

【0011】

図 1 は、本実施形態の液晶表示装置を構成する液晶表示パネル L P N の構成及び等価回路を概略的に示す図である。

【0012】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネル L P N を備えている。液晶表示パネル L P N は、第 1 基板であるアレイ基板 A R と、アレイ基板 A R に対向配置された第 2 基板である対向基板 C T と、アレイ基板 A R と対向基板 C T との間に保持された液晶層 L Q と、を備えて構成されている。液晶表示パネル L P N は、画像を表示するアクティブエリア A C T を備えている。アクティブエリア A C T は、アレイ基板 A R と対向基板 C T との間に液晶層 L Q が保持された領域に相当し、例えば、四角形状であり、マトリクス状に配置された複数の画素 P X によって構成されている。

20

【0013】

アレイ基板 A R は、アクティブエリア A C T において、第 1 方向 X に沿って延出した複数のゲート配線 G (G 1 ~ G n)、第 1 方向 X に交差する第 2 方向 Y に沿って延出した複数のソース配線 S (S 1 ~ S m)、各画素 P X においてゲート配線 G 及びソース配線 S と電気的に接続されたスイッチング素子 S W、各画素 P X においてスイッチング素子 S W に電気的に接続された画素電極 P E、画素電極 P E と向かい合う第 1 共通電極 C E 1 などを備えている。蓄積容量 C S は、例えば、第 1 共通電極 C E 1 と画素電極 P E との間に形成される。

30

【0014】

一方、対向基板 C T は、画素電極 P E と液晶層 L Q を介して対向する第 2 共通電極 C E 2 などを備えている。

【0015】

各ゲート配線 G は、アクティブエリア A C T の外側に引き出され、第 1 駆動回路 G D に接続されている。各ソース配線 S は、アクティブエリア A C T の外側に引き出され、第 2 駆動回路 S D に接続されている。第 1 駆動回路 G D 及び第 2 駆動回路 S D は、例えばその少なくとも一部がアレイ基板 A R に形成され、駆動 I C チップ 2 と接続されている。駆動 I C チップ 2 は、第 1 駆動回路 G D 及び第 2 駆動回路 S D を制御するコントローラを内蔵し、液晶表示パネル L P N を駆動するのに必要な信号を供給する信号供給源として機能する。図示した例では、駆動 I C チップ 2 は、液晶表示パネル L P N のアクティブエリア A C T の外側において、アレイ基板 A R に実装されている。

40

【0016】

第 1 共通電極 C E 1 及び第 2 共通電極 C E 2 は同電位であり、いずれもアクティブエリア A C T の全域に亘って延在しており、複数の画素 P X に亘って共通に形成されている。これらの第 1 共通電極 C E 1 及び第 2 共通電極 C E 2 は、アクティブエリア A C T の外側に引き出され、給電部 V c o m に接続されている。給電部 V c o m は、例えばアクティブエリア A C T の外側においてアレイ基板 A R に形成され、第 1 共通電極 C E 1 と電気的に接続されるとともに、図示しない導電部材を介して第 2 共通電極 C E 2 と電気的に接続されている。給電部 V c o m では、第 1 共通電極 C E 1 及び第 2 共通電極 C E 2 に対して、

50

例えばコモン電位が供給される。

【0017】

図2は、本実施形態の液晶表示装置に適用可能なアレイ基板ARの一画素PXの構成例を概略的に示す平面図である。

【0018】

アレイ基板ARは、ゲート配線G1、ソース配線S1、ソース配線S2、スイッチング素子SW、第1共通電極CE1、画素電極PEなどを備えている。図示した例では、画素PXは、図中の破線で示したように、第1方向Xに平行な一对の短辺を有するとともに、第2方向Yに平行な一对の長辺を有する長形状である。一例として、画素PXにおいて、第2方向Yに沿った長辺の長さは、第1方向Xに沿った短辺の長さの約3倍である。詳

10

【0019】

ゲート配線G1は、第1方向Xに沿って延出している。ソース配線S1及びソース配線S2は、第1方向Xに沿って間隔をおいて配置され、それぞれ第2方向Yに沿って延出している。画素PXの第1方向Xに沿った長さは、隣接するソース配線の第1方向Xに沿ったピッチに相当する。画素PXの第2方向Yに沿った長さは、隣接するゲート配線の第2方向Yに沿ったピッチと略同等である。

【0020】

図示した画素PXにおいて、ソース配線S1は左側端部に位置し当該画素PXとその左側に隣接する画素との境界に跨って配置され、ソース配線S2は右側端部に位置し当該画素PXとその右側に隣接する画素との境界に跨って配置されている。ゲート配線G1は、画素PXの中央部を横切るように配置されている。図示したように、本実施形態においては、蓄積容量CSを形成するために画素PXを横切る補助容量線は存在しない。

20

【0021】

スイッチング素子SWは、例えば、nチャネル薄膜トランジスタ(TFT)によって構成されている。詳細な図示を省略するが、スイッチング素子SWは、例えば、ポリシリコンなどの半導体層と、ゲート配線G1に接続されたゲート電極と、ソース配線S1に接続され半導体層に接触したソース電極と、半導体層に接触したドレイン電極WDと、を備えている。

30

【0022】

第1共通電極CE1は、当該画素PXの略全面に配置され、さらに、当該画素PXから、ソース配線S1及びソース配線S2を跨いで第1方向Xに延在するとともに、第2方向Yにも延在している。つまり、第1共通電極CE1は、ソース配線S1及びソース配線S2に対向するとともに、当該画素PXに対して第1方向Xに隣接する各画素に亘って連続的に形成されている。また、第1共通電極CE1は、当該画素PXに対して第2方向Yに隣接する各画素に亘って連続的に形成されている。さらに言えば、詳述しないが、第1共通電極CE1は、画像を表示するアクティブエリアの略全面に配置され、その一部がアクティブエリアの外側に引き出され、上記の通り、給電部と電氣的に接続されている。但し、第1共通電極CE1には、ドレイン電極WDを露出する開口部OPが形成されている。

40

【0023】

尚、第1共通電極CE1は、当該画素PXの略全面に配置され、さらに、当該画素PXから、ソース配線S1及びソース配線S2を跨いで第1方向Xに延在し、ソース配線S1及びソース配線S2に対向するとともに、当該画素PXに対して第1方向Xに隣接する各画素に亘って帯状に連続的に形成されても良い。この場合も第1共通電極CE1は、画像を表示するアクティブエリアの外側に引き出され、上記の通り、給電部と電氣的に接続されている。

【0024】

画素電極PEは、画素PXにおいて、第1共通電極CE1と対向する位置に島状に形成されている。なお、図示した例では、当該画素PXに配置された画素電極PEのみを図示

50

しているが、図示を省略した他の画素（つまり、当該画素 P X の第 1 方向 X 及び第 2 方向 Y に隣接する各画素）にも同一形状の画素電極が配置されている。画素電極 P E は、コンタクトホール C H を介してスイッチング素子 S W のドレイン電極 W D に電氣的に接続されている。

【 0 0 2 5 】

このような画素電極 P E は、第 1 共通電極 C E 1 と対向し且つ互いに離間した複数のセグメント及び各セグメントを互いに接続する接続部を有している。図示した例では、画素電極 P E は、第 2 方向 Y にこの順に並んだセグメント S G 1、セグメント S G 2、及び、セグメント S G 3 と、セグメント S G 1 とセグメント S G 2 とを接続する接続部 C P 1 と、セグメント S G 2 とセグメント S G 3 とを接続する接続部 C P 2 と、を有している。各セグメント S G 1 乃至 S G 3 は、いずれも略同一形状である。図示した例では、各セグメント S G 1 乃至 S G 3 は、略正方形であって、第 1 方向 X に沿ったエッジの長さ第 2 方向 Y に沿ったエッジの長さ第 1 方向 X に沿った幅は、各セグメント S G 1 乃至 S G 3 の第 1 方向 X に沿ったエッジの長さよりも短い。つまり、第 2 方向 Y に隣接する各セグメントの向かい合うエッジの間には、接続部が配置される位置を除いて隙間が形成されている。

【 0 0 2 6 】

なお、画素電極 P E の一部は、ソース配線 S 1 やソース配線 S 2 と重なる位置まで延在していても良い。

【 0 0 2 7 】

図 3 は、本実施形態の液晶表示装置に適用可能な対向基板 C T の一画素 P X の構成例を概略的に示す平面図である。なお、ここでは、説明に必要な構成のみを図示し、また、アレ基板の主要部であるソース配線 S 1、ソース配線 S 2、ゲート配線 G 1、及び、画素電極 P E を破線で示し、第 1 共通電極の図示を省略している。

【 0 0 2 8 】

対向基板 C T は、第 2 共通電極 C E 2 を備えている。第 2 共通電極 C E 2 は、例えば、アクティブエリアの外側などにおいて、アレ基板に備えられた第 1 共通電極 C E 1 あるいは給電部と電氣的に接続されており、第 1 共通電極 C E 1 と同電位である。

【 0 0 2 9 】

第 2 共通電極 C E 2 は、当該画素 P X に配置され、画素電極 P E と対向している。また、第 2 共通電極 C E 2 は、当該画素 P X から第 1 方向 X 及び第 2 方向 Y に亘って延在し、ソース配線 S 1 及びソース配線 S 2 の上方にも位置している。つまり、第 2 共通電極 C E 2 は、詳述しないが、当該画素 P X の第 1 方向 X に沿った右側及び左側に隣接する画素や、当該画素 P X の第 2 方向 Y に沿った上側及び下側に隣接する画素に亘って連続的に形成されている。さらに言えば、詳述しないが、第 2 共通電極 C E 2 は、アクティブエリアの略全面に亘って配置されている。このような第 2 共通電極 C E 2 は、スリットや突起などの液晶分子の配向を制御する配向制御部材を備えていない。

【 0 0 3 0 】

図 4 は、図 2 に示したスイッチング素子 S W を含む液晶表示パネル L P N の断面構造を概略的に示す図である。図 5 は、図 3 の A - B 線で切断した液晶表示パネル L P N の断面構造を概略的に示す断面図である。

【 0 0 3 1 】

アレ基板 A R は、ガラス基板や樹脂基板などの光透過性を有する第 1 絶縁基板 1 0 を用いて形成されている。アレ基板 A R は、第 1 絶縁基板 1 0 の対向基板 C T に対向する側に、スイッチング素子 S W、第 1 共通電極 C E 1、画素電極 P E、第 1 絶縁膜 1 1、第 2 絶縁膜 1 2、第 3 絶縁膜 1 3、第 4 絶縁膜 1 4、第 1 垂直配向膜 A L 1 などを備えている。

【 0 0 3 2 】

図示した例では、スイッチング素子 S W は、トップゲート型の薄膜トランジスタである。スイッチング素子 S W は、第 1 絶縁基板 1 0 の上に配置された半導体層 S C を備えてい

10

20

30

40

50

る。なお、第1絶縁基板10と半導体層SCとの間に絶縁膜であるアンダーコート層が介在していても良い。半導体層SCは、第1絶縁膜11によって覆われている。また、第1絶縁膜11は、第1絶縁基板10の上にも配置されている。

【0033】

スイッチング素子SWのゲート電極WGは、第1絶縁膜11の上に形成され、半導体層SCの直上に位置している。ゲート電極WGは、ゲート配線G1に電氣的に接続され（あるいは、ゲート配線G1と一体的に形成され）、第2絶縁膜12によって覆われている。また、第2絶縁膜12は、第1絶縁膜11の上にも配置されている。この第2絶縁膜12は、ゲート配線G1などを覆う第1層間絶縁膜に相当する。

【0034】

スイッチング素子SWのソース電極WS及びドレイン電極WDは、第2絶縁膜12の上に形成されている。また、ソース配線S1及びソース配線S2も同様に第2絶縁膜12の上に形成されている。図示したソース電極WSは、ソース配線S1に電氣的に接続されている（あるいは、ソース配線S1と一体的に形成されている）。ソース電極WS及びドレイン電極WDは、それぞれ第1絶縁膜11及び第2絶縁膜12を貫通するコンタクトホールを通して半導体層SCにコンタクトしている。このような構成のスイッチング素子SWは、ソース配線S1及びソース配線S2とともに第3絶縁膜13によって覆われている。第3絶縁膜13は、第2絶縁膜12の上にも配置されている。第3絶縁膜13には、ドレイン電極WDまで貫通したコンタクトホールCH1が形成されている。このような第3絶縁膜13は、例えば、透明な樹脂材料によって形成されている。この第3絶縁膜13は、

10

20

【0035】

第1共通電極CE1は、第3絶縁膜13の上に延在している。図示したように、第1共通電極CE1は、ソース配線S1及びソース配線S2の上方をカバーし、隣接する画素に向かって延在している。このような第1共通電極CE1は、インジウム・ティン・オキサイド（ITO）やインジウム・ジंक・オキサイド（IZO）などの透明な導電材料によって形成されている。第1共通電極CE1の上には、第4絶縁膜14が配置されている。第4絶縁膜14のコンタクトホールCH1を覆っている部分においては、ドレイン電極WDまで貫通したコンタクトホールCH2が形成されている。これらのコンタクトホールCH1及びCH2は、図2に示したコンタクトホールCHに相当する。このような第4絶縁膜14は、第3絶縁膜13と比較して薄い膜厚に形成され、例えば、シリコン窒化物などの無機系材料によって形成されている。この第4絶縁膜14は、第1共通電極CE1を覆う第3層間絶縁膜に相当する。

30

【0036】

画素電極PEは、第4絶縁膜14の上において島状に形成され、第1共通電極CE1と対向している。画素電極PEは、コンタクトホールCH1及びコンタクトホールCH2を介してスイッチング素子SWのドレイン電極WDに電氣的に接続されている。このような画素電極PEは、例えば、ITOやIZOなどの透明な導電材料によって形成されている。画素電極PEは、第1垂直配向膜AL1によって覆われている。

40

【0037】

一方、対向基板CTは、ガラス基板や樹脂基板などの光透過性を有する第2絶縁基板30を用いて形成されている。対向基板CTは、第2絶縁基板30のアレイ基板ARに対向する側に、遮光層31、カラーフィルタ32、オーバーコート層33、第2共通電極CE2、第2垂直配向膜AL2などを備えている。

【0038】

遮光層31は、アクティブエリアACTにおいて各画素PXを区画し、開口部APを形成する。遮光層31は、アレイ基板ARに設けられたソース配線と対向する位置や、スイッチング素子と対向する位置などに設けられている。遮光層31は、遮光性の金属材料や黒色の樹脂材料によって形成されている。

50

【 0 0 3 9 】

カラーフィルタ 3 2 は、開口部 A P に形成され、その一部が遮光層 3 1 と重なっている。カラーフィルタ 3 2 は、例えば、赤色、緑色、青色にそれぞれ着色された樹脂材料によって形成されている。第 1 方向 X に隣接する各画素は異なる色画素であり、例えば赤色カラーフィルタ、緑色カラーフィルタ、青色カラーフィルタがこの順に並んでいる。異なる色のカラーフィルタ 3 2 間の境界は、ソース配線 S の上方の遮光層 3 1 と重なる位置にある。

【 0 0 4 0 】

オーバーコート層 3 3 は、カラーフィルタ 3 2 を覆っている。オーバーコート層 3 3 は、遮光層 3 1 やカラーフィルタ 3 2 の凹凸を平坦化する。オーバーコート層 3 3 は、透明な樹脂材料によって形成されている。

10

【 0 0 4 1 】

第 2 共通電極 C E 2 は、オーバーコート層 3 3 のアレイ基板 A R と対向する側に形成されている。図示したように、第 2 共通電極 C E 2 は、ソース配線 S 1 及びソース配線 S 2 の上方を通り、隣接する画素に向かって延在している。このような第 2 共通電極 C E 2 は、例えば、I T O や I Z O などの透明な導電材料によって形成されている。第 2 共通電極 C E 2 は、第 2 垂直配向膜 A L 2 によって覆われている。

【 0 0 4 2 】

第 1 垂直配向膜 A L 1 及び第 2 垂直配向膜 A L 2 は、垂直配向性を示す材料によって形成され、ラビングなどの配向処理を必要とせずに液晶分子を基板の法線方向に配向させる配向規制力を有している。

20

【 0 0 4 3 】

上述したようなアレイ基板 A R と対向基板 C T とは、第 1 垂直配向膜 A L 1 及び第 2 垂直配向膜 A L 2 が向かい合うように配置されている。このとき、アレイ基板 A R と対向基板 C T との間には、一方の基板に形成された柱状スペーサにより、所定のセルギャップが形成される。アレイ基板 A R と対向基板 C T とは、セルギャップが形成された状態でシール材によって貼り合わせられている。液晶層 L Q は、第 1 垂直配向膜 A L 1 と第 2 垂直配向膜 A L 2 との間に形成されたセルギャップに封入されている。この液晶層 L Q は、誘電率異方性が負（ネガ型）の液晶材料によって構成されている。

【 0 0 4 4 】

このような構成の液晶表示パネル L P N に対して、その背面側には、バックライト B L が配置されている。バックライト B L としては、種々の形態が適用可能であるが、ここでは詳細な構造についての説明は省略する。

30

【 0 0 4 5 】

第 1 絶縁基板 1 0 の外面 1 0 B には、第 1 偏光板 P L 1 を含む第 1 光学素子 O D 1 が配置されている。第 2 絶縁基板 3 0 の外面 3 0 B には、第 2 偏光板 P L 2 を含む第 2 光学素子 O D 2 が配置されている。第 1 偏光板 P L 1 及び第 2 偏光板 P L 2 は、例えば、それぞれの偏光軸が直交するクロスニコルの位置関係となるように配置される。

【 0 0 4 6 】

次に、本実施形態における液晶表示装置の動作について説明する。

40

【 0 0 4 7 】

図 6 は、O F F 状態の液晶分子 L M の配向状態を模式的に示す図であり、(a) は画素電極の一セグメント S G における液晶分子 L M の配向状態を示す平面図であり、(b) は画素電極 P E における液晶分子 L M の配向状態を示す断面図である。

【 0 0 4 8 】

すなわち、上記の構成の液晶表示装置において、画素電極 P E と第 2 共通電極 C E 2 との間に電位差が形成されていない O F F 状態（つまり、液晶層 L Q に電圧が印加されていない状態）では、画素電極 P E と第 2 共通電極 C E 2 との間に電界が形成されていないため、液晶層 L Q に含まれる液晶分子 L M は、第 1 垂直配向膜 A L 1 と第 2 垂直配向膜 A L 2 との間において、基板主面（X - Y 平面）に対して略垂直に初期配向する。このとき、

50

バックライト B L からのバックライト光のうち、一部の直線偏光は、第 1 偏光板 P L 1 を透過し、液晶表示パネル L P N に入射する。液晶表示パネル L P N に入射した直線偏光の偏光状態は、液晶層 L Q を通過した際にほとんど変化しないため、液晶表示パネル L P N を透過した直線偏光は、第 1 偏光板 P L 1 に対してクロスニコルの位置関係にある第 2 偏光板 P L 2 によって吸収される（黒表示）。

【 0 0 4 9 】

図 7 は、ON 状態の液晶分子 L M の配向状態を模式的に示す図であり、(a) は画素電極の一セグメント S G における液晶分子 L M の配向状態を示す平面図であり、(b) は画素電極 P E における液晶分子 L M の配向状態を示す断面図である。

【 0 0 5 0 】

画素電極 P E と第 2 共通電極 C E 2 との間に電位差が形成された ON 状態（つまり、液晶層 L Q に電圧が印加された状態）では、画素電極 P E と第 2 共通電極 C E 2 との間に縦電界が形成されるとともに、画素電極 P E （厳密には各セグメント S G ）のエッジから第 2 共通電極 C E 2 に向かって傾斜した電界が形成される。このため、液晶分子 L M は、縦電界あるいは傾斜電界の作用によって初期配向方向とは異なる方位に配向する。すなわち、ネガ型の液晶分子 L M は、その長軸が電界に対して交差するように配向するため、ON 状態では、基板主面に対して斜め方向あるいは水平方向に配向する。一例として、略正方形のセグメント S G において、液晶分子 L M は、四方のエッジからセグメント S G の中心に向かって倒れるように複数の方位に配向し、複数のドメインを形成する。

【 0 0 5 1 】

このような ON 状態では、液晶表示パネル L P N に入射した直線偏光の偏光状態は、液晶層 L Q を通過する際に液晶分子 L M の配向状態（あるいは、液晶層のリタデーション）に応じて変化する。このため、ON 状態においては、液晶層 L Q を通過した少なくとも一部の光は、第 2 偏光板 P L 2 を透過する（白表示）。

【 0 0 5 2 】

また、ON 状態では、第 4 絶縁膜 1 4 を介して対向する画素電極 P E と第 1 共通電極 C E 1 とで蓄積容量 C S を形成し、画像を表示するのに必要な容量を保持する。つまり、スイッチング素子 S W を介して各画素に書き込まれた画素電位が上記の蓄積容量 C S によって一定期間保持される。

【 0 0 5 3 】

このような本実施形態によれば、各画素において画像を表示するのに必要な容量は、第 4 絶縁膜 1 4 を介して対向する画素電極 P E と第 1 共通電極 C E 1 とで形成することが可能である。このため、容量を形成するに際して、画素を横切る遮光性の配線材料からなる配線や電極が不要となる。また、第 4 絶縁膜 1 4 は、樹脂材料等で形成された第 3 絶縁膜と比較して薄い膜厚を有するように形成されている。このため、第 4 絶縁膜 1 4 を介した画素電極 P E 及び第 1 共通電極 C E 1 により、比較的大きな容量を容易に形成することが可能となる。

【 0 0 5 4 】

また、画素電極 P E 及び第 1 共通電極 C E 1 は、いずれも透明な導電材料によって形成されているため、画素電極 P E 及び第 1 共通電極 C E 1 と重なる領域が表示に寄与する。このため、本実施形態によれば、画素を横切る補助容量線を配置した比較例と比べて、表示に寄与する一画素あたりの開口率、透過率、あるいは、輝度を向上することが可能となる。発明者が測定したところでは、比較例の透過率を 1 としたとき、本実施形態によれば、1.4 倍の透過率を得ることが確認された。したがって、表示に必要な容量を確保しつつ、表示品位を改善することが可能となる。

【 0 0 5 5 】

また、画素電極 P E は、複数のセグメント S G によって構成されており、各セグメントのエッジと第 2 共通電極 C E 2 との間に傾斜電界を形成することで、液晶分子 L M がセグメント S G の中心に向かって倒れ、配向制御部材を設けることなく、複数のドメインを形成することが可能となるため、広視野角化が可能となる。したがって、配向制御部材を設

10

20

30

40

50

けた場合と比較して、広視野角化を実現しつつ、一画素あたりの開口率、透過率、あるいは、輝度を向上することが可能となる。

【0056】

また、第1共通電極CE1は、ソース配線S1及びソース配線S2の上方に延在している。このため、ON状態において、第1共通電極CE1により、ソース配線から液晶層LQに向かう不所望な漏れ電界をシールドすることが可能となる。つまり、ソース配線と画素電極PEあるいは第2共通電極CE2との間の不所望な電界の形成あるいは不所望な容量の形成を抑制することができ、ソース配線と重なる領域の液晶分子LMの配向乱れを抑制することが可能となる。

【0057】

しかも、ソース配線と重なる領域の液晶分子LMは、ON状態においても第1共通電極CE1と第2共通電極CE2とが同電位で維持されており、初期配向状態を保持している。したがって、第1方向Xに隣接する画素電極PEを加工限界まで接近させることが可能となり、一画素あたり表示に寄与する面積をさらに拡大することが可能である。一例として、隣接する画素ピッチを19 μm とした場合、上記の比較例の透過率を1としたとき、本実施形態によれば、1.43倍の透過率を得ることが確認された。

【0058】

また、ソース配線を挟んで隣接する一方の画素がON状態であり、他方の画素がOFF状態であったとしても、第1共通電極CE1と第2共通電極CE2によって、ON状態の画素とOFF状態の画素との間のソース配線上の液晶層は電位差が無くなるので、ソース配線と重なる領域の液晶分子LMが初期配向状態に維持されている。このため、液晶表示パネルLPNを斜め方向から観察した場合であっても、混色による表示品位の劣化を抑制することが可能となる。また、混色防止のために遮光層31の幅を拡大する必要がなくなるため、一画素あたりの表示に寄与する面積をさらに拡大することが可能となる。

【0059】

本実施形態において、画素電極PEの各セグメントSGは略正方形であることが望ましい。このような形状により、各セグメントのエッジと第2共通電極CE2との間に傾斜電界が形成された際に、液晶分子LMがセグメントSGの四方のエッジからセグメントSGの中心に向かって同等に倒れ、液晶分子LMの配向中心の位置がセグメントSGの中心の位置と略一致する。つまり、配向中心を安定してセグメントSGの中心に形成することが可能となる。このため、各セグメントSGに形成される複数のドメインのそれぞれの面積を略同等することができ、各セグメントSGにおいて視野角を補償することが可能となる。さらに、各画素においても、各ドメインの面積を揃えることができ、表示品位の劣化を招くことなく、広視野角化が可能となる。

【0060】

なお、ここで、セグメントSGが略正方形である場合とは、セグメントSGの第1方向Xに沿ったエッジの長さ l_x と第2方向Yに沿ったエッジの長さ l_y との比が0.7倍~1.3倍までの範囲にある場合に相当する。発明者によれば、これらの各比率のセグメントSGを適用した場合に、各セグメントSGにおける配向中心の位置を観察したところ、いずれの場合も配向中心がセグメントSGの中心(対角線の交点)付近に位置することが確認された。

【0061】

また、本実施形態において、セグメントSGの一辺の長さは50 μm 以下であることが望ましい。このような長さに設定することにより、セグメントSGにおけるエッジから中心までの距離が短縮し、各セグメントSGと第2共通電極CE2との間に傾斜電界が形成された際に、液晶分子LMがセグメントSGの各エッジからセグメントSGの中心に向かって迅速に倒れ、液晶分子LMの配向中心の位置がセグメントSGの中心の位置と略一致するように配向制御することが可能となる。

【0062】

図8は、各セグメントSGの一辺の長さが50 μm の画素電極PEを適用した場合の液

10

20

30

40

50

晶分子の配向状態を示す図である。図中の丸で囲んだ領域が液晶分子の配向中心である。いずれのセグメント S G においても、配向中心の位置がセグメント S G の中心の位置と略一致していることが確認された。

【 0 0 6 3 】

図 9 は、各セグメント S G の一辺の長さが $100 \mu\text{m}$ の画素電極 P E を適用した場合の液晶分子の配向状態を示す図である。各セグメント S G において、配向中心の位置にバラツキが生じており、必ずしも配向中心がセグメント S G の中心の位置と一致するとは限らない。すなわち、セグメント S G の一辺の長さが拡大した場合、セグメント S G におけるエッジから中心までの距離が拡大するため、セグメント S G と第 2 共通電極 C E 2 との間に傾斜電界が形成された際に、エッジと重なる領域付近で傾斜電界に応じて配向した液晶分子の配向状態の変化が中心に向かって伝播しにくく、配向中心の位置が不規則となってしまう。このように、配向中心の位置が不規則になってしまった場合、各セグメント S G における視野角補償が不十分となり、表示品位に悪影響を及ぼすことが確認された。

10

【 0 0 6 4 】

したがって、画素電極 P E のセグメント S G の一辺の長さを $50 \mu\text{m}$ 以下とすることで、応答速度を向上するとともに配向中心を安定してセグメント S G の中心に形成することが可能となる。

【 0 0 6 5 】

また、本実施形態において、液晶層 L Q は液晶材料に添加されたカイラル材を含んでも良い。上記の図 8 及び図 9 に示した例を参照すると、各セグメント S G における液晶分子は、配向中心に対して時計回りに配向している場合もあるし、配向中心に対して反時計回りに配向している場合もある。液晶材料にカイラル材を添加することにより、ON 状態では、各セグメント S G における液晶分子が一様に同じ方向にねじれ配向する。

20

【 0 0 6 6 】

図 10 は、液晶材料にカイラル材を添加したときの液晶分子 L M の配向状態を模式的に示す図であり、(a) は O F F 状態での一セグメント S G における液晶分子 L M の配向状態を示す平面図であり、(b) は O N 状態での一セグメント S G における液晶分子 L M の配向状態を示す平面図である。

【 0 0 6 7 】

図示した例では、液晶材料にカイラル材を添加し、ヘリカルピッチを約 $15 \mu\text{m}$ とした。O F F 状態では、図中に (a) で示したように、カイラル材を添加しなかった場合と同様に、液晶分子 L M は、X - Y 平面に対して略垂直に初期配向する。

30

【 0 0 6 8 】

一方、O N 状態では、図中に (a) で示したように、液晶分子 L M は、その長軸が傾斜電界に対して交差するように配向するため、X - Y 主面に対して斜め方向あるいは水平方向に配向する。このとき、液晶分子 L M は、セグメント S G の中心付近の配向中心に対して、一例として、時計回りに捩れるように配向する。カイラル材が添加されたことにより、各セグメント S G において液晶分子の捩れる方向が一義的に決まるため、カイラル材を添加しなかった場合と比較して、さらに配向中心の位置が安定化するとともに応答速度を向上することが可能となる。

40

【 0 0 6 9 】

以上説明したように、本実施形態によれば、表示品位を改善することが可能な液晶表示装置を提供することができる。

【 0 0 7 0 】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

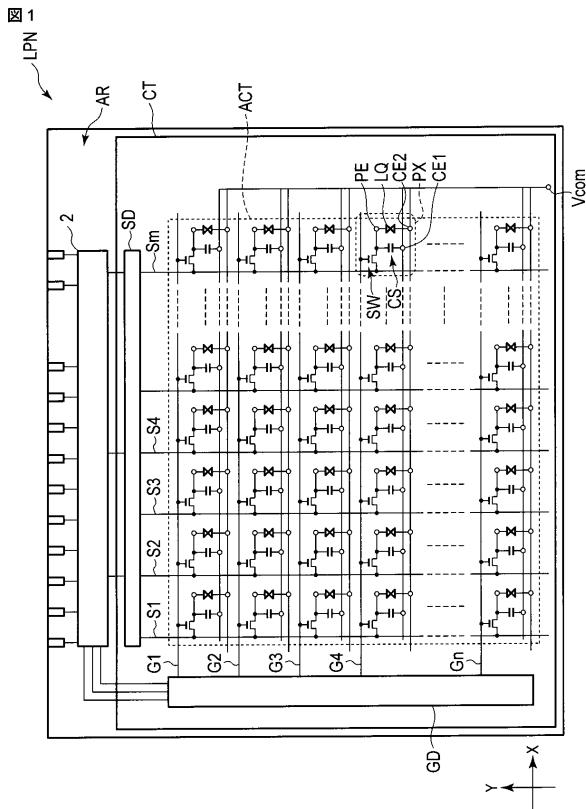
50

【符号の説明】

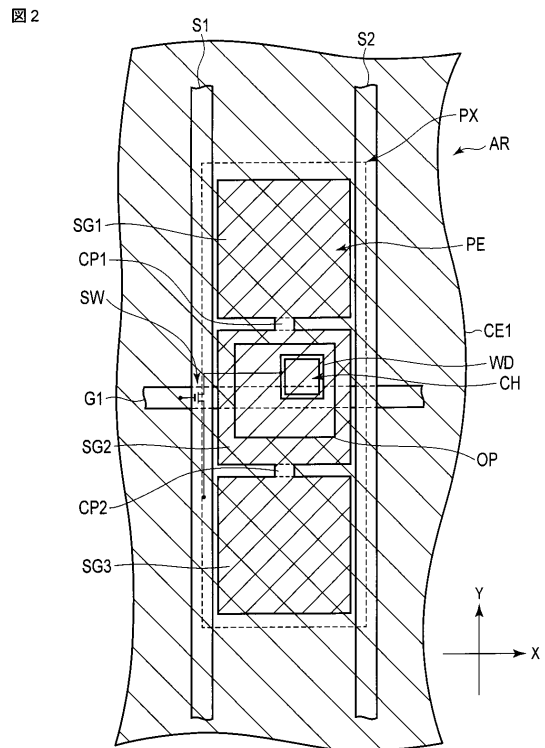
【0071】

- LPN... 液晶表示パネル AR... アレイ基板 CT... 対向基板
- LQ... 液晶層 LM... 液晶分子
- PE... 画素電極 SG (SG1 ~ SG3)... セグメント CP1 ~ CP2... 接続部
- G... ゲート配線 S... ソース配線 CS... 蓄積容量
- CE1... 第1共通電極 CE2... 第2共通電極
- AL1... 第1垂直配向膜 AL2... 第2垂直配向膜

【図1】

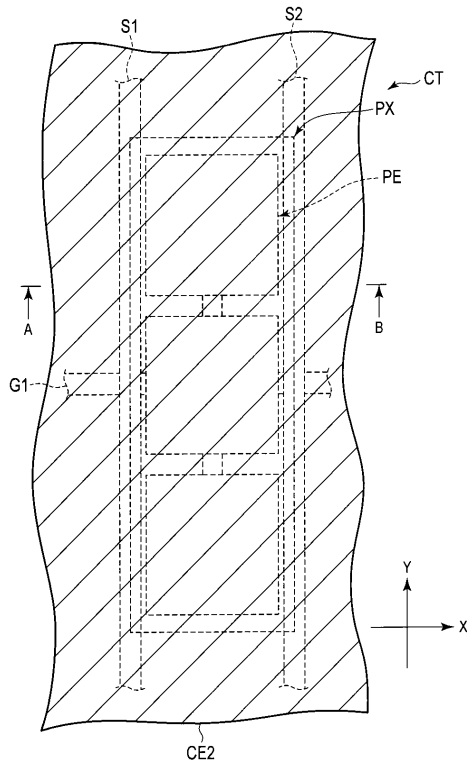


【図2】



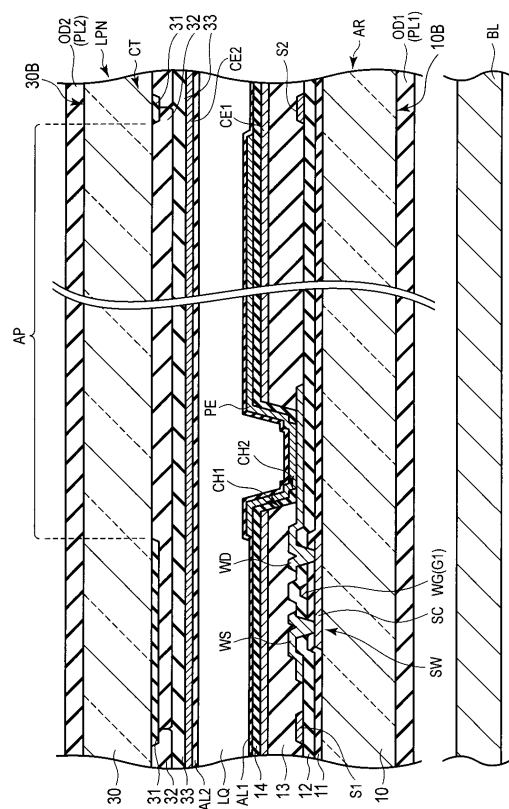
【 図 3 】

図 3



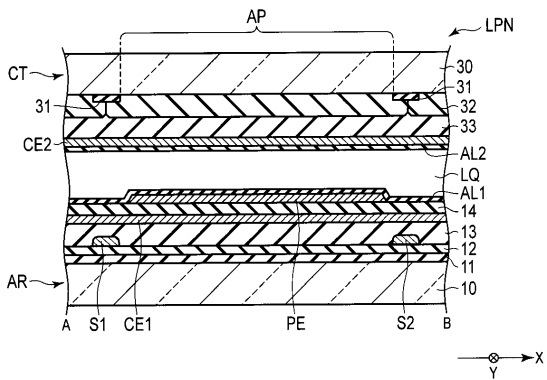
【 図 4 】

図 4



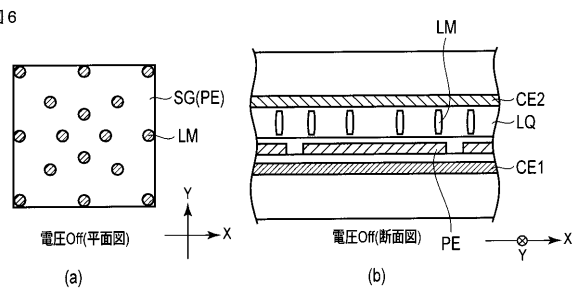
【 図 5 】

図 5



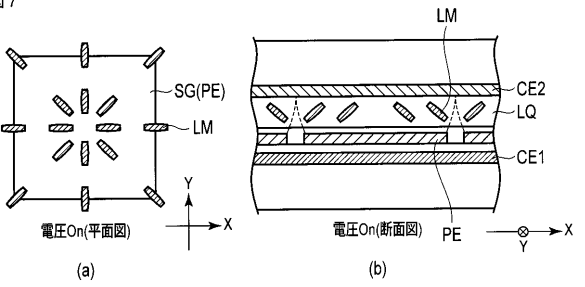
【 図 6 】

図 6



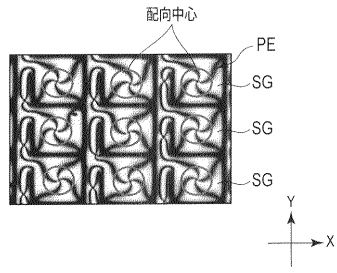
【 図 7 】

図 7



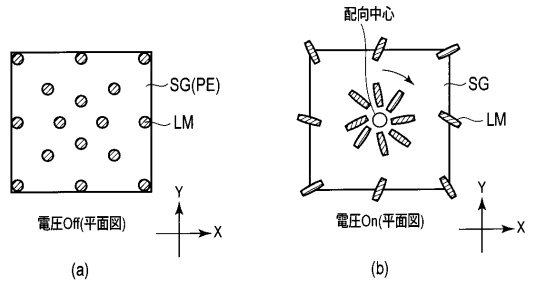
【 图 8 】

图 8



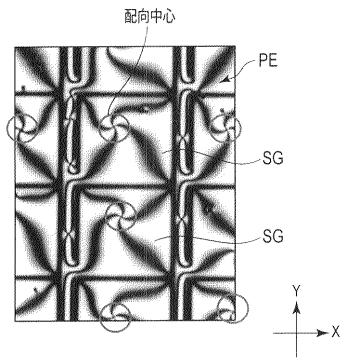
【 图 10 】

图 10



【 图 9 】

图 9



フロントページの続き

(72)発明者 廣澤 仁

東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

Fターム(参考) 2H092 GA13 GA15 GA17 NA07 QA09

2H290 AA34 AA37 BB83

专利名称(译)	液晶表示装置		
公开(公告)号	JP2015049392A	公开(公告)日	2015-03-16
申请号	JP2013181467	申请日	2013-09-02
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	武田有広 廣澤仁		
发明人	武田 有広 廣澤 仁		
IPC分类号	G02F1/1337 G02F1/1343		
FI分类号	G02F1/1337 G02F1/1343		
F-TERM分类号	2H092/GA13 2H092/GA15 2H092/GA17 2H092/NA07 2H092/QA09 2H290/AA34 2H290/AA37 2H290/BB83		
代理人(译)	河野 哲		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够提高显示质量的液晶显示装置。和栅极布线在第一方向上的第一绝缘基板延伸，与源极布线的第二方向延伸的与第一方向交叉，其电连接到栅极布线和源极布线一个开关元件，面对所述源极线，以及在所述第一方向和第二方向，所述多个节段的连接部，并且彼此间隔开，并且相对彼此连接的第一公共电极的每个段延伸的第一公共电极包括像素电极的第一基板，所述像素电极具有电连接到所述开关元件的像素电极和覆盖所述像素电极的第一垂直取向膜，以及面对所述第二绝缘基板的第一基板的第二基板具有第一公共电极的第二公共电极和相同的电位的第二衬底上的有源区，用于覆盖所述第二公共电极的第二垂直取向膜，所述，介电各向异性的整个区域延伸第一垂直取向膜和第二垂直配置并且液晶层保持在液晶层和反光膜之间。点域4

