

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-31908

(P2015-31908A)

(43) 公開日 平成27年2月16日(2015.2.16)

(51) Int.Cl.			F I			テーマコード (参考)		
<b>G09G</b>	<b>3/36</b>	<b>(2006.01)</b>	G09G	3/36		2H193		
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G	3/20	623R	5C006		
<b>G02F</b>	<b>1/133</b>	<b>(2006.01)</b>	G09G	3/20	670M	5C080		
			G09G	3/20	621A			
			G02F	1/133	550			

審査請求 未請求 請求項の数 4 O L (全 18 頁)

(21) 出願番号 特願2013-163108 (P2013-163108)  
 (22) 出願日 平成25年8月6日 (2013.8.6)

(71) 出願人 000103747  
 京セラディスプレイ株式会社  
 滋賀県野洲市市三宅641-1  
 (74) 代理人 100075557  
 弁理士 西教 圭一郎  
 (72) 発明者 権藤 賢二  
 滋賀県野洲市市三宅641-1 京セラディスプレイ株式会社内  
 Fターム(参考) 2H193 ZA04 ZC12 ZF01 ZF35 ZF43  
 5C006 AA16 AC21 AC27 AF43 AF65  
 BB16 BC06 BC11 BC13 BC20  
 BF03 BF04 BF07 BF42 FA47  
 5C080 AA10 BB05 DD19 FF11 JJ02  
 JJ03 JJ04

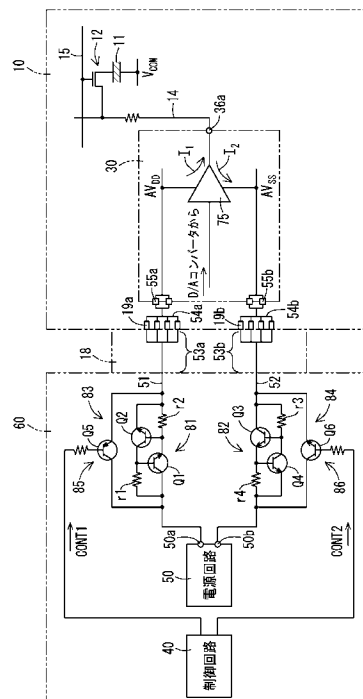
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 制御基板とドライバICとの間の配線設計を容易にするとともに、充放電電流に起因するソースドライバでの発熱量を抑制することができる液晶表示装置を提供する。

【解決手段】 液晶表示装置1は、複数のゲート配線15と複数のソース配線14とが交差するように配置された液晶表示パネル10と、複数のソース配線14を駆動するソースドライバ30であって、ソース配線14ごとに設けられ、対応するソース配線14をデータ電位V<sub>D</sub>に設定する出力バッファ75を含むソースドライバ30と、出力バッファ75に対して、高電位側の電力を供給する電源線51と、低電位側の電力を供給する電源線52とを備える電源部と、電源線51に設けられ、ソース配線14をデータ電位V<sub>D</sub>に設定する際に、出力バッファ75から該ソース配線14へ流れる充電電流I<sub>1</sub>を制限する電流制限回路81とを含む。

【選択図】 図7



**【特許請求の範囲】****【請求項 1】**

複数のゲート配線と複数のソース配線とが交差するように配置された液晶表示パネルと、

前記複数のソース配線を駆動するソースドライバであって、前記ソース配線ごとに設けられ、対応するソース配線をデータ信号に応じた電位に設定する出力バッファを含むソースドライバと、

前記出力バッファに対して、高電位側の電力を供給する高電位側電源線と、低電位側の電力を供給する低電位側電源線とを備える電源部と、

前記高電位側電源線に設けられ、前記ソース配線をデータ信号に応じた電位に設定する際に、前記出力バッファから該ソース配線へ流れる電流を制限する高電位側電流制限回路とを含むことを特徴とする液晶表示装置。

10

**【請求項 2】**

前記高電位側電流制限回路に並列に設けられ、前記出力バッファから前記ソース配線へ流れる電流を制限しない高電位側電流非制限回路と、

前記高電位側の電力が前記高電位側電流制限回路を介して前記出力バッファへ供給される第 1 の状態と、前記高電位側の電力が前記高電位側電流非制限回路を介して前記出力バッファへ供給される第 2 の状態とを切り替える高電位側切替部と、

前記ソース配線に対してデータ信号に応じた電位設定の開始タイミングの前後にわたる予め定める期間を第 1 の状態とし、残余の期間を第 2 の状態とするように、前記高電位側切替部を制御する高電位側切替制御部とをさらに含むことを特徴とする請求項 1 に記載の液晶表示装置。

20

**【請求項 3】**

前記低電位側電源線に設けられ、前記ソース配線をデータ信号に応じた電位に設定する際に、該ソース配線から前記出力バッファに流れる電流を制限する低電位側電流制限回路をさらに含むことを特徴とする請求項 1 または 2 に記載の液晶表示装置。

**【請求項 4】**

前記低電位側電流制限回路に並列に設けられ、前記ソース配線から前記出力バッファに流れる電流を制限しない低電位側電流非制限回路と、

前記低電位側の電力が前記低電位側電流制限回路を介して前記出力バッファへ供給される第 3 の状態と、前記低電位側の電力が前記低電位側電流非制限回路を介して前記出力バッファへ供給される第 4 の状態とを切り替える低電位側切替部と、

前記ソース配線に対してデータ信号に応じた電位設定の開始タイミングの前後にわたる予め定める期間を第 3 の状態とし、残余の期間を第 4 の状態とするように、前記低電位側切替部を制御する低電位側切替制御部とをさらに含むことを特徴とする請求項 3 に記載の液晶表示装置。

30

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、液晶表示装置に関する。

40

**【背景技術】****【0002】**

一般に、アクティブマトリクス方式の液晶表示パネルは、液晶層を挟む 2 枚の透明基板のうち、一方の透明基板上に、複数のソース配線と、該複数のソース配線に交差する複数のゲート配線とを形成し、ソース配線とゲート配線との各交差部に対応して形成される画素電極をマトリクス状に配置した構成となっている。

**【0003】**

そして、各画素電極は、対応する交差部を通過するソース配線に、アクティブ素子としての T F T (Thin Film Transistor) を介して接続され、その T F T のゲート端子は、その交差部を通過するゲート配線に接続されている。また、他方の透明基板には、上記複数

50

の画素電極に共通の対向電極が共通電極として形成されている。

【0004】

上記液晶表示パネルを備える液晶表示装置は、液晶表示パネルに画像を表示させるための駆動回路として、ゲートドライバおよびソースドライバを備えている。ゲートドライバは、上記複数のゲート配線を1本ずつ線順次に選択し、選択したゲート配線を選択時電位 $V_{GH}$ に設定するとともに、選択していないゲート配線を非選択時電位 $V_{GL}$ に設定する駆動回路である。一方、ソースドライバは、外部から入力されるデータ信号に基づいて、各ソース配線の電位を、ゲートドライバによって選択された選択行の各画素の画素値に応じた電位に設定する駆動回路である。

【0005】

図9は、従来技術に係る液晶表示装置におけるソースドライバ101の最終段の構成を示す図である。従来から、ソースドライバ101の最終段、すなわちソースドライバ101におけるソース配線102との接続段には、上記複数のソース配線102に一对一に接続される複数の出力バッファ103が設けられている。なお、図9では、一のソース配線102とそれに接続される構成だけを代表して示している。また、ソース配線102に付されている抵抗記号は、ソース配線102の配線抵抗を示している。

【0006】

出力バッファ103は、電源回路104から電源線105を介して高電位側の電源である液晶駆動用アナログ電源 $AV_{DD}$ に接続されるとともに、電源回路104から電源線106を介して低電位側の電源である液晶駆動用アナロググランド $AV_{SS}$ に接続され、出力バッファ103の前段に設けられるD/Aコンバータから画素値に応じた電位(以下、「データ電位」と称する) $V_D$ が入力されると、ソース配線102へのデータ電位 $V_D$ の出力開始のタイミングに合わせて、ソース配線102がデータ電位 $V_D$ となるように、電源線105からソース配線102へ電荷の供給(充電電流 $I_1$ )を開始し、あるいは、電源線106へ電荷の放電(放電電流 $I_2$ )を開始する。

【0007】

これにより、選択時電位 $V_{GH}$ に設定されているゲート配線107とソース配線102との交差部に設けられるTF $T$ 108を介して該ソース配線102に接続された画素電極109がデータ電位 $V_D$ に設定され、液晶110が、画素電極109とコモン電位 $V_{COM}$ に設定されているコモン電極111との電位差に応じた状態に変化することで、画像が表示される。

【0008】

図10は、従来技術に係る液晶表示装置における動作の例を示すタイミングチャートであり、図10(1)は、ソースドライバ101に、各ソース配線102の電位を、ゲートドライバによって選択された選択行における各画素の画素値に応じたデータ電位 $V_D$ に設定することを指示する制御信号(ラッチパルス)LPを示し、図10(2)は、一のソース配線102における電位の変化を示している。また、図10(3)は、高電位側の電源線105から該一のソース配線102に流れ込む充電電流 $I_1$ の変化を示し、図10(4)は、該一のソース配線102から低電位側の電源線106へ流れ込む放電電流 $I_2$ の変化を示している。なお、図10では、液晶表示装置が行ライン反転駆動される場合を例に挙げている。

【0009】

液晶表示装置では、図10に示すように、ソースドライバ101において、ラッチパルスLPの立ち下がりエッジが検出されると、出力バッファ103からソース配線102への電位出力が開始される。このとき、ソース配線102に設定すべきデータ電位 $V_D$ が、電位出力開始直前のソース配線102の電位よりも高い場合には、高電位側の電源線105から該一のソース配線102に充電電流 $I_1$ が流れ込む。逆に、ソース配線102に設定すべきデータ電位 $V_D$ が、電位出力開始直前のソース配線102の電位よりも低い場合には、該一のソース配線102から低電位側の電源線106に放電電流 $I_2$ が流れ込む。

【0010】

10

20

30

40

50

このとき、液晶表示パネルの容量性によって、図10に示すように、出力バッファ103からソース配線102へのデータ電位 $V_D$ の出力の開始時に、電源線105または電源線106にラッシュ電流（突入電流）が流れてしまう。

【0011】

従来から、このラッシュ電流を抑制するための方法として、出力バッファ103の出力端103aを各画素に接続するソース配線102の配線抵抗の太さを最適化する方法や、出力バッファ103の能力を最適化する方法が知られている。

【0012】

また、これとは別に、ラッシュ電流に耐え得るようにするために、ラッシュ電流のピーク値を考慮して、電源線105、106の配線構造を最適化して設計することが行われている。以下、この点について、図11および図12を参照して説明する。

10

【0013】

図11は、COG（Chip on glass）方式の液晶表示パネル100に設けられたソースドライバIC（Integrated Circuit）101a～101cへの電源線105、106の配線例を示す図である。図11では、表示領域112を有する液晶表示パネル100において、ゲート配線107やソース配線102が形成される側の透明基板に設けられたCOG実装領域116に、3つのソースドライバIC101a～101cと、2つのゲートドライバIC113a、113bとが搭載される例を示している。

【0014】

これらのドライバIC101a～101c、113a、113bには、図9に示す電源回路104や制御回路などが実装された図示しない制御基板から、画像表示のためのデータ信号、ラッチパルスLPなどの制御信号および電力の供給が行われる。このために、図11に示すように、フレキシブルプリント基板（Flexible Printed Circuit；以下、「FPC」と略記する）114を用いて、制御基板が、液晶表示パネル100のCOG実装領域116に電氣的に接続される。

20

【0015】

なお、図11および後述の図12では、制御基板からドライバIC101a～101c、113a、113bへデータ信号、制御信号および電力の供給を行うために敷設される複数の配線のうち、液晶駆動用アナログ電源 $AV_{DD}$ 用の電源線105の配線パターン、および液晶駆動用アナロググランド $AV_{SS}$ 用の電源線106の配線パターンだけを図示している。

30

【0016】

図12は、図11のXII部を拡大して示す図であり、ソースドライバIC101aとFPC114との間の配線構造を示している。図12に示すように、液晶表示パネル100のCOG実装領域116における端部には、その縁辺に沿って、FPC接続用の複数の接続端子115が形成される。

【0017】

一方、ソースドライバIC101aには、その長辺に沿って一列に並ぶ複数のバンプ117が設けられ、基板に形成されるメタル配線118を介して、接続端子115に接続される。そして、FPC114の一方の端部を基板に重ね、その重なった部分で、FPC114に敷設されたFPC配線119の一端が、接続端子115に接続される。このように、制御基板からドライバIC101a～101c、113a、113bへの配線には、FPC114に敷設されたFPC配線119、接続端子115、メタル配線118、およびバンプ117が含まれる。

40

【0018】

このような配線構造を設計する際、特に、液晶駆動用アナログ電源 $AV_{DD}$ 用の電源線105、および液晶駆動用アナロググランド $AV_{SS}$ 用の電源線106の配線については、前記のように、ラッシュ電流に耐え得るように最適化して設計することが必要となる。具体的な方法としては、図12に示すように、ソースドライバIC101aにおける電源線105、106用のバンプ117a、117bと、電源線105、106用の接

50

続端子 115 a, 115 b との間の配線数、すなわち、バンプ 117 a, 117 b の数と、接続端子 115 a, 115 b の数とを調整することや、メタル配線 118 の幅などを最適化して設計している（たとえば、特許文献 1 参照）。

【0019】

ところで、近年、液晶表示パネル 100 の大画面化および高精細化によって、ソースドライバの出力に繋がる画素数が多くなり、これに伴って、ソース配線容量の増加によって充放電電流  $I_1$ ,  $I_2$ 、すなわち充放電される電荷の量が増大し、ラッシュ電流のピーク値も大きくなっている。

【0020】

したがって、ラッシュ電流に耐え得るように最適化して設計しようとする、電源線 105, 106 用の接続端子 115 a, 115 b の数や電源線 105, 106 用のメタル配線 118 の幅が増大してしまい、ドライバ IC 101 a ~ 101 c, 113 a, 113 b と FPC 接続用の接続端子 115 との間の、データ信号用や制御信号用の配線を含めた全体的な配線設計が困難さを増している。

10

【0021】

加えて、ラッシュ電流のピーク値が大きくなることにより、ソースドライバ IC 101 a ~ 101 c 内での発熱量が増大することに起因して、ソースドライバ IC 101 a ~ 101 c の動作が不安定となり、液晶表示に不具合が発生するおそれがある。

【0022】

従来から、出力バッファを介して電荷を充放電する前に、ソース配線をプリチャージ回路でプリチャージしておくことにより、出力バッファを介して電荷の充放電を開始するときのソース配線の電位の遷移量、すなわちソース配線への電荷の供給量または放電量を小さくすることが行われているが、この方法だけでは、ラッシュ電流のピーク値を抑制するには不十分である。

20

【先行技術文献】

【特許文献】

【0023】

【特許文献 1】特開 2010 - 210526 号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0024】

本発明の目的は、制御基板とドライバ IC との間の配線設計を容易にするとともに、充放電電流に起因するソースドライバでの発熱量を抑制することができる液晶表示装置を提供することである。

【課題を解決するための手段】

【0025】

本発明は、複数のゲート配線と複数のソース配線とが交差するように配置された液晶表示パネルと、

前記複数のソース配線を駆動するソースドライバであって、前記ソース配線ごとに設けられ、対応するソース配線をデータ信号に応じた電位に設定する出力バッファを含むソースドライバと、

40

前記出力バッファに対して、高電位側の電力を供給する高電位側電源線と、低電位側の電力を供給する低電位側電源線とを備える電源部と、

前記高電位側電源線に設けられ、前記ソース配線をデータ信号に応じた電位に設定する際に、前記出力バッファから該ソース配線へ流れる電流を制限する高電位側電流制限回路とを含むことを特徴とする液晶表示装置である。

【0026】

また本発明は、前記高電位側電流制限回路に並列に設けられ、前記出力バッファから前記ソース配線へ流れる電流を制限しない高電位側電流非制限回路と、

前記高電位側の電力が前記高電位側電流制限回路を介して前記出力バッファへ供給され

50

る第1の状態と、前記高電位側の電力が前記高電位側電流非制限回路を介して前記出力バッファへ供給される第2の状態とを切り替える高電位側切替部と、

前記ソース配線に対してデータ信号に応じた電位設定の開始タイミングの前後にわたる予め定める期間を第1の状態とし、残余の期間を第2の状態とするように、前記高電位側切替部を制御する高電位側切替制御部とをさらに含むことを特徴とする。

【0027】

また本発明は、前記低電位側電源線に設けられ、前記ソース配線をデータ信号に応じた電位に設定する際に、該ソース配線から前記出力バッファに流れる電流を制限する低電位側電流制限回路をさらに含むことを特徴とする。

【0028】

また本発明は、前記低電位側電流制限回路に並列に設けられ、前記ソース配線から前記出力バッファに流れる電流を制限しない低電位側電流非制限回路と、

前記低電位側の電力が前記低電位側電流制限回路を介して前記出力バッファへ供給される第3の状態と、前記低電位側の電力が前記低電位側電流非制限回路を介して前記出力バッファへ供給される第4の状態とを切り替える低電位側切替部と、

前記ソース配線に対してデータ信号に応じた電位設定の開始タイミングの前後にわたる予め定める期間を第3の状態とし、残余の期間を第4の状態とするように、前記低電位側切替部を制御する低電位側切替制御部とをさらに含むことを特徴とする。

【発明の効果】

【0029】

本発明によれば、電力を供給するための配線および出力バッファを流れるラッシュ電流を抑制することができるので、制御基板とドライバICとの間の配線設計を容易にすることができるとともに、ソースドライバでの発熱量を抑制することができる。

【図面の簡単な説明】

【0030】

【図1】本発明の一実施形態に係る液晶表示装置1の構成例を示すブロック図である。

【図2】階調電位生成回路41において生成される基準階調電位 $V_0 \sim V_{15}$ を説明するための図である。

【図3】出力回路36の構成の一例を示す図である。

【図4】ボルテージフォロワ71の構成の一例を示す図である。

【図5】ボルテージフォロワ72の構成の一例を示す図である。

【図6】本実施形態に係る液晶表示装置1におけるソースドライバ30と電源回路50との接続形態を示す図である。

【図7】ソースドライバ30における出力バッファ75に対して、高電位側および低電位側の電力を供給するための回路の構成例を示す図である。

【図8】本実施形態に係る液晶表示装置1における動作の例を示すタイミングチャートである。

【図9】従来技術に係る液晶表示装置におけるソースドライバ101の最終段の構成を示す図である。

【図10】、従来技術に係る液晶表示装置における動作の例を示すタイミングチャートである。

【図11】COG方式の液晶表示パネル100に設けられたソースドライバIC101a~101cへの電源線105, 106の配線例を示す図である。

【図12】図11のXII部を拡大して示す図である。

【発明を実施するための形態】

【0031】

図1は、本発明の一実施形態に係る液晶表示装置1の構成例を示すブロック図である。本実施形態に係る液晶表示装置1は、図1に示すように、液晶表示パネル10と、ゲートドライバ20と、ソースドライバ30と、制御回路40と、電源回路50とを含んで構成される。電源回路50は、ゲートドライバ20、ソースドライバ30および制御回路40

10

20

30

40

50

に電力を供給する。

【0032】

液晶表示パネル10は、マトリクス状に配置された複数の画素電極と、コモン電極との間に液晶を挟持し、液晶が、画素電極とコモン電極との電位差に応じた状態に変化することで、画像を表示する。

【0033】

液晶表示パネル10は、一对の透明基板を備え、一方の透明基板上にマトリクス状に配置された複数の画素電極を有し、他方の透明基板上には、複数の画素電極に共通の対向電極が共通電極として形成されている。そして、画素電極群とコモン電極とが対向するように2枚の透明基板が配置され、その透明基板間に液晶が注入されている。

10

【0034】

なお、液晶パネル10としてIPS(In-Plane-Switching)方式の液晶パネルを用いる場合には、コモン電極は、画素電極群が形成される透明基板側に設けられる。また、図1において、画素電極13とコモン電位電極との間の液晶は、容量を有する素子としてキャパシタ11として示している。

【0035】

液晶表示パネル10は、本実施形態では、画素電極の各列の左側にそれぞれソース配線14を備え、画素電極の各行の上側にそれぞれゲート配線15を備える。各ソース配線14は、その一方側の端部がソースドライバ30にそれぞれ接続され、各ゲート配線15は、その一方側の端部がゲートドライバ20にそれぞれ接続される。また、各画素電極には、アクティブ素子としてTFT(Thin Film Transistor)12が設けられ、各TFT12のドレインは対応する画素電極に、各TFT12のソースは対応するソース配線14に、各TFT12のゲートは対応するゲート配線15に、それぞれ接続される。

20

【0036】

ゲートドライバ20は、各ゲート配線15の電位を設定する。具体的には、ゲートドライバ20は、各ゲート配線15を1本ずつ線順次選択し、選択したゲート配線15を選択時電位 $V_{GH}$ に設定し、選択していないゲート配線15を非選択時電位 $V_{GL}$ に設定する。したがって、各行は1行ずつ選択される。なお、選択時電位 $V_{GH}$ および非選択時電位 $V_{GL}$ は、電源回路50からゲートドライバ20に供給される。

【0037】

制御回路40は、ゲートドライバ20に対して、1行目のゲート配線15から順次選択を開始することを指示する制御信号STVと、選択行の切り替えを指示するクロック信号GCKとを入力する。制御信号STVは、ゲートスタートパルスとも呼ばれ、GCKは、ゲートクロックとも呼ばれる。

30

【0038】

制御回路40は、1フレーム期間の開始時に、制御信号STVをハイレベルにし、他の期間では制御信号STVをローレベルにする。すなわち、制御回路40は、制御信号STVをハイレベルにすることで、フレーム期間の開始を通知する。

【0039】

ゲートドライバ20は、制御信号STVがハイレベルになっているときに、クロック信号GCKの立ち上がりエッジを検出すると、1行目のゲート配線15を選択時電位 $V_{GH}$ に設定し、残余の行のゲート配線15を非選択時電位 $V_{GL}$ に設定する。以降、ゲートドライバ20は、クロック信号GCKの立ち上がりエッジを検出する毎に、選択時電位 $V_{GH}$ に設定するゲート配線15を順番に切り替えていく。

40

【0040】

各TFT12は、ゲートの電位が選択時電位 $V_{GH}$ に設定されると、ドレインとソースとを導通状態にし、ゲートの電位が非選択時電位 $V_{GL}$ に設定されると、ドレインとソースとを非導通状態にする。したがって、選択行の各画素電極は、TFT12を介して接続されているソース配線14と等電位となる。また、選択されていない行の各画素電極は、TFT12を介して接続されているソース配線14と非導通状態になる。

50

## 【0041】

このようにして、画素電極がソース配線14と等電位になると、コモン電極に設定されているコモン電位 $V_{COM}$ と画素電極の電位との電位差に応じて、画素電極とコモン電極との間の液晶の状態が規定され、その画素における表示状態が定められる。

## 【0042】

階調電位生成回路41は、電源回路50から供給されるアナログ電源電位 $AV_{DD}$ から、たとえば、コモン電位 $V_{COM}$ よりも低い電位である基準階調電位 $V_0 \sim V_7$ と、コモン電位 $V_{COM}$ よりも高い電位である基準階調電位 $V_8 \sim V_{15}$ とを生成する。

## 【0043】

図2は、階調電位生成回路41において生成される基準階調電位 $V_0 \sim V_{15}$ を説明するための図である。基準階調電位 $V_8 \sim V_{15}$ は、正極性駆動のための電位であり、基準階調電位 $V_0 \sim V_7$ は、負極性駆動のための電位である。階調電位生成回路41は、生成した基準階調電位 $V_0 \sim V_{15}$ を、ソースドライバ30における後述のD/Aコンバータ(Digital to Analog Converter)34に供給する。

10

## 【0044】

ソースドライバ30は、シフトレジスタ31と、第1ラッチ部32と、第2ラッチ部33と、D/Aコンバータ34と、バッファ回路35とを含んで構成される。

## 【0045】

シフトレジスタ31には、制御回路40から、1ライン分のデータ取り込みの開始を示す信号である制御信号 $STH$ と、データシフト用のクロック信号 $CLK$ とが入力される。制御信号 $STH$ は、ソーススタートパルスとも呼ばれ、クロック信号 $CLK$ は、ドットクロックとも呼ばれる。

20

## 【0046】

シフトレジスタ31は、各ソース配線14に一对一に対応する信号出力端を有し、制御信号 $STH$ がハイレベルのときにクロック信号 $CLK$ の立ち上がりエッジを検出すると、1列目のソース配線14に対応する信号出力端からデータ読み込み指示信号を出力する。以降、シフトレジスタ31は、クロック信号 $CLK$ の立ち上がりエッジを検出する毎に、順次、データ読み込み指示信号を出力する信号出力端を切り替える。

## 【0047】

第1ラッチ部32には、制御回路40から、データ信号 $DATA$ が入力されるとともに、シフトレジスタ31の各信号出力端から、データ読み込み指示信号が入力される。なお、本実施形態では、1ライン分の画像データがシリアルに読み込まれるものとする。第1ラッチ部32は、シフトレジスタ31からデータ読み込み指示信号が入力されると、データ信号 $DATA$ から、1ライン分の画像データのうち、そのデータ読み込み指示信号に対応する列の画素の画像データ、すなわち画素の階調を表す画素値をラッチする。

30

## 【0048】

第2ラッチ部33には、制御回路40から、制御信号 $LP$ が入力される。制御信号 $LP$ は、ラッチパルスとも呼ばれる。この制御信号 $LP$ によって、第2ラッチ部33が、第1ラッチ部32から1ライン分の画像データを読み込んで、読み込んだ1ライン分の画像データをD/Aコンバータ34に出力するタイミングが規定される。具体的には、第2ラッチ部33は、制御信号 $LP$ の立ち下がりエッジ毎に、1ライン分の画像データを第1ラッチ部32からまとめて読み込み、読み込んだ画像データ(デジタルデータ)をD/Aコンバータ34に出力する。

40

## 【0049】

D/Aコンバータ34には、階調電位生成回路41から基準階調電位 $V_0 \sim V_{15}$ が入力されるとともに、制御回路40から制御信号 $POL$ が入力される。制御信号 $POL$ は、極性反転信号とも呼ばれる。

## 【0050】

D/Aコンバータ34は、第2ラッチ部33から出力される1ライン分の画像データ、すなわち1ラインの各画素の画素値を、階調電位生成回路41から入力された基準階調電

50

位  $V_0 \sim V_{15}$  のうちのいずれかのアナログ電位に変換して出力する。

【0051】

たとえば、D/Aコンバータ34は、制御回路40から入力される制御信号POLのレベルがハイレベルである場合には、奇数列目のソース配線14に対応して設けられる電位出力端からは、正極性駆動のための基準階調電位  $V_8 \sim V_{15}$  のうちのいずれかのアナログ電位（以下、「データ電位」と称する） $V_D$  を出力し、偶数列目のソース配線14に対応して設けられる電位出力端からは、負極性駆動のための基準階調電位  $V_0 \sim V_7$  のうちのいずれかのデータ電位  $V_D$  を出力する。

【0052】

また、制御信号POLのレベルがローレベルである場合には、奇数列目のソース配線14に対応して設けられる電位出力端からは、負極性駆動のための基準階調電位  $V_0 \sim V_7$  のうちのいずれかのデータ電位  $V_D$  を出力し、偶数列目のソース配線14に対応して設けられる電位出力端からは、正極性駆動のための基準階調電位  $V_8 \sim V_{15}$  のうちのいずれかのデータ電位  $V_D$  を出力する。

【0053】

このように、D/Aコンバータ34における各ソース配線14に対応して設けられる電位出力端からは、画素値に応じた正極性または負極性のデータ電位  $V_D$  が出力されて、バッファ回路35に入力される。なお、D/Aコンバータ34は、入力された基準階調電位  $V_0 \sim V_{15}$  を分圧して、より多くの種類の階調に応じたデータ電位  $V_D$  を出力するように構成されてもよい。

【0054】

また、本実施の形態では、制御回路40は、制御信号POLの論理状態（ハイレベル、ローレベル）を、1水平期間毎に切り替える。このように、制御信号POLが、1水平期間ごとに切り替えられるので、1フレーム期間内では、D/Aコンバータ34における個々の電位出力端から出力されるデータ電位  $V_D$  は、 $V_{COM}$  より高い正極性のデータ電位  $V_D$  と、 $V_{COM}$  より低い負極性のデータ電位  $V_D$  とが交互に出力される。すなわち、本実施形態では、液晶表示パネル10は、ドット反転駆動される。

【0055】

バッファ回路35は、D/Aコンバータ34の各電位出力端にそれぞれ接続される複数の出力回路36を備える。各出力回路36は、ソース配線14に接続される電位出力端36a（図3参照）をそれぞれ有し、その電位出力端36aを介して、ソース配線14の電位をD/Aコンバータ34から入力されたデータ電位  $V_D$  に設定する。

【0056】

図3は、出力回路36の構成の一例を示す図である。出力回路36は、図3に示されるように、ボルテージフォロワ71、72と、ボルテージフォロワ71の出力端子Voutと電位出力端36aとの間に設けられるスイッチ73と、ボルテージフォロワ72の出力端子Voutと電位出力端36aとの間に設けられるスイッチ74とを備えて構成され、ボルテージフォロワ71、72から出力されるデータ電位  $V_D$  によって、電位出力端36aに接続されるソース配線14を駆動する。

【0057】

図4は、ボルテージフォロワ71の構成の一例を示す図である。ボルテージフォロワ71は、図4に示されるように、NチャンネルのMOSトランジスタMN1、MN2と、PチャンネルのMOSトランジスタMP1、MP2、MP3と、定電流源CI1、CI2と、コンデンサC1とを含んで構成される。ボルテージフォロワ71は、電源回路50から後述する電源線51を介して高電位側の電源である液晶駆動用アナログ電源  $AV_{DD}$  に接続されるとともに、電源回路50から後述する電源線52を介して低電位側の電源である液晶駆動用アナロググランド  $AV_{SS}$  に接続される。ボルテージフォロワ71は、対応するD/Aコンバータ34の電位出力端から入力端子Vinに入力される正極性のデータ電位  $V_D$  を増幅および緩衝し、出力端子Voutから出力する。

【0058】

10

20

30

40

50

図5は、ボルテージフォロワ72の構成の一例を示す図である。ボルテージフォロワ72は、図5に示されるように、PチャンネルのMOSトランジスタMP4、MP5と、NチャンネルのMOSトランジスタMN3、MN4、MN5と、定電流源CI3、CI4と、コンデンサC2とを含んで構成される。ボルテージフォロワ72は、電源回路50から後述する電源線51を介して高電位側の電源である液晶駆動用アナログ電源 $AV_{DD}$ に接続されるとともに、電源回路50から後述する電源線52を介して低電位側の電源である液晶駆動用アナロググランド $AV_{SS}$ に接続される。ボルテージフォロワ72は、対応するD/Aコンバータ34の電位出力端から入力端子 $V_{in}$ に入力される負極性のデータ電位 $V_D$ を増幅および緩衝し、出力端子 $V_{out}$ から出力する。以下では、ボルテージフォロワ71、72を総称して、出力バッファ75と記すこととする。

10

#### 【0059】

奇数列目のソース配線14に対応して設けられる出力回路36では、制御回路40から入力される制御信号POLの論理状態がハイレベルのときに、スイッチ73が閉成されて、スイッチ74が開成される。これにより、ボルテージフォロワ71から出力される正極性のデータ電位 $V_D$ が、電位出力端36aを介してソース配線14に設定される。一方、制御回路40から入力される制御信号POLの論理状態がローレベルのときに、スイッチ74が閉成されて、スイッチ73が開成される。これにより、ボルテージフォロワ72から出力される負極性のデータ電位 $V_D$ が、電位出力端36aを介してソース配線14に設定される。

20

#### 【0060】

また、奇数列目のソース配線14に対応して設けられる出力回路36では、制御回路40から入力される制御信号POLの論理状態がハイレベルのときに、スイッチ74が閉成されて、スイッチ73が開成される。これにより、ボルテージフォロワ72から出力される負極性のデータ電位 $V_D$ が、電位出力端36aを介してソース配線14に設定される。一方、制御回路40から入力される制御信号POLの論理状態がローレベルのときには、スイッチ73が閉成されて、スイッチ74が開成される。これにより、ボルテージフォロワ71から出力される正極性のデータ電位 $V_D$ が、電位出力端36aを介してソース配線14に設定される。

#### 【0061】

図6は、本実施形態に係る液晶表示装置1におけるソースドライバ30と電源回路50との接続形態を示す図である。本実施形態に係る液晶表示装置1は、COG(Chip on glass)方式の液晶表示装置によって実現される。すなわち、液晶表示パネル10は、一対の透明基板のうち、画素電極が形成される前記一方の透明基板が、画像が表示される表示領域16よりも突出した部分(以下、「COG実装領域」と称する)17を有するように形成されており、このCOG実装領域17にゲートドライバ20およびソースドライバ30が実装されている。

30

#### 【0062】

ゲートドライバ20は、液晶表示パネル10とは別個に設けられる制御基板60に実装される制御回路40から制御信号STVやクロック信号GCKが入力されるとともに、制御基板60に実装される電源回路50から選択時電位 $V_{GH}$ および非選択時電位 $V_{GL}$ が供給される。なお、本実施形態では、電源回路50は、DC/DC回路によって実現される。

40

#### 【0063】

一方、ソースドライバ30は、制御基板60に実装される制御回路40から制御信号STHやクロック信号CLKなどの制御信号およびデータ信号DATAが入力されるとともに、制御基板60に実装される電源回路50から液晶駆動用アナログ電源 $AV_{DD}$ および液晶駆動用アナロググランド $AV_{SS}$ などの電力が供給される。

#### 【0064】

制御基板60は、ゲートドライバ20およびソースドライバ30に対してデータ信号DATA、各種の制御信号および電力の供給を行うために、図6に示すように、フレキシブ

50

ルプリント基板 (Flexible Printed Circuit ; 以下、「FPC」と略記する) 18を介して、液晶表示パネル10のCOG実装領域17の端部に電氣的に接続される。

【0065】

これにより、FPC18を介して、制御基板60とゲートドライバ20およびソースドライバ30との間で、データ信号DATAおよび各種の制御信号を供給するための複数の信号線、ならびに各種の電力を供給するための複数の電源線が配線される。なお、図6では、制御基板60とゲートドライバ20およびソースドライバ30との間に形成される複数の配線のうち、ソースドライバ30における出力バッファ75に対して、液晶駆動用アナログ電源 $AV_{DD}$ を供給する電源線51、および液晶駆動用アナロググランド $AV_{SS}$ を供給する電源線52のみを示し、他の電源線および信号線については省略して示している。

10

【0066】

なお、COG実装領域17における配線構造は、図12に示す構造と同様の構造である。すなわち、COG実装領域17の端部には、その縁辺に沿って、FPC接続用の複数の接続端子19が形成され、これら複数の接続端子19は、COG実装領域17に形成されたメタル配線を介して、ゲートドライバ20およびソースドライバ30に設けられたパンプに接続される。

【0067】

これにより、FPC18の一方の端部をCOG実装領域17の端部に重ね、その重なった部分で、FPC18に敷設された信号線や電源線などのFPC配線の一端が、接続端子19に接続される。このように、制御基板60とゲートドライバ20およびソースドライバ30との間に形成される配線には、FPC18に敷設されたFPC配線、COG実装領域17の端部に設けられた接続端子19、COG実装領域17に形成されたメタル配線、およびゲートドライバ20およびソースドライバ30に設けられたパンプが含まれる。

20

【0068】

図7は、ソースドライバ30における出力バッファ75に対して、高電位側および低電位側の電力を供給するための回路の構成例を示す図である。なお、図7では、ソースドライバ30における一の出力バッファ75だけを代表して示している。ソースドライバ30における各出力バッファ75は、制御基板60に実装された電源回路50とソースドライバ30との間に配線された、各出力バッファ75に共通して設けられる電源線51によって、高電位側の電源である液晶駆動用アナログ電源 $AV_{DD}$ に接続されるとともに、各出力バッファ75に共通して設けられる電源線52によって、低電位側の電源である液晶駆動用アナロググランド $AV_{SS}$ に接続される。

30

【0069】

なお、電源線51は、図7に示すように、FPC18に敷設された液晶駆動用アナログ電源 $AV_{DD}$ 用のFPC配線53aと、液晶表示パネル10に形成された液晶駆動用アナログ電源 $AV_{DD}$ 用の複数の接続端子19aおよびメタル配線54aと、ソースドライバ30に設けられた液晶駆動用アナログ電源 $AV_{DD}$ 入力用の複数のパンプ55aとを含んで構成される。同様に、電源線52は、FPC18に敷設された液晶駆動用アナロググランド $AV_{SS}$ 用のFPC配線53bと、液晶表示パネル10に形成された液晶駆動用アナロググランド $AV_{SS}$ 用の複数の接続端子19bおよびメタル配線54bと、ソースドライバ30に設けられた液晶駆動用アナロググランド $AV_{SS}$ 入力用の複数のパンプ55bとを含んで構成される。

40

【0070】

本実施形態では、図7に示すように、液晶駆動用アナログ電源 $AV_{DD}$ 用の電源線51 (高電位側電源線)に、電流制限回路81 (高電位側電流制限回路)が介装されるとともに、電流非制限回路83 (高電位側電流非制限回路)が電流制限回路81に並列に設けられている。さらに、液晶駆動用アナロググランド $AV_{SS}$ 用の電源線52 (低電位側電源線)に、電流制限回路82 (低電位側電流制限回路)が介装されるとともに、電流非制限回路84 (低電位側電流非制限回路)が電流制限回路82に並列に設けられている。

50

## 【 0 0 7 1 】

電流制限回路 8 1 は、ソース配線 1 4 をデータ電位  $V_D$  に設定するために、電源線 5 1 から出力バッファ 7 5 を介してソース配線 1 4 へ流れ込む電荷の量を制限するための回路である。すなわち、電流制限回路 8 1 は、ソース配線 1 4 へ流れ込む充電電流  $I_1$  を予め定める制限値以下に制限するように構成された回路である。一方、電流非制限回路 8 3 は、電流制限回路 8 1 を迂回するように設けられ、電流制限回路 8 1 のように制限をかけることなく、充電電流  $I_1$  を流すための回路である。

## 【 0 0 7 2 】

そして、この電流非制限回路 8 3 には、液晶駆動用アナログ電源  $AV_{DD}$  が電流制限回路 8 1 を介して出力バッファ 7 5 に供給される第 1 の状態と、液晶駆動用アナログ電源  $AV_{DD}$  が電流非制限回路 8 3 を介して出力バッファ 7 5 に供給される第 2 の状態とを切り替えるための切替部 8 5 (高電位側切替部) が設けられている。すなわち、第 1 の状態では、充電電流  $I_1$  は電流制限回路 8 1 を流れ、第 2 の状態では、充電電流  $I_1$  は電流非制限回路 8 3 を流れる。

10

## 【 0 0 7 3 】

同様に、電流制限回路 8 2 は、ソース配線 1 4 をデータ電位  $V_D$  に設定するために、ソース配線 1 4 から出力バッファ 7 5 を介して電源線 5 2 へ流れ込む電荷の量を制限するための回路である。すなわち、電流制限回路 8 2 は、電源線 5 2 へ流れ込む放電電流  $I_2$  を予め定める制限値以下に制限するように構成された回路である。一方、電流非制限回路 8 4 は、電流制限回路 8 2 を迂回するように設けられ、電流制限回路 8 2 のように制限をかけることなく、放電電流  $I_2$  を流すための回路である。

20

## 【 0 0 7 4 】

そして、この電流非制限回路 8 4 には、液晶駆動用アナロググランド  $AV_{SS}$  が電流制限回路 8 2 を介して出力バッファ 7 5 に供給される第 3 の状態と、液晶駆動用アナロググランド  $AV_{SS}$  が電流非制限回路 8 4 を介して出力バッファ 7 5 に供給される第 4 の状態とを切り替えるための切替部 8 6 (低電位側切替部) が設けられている。すなわち、第 3 の状態では、放電電流  $I_2$  は電流制限回路 8 2 を流れ、第 2 の状態では、放電電流  $I_2$  は電流非制限回路 8 4 を流れる。

## 【 0 0 7 5 】

電流制限回路 8 1 は、本実施形態では、NPNトランジスタ  $Q_1$  と、NPNトランジスタ  $Q_2$  と、ベース抵抗  $r_1$  と、電流検出抵抗  $r_2$  とによって構成される。NPNトランジスタ  $Q_1$  のコレクタは、電源回路 5 0 における液晶駆動用アナログ電源  $AV_{DD}$  の出力端 5 0 a に接続され、NPNトランジスタ  $Q_1$  のベース・コレクタ間にベース抵抗  $r_1$  が接続される。また、NPNトランジスタ  $Q_1$  のベースには、NPNトランジスタ  $Q_2$  のコレクタが接続され、NPNトランジスタ  $Q_1$  のエミッタは、NPNトランジスタ  $Q_2$  のベースに接続される。そして、NPNトランジスタ  $Q_2$  のベース・エミッタ間に電流検出抵抗  $r_2$  が接続され、NPNトランジスタ  $Q_2$  のエミッタは、接続端子 1 9 a に接続される。

30

## 【 0 0 7 6 】

ここで、NPNトランジスタ  $Q_2$  のベース・エミッタ電圧を  $V_{be1}$  として、電流制限回路 8 1 の動作について説明する。ベース抵抗  $r_1$  は、NPNトランジスタ  $Q_1$  のベースバイアス抵抗であり、電流検出抵抗  $r_2$  は、NPNトランジスタ  $Q_2$  のベースエミッタ抵抗である。充電電流  $I_1$  は、NPNトランジスタ  $Q_1$  のコレクタからエミッタを経て、電流検出抵抗  $r_2$  の抵抗を通してソース配線 1 4 に供給される。ここで、電流検出抵抗  $r_2$  は、NPNトランジスタ  $Q_2$  のベース・エミッタ間に配設されているので、電流検出抵抗  $r_2$  にかかる電圧は、NPNトランジスタ  $Q_2$  のベース・エミッタ電圧  $V_{be1}$  に固定される。つまり、電流検出抵抗  $r_2$  によって充電電流  $I_1$  は制御されることになる。ここで、電流検出抵抗  $r_2$  の抵抗値を  $R_1$  とすると、電流制限回路 8 1 による充電電流  $I_1$  の制限値  $I_{L1}$  は、次式 (1) によって求められる。

40

$$I_{L1} = V_{be1} / R_1 \quad \dots (1)$$

## 【 0 0 7 7 】

50

NPNトランジスタQ2のベース・エミッタ電圧 $V_{be1}$ は約0.6Vであるので、電流検出抵抗 $r_2$ の抵抗値 $R_1$ を適宜設定することによって、式(1)により電流制限回路81による充電電流 $I_1$ の制限値 $I_{L1}$ を、所望の値に決定することができる。

【0078】

電流非制限回路83は、電流制限回路81を迂回して、電源回路50における液晶駆動用アナログ電源 $AV_{DD}$ の出力端50aと接続端子19aとを直結するように設けられた回路である。この電流非制限回路83には、切替部85としてスイッチング素子が設けられ、本実施形態では、PNPトランジスタQ5が設けられている。このPNPトランジスタQ5は、エミッタおよびコレクタが、電源回路50における液晶駆動用アナログ電源 $AV_{DD}$ の出力端50aおよび接続端子19aのそれぞれに接続され、PNPトランジスタQ5のベースには、制御回路40から制御信号CONT1が入力される。

10

【0079】

PNPトランジスタQ5は、制御回路40から入力される制御信号CONT1の論理状態に応じて、エミッタ・コレクタ間を導通または遮断する。具体的には、制御信号CONT1の論理状態がハイレベルのときに、エミッタ・コレクタ間を遮断し、制御信号CONT1の論理状態がローレベルのときに、エミッタ・コレクタ間を導通する。

【0080】

このようにして、PNPトランジスタQ5のエミッタ・コレクタ間が導通されると、充電電流 $I_1$ は電流非制限回路83を流れ、PNPトランジスタQ5のエミッタ・コレクタ間が遮断されると、充電電流 $I_1$ は電流制限回路81を流れることとなる。

20

【0081】

同様に、電流制限回路82は、本実施形態では、NPNトランジスタQ3と、NPNトランジスタQ4と、ベース抵抗 $r_3$ と、電流検出抵抗 $r_4$ とによって構成される。NPNトランジスタQ3のコレクタは、接続端子19に接続され、NPNトランジスタQ3のベース・コレクタ間にベース抵抗 $r_3$ が接続される。また、NPNトランジスタQ3のベースには、NPNトランジスタQ4のコレクタが接続され、NPNトランジスタQ3のエミッタは、NPNトランジスタQ4のベースに接続される。そして、NPNトランジスタQ4のベース・エミッタ間に電流検出抵抗 $r_4$ が接続され、NPNトランジスタQ4のエミッタは、電源回路50における液晶駆動用アナロググランド $AV_{SS}$ の出力端50bに接続される。

30

【0082】

ここで、NPNトランジスタQ4のベース・エミッタ電圧を $V_{be2}$ として、電流制限回路82の動作について説明する。ベース抵抗 $r_3$ は、NPNトランジスタQ3のベースバイアス抵抗であり、電流検出抵抗 $r_4$ は、NPNトランジスタQ4のベースエミッタ抵抗である。放電電流 $I_2$ は、NPNトランジスタQ3のコレクタからエミッタを経て、電流検出抵抗 $r_4$ の抵抗を通してソース配線14から放電される。ここで、電流検出抵抗 $r_4$ は、NPNトランジスタQ2のベース・エミッタ間に配設されているので、電流検出抵抗 $r_4$ にかかる電圧は、NPNトランジスタQ4のベース・エミッタ電圧 $V_{be2}$ に固定される。つまり、電流検出抵抗 $r_4$ によって放電電流 $I_2$ は制御されることになる。ここで、電流検出抵抗 $r_4$ の抵抗値を $R_2$ とすると、電流制限回路81による放電電流 $I_2$ の制限値 $I_{L2}$ は、次式(2)によって求められる。

40

$$I_{L2} = V_{be2} / R_2 \quad \dots (2)$$

【0083】

NPNトランジスタQ4のベース・エミッタ電圧 $V_{be2}$ は約0.6Vであるので、電流検出抵抗 $r_4$ の抵抗値 $R_2$ を適宜設定することによって、式(2)により電流制限回路82による放電電流 $I_2$ の制限値 $I_{L2}$ を、所望の値に決定することができる。

【0084】

電流非制限回路84は、電流制限回路82を迂回して、電源回路50における液晶駆動用アナロググランド $AV_{SS}$ の出力端50bと接続端子19bとを直結するように設けられた回路である。この電流非制限回路84には、切替部86としてスイッチング素子が設

50

けられ、本実施形態では、NPNトランジスタQ6が設けられている。このNPNトランジスタQ6は、エミッタおよびコレクタが、電源回路50における液晶駆動用アナロググランドAV<sub>S</sub>の出力端50bおよび接続端子19bのそれぞれに接続され、NPNトランジスタQ6のベースには、制御回路40から制御信号CONT2が入力される。

【0085】

NPNトランジスタQ6は、制御回路40から入力される制御信号CONT2の論理状態に応じて、エミッタ・コレクタ間を導通または遮断する。具体的には、制御信号CONT2の論理状態がハイレベルのときに、エミッタ・コレクタ間を導通し、制御信号CONT2の論理状態がローレベルのときに、エミッタ・コレクタ間を遮断する。

【0086】

このようにして、NPNトランジスタQ6のエミッタ・コレクタ間が導通されると、放電電流I<sub>2</sub>は電流非制限回路84を流れ、NPNトランジスタQ6のエミッタ・コレクタ間が遮断されると、放電電流I<sub>2</sub>は電流制限回路82を流れることとなる。

【0087】

図8は、本実施形態に係る液晶表示装置1における動作の例を示すタイミングチャートであり、図8(1)は、ソースドライバ30に、各ソース配線14の電位を、ゲートドライバ20によって選択された選択行における各画素の画像値に応じたデータ電位V<sub>D</sub>に設定することを指示するラッチパルスLPを示し、図8(2)は、制御回路40から切替部85に入力される制御信号CONT1を示し、図8(3)は、制御回路40から切替部86に入力される制御信号CONT2を示している。また、図8(4)は、一のソース配線14における電位の変化を示し、図8(5)は、該一のソース配線14に隣接するソース配線14における電位の変化を示し、図8(6)は、高電位側の電源線51から該一のソース配線14に流れ込む充電電流I<sub>1</sub>の変化を示し、図8(7)は、該一のソース配線14から低電位側の電源線52へ流れ込む放電電流I<sub>2</sub>の変化を示している。なお、図8(1)および図8(4)に示すように、ラッチパルスLPがハイレベルの期間では、ソース配線14はハイインピーダンス状態とされている。

【0088】

図8に示すように、ソースドライバ30において、ラッチパルスLPの立ち下がりエッジが検出されると、出力バッファ75からソース配線14への電位出力が開始される。このとき、一のソース配線14に設定すべきデータ電位V<sub>D</sub>が、電位出力開始直前の該一のソース配線14の電位よりも高い場合には、高電位側の電源線51から該一のソース配線14に充電電流I<sub>1</sub>が流れ込む。逆に、該一のソース配線14に設定すべきデータ電位V<sub>D</sub>が、電位出力開始直前の該一のソース配線14の電位よりも低い場合には、該一のソース配線14から低電位側の電源線52に放電電流I<sub>2</sub>が流れ込む。

【0089】

本実施形態では、前記のように、液晶表示パネル10はドット反転駆動されるので、奇数列目のソース配線14群および偶数列目のソース配線14群のうち、一方のソース配線14群に高電位側の電源線51から充電電流I<sub>1</sub>が流れ込み、他方のソース配線14群から低電位側の電源線52に放電電流I<sub>2</sub>が流れ込む状態と、該一方のソース配線14群から低電位側の電源線52に放電電流I<sub>2</sub>が流れ込み、該他方のソース配線14群に高電位側の電源線51から充電電流I<sub>1</sub>が流れ込む状態とが、1水平期間(1H)ごとに交互に入れ替わる。

【0090】

制御回路40は、図8(2)に示すように、ソース配線14へ電荷が供給される期間(充電期間)の直前において、ラッチパルスLPがハイレベルにされている期間に、制御信号CONT1をハイレベルにするとともに、制御信号CONT2をローレベルにし、ラッチパルスLPの立ち下がりエッジが検出されてからt<sub>0</sub>時間が経過すると、制御信号CONT1をローレベルにするとともに、制御信号CONT2をハイレベルにする。ここで、t<sub>0</sub>時間は、1水平期間において、ソースドライバ30からソース配線14へのデータ電位V<sub>D</sub>の出力可能期間、すなわちラッチパルスLPがローレベルである期間t<sub>1</sub>よりも短

10

20

30

40

50

い時間である。

【0091】

これにより、ソース配線14へのデータ電位 $V_D$ の出力開始のタイミングから $t_0$ 時間の期間は、PNPトランジスタQ5のエミッタ・コレクタ間が遮断されるとともに、PNPトランジスタQ6のエミッタ・コレクタ間が遮断される。これにより、この $t_0$ 時間の期間には、充電電流 $I_1$ は電流制限回路81を流れ、放電電流 $I_2$ は電流制限回路82を流れることとなる。すなわち、この期間には、図8(6)および図8(7)に示すように、充電電流 $I_1$ が、予め定める制限値 $I_{L1}$ を越えないように制限され、放電電流 $I_2$ が、予め定める制限値 $I_{L2}$ を越えないように制限される。そして、この期間が経過すると、PNPトランジスタQ5のエミッタ・コレクタ間が導通されるとともに、PNPトランジスタQ6のエミッタ・コレクタ間が導通されることにより、充電電流 $I_1$ は電流非制限回路83を流れ、放電電流 $I_2$ は電流非制限回路84を流れることとなる。

10

【0092】

以上のように、本実施形態によれば、ソースドライバ30の最終段に設けられた出力バッファ75で液晶表示パネル10を駆動するように構成された液晶表示装置1において、出力バッファ75に高電位側の電力を供給するための電源線51および低電位側の電力を供給するための電源線52には、予め定める制限値 $I_{L1}$ 、 $I_{L2}$ を越えないように充電電流 $I_1$ または放電電流 $I_2$ を制限するための電流制限回路81、82がそれぞれ設けられている。

20

【0093】

したがって、出力バッファ75からソース配線14へのデータ電位 $V_D$ の出力を開始する際に流れるラッシュ電流を、予め定める制限値 $I_{L1}$ 、 $I_{L2}$ 以下に制御することができる。したがって、電流制限回路81、82が設けられない場合に比べて、電源線51、52を構成する、接続端子19a、19bおよびパンプ55a、55bの数を低減し、メタル配線54a、54bの幅を小さくすることができる。これにより、制御基板60とゲートドライバ20およびソースドライバ30との間の配線設計を容易にすることができる。また、ラッシュ電流を制限することができるので、充電電流 $I_1$ および放電電流 $I_2$ に起因するソースドライバ30での発熱量を抑制することができる。

【0094】

また、本実施形態によれば、電流制限回路81と並列に電流非制限回路83が設けられ、制御回路40によって切替部85の動作が制御されることにより、ソース配線14へのデータ電位 $V_D$ の出力開始、すなわちラッチパルスLPの立ち下がりのタイミングから $t_0$ 時間の期間だけ、充電電流 $I_1$ が、予め定める制限値 $I_{L1}$ を越えないように制限される。同様に、電流制限回路82と並列に電流非制限回路84が設けられ、制御回路40によって切替部86の動作が制御されることにより、ラッチパルスLPの立ち下がりのタイミングから $t_0$ 時間の期間だけ、放電電流 $I_2$ が、予め定める制限値 $I_{L2}$ を越えないように制限される。

30

【0095】

電源線51、52に、電流制限回路81、82しか設けられていない場合には、充電電流 $I_1$ および放電電流 $I_2$ の制限値 $I_{L1}$ 、 $I_{L2}$ をあまり低く設定してしまうと、ソース配線14へのデータ電位 $V_D$ の出力可能期間 $t_1$ 内に、データ電位 $V_D$ に設定するために必要な電荷量(図8(6)、(7)においてハッチングで示す量)を画素電極に供給できなくなってしまう場合がある。そのため、制限値 $I_{L1}$ 、 $I_{L2}$ を十分に低く設定することができない。

40

【0096】

本実施形態では、ラッチパルスLPの立ち下がりのタイミングから $t_0$ 時間の期間が経過すると、充電電流 $I_1$ および放電電流 $I_2$ の流路が、電流制限回路81、82から電流非制限回路83、84に切り替わるので、画素電極への電荷供給の速度を回復させることができる。これにより、制限値 $I_{L1}$ 、 $I_{L2}$ を十分に低く設定しても、データ電位 $V_D$ に設定するために必要な電荷量を画素電極に供給できなくなるという不具合を回避するこ

50

とができる。

【0097】

画素電極への充電は、ラッチパルスLPの立ち下がりのタイミングから1水平期間の3/4の時間が経過した時点までに完了していることが好ましい。したがって、その時点までに画素電極への充電が完了するように、制限値 $I_{L1}$ 、 $I_{L2}$ 、すなわち抵抗値 $R1$ 、 $R2$ と、時間 $t_0$ とを決定するのが好ましい。

【0098】

本実施形態では、ドット反転駆動される液晶表示装置1を例に挙げて説明したが、列ライン反転駆動や行ライン反転駆動される液晶表示装置においても、本発明を適用することにより、同様の効果を得ることができる。

10

【0099】

なお、列ライン反転駆動される液晶表示装置では、フレームの切り替わりのタイミング、すなわち第1行目の画素の画素電極にデータ電位 $V_D$ を出力するタイミングで、正極性から負極性へ、あるいは負極性から正極性へ切り替わるので、このタイミングで発生するラッシュ電流が最も大きくなる。しかしながら、第2行目以降で、同極性でデータ電位 $V_D$ を出力するタイミングにおいてもラッシュ電流は発生し、無視できない大きさのラッシュ電流が発生する場合もある。したがって、列ライン反転駆動される液晶表示装置においても、ラッチパルスLPの立ち下がりエッジごとに所定の期間だけ、充電電流 $I_1$ および放電電流 $I_2$ が電流制限回路81、82を流れるように構成するのが好ましい。

【0100】

20

また、本実施形態では、図7に示すように、電流制限回路81、82を、2つのNPNトランジスタと2つの抵抗とによって構成しているが、電流制限回路としては、このような構成に限られることなく、周知の他の回路を用いてもよい。

【0101】

また、本実施形態では、図3～図5に示すような出力回路36を用いているが、このような構成に限らず、他の出力回路が用いられてもよい。

【符号の説明】

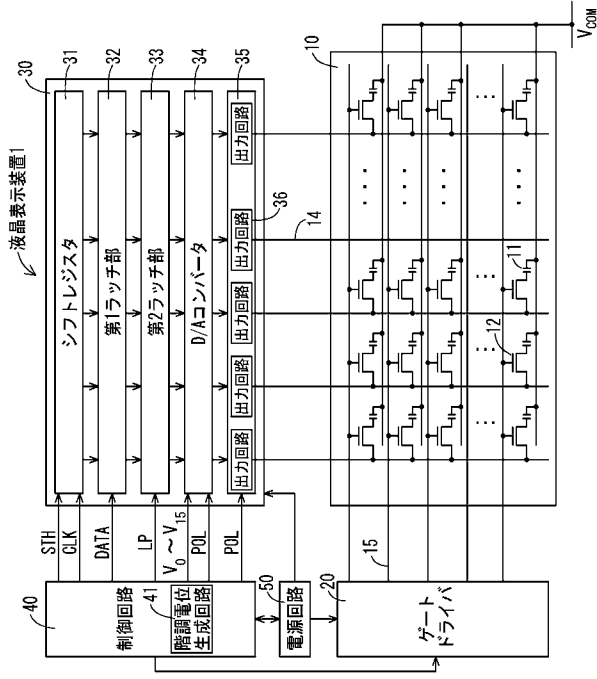
【0102】

- 1 液晶表示装置
- 10 液晶表示パネル
- 14 ソース配線
- 30 ソースドライバ
- 40 制御回路
- 50 電源回路
- 51 高電位側の電源線
- 52 低電位側の電源線
- 75 出力バッファ
- 81, 83 電流制限回路
- 82, 84 電流非制限回路
- 85, 86 切替部

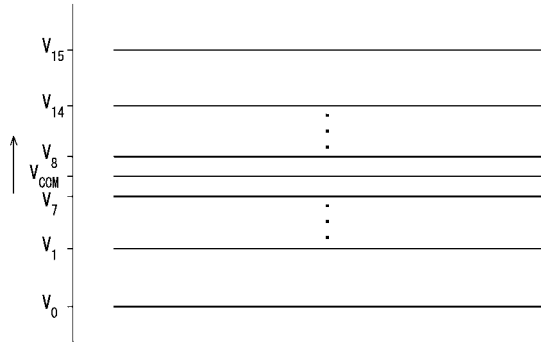
30

40

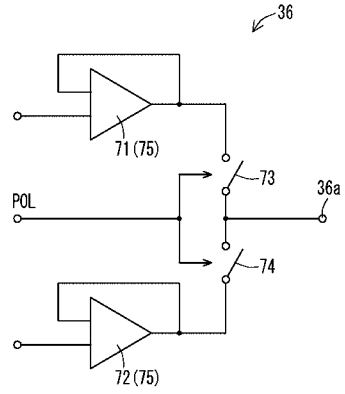
【図1】



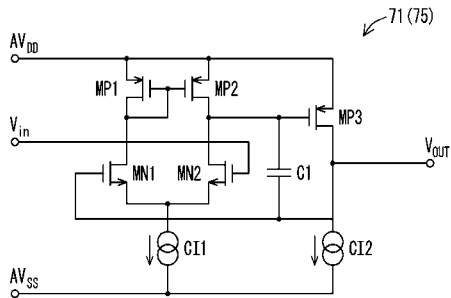
【図2】



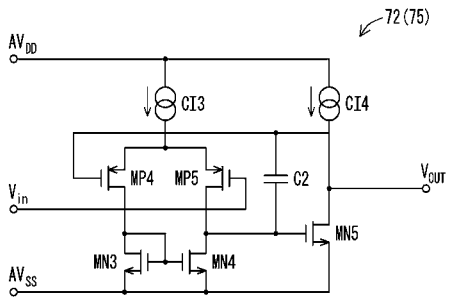
【図3】



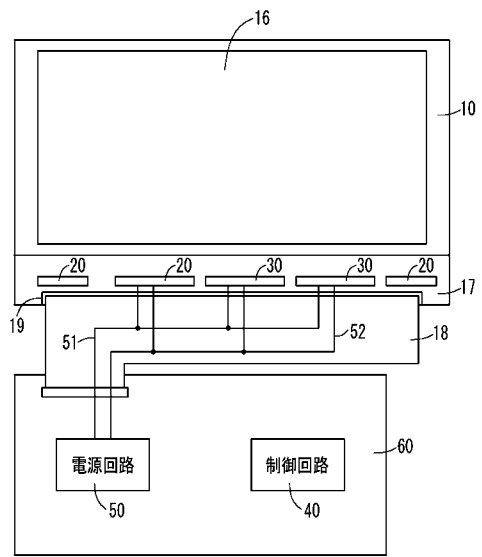
【図4】



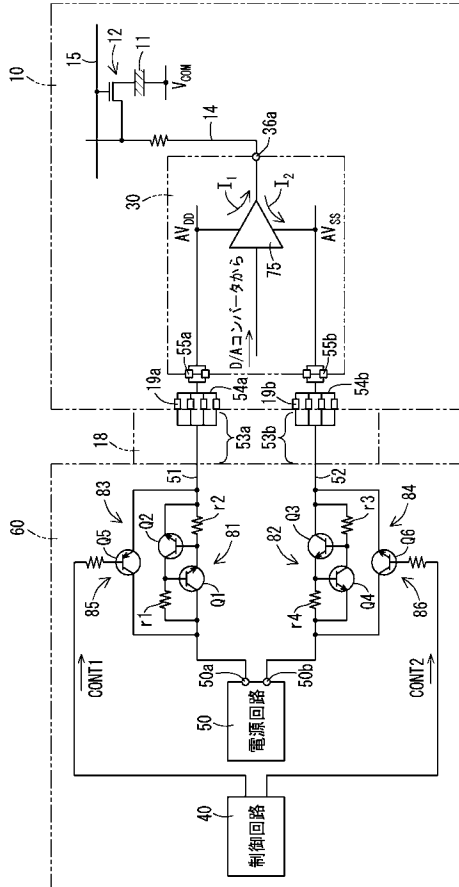
【図5】



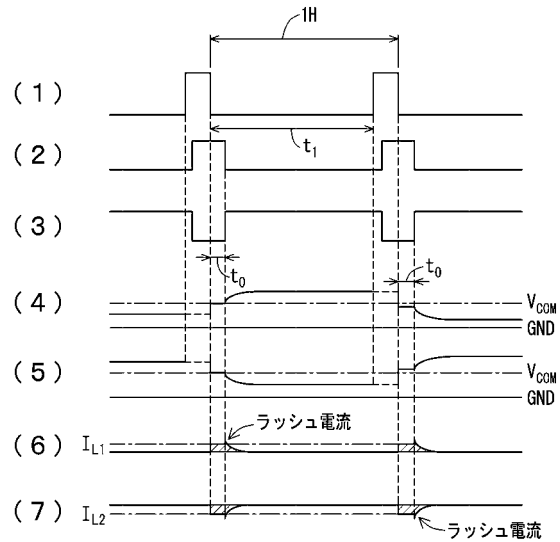
【図6】



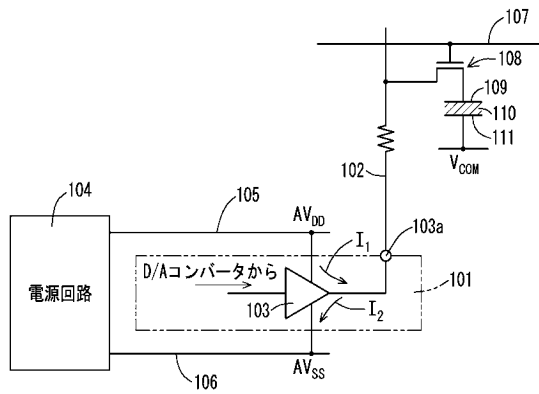
【図 7】



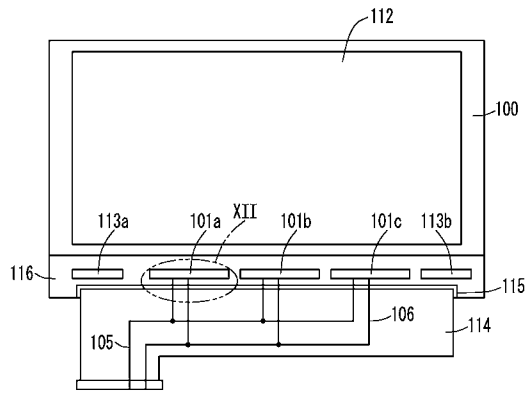
【図 8】



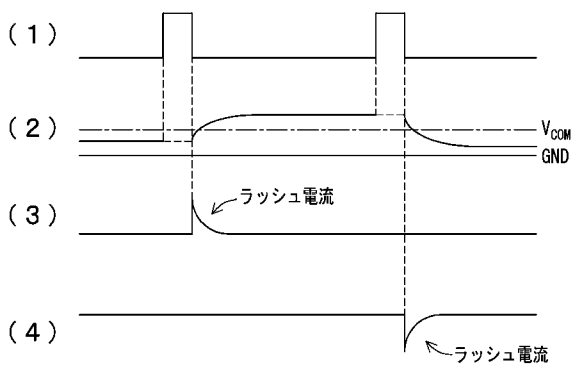
【図 9】



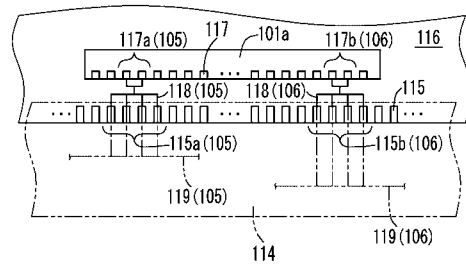
【図 1 1】



【図 1 0】



【図 1 2】



专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP2015031908A</a>	公开(公告)日	2015-02-16
申请号	JP2013163108	申请日	2013-08-06
[标]申请(专利权)人(译)	京瓷显示器株式会社		
申请(专利权)人(译)	京瓷显示器有限公司		
[标]发明人	権藤賢二		
发明人	権藤 賢二		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.623.R G09G3/20.670.M G09G3/20.621.A G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZC12 2H193/ZF01 2H193/ZF35 2H193/ZF43 5C006/AA16 5C006/AC21 5C006/AC27 5C006/AF43 5C006/AF65 5C006/BB16 5C006/BC06 5C006/BC11 5C006/BC13 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF07 5C006/BF42 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD19 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

解决的问题：提供一种液晶显示装置，该液晶显示装置能够促进控制板与驱动器IC之间的布线设计，并且能够抑制由于充电/放电电流而在源极驱动器中产生的热量。液晶显示装置1包括：液晶显示面板10，其中，多条栅极线15和多条源极线14彼此交叉地布置；以及源极驱动器30，其用于驱动多条源极线14。源极驱动器30，为每个源极布线14提供，并且包括用于将对应的源极布线14设置为数据电势Vd的输出缓冲器75，以及用于将高电势侧的功率提供给输出缓冲器75的电源。电源单元包括：线51和用于在低电势侧供应电力的电源线52；以及电源线51，当源线14被设置为数据电势Vd时，电源线51由输出缓冲器75提供。包括用于限制流到源极线14的充电电流I1的限流电路81。[选择图]图7

