

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-225029

(P2013-225029A)

(43) 公開日 平成25年10月31日(2013.10.31)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G09G 3/20 (2006.01)	G09G 3/20 621B	2H193
G02F 1/1368 (2006.01)	G09G 3/20 621F	5C006
G02F 1/133 (2006.01)	G09G 3/20 622K	5C080
	G09G 3/20 641C	

審査請求 未請求 請求項の数 3 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2012-97095 (P2012-97095)
 (22) 出願日 平成24年4月20日 (2012.4.20)

(71) 出願人 308036402
 株式会社 JVCケンウッド
 神奈川県横浜市神奈川区守屋町3丁目12番地
 (74) 代理人 100089118
 弁理士 酒井 宏明
 (72) 発明者 井澤 俊輔
 神奈川県横浜市神奈川区守屋町3丁目12番地
 Fターム(参考) 2H092 JA24 JB42 NA05 NA25
 2H193 ZA04 ZA07 ZA20 ZC25 ZD23
 ZF16 ZF18 ZF21 ZF24 ZF31
 ZF34
 5C006 AA16 AC26 AF42 BB16 BC06
 BF03 FA34
 最終頁に続く

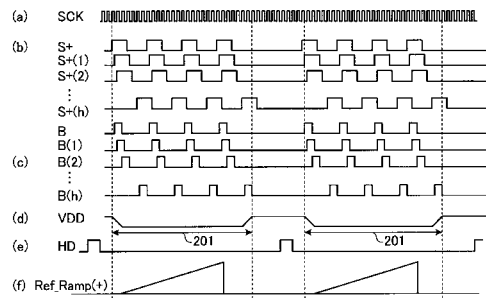
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】液晶表示素子をより高速に交流駆動する際の表示画質を向上させる。

【解決手段】基準ランプ電圧 $Ref_Ramp(+)$ 、 $Ref_Ramp(-)$ は、それぞれの極性に従った方向で映像の黒レベルから白レベルまでレベルが変化する、周期的な掃引信号であり、デジタル映像信号をアナログ映像信号に変換し、正極用、負極性用データ線 D_{i+} 、 D_{i-} に供給するために用いられる。一方、負荷特性制御信号 B がハイ状態とされると共に、正極側または負極性のゲート制御信号 $S+$ または $S-$ がハイ状態とされると、液晶表示体に対して正極側または負極側の画素電極電圧 VPE が印加される。画素部を複数ライン毎に分割したグループ単位で、各信号 $S+$ および $S-$ を順次タイミングをシフトさせてハイ状態とする。この各信号 $S+$ および $S-$ の動作を、基準ランプ電圧 $Ref_Ramp(+)$ 、 $Ref_Ramp(-)$ の掃引期間の全域に亘って行う。

【選択図】 図14



【特許請求の範囲】**【請求項 1】**

液晶表示体および画素駆動電極を含む画素表示部をそれぞれ含む複数の画素回路がマトリクス状に配列された画素部を備えた液晶表示装置であって、

前記画素部は、前記マトリクスの連続する複数行によるグループに分割され、

前記画素回路は、

水平走査期間内の予め定められた期間に正極性の映像信号が保持される第 1 信号保持手段と、

前記予め定められた期間に負極性の映像信号が保持される第 2 信号保持手段と、

第 1 信号保持手段に保持された正極性の映像信号と、第 2 信号保持手段に保持された負極性の映像信号とを、極性切り替えパルスに従い切り替えて前記画素駆動電極に供給するスイッチング手段とを備え、

前記極性切り替えパルスを前記グループ単位で順次シフトさせて各グループに属する前記スイッチング手段に入力する動作を、前記予め定められた期間の全域に亘って行うスイッチング制御手段を有する

ことを特徴とする液晶表示装置。

【請求項 2】

前記スイッチング制御手段は、

前記動作を、前記予め定められた期間内で複数回行う

ことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記予め定められた期間は、前記水平走査期間における水平有効期間内の期間であることを特徴とする請求項 1 または請求項 2 に記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、アクティブマトリクス型の液晶表示装置に関する。

【背景技術】**【0002】**

近年、プロジェクタ装置やプロジェクションテレビジョンには、画像を投影するための中心部品として L C O S (Liquid Crystal on Silicon) 型の液晶表示装置が多く用いられている。この L C O S 型の液晶表示装置は、透明電極と、液晶層と、マトリクス状に配置された反射電極と、及びシリコン基板上に液晶駆動回路が形成された液晶駆動素子などが重なった構造を有している。

【0003】

アクティブマトリクス型の液晶表示パネルは、基本的には、複数のデータ線および行走査線が互いに直交する方向に形成され、各データ線および各行走査線の交差部に対してそれぞれ画素回路が形成されて、画素部が構成される。画素回路は、例えば画素選択トランジスタ Tr において、ゲートおよびドレインに対してそれぞれ行走査線およびデータ線が接続され、ソースが信号保持容量の一端に接続されると共に、画素駆動電極に接続される。そして、画素駆動電極と、対向する画素部全体で共通の共通電極との間に、画素表示部を形成する液晶表示体を挟んで、画素回路が構成される。駆動する画素駆動電極に接続されて構成される。画素回路は、データ線から供給される映像信号に応じて 1 画素の表示を行う。

【0004】

ところで、このような従来のアクティブマトリクス型液晶表示パネルにおいて、静止画像を長時間表示することで表示画像にその履歴が残る、所謂「焼き付き現象」が発生することが知られている。この焼き付き現象は、液晶表示体や液晶表示体において液晶分子を所定の方向に揃えるための配向膜、ならびに、それらの界面吸着などに起因する残留電荷成分が支配的であり、液晶表示素子の交流駆動周波数が低い領域では、残留電荷が発生し

10

20

30

40

50

易く、その影響による焼き付き現象が発生し易い。

【0005】

このような焼き付き防止などの、液晶表示素子の信頼性を高める方法の一つとして、より高い周波数で液晶表示素子を交流駆動する方法がある。しかしながら、画素への書き込み時間などの制約から、対向電極電圧に対して正極性側の電圧を持つ映像信号と、負極性側の電圧を持つ映像信号とを交互に高速に書き込むことが困難であった。そのため、従来は、交流駆動は、フレーム周波数あるいはフレーム周波数の2倍程度の周波数でしか行われていないのが一般的であった。

【0006】

液晶表示素子の信頼性を高めるため、特許文献1では、アナログ駆動型の液晶表示装置において、正と負の極性に相当する2種類の電圧を各画素内に持つことで、フレーム周波数の数10倍のレートで極性反転させるようにした液晶表示装置、液晶表示装置の駆動回路及び液晶表示装置の駆動方法について提案されている。

10

【0007】

すなわち、特許文献1では、正極性側の電圧とされた映像信号を保持する正極性側の保持容量と、負極性側の電圧とされた映像信号を保持する負極性側の保持容量とを画素回路内に持ち、これら正極性側および負極性側の保持容量に保持された信号電圧を交互に読み出すことで、液晶表示素子のより高速な交流駆動が可能となる。また、液晶表示素子の高速な交流駆動が可能となることで、液晶表示素子のばらつき許容度を高めると共に生産性を向上させることができる。

20

【0008】

ここで、一般的には、液晶表示装置に電源を供給する電源部には、電源供給能力に制限が存在する。そのため、正極性側および負極性側の保持容量に保持された信号電圧を画素駆動電極に転送する際に、画素部の全画素が同時にオン状態となってしまうと、各画素回路において画素電圧の振幅低減が発生したり、瞬時過大電流が発生する可能性がある。これらは、液晶表示装置における表示品質の劣化や、誤動作などを引き起こす要因となるおそれがある。

【0009】

そこで、特許文献1では、保持容量に保持された信号電圧の画素駆動電極に対する転送を、垂直走査方向について時間差を持たせて行っている。より具体的には、画素部を、画素の複数行すなわち複数ラインからなるグループに分割し、保持容量に保持された信号電圧の画素駆動電極に対する転送を、グループ毎に少しずつタイミングをずらしながら行う。これにより、画素電圧の振幅低減を抑制することができると共に、瞬時過大電流を低減することができる。

30

【0010】

ところが、特許文献1による、グループ毎にタイミングをずらして、時間差を持たせて信号保持容量の保持電圧を画素駆動電極に対して転送する場合、グループの境界の上下で電位が異なる状態が発生する。そのため、グループの境界部分において、隣接配線の干渉ノイズなどの原因により表示画像に不具合が発生することがある。

【0011】

特許文献2には、極性反転に係する駆動パルスのタイミングを最適化することで隣接配線の干渉ノイズを低減し、高品質な表示画像を実現する方法が提案されている。すなわち、特許文献2では、画素駆動電極の極性反転を行うために転送される極性切り替えパルスを、正極性映像信号および負極性映像信号の水平ブランキング期間内で転送するようにしている。

40

【先行技術文献】

【特許文献】

【0012】

【特許文献1】特開2009-223289号公報

【特許文献2】特開2011-028159号公報

50

【発明の概要】

【発明が解決しようとする課題】

【0013】

しかしながら、特許文献2の方法では、映像信号のフレームレートが増大した場合に、水平ブランキング期間内だけでは極性切り替えパルスの転送時間が確保できないおそれがあるという問題点があった。極性切り替えパルスの転送時間が確保できない場合、画素に対して正極性映像信号や負極性映像信号を正しく書き込むことができず、正しい階調特性が実現できないことになる。

【0014】

本発明は、上記に鑑みてなされたものであって、液晶表示素子をより高速に交流駆動する際の表示画質を向上させることを目的とする。

10

【課題を解決するための手段】

【0015】

上述した課題を解決し、目的を達成するために、本発明は、液晶表示体および画素駆動電極を含む画素表示部をそれぞれ含む複数の画素回路がマトリクス状に配列された画素部を備えた液晶表示装置であって、画素部は、マトリクスの連続する複数行によるグループに分割され、画素回路は、水平走査期間内の予め定められた期間に正極性の映像信号が保持される第1信号保持手段と、予め定められた期間に負極性の映像信号が保持される第2信号保持手段と、第1信号保持手段に保持された正極性の映像信号と、第2信号保持手段に保持された負極性の映像信号とを、極性切り替えパルスに従い切り替えて画素駆動電極に供給するスイッチング手段とを備え、極性切り替えパルスをグループ単位で順次シフトさせて各グループに属するスイッチング手段に入力する動作を、予め定められた期間の全域に亘って行うスイッチング制御手段を有することを特徴とする。

20

【発明の効果】

【0016】

本発明によれば、液晶表示素子をより高速に交流駆動する際の表示画質を向上させることができるという効果を奏する。

【図面の簡単な説明】

【0017】

【図1】図1は、アクティブマトリクス型による液晶表示パネル部の基本構成の例を示すブロック図である。

30

【図2】図2は、画素回路の一例の構成を示す回路図である。

【図3】図3は、実施形態に適用可能な画素回路の一例の構成を示す回路図である。

【図4】図4は、実施形態に適用可能な画素回路の別の例の構成を示す回路図である。

【図5】図5は、実施形態に係る液晶表示装置の一例の構成を、水平ドライバ回路を中心に示すブロック図である。

【図6】図6は、水平ドライバ回路の動作を説明するための一例のタイミングチャートである。

【図7】図7は、既存技術による液晶表示装置の一例の構成を概略的に示すブロック図である。

40

【図8】図8は、既存技術による液晶表示装置の各部の動作の例を示すタイムチャートである。

【図9】図9は、既存技術による液晶表示装置における各信号と水平同期信号との関係の例を示す略線図である。

【図10】図10は、各グループの境界部分で表示上の不具合が発生することを説明するための略線図である。

【図11】図11は、実施形態による画素回路の一例の駆動方法を説明するためのタイムチャートである。

【図12】図12は、グループ#1の各画素回路における駆動電圧VPEの一例の変化を示す略線図である。

50

【図 1 3】図 1 3 は、実施形態による液晶表示装置における各信号と水平同期信号との関係の例を示す略線図である。

【図 1 4】図 1 4 は、実施形態による液晶表示装置における各信号と水平同期信号との関係の例を示す略線図である。

【発明を実施するための形態】

【0018】

以下に添付図面を参照して、液晶表示装置の実施形態を詳細に説明する。実施形態の説明に先んじて、理解を容易とするために、既存技術による液晶表示装置の例について説明する。

【0019】

(既存技術による液晶表示装置)

図 1 は、既存技術による、L C O S 型の液晶表示装置に適用可能なアクティブマトリクス型による液晶表示パネル部 1 0 0 の基本構成の例を示す。液晶表示パネル部 1 0 0 は、データ線駆動回路 1 1 0 と、垂直シフトレジスタ回路 1 1 1 と、画素部 1 1 2 とを有する。画素部 1 1 2 は、映像信号による映像が表示される画面を構成する部分であって、複数の画素部データ線 D_1 、 D_2 、 \dots 、 D_m および行走査線 G_1 、 G_2 、 \dots 、 G_n が互いに直交する方向に形成され、各交差部に対し、画素回路 $130_{1,1}$ 、 $130_{2,1}$ 、 \dots 、 $130_{m,1}$ 、 \dots 、 $130_{m,n}$ が形成されている。

【0020】

図 2 は、画素回路 1 3 0 の一例の構成を示す。画素選択トランジスタ T_r において、ゲートが行走査線 G に接続され、ドレインが画素部データ線 D に接続される。画素選択トランジスタ T_r のソースは、信号保持容量 C_s の一端に接続されると共に、画素表示部 1 3 1 の画素駆動電極 P_E に接続される。画素表示部 1 3 1 は、画素駆動電極 P_E と、固定電圧 V_{com} に接続される共通電極 C_E とで液晶表示体 $L C M$ を挟んで構成される。画素表示部 1 3 1 は、映像信号による 1 画素の表示を行う。

【0021】

画素部データ線 D に映像信号を供給し、行走査線 G をオンとすることで、映像信号が画素選択トランジスタ T_r を介して信号保持容量 C_s に蓄積され、信号保持容量 C_s から画素駆動電極 P_E に対して、映像信号に従った電圧が転送される。画素駆動電極 P_E と固定電圧 V_{com} との電位差によって液晶表示体 $L C M$ が駆動され、液晶表示体 $L C M$ の光変調率が制御されて映像としての表示がなされる。

【0022】

図 1 の説明に戻り、データ線駆動回路 1 1 0 は、水平シフトレジスタ回路 1 2 0 と、画素部 1 1 2 に配される各画素回路 $130_{1,1}$ 、 $130_{2,1}$ 、 \dots 、 $130_{m,1}$ 、 \dots 、 $130_{m,n}$ に接続される各画素部データ線 D_1 、 D_2 、 \dots 、 D_m 毎に設けられるスイッチ 121_1 、 121_2 、 \dots 、 121_m とを有する。

【0023】

デジタル映像信号が映像信号処理回路 1 5 0 で所定の映像処理を施された後、フレームメモリ 1 5 1 に一旦格納される。デジタル映像信号は、フレームメモリ 1 5 1 からライン毎に読み出され、極性反転処理回路 1 5 2 において例えば 1 フレーム周期毎に極性が反転され、 D/A 変換部 1 5 3 でアナログ映像信号に変換されてバッファアンプ 1 5 4 を介してデータ線駆動回路 1 1 0 に供給される。このアナログ映像信号は、データ線駆動回路 1 1 0 において、それぞれ水平シフトレジスタ回路 1 2 0 にオン/オフを制御されるスイッチ 121_1 、 121_2 、 \dots 、 121_m に供給される。

【0024】

垂直シフトレジスタ回路 1 1 1 は、タイミング制御回路 1 4 0 から垂直クロック $V C K$ および垂直走査開始信号 $V S T$ が供給され、垂直走査開始信号 $V S T$ をトリガとして、垂直クロック $V C K$ に従い各行走査線 G_1 、 G_2 、 \dots 、 G_n を順次選択する。水平シフトレジスタ回路 1 2 0 は、タイミング制御回路 1 4 0 から水平クロック $H C K$ および水平走査開始信号 $H S T$ が供給され、水平走査開始信号 $H S T$ をトリガとして、水平クロック $H C K$

10

20

30

40

50

に従い各スイッチ 121_1 、 121_2 、...、 121_m を順次オンにする。

【0025】

垂直シフトレジスタ回路 111 で選択された行走査線 G_y に接続される各画素回路 $130_{1,y}$ 、 $130_{2,y}$ 、...、 $130_{m,y}$ に対して順次アナログ映像信号が供給される。各画素回路 $130_{1,y}$ 、 $130_{2,y}$ 、...、 $130_{m,y}$ において、供給されたアナログ映像信号が信号保持容量 C_s に保持されて、画素表示部 131 が駆動され、1ライン分の映像が表示される。

【0026】

(実施形態に適用可能な既存技術)

次に、実施形態に適用可能な既存技術について説明する。図3は、本実施形態に適用可能な既存技術による画素回路 10 の一例の構成を示す。画素回路 10 は、画素表示部 30 と、保持容量 C_{s1} および C_{s2} と、スイッチング用のトランジスタ Tr_1 、 Tr_2 、 Tr_5 および Tr_6 と、正極性側のバッファ回路を構成するトランジスタ Tr_3 および Tr_7 と、負極性側のバッファ回路を構成するトランジスタ Tr_4 および Tr_8 とを有する。

10

【0027】

画素表示部 30 は、液晶表示体 LCM を画素駆動電極 PE および共通電極 CE によって挟んで構成される。共通電極 CE は、共通電源 V_{com} に接続される。

【0028】

スイッチング用のトランジスタ Tr_1 および Tr_2 は、正極性側の画素信号電圧 D_{i+} が供給されるデータ線 $35a$ と、負極性側の画素信号電圧 D_{i-} が供給されるデータ線 $35b$ とがそれぞれドレインに接続されると共に、走査パルス G_j が供給される行走査線 31 がそれぞれゲートに接続される。また、トランジスタ Tr_1 および Tr_2 のソースには、それぞれ保持容量 C_{s1} および C_{s2} が接続される。トランジスタ Tr_1 および Tr_2 は、行走査線 31 から走査パルス G_j が供給されると同時にオン状態となり、データ線 $35a$ および $35b$ を介して供給される正極性および負極性の画素信号電圧 D_{i+} および D_{i-} が、それぞれ保持容量 C_{s1} および C_{s2} に蓄積される。

20

【0029】

トランジスタ Tr_3 および Tr_7 は、正極性側のソースフォロワ・バッファ $32a$ を構成し、トランジスタ Tr_4 および Tr_8 は、負極性側のソースフォロワ・バッファ $32b$ を構成する。それぞれ、トランジスタ Tr_3 および Tr_4 が信号入力トランジスタ、トランジスタ Tr_7 および Tr_8 がそれぞれ定電流源負荷として機能する。ソースフォロワ・バッファ $32a$ および $32b$ は、電源電圧 V_{dd} にて駆動される。

30

【0030】

ソースフォロワ・バッファ $32a$ および $32b$ において、定電流源負荷のトランジスタ Tr_7 および Tr_8 のゲートが、それぞれ負荷特性制御信号 B が供給される配線 33 に接続される。この配線 33 には、当該画素回路 10 と同一行に配列される他の画素回路におけるバッファ回路の定電流源負荷トランジスタのゲートにも、共通して接続され、これらの定電流源負荷のバイアス制御が可能とされている。

【0031】

ここで、トランジスタ Tr_7 および Tr_8 に MOS (Metal-Oxide Semiconductor) 型の電界効果トランジスタを用いた場合、ソースフォロワの入力抵抗が略無限大となる。そのため、保持容量 C_{s1} および C_{s2} の蓄積電荷のリークが抑制され、保持容量 C_{s1} および C_{s2} の蓄積電荷は、1垂直走査期間後に画素信号電圧が新たに書き込まれるまで保持される。

40

【0032】

トランジスタ Tr_5 および Tr_6 は、それぞれソースフォロワ・バッファ $32a$ および $32b$ の出力が入力ドレインに供給され、ソースが画素表示部 30 の画素駆動電極 PE に接続される。トランジスタ Tr_5 および Tr_6 のゲートが、それぞれ正極性側のゲート制御信号 S_+ および負極性側のゲート制御信号 S_- が供給される配線 $34a$ および $34b$ に接続される。これら配線 $34a$ および $34b$ は、それぞれ当該画素回路 10 と同一行に配

50

列される他の画素回路における、ソースが画素駆動電極 P E に接続されるトランジスタのゲートにも、共通して接続され、これらのトランジスタのオン/オフ制御が可能とされている。

【 0 0 3 3 】

配線 3 4 a および 3 4 b に対して、交互にゲート制御信号 S + および S - を送信することにより、トランジスタ T r 5 および T r 6 を交互にオン状態とする。これにより、保持容量 C s 1 および C s 2 から正極性および負極性の画素信号電圧を交互に読み出して、正極性および負極性に反転する液晶駆動信号（画素信号電圧）を画素駆動電極 P E に供給することができる。

【 0 0 3 4 】

また、配線 3 3 に供給される負荷特性制御信号 B をオン/オフ制御することで、保持容量 C s 1 および C s 2 からの読み出しのオン/オフを制御することができる。

【 0 0 3 5 】

このように構成された画素回路 1 0 がマトリクス状に配されて、映像信号による映像を表示するための画素部が構成される。画素部におけるマトリクスの行方向が映像の水平方向となり、各行が映像信号による各ラインとなる。また、当該マトリクスの列方向が映像の垂直方向となり、一定の垂直走査周期で各ラインを垂直方向に順に走査することで、1 フレームの映像が表示される。

【 0 0 3 6 】

ところで、1 画素回路 1 0 当たりのソースフォロワ・バッファ 3 2 a または 3 2 b の定常的な回路電流が例えば 1 μ A の微小電流であったとしても、液晶表示装置の全画素が定常的に電流を消費する条件では、多大な消費電流となってしまう。一例として、フルハイビジョンの略 2 0 0 万画素（1 9 2 0 画素 \times 1 0 8 0 ライン）の液晶表示装置では、消費電流が略 2 A にも達する見積もりとなる。

【 0 0 3 7 】

そこで、ソースフォロワ・バッファ 3 2 a および 3 2 b の定電流源負荷のトランジスタ T r 7 および T r 8 は、この画素回路 1 0 が用いられる液晶表示装置全体での消費電流を考慮して、常時アクティブにせず、極性切り替えスイッチ用のトランジスタ T r 5 および T r 6 の導通期間内における限られた期間でのみアクティブになるように制御を行う。

【 0 0 3 8 】

より具体的には、定電流源負荷のトランジスタ T r 7 および T r 8 に対するゲートバイアスである負荷特性制御信号 B のハイ(High)期間を、ゲート制御信号 S + および S - のハイ期間内に制限して画素電極電圧 V P E を画素駆動電極 P E に供給する。そして、画素表示部 3 0 が目標レベルまで充放電された時点で、負荷特性制御信号 B をロー(Low)状態として、ソースフォロワ・バッファ 3 2 a および 3 2 b の電流を停止させる。これにより、全画素にソースフォロワ・バッファ 3 2 a および 3 2 b を備えた構成でありながら、実質的な消費電流を小さく抑えることが可能である。

【 0 0 3 9 】

図 4 は、本実施形態に適用可能な画素回路 1 0 ' の別の例の構成を示す。なお、図 4 において、上述の図 3 と共通する部分には同一の符号を付して、詳細な説明を省略する。図 4 に示される画素回路 1 0 ' は、上述の画素回路 1 0 に対して、ソースフォロワ・バッファ 3 2 a および 3 2 b において定電流源負荷を構成するトランジスタ T r 7 および T r 8 を共通のトランジスタ T r 7 ' として、スイッチ回路 T r 5 および T r 6 の後段すなわち画素駆動電極 P E に接続している。すなわち、トランジスタ T r 7 ' は、正極性および負極性のソースフォロワ・バッファ 3 2 a および 3 2 b に共通する電流源負荷として機能する。

【 0 0 4 0 】

この図 4 の構成によれば、図 3 に示した画素回路 1 0 の構成に対してトランジスタ素子数が 1 個少なく済むと共に、同一画素回路 1 0 ' 内での正極性および負極性のソースフォロワ・バッファの負荷ばらつきを要因とした正負極間での特性差を抑制できる。なお、

10

20

30

40

50

以下では、特に記載のない限り、図3に示した画素回路10を用いるものとする。

【0041】

(実施形態に適用可能な、水平方向の駆動動作)

次に、実施形態に適用可能な、水平方向の駆動動作について説明する。図5は、実施形態に係る液晶表示装置1の一例の構成を、水平ドライバ回路を中心に示す。

【0042】

液晶表示装置1において、画素回路 $10_{1,1} \sim 10_{m,n}$ がマトリクス状に配置されて有効表示画素部が構成される。より詳細には、各画素回路 $10_{1,1} \sim 10_{m,n}$ は、正極性の画素信号電圧 $D_{i+} \sim D_{m+}$ および負極性の画素信号電圧 $D_{i-} \sim D_{m-}$ をそれぞれ供給する2系統毎のデータ線 $35a_1 \sim 35a_m$ および $35b_1 \sim 35b_m$ と、走査パルス $G_1 \sim G_n$ を供給する行走査線 $31_1 \sim 31_n$ との交差部にそれぞれ配置されている。

10

【0043】

なお、以下では、特に個体を区別する必要のない場合、画素回路 $10_{1,1} \sim 10_{m,n}$ を画素回路10として代表させて記述する。

【0044】

各画素回路10には、図示されない電源入力端子から供給された電源電圧 V_{dd} および V_{ss} が供給される。また、共通電圧入力端から共通電圧 V_{com} が入力され、基準レベル V_R に対して、ゲート制御信号 $S+$ および $S-$ のハイ状態の切り替えと同期して、ゲート制御信号 $S+$ および $S-$ と逆相で反転されて各画素回路10に供給される。

【0045】

20

極性切り替え制御回路21bに対して、基準クロック $2K-$ に基づきタイミング生成部22で生成されたシフトクロック SCK と、基準電流信号 $Buf-Cur$ に基づき電流バイアス部23で生成されるバイアス信号とが供給される。極性切り替え制御回路21bは、これら供給された各信号に基づき、所定のタイミングおよび期間でハイ状態とされた正極性のゲート制御信号 $S+$ および負極性のゲート制御信号 $S-$ 、ならびに、負荷特性制御信号 B を生成する。そして、生成したこれらの信号を、グループ毎に、シフトクロック SCK に従いシフトさせ、垂直走査方向に時間差を持たせて出力する。

【0046】

グループ毎に正極性のゲート制御信号 $S+$ および負極性のゲート制御信号 $S-$ 、ならびに、負荷特性制御信号 B のタイミングをシフトされた各信号は、それぞれグループが対応する各画素回路10に対して、配線 $34a_1 \sim 34a_n$ 、配線 $34b_1 \sim 34b_n$ 、ならびに、配線 $33_1 \sim 33_n$ をそれぞれ介して供給される。なお、信号 $S+$ 、 $S-$ および B のタイミングのシフトについては、後述する。

30

【0047】

垂直シフトレジスタ/レベルシフタ21aに対して、垂直走査の開始を示す信号 VST と、垂直走査のタイミングを制御する垂直クロック $VCK1$ および $VCK2$ と、制御信号 UD_CTL とが供給される。さらに、図示は省略するが、水平同期信号 HD および水平クロック HCK も、垂直シフトレジスタ/レベルシフタ21aに供給される。垂直シフトレジスタ/レベルシフタ21aは、供給された各信号に基づき、各走査パルス $G_1 \sim G_n$ を生成し、1垂直走査周期で順次出力して、行走査線 $31_1 \sim 31_n$ を介して各画素回路10に供給する。

40

【0048】

一方、水平シフトレジスタ27、1ラインラッチ部26、コンパレータ25および階調カウンタ28は、水平ドライバ回路を構成する。水平ドライバ回路は、アナログスイッチ24と共にデータ線駆動回路を構成し、各画素毎の正極性の画素信号電圧 D_{i+} と、負極性の画素信号電圧 D_{i-} とをそれぞれ生成して、各画素回路10に供給する。なお、図5では、コンパレータ25が1の構成として示されているが、実際には、コンパレータ25は、画素回路10の各列毎に設けられる。

【0049】

アナログスイッチ24は、正極性の画素信号電圧 D_{i+} および負極性の画素信号電圧 D_{i-}

50

- のための一対のスイッチ 24_i を m 個、有する。各スイッチ $24_1 \sim 24_m$ の一方（正極性の画素信号電圧 D_{i+} に対応）に対して、正極性側の基準ランプ電圧 $Ref_Ramp(+)$ がそれぞれ供給される。また、各スイッチ $24_1 \sim 24_m$ の他方（負極性の画素信号電圧 D_{i-} に対応）に対して、負極性側の基準ランプ電圧 $Ref_Ramp(-)$ がそれぞれ供給される。

【0050】

基準ランプ電圧 $Ref_Ramp(+)$ は、水平走査期間周期で映像の黒レベルから白レベルにレベルが上昇する方向に変化する、周期的な掃引信号である。同様に、基準ランプ電圧 $Ref_Ramp(-)$ は、水平走査期間周期で映像の黒レベルから白レベルにレベルが減少する方向に変化する、周期的な掃引信号である。基準ランプ電圧 $Ref_Ramp(+)$ および基準ランプ電圧 $Ref_Ramp(-)$ は、デジタル映像信号をアナログ映像信号に変換し、正極性用データ線 $35a_1, \dots, 35a_m$ および負極性用データ線 $35b_1, \dots, 35b_m$ に供給するために用いられる。

10

【0051】

階調カウンタ 28 は、クロック $Count_CK$ をカウントして、複数の階調値が水平走査期間内で最小値から最大値まで段階的に変換する基準階調データ C_out を水平走査期間毎に出力する。この基準階調データ C_out は、コンパレータ 25 に供給される。階調カウンタ 28 は、信号 $Count_Reset$ により、水平走査期間毎にカウント値をリセットされる。

20

【0052】

水平シフトレジスタ 27 に対して、水平クロック HCK が供給されると共に、画素信号 D_x が水平クロック HCK に同期的に、画素順次に供給される。1ラインラッチ部 26 は、水平シフトレジスタ 27 に供給された画素信号 D_x を、1ライン分、ラッチする。ラッチされた1ライン分の画素信号 $D_1 \sim D_m$ は、信号 H_REG_SET に従い1ラインラッチ部 26 から出力され、コンパレータ 25 に供給される。

40

【0053】

コンパレータ 25 は、1ラインラッチ部 26 から供給された画素信号 $D_1 \sim D_m$ のそれぞれと、階調カウンタ 28 から供給された基準階調データ C_out の値（階調値）とを比較し、両者が一致したタイミングでそれぞれ一致パルスを生成する。各一致パルスは、アナログスイッチ 24 の各スイッチ $24_1 \sim 24_m$ の制御信号として、アナログスイッチ 24 に対して出力される。

30

【0054】

各スイッチ $24_1 \sim 24_m$ は、後述する信号 SW_Start に従い水平走査期間の開始時点で一齐にオン状態とされ、コンパレータ 25 から一致パルスが供給された時点でオフとされる。これにより、正極性側の基準ランプ電圧 $Ref_Ramp(+)$ および、負極性側の基準ランプ電圧 $Ref_Ramp(-)$ がサンプリングされ、画素信号電圧 D_{i+} および D_{i-} として各画素回路 $10_{1,1} \sim 10_{m,n}$ に供給される。

【0055】

図6は、図5の水平ドライバ回路の動作を説明するための一例のタイミングチャートを示す。図6において、図6(a)は、水平同期信号 HD 、図6(b)は、画素 $DATA$ 、図6(c)は、水平クロック HCK を示す。また、図6(d)は、図6(b)の画素データ $DATA$ の1ライン分が1ラインラッチ部 26 に保持された状態を示す。

40

【0056】

図6(e)は、階調カウンタ 28 に供給するクロック $Count_CK$ 、図6(f)は、階調カウンタ 28 から出力される基準階調データ C_out を示す。この例では、図6(f)の図中の数値が階調値を示している。基準階調データ C_out は、水平同期信号 HD と同期した信号 $Count_Reset$ (図示しない) でリセットされ、次の水平周期で再び階調値「0」からカウントが行われる。

【0057】

図6(g)は、水平同期信号 HD に同期してハイ状態となる信号 SW_Start を示

50

す。上述したように、信号 $SW - Start$ がハイ状態となると、アナログスイッチ 24 の各スイッチ $24_1 \sim 24_m$ が一斉にオン状態となる。

【0058】

図6(i)および図6(j)は、それぞれ正極性側の基準ランプ電圧 $Ref_Ramp(+)$ および、負極性側の基準ランプ電圧 $Ref_Ramp(-)$ を示す。基準ランプ電圧 $Ref_Ramp(+)$ および $Ref_Ramp(-)$ は、水平走査期間における水平有効期間内で、黒レベルから白レベルまでのレベルを、それぞれの極性に応じた方向に掃引する。

【0059】

図6(h)に示される波形 SP は、階調レベルに対応した画素列の各スイッチ $24_1 \sim 24_m$ の開閉タイミングを示す。この例では、階調レベル「k」の画素データ $DATA$ に対応した開閉タイミングを、波形 $SP(k)$ として示している。この波形 SP の立ち下がりに応じてアナログスイッチ 24 の各スイッチ $24_1 \sim 24_m$ がオン状態となり、図6(i)および図6(j)にそれぞれ示されるように、時点 P および時点 Q でそれぞれ基準ランプ電圧 $Ref_Ramp(+)$ および $Ref_Ramp(-)$ がサンプリングされ、画素信号 D_{i+} および D_{i-} として各画素回路 $10_{1,1} \sim 10_{m,n}$ に供給される。

【0060】

(実施形態に適用可能な、垂直方向の駆動動作)

次に、実施形態に適用可能な、垂直方向の駆動動作について説明する。既に説明したように、正極性側および負極性側の保持容量に保持された信号電圧を画素駆動電極に転送する際に、画素部の全画素が同時にオン状態となってしまうと、各画素回路において画素電圧の振幅低減が発生したり、瞬時過大電流が発生し、液晶表示装置における表示品質の劣化や、誤動作などを引き起こす要因となるおそれがある。

【0061】

画素部を連続する複数行からなるグループに分割し、グループ毎に、垂直走査方向に時間差を持たせて画素回路 10 をオン状態とさせることで、液晶表示装置全体において全画素が同時にオン状態とならないようにできる。

【0062】

図7を用いてより具体的に説明する。図7は、既存技術による液晶表示装置の一例の構成を概略的に示す。この既存技術によれば、画素部全体を、それぞれ複数行からなるグループ #1、#2、...、#h に分割されている。シフトレジスタ 20a、20b および 20c は、それぞれ正極性のゲート制御信号 $S+$ 、負極性のゲート制御信号 $S-$ および負荷特性制御信号 B が供給され、各信号を共通のシフトクロック CLK に同期してシフトさせる h 段のシフトレジスタである。すなわち、シフトレジスタ 20a、20b および 20c は、図5で説明した極性切り替え制御回路 21b に対応する。

【0063】

例えば、シフトレジスタ 20a は、各グループ #1、#2、...、#h に対して、正極性のゲート制御信号 $S+$ をシフトクロック CLK に応じて順次シフトさせた各正極性のゲート制御信号 $S+(1)$ 、 $S+(2)$ 、...、 $S+(h)$ をそれぞれ入力する。例えばグループ #1 では、当該グループ #1 に含まれる各行に配列される各画素回路 10 に接続される配線 34a に対して、正極性のゲート制御信号 $S+(1)$ が共通に供給される。他のグループ #2、#3、...、#h でも同様である。

【0064】

同様に、シフトレジスタ 20b は、各グループ #1、#2、...、#h に対して、負極性のゲート制御信号 $S-$ をシフトクロック CLK に応じて順次制御させた各負極性のゲート制御信号 $S-(1)$ 、 $S-(2)$ 、...、 $S-(h)$ をそれぞれ入力する。また、シフトレジスタ 20c は、各グループ #1、#2、...、#h に対して、負荷特性制御信号 B をシフトクロック CLK に応じて順次シフトさせた負荷特性制御信号 $B(1)$ 、 $B(2)$ 、...、 $B(h)$ をそれぞれ入力する。

10

20

30

40

50

【 0 0 6 5 】

図 8 は、図 7 に示した各部の動作の例を示すタイムチャートである。図 8 (a) は、各シフトレジスタ 2 0 a、2 0 b および 2 0 c に供給されるシフトクロック S C K を示す。図 8 (b) は、シフトレジスタ 2 0 a に入力される、所定期間においてハイ状態とされた正極性のゲート制御信号 S + と、各グループ # 1 ~ # h に対してそれぞれ出力される各正極性のゲート制御信号 S + (1) ~ S + (h) を示す。同様に、図 8 (c) は、シフトレジスタ 2 0 b に入力される、所定期間においてハイ状態とされた負極性のゲート制御信号 S - と、各グループ # 1 ~ # h に対してそれぞれ出力される各負極性のゲート制御信号 S - (1) ~ S - (h) を示す。また、図 8 (d) は、各ゲート制御信号 S + および S - のハイ状態の期間内でハイ状態とされて入力される負荷特性制御信号 B と、グループ # 1 ~ # h に対してそれぞれ出力される負荷特性制御信号 B (1) ~ B (h) を示す。

10

【 0 0 6 6 】

シフトレジスタ 2 0 a は、シフトクロック S C K に同期して、入力された所定期間においてハイ状態とされた正極性のゲート制御信号 S + を、例えばシフトクロック S C K の 1 クロックずつシフトさせて、各正極性のゲート制御信号 S + (1)、S + (2)、...、S + (h) を順次出力する。したがって、各グループ # 1、# 2、...、# h に対して、シフトクロック S C K の 1 クロック毎の時間差を持って順次ハイ状態とされた各正極性のゲート制御信号 S + (1)、S + (2)、...、S + (h) が入力される。

【 0 0 6 7 】

シフトレジスタ 2 0 b についても同様に、シフトクロック S C K に同期して、入力された所定長の負極性のゲート制御信号 S - を例えばシフトクロック S C K の 1 クロックずつシフトさせて、各負極性のゲート制御信号 S - (1)、S - (2)、...、S - (h) を順次出力する。したがって、各グループ # 1、# 2、...、# h に対して、シフトクロック S C K の 1 クロック毎の時間差を持って順次ハイ状態とされた各負極性のゲート制御信号 S - (1)、S - (2)、...、S - (h) が入力される。

20

【 0 0 6 8 】

シフトレジスタ 2 0 c は、入力された負荷特性制御信号 B をシフトクロック S C K に従いシフトさせて、シフトレジスタ 2 0 a および 2 0 b からそれぞれ出力される各正極性のゲート制御信号 S + (1)、S + (2)、...、S + (h)、ならびに、各負極性のゲート制御信号 S - (1)、S - (2)、...、S - (h) のハイ状態期間内にハイ状態となる負荷特性制御信号 B (1)、B (2)、...、B (h) を出力する。図 8 の例では、シフトレジスタ 2 0 c に入力される負荷特性制御信号 B は、各ゲート制御信号 S + および S - のハイ状態期間に対して、シフトクロック S C K の 1 クロック後にハイ状態となり、2 シフトクロック S C K 分先にロー状態となる。

30

【 0 0 6 9 】

図 9 は、既存技術による、図 8 に示した各信号と、各行 (ライン) の走査の基準となる水平同期信号 H D との関係の例を示す。図 9 (a) は、シフトクロック S C K を示す。図 9 (b) は、正極性のゲート制御信号 S + および各正極性のゲート制御信号 S + (1) ~ S + (h) を示す。図 9 (c) は、負荷特性制御信号 B および負荷特性制御信号 B (1) ~ B (h) を示す。図 9 (d) は、ソースフォロワ・バッファ 3 2 a および 3 2 b に供給する電圧 V d d を概略的に示す。図 9 (e) は、水平同期信号 H D を示す。また、図 9 (f) は、水平同期期間において画素部の各行に配列される各画素回路 1 0 にサンプリングされる、正極性の画素信号電圧 D_i+ の基準電圧となる基準ランプ電圧 R e f _ R a m p (+) を示す。

40

【 0 0 7 0 】

なお、図 9 において、負極性のゲート制御信号 S - および各負極性のゲート制御信号 S - (1) ~ S - (h)、ならびに、基準ランプ電圧 R e f _ R a m p (-) は、記載を省略されている。また、以下では、繁雑さを避けるため、「正極性のゲート制御信号 S + および各正極性のゲート制御信号 S + (1) ~ S + (h)」を、各正極性のゲート制御信号 S + ~ S + (h)、「負極性のゲート制御信号 S - および各負極性のゲート制御信号 S -

50

(1) ~ S - (h)」を各負正極性のゲート制御信号 S + ~ S + (h)、「負荷特性制御信号 B および負荷特性制御信号 B (1) ~ B (h)」を各負荷特性制御信号 B ~ B (h) と呼ぶ。

【0071】

この例では、正極性のゲート制御信号 S + ~ S + (h)、図示されない負極性のゲート制御信号 S - ~ S - (h)、ならびに、負荷特性制御信号 B ~ B (h) を、映像信号の水平ブランキング期間内の期間 200 において転送し、転送タイミングが基準ランプ電圧 R e f _ R a m p (+) の掃引期間と重ならないようにされている。なお、ここでは、水平ブランキング期間を、水平走査期間内の水平有効期間以外の期間を示すものとする。

【0072】

この理由について図 10 を用いて説明する。図 7 を用いて説明したように、画素部全体をそれぞれ複数ラインを含むグループ # 1、# 2、...、# h に分割する。そして、図 8 に示されるようにして、正極性のゲート制御信号 S + ~ S + (h)、負極性のゲート制御信号 S - ~ S - (h)、ならびに、負荷特性制御信号 B ~ B (h) を各グループ # 1、# 2、...、# h にそれぞれ転送する。この場合、図 10 に例示される各グループ # 1、# 2、...、# h の境界部分 210₁、210₂、...、210_{h-1} において、階調の変動などの、表示画像上の不具合が生じる場合がある。

【0073】

この、各グループ # 1、# 2、...、# h の境界部分 210₁、210₂、...、210_{h-1} は、各画素回路 10 において、正極性のゲート制御信号 S + ~ S + (h)、負極性のゲート制御信号 S - ~ S - (h)、ならびに、負荷特性制御信号 B ~ B (h) により画素表示部 30 の極性が切り替わる、極性切り替え行である。この極性切り替え行で発生する上述した表示画像上の不具合は、これら正極性のゲート制御信号 S + ~ S + (h)、負極性のゲート制御信号 S - ~ S - (h)、ならびに、負荷特性制御信号 B ~ B (h) が、データ線 35 a および 35 b により転送される正極性および負極性の画素信号電圧 D_{i+} および D_{i-} とクロストークするためであると考えられる。

【0074】

例えば図 5 に示されるように、正極性のゲート制御信号 S + ~ S + (h)、負極性のゲート制御信号 S - ~ S - (h)、ならびに、負荷特性制御信号 B ~ B (h) が転送される配線 33₁、...、33_n と、配線 34 a₁、...、34 a_n と、配線 35 a₁、...、35 b₁ は、それぞれ行方向に各画素回路 10 を接続する。一方、データ線 35 a および 35 b は、それぞれ列方向に各画素回路 10 を接続する。したがって、正極性のゲート制御信号 S + ~ S + (h)、負極性のゲート制御信号 S - ~ S - (h)、ならびに、負荷特性制御信号 B ~ B (h) と、正極性および負極性の画素信号電圧 D_{i+} および D_{i-} とのクロストークを完全に除去することは、困難である。

【0075】

そこで、図 9 を用いて説明したように、正極性および負極性の画素信号電圧 D_{i+} および D_{i-} の基準となる基準ランプ電圧 R e f _ R a m p (+) の掃引期間と、正極性のゲート制御信号 S + ~ S + (h)、負極性のゲート制御信号 S - ~ S - (h)、ならびに、負荷特性制御信号 B ~ B (h) のハイ状態の期間とを時間的にずらすことで、これらの信号のクロストークを除去する。

【0076】

図 11 は、実施形態による、画素回路 10 の一例の駆動方法を説明するためのタイムチャートである。図 11 (a) は、映像信号の垂直走査の基準となる垂直同期信号 V D を示す。例えば垂直同期信号 V D がハイ状態で、垂直ブランキング期間を含めた垂直走査の開始を示し、映像信号の 1 垂直走査周期で n ラインの走査 (行走査) を行うものとする。

【0077】

図 11 (b) は、画素表示部 30 の画素駆動電極 P E に供給される画素電極電圧 V P E を示し、図 11 (c) は、画素表示部 30 の共通電極 C E に供給される共通電圧 V c o m を示す。さらに、図 11 (d) は、画素表示部 30 における画素駆動電極 P E および共通

10

20

30

40

50

電極 C E 間の電位差である液晶駆動電圧 V_{LC} を概略的に示す。また、図 1 1 (e) は、配線 3 3 から供給される負荷特性制御信号 B を示す。図 1 1 (f) および図 1 1 (g) は、それぞれ配線 3 4 a および 3 4 b から供給されるゲート制御信号 $S +$ および $S -$ を示す。

【 0 0 7 8 】

以下では、画素信号電圧 D_{i+} および D_{i-} は、 k ($< n$) ラインを反転周期として説明する。すなわち、映像信号は、この k ラインを反転周期として正極性および負極性が切り替わる。この場合、画素回路 1 0 において駆動電極 P E に対して印加される画素駆動電圧 V_{PE} は、図 1 1 (b) に示されるように、画素信号電圧 D_{i+} および D_{i-} の反転周期で正極および負極が切り替わるように制御される。この駆動電圧 V_{PE} の制御については、後述する。

10

【 0 0 7 9 】

図 1 1 (c) に示す共通電圧 V_{com} は、画素駆動電極 P E における電位の反転基準 V_c と略等しい基準レベル V_R に対して、映像信号の極性反転周期に対応して反転される。液晶表示体 L C M に対する実質的な交流駆動電圧は、画素駆動電極 P E の電位と共通電極 C E の電位との差電圧であることから、液晶表示体 L C M には、画素駆動電極 P E に供給される駆動電圧 V_{PE} が共通電圧 V_{com} で拡大された液晶駆動電圧 V_{LC} が印加される。この液晶駆動電圧 V_{LC} で、液晶表示体 L C M が駆動される。

【 0 0 8 0 】

このように、画素表示部 3 0 において、共通電極 C E に印加する電圧を、画素駆動電極 P E に印加する駆動電圧 V_{PE} に対して逆相で切り替えることによって、低い画素駆動電極 P E で大きな液晶駆動電圧 V_{LC} を得ることができる。これにより、駆動回路側において駆動トランジスタの耐圧や、消費電力を低減することができる。

20

【 0 0 8 1 】

駆動電圧 V_{PE} の制御について説明する。既に説明したように、ゲート制御信号 $S +$ がハイ状態の期間に負荷特性制御信号 B をハイ状態とすると、ソースフォロワ・バッファ 3 2 a がアクティブとなり、ソースフォロワ・バッファ 3 2 a から、保持容量 C_{s1} に蓄積された正極性の画素信号電圧 D_{i+} に応じた出力が取り出される。この出力が画素駆動電極 P E に供給され、画素信号電圧 D_{i+} に応じた駆動電圧 V_{PE} が画素駆動電極 P E に印加される。画素表示部 3 0 は、この駆動電圧 V_{PE} により充電される。画素表示部 3 0 が完全に充電された状態となった時点で、負荷特性制御信号 B をロー状態とし、さらにゲート制御信号 $S +$ をロー状態とする。これにより、画素駆動電極 P E がフローティング状態となり、液晶表示体 L C M に正極性の駆動電圧 (画素信号電圧) が保持される。

30

【 0 0 8 2 】

一方、ゲート制御信号 $S -$ がハイ状態の期間に負荷特性制御信号 B をハイ状態とすると、ソースフォロワ・バッファ 3 2 b がアクティブとなり、ソースフォロワ・バッファ 3 2 b から、保持容量 C_{s2} に蓄積された負極性の画素信号電圧 D_{i-} に応じた出力が取り出される。この出力が画素駆動電極 P E に供給され、画素信号電圧 D_{i-} に応じた駆動電圧 V_{PE} が画素駆動電極 P E に印加される。画素表示部 3 0 は、この駆動電圧 V_{PE} により充電される。画素表示部 3 0 が完全に充電された状態となった時点で、負荷特性制御信号 B をロー状態とし、さらにゲート制御信号 $S -$ をロー状態とする。これにより、画素駆動電極 P E がフローティング状態となり、液晶表示体 L C M に負極性の駆動電圧が保持される。

40

【 0 0 8 3 】

実施形態では、駆動電圧 V_{PE} の制御に関し、映像信号の極性反転周期において、ゲート制御信号 $S +$ およびゲート制御信号 $S -$ を、それぞれ複数回、ハイ状態とする。より詳細には、図 1 1 (f) に示されるように、ゲート制御信号 $S +$ を、映像信号が正極性の期間内に複数回ハイ状態とする。同様に、図 1 1 (g) に示されるように、ゲート制御信号 $S -$ を、映像信号が負極性の期間内に複数回ハイ状態とする。また、負荷特性制御信号 B は、図 1 1 (e) に示されるように、ゲート制御信号 $S +$ およびゲート制御信号 $S -$ のハ

50

イ状態に対応してハイ状態とする。

【0084】

このような駆動電圧 V_{PE} の制御を行う理由について説明する。例えば、図7を参照し、ゲート制御信号 $S+(1)$ および $S-(1)$ を含むグループ#1において、各画素回路10における画素駆動電極 PE の電位は、例えばゲート制御信号 $S+(1)$ がハイ状態となって保持容量 C_{s1} に対応する電圧が画素駆動電極 PE に転送され、一定時間後にゲート制御信号 $S+(1)$ がロー状態となって、フローティング状態となる。

【0085】

以降、グループ#2、#3、...と順次同様にして保持容量 C_{s1} に対応する電圧が画素駆動電極 PE に転送される。このとき、グループ#1の画素駆動電極 PE は、隣接するグループ#2、#3、...との容量結合により、当該グループ#2、#3、...における電位変化の影響を受けて、電位が徐々に変化していく。なお、グループ間での容量結合は、例えば画素部の各配線や、液晶そのものを介して発生する。

10

【0086】

図12は、グループ#1の各画素回路10における駆動電圧 V_{PE} の一例の変化を示す。図中、 $S+(1$ 回目)で、駆動電圧 V_{PE} の極性が負極側から正極側へと反転してから最初に、ゲート制御信号 $S+$ がハイ状態とされる。 $S+(1$ 回目)では、各グループ#1、#2、...の駆動電圧 V_{PE} の極性が負極側から正極側に順次、切り替わるため、容量結合の影響を大きく受けることになる。特に、グループ#1は、他のグループ#2、#3、...に先んじて駆動電圧 V_{PE} の極性が切り替わり、より大きく容量結合の影響を受ける。

20

【0087】

すなわち、図12に例示されるように、 $S+(1$ 回目)では、グループ#1における駆動電圧 V_{PE} は、時間の経過に伴いグループ#2、#3、...で順次極性が切り替わるのに従い、変動する。グループ#1における駆動電圧 V_{PE} の変動は、グループ#1に近いグループ#2においてゲート制御信号 $S+$ がハイ状態となった場合が最も大きい。さらに、グループ#3、#4、...というようにグループ#1から遠ざかった場合でも、各グループ#3、#4、...においてゲート制御信号 $S+$ がハイ状態になった場合に、駆動電圧 V_{PE} の変動は発生する。

【0088】

その結果、駆動電圧 V_{PE} が中間電圧に対して高電圧側の場合、駆動電圧 V_{PE} は、各グループ#2、#3、...においてゲート制御信号 $S+$ が順次ハイ状態になるのに従い、徐々に高い電圧に変動する。そして、駆動電圧 V_{PE} は、本来印加されるべき電圧 V_a に対して高い電圧 V_b で安定してしまふ。同様に、駆動電圧 V_{PE} が中間電圧に対して低電圧側の場合、駆動電圧 V_{PE} は、徐々に低い電圧に変動し、本来印加されるべき電圧に対して低い電圧で安定してしまふ。これらの場合、正しい映像信号が画素に書き込まれないことになり、画素部全体で、垂直方向に表示ムラが発生する。

30

【0089】

ここで、 $S+(1$ 回目)で各グループ#1、#2、#3、...のゲート制御信号 $S+$ がハイ状態にされた後の、 $S+(1$ 回目)と駆動電圧 V_{PE} の極性が変化していない所定タイミングに、再びゲート制御信号 $S+$ をハイ状態とした場合($S+(2$ 回目)とする)について考える。この場合、駆動電圧 V_{PE} の極性は、 $S+(1$ 回目)において各グループ#1、#2、...で既に正極側に切り替えられている。そのため、各グループ#1、#2、...における容量結合による駆動電圧 V_{PE} の変動は、図12に示されるように、 $S+(1$ 回目)の場合と比べて小さくなる。そして、 $S+(3$ 回目)、 $S+(4$ 回目)、...と同様にして所定タイミング毎にゲート制御信号 $S+$ をハイ状態とすることで、駆動電圧 V_{PE} は、本来印加されるべき電圧に向けて安定する。そのため、画素に対して略正しい映像信号が書き込まれるようになる。

40

【0090】

このように、極性反転周期内で、複数回、ゲート制御信号 $S+$ をハイ状態とし、画素駆動電極 PE に対して保持容量 C_{s1} に対応する駆動電圧 V_{PE} を繰り返し印加することで

50

、画素部全体における垂直方向の表示ムラの発生が抑制され、表示画質が向上される。

【0091】

なお、図11を用いて説明したように、極性反転周期は、kラインの走査を含む。極性反転周期内で、複数回、ゲート制御信号S+をハイ状態とする場合、少なくとも1ラインの走査期間に1回、ゲート制御信号S+をハイ状態とすると好ましい。すなわち、少なくとも各ラインの走査期間に1回ずつゲート制御信号S+をハイ状態とすることで、画素部全体における垂直方向の表示ムラを効果的に抑制することが可能である。

【0092】

図13は、図9を用いて説明した、ゲート制御信号S+およびS-、ならびに、負荷特性制御信号B~B(h)の転送タイミングと、基準ランプ電圧Ref__Ramp(+)およびRef__Ramp(-)の掃引期間とが重ならないようにする制御に対して、この極性反転周期内でゲート制御信号S+またはS-を複数回ハイ状態とする制御を組み合わせた例を示す。この場合、図示されるように、水平ブランキング期間内の期間200において、例えばゲート制御信号S+および負荷特性制御信号Bが複数回、ハイ状態とされる。

10

【0093】

ところで、水平ブランキング期間内でゲート制御信号S+およびS-、ならびに、負荷特性制御信号Bを複数回転送するためには、シフトレジスタ20a、20bおよび20cにおいて十分高いシフトクロック周波数を選択する必要がある。一方、垂直走査周波数が通常の60Hzから、2倍速の120Hzや4倍速の240Hzなどに高速化して動画応答の特性改善を図ったり、映像信号のビット深度をより高ビット化して階調数を上げ、より高画質化を図る技術が開発されている。このような技術においては、階調カウンタ28の高周波に伴い、水平ブランキング期間内の期間200を、十分に確保できない可能性がある。

20

【0094】

そこで、実施形態では、ゲート制御信号S+およびS-、ならびに、負荷特性制御信号Bの複数回の転送を、図14に例示されるように、水平有効期間の全域を用いて行うように制御する。これは、ゲート制御信号S+およびS-、ならびに、負荷特性制御信号Bを、画素信号電圧D_i+およびD_i-に対して積極的にクロストークさせることを意味する。

【0095】

水平有効期間の全域、例えば、基準ランプ電圧Ref__Ramp(+)およびRef__Ramp(-)の掃引期間の全域を含む期間201でゲート制御信号S+およびS-、ならびに、負荷特性制御信号Bを、画素信号電圧D_i+およびD_i-に対して積極的にクロストークさせることで、クロストークによる基準ランプ電圧Ref__Ramp(+)およびRef__Ramp(-)に対する影響を均一化することができる。これにより、ゲート制御信号S+およびS-、ならびに、負荷特性制御信号Bの、画素信号電圧D_i+およびD_i-に対するクロストークを起因とする表示画像上の不具合を抑制することが可能である。

30

【符号の説明】

【0096】

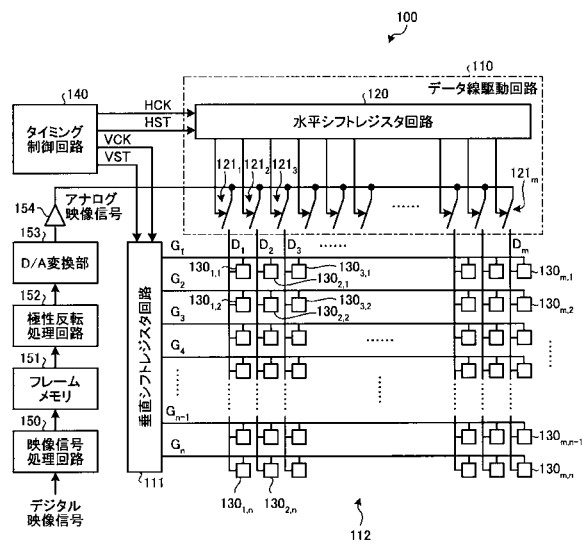
- 1 液晶表示装置
- 10, 10' 画素回路
- 20a, 20b, 20c シフトレジスタ
- 21a 垂直シフトレジスタ/レベルシフタ
- 21b 極性切り替え制御回路
- 24 アナログスイッチ
- 25 コンパレータ
- 26 1ラインラッチ部
- 27 水平シフトレジスタ
- 28 階調カウンタ
- 30 画素表示部
- L C M 液晶表示体

40

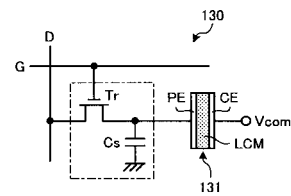
50

PE 画素駆動電極
VPE 画素電極電圧

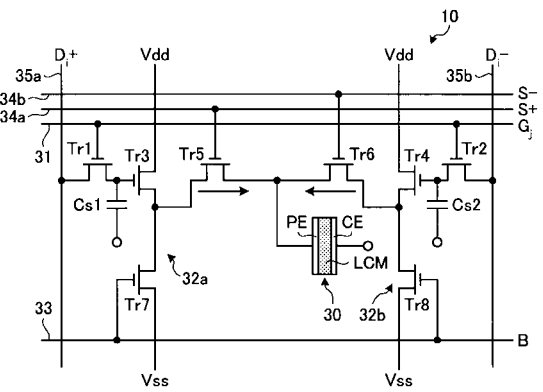
【図1】



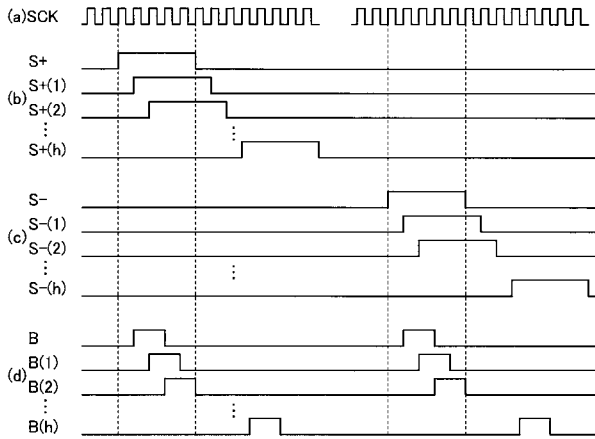
【図2】



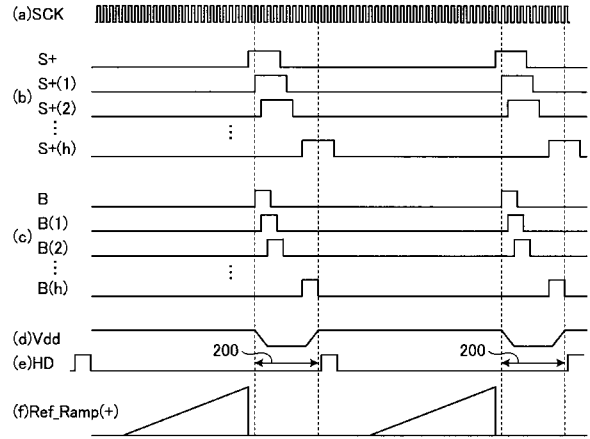
【図3】



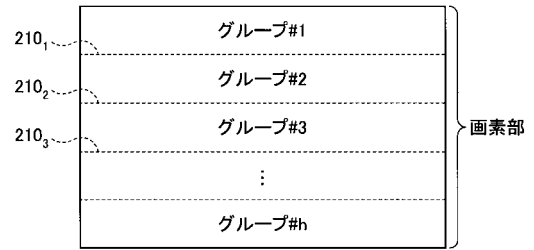
【 図 8 】



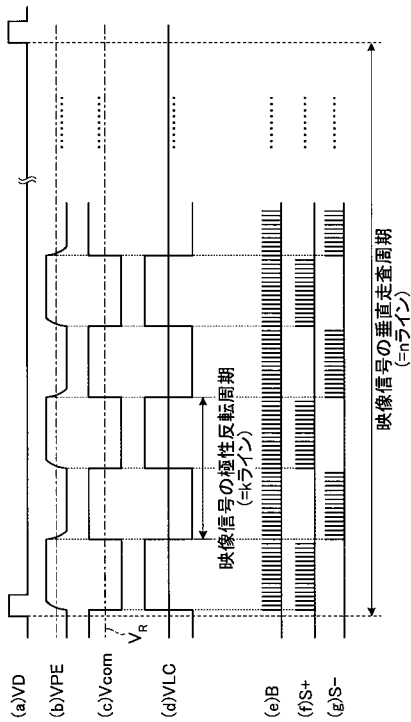
【 図 9 】



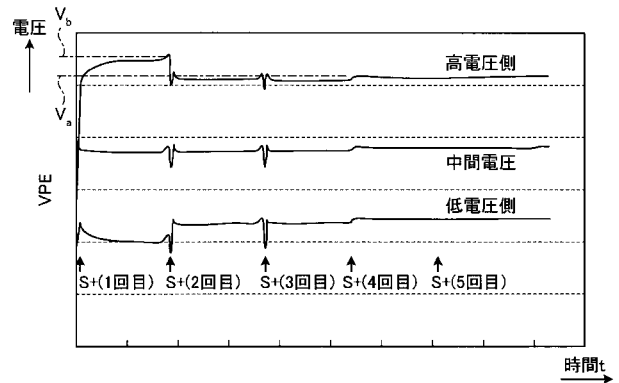
【 図 10 】



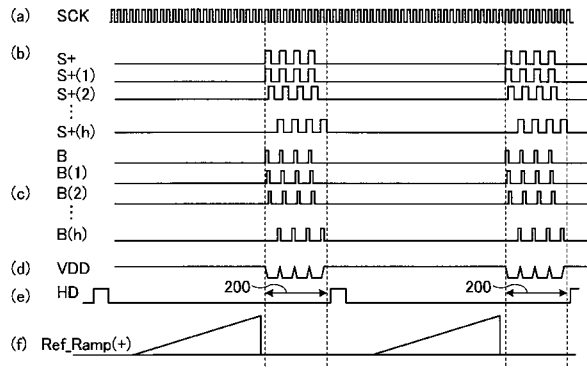
【 図 11 】



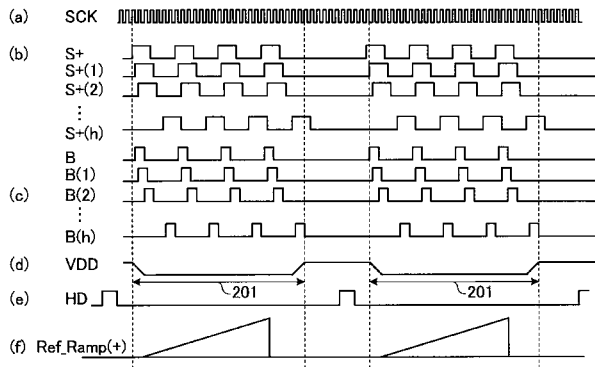
【 図 12 】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 7 0 K

G 0 2 F 1/1368

G 0 2 F 1/133 5 5 0

Fターム(参考) 5C080 AA10 BB05 DD05 DD08 EE29 FF11 FF12 JJ02 JJ03 JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2013225029A	公开(公告)日	2013-10-31
申请号	JP2012097095	申请日	2012-04-20
[标]申请(专利权)人(译)	JVC 建伍株式会社		
申请(专利权)人(译)	JVC建伍公司		
当前申请(专利权)人(译)	JVC建伍公司		
[标]发明人	井澤俊輔		
发明人	井澤 俊輔		
IPC分类号	G09G3/20 G02F1/133 G02F1/1368 G09G3/36		
FI分类号	G09G3/20.621.F G09G3/20.621.B G02F1/133.550 G02F1/1368 G09G3/20.670.K G09G3/20.622.K G09G3/36 G09G3/20.641.C		
F-TERM分类号	5C006/BC06 5C006/AA16 5C080/JJ03 5C080/AA10 5C080/BB05 5C080/DD05 2H193/ZF21 2H193 /ZA07 2H092/NA05 5C080/JJ04 2H092/JB42 2H092/JA24 5C080/FF11 2H193/ZC25 2H193/ZF18 5C080/EE29 5C006/BF03 2H193/ZF16 2H193/ZD23 5C006/FA34 2H193/ZF24 2H193/ZA20 5C006 /BB16 2H193/ZF34 5C080/JJ02 5C080/FF12 2H092/NA25 5C080/DD08 2H193/ZF31 2H193/ZA04 5C006/AF42 5C006/AC26 2H192/AA24 2H192/CB12 2H192/CB22 2H192/CC64 2H192/DA12 2H192 /FA44 2H192/FB03 2H192/FB05 2H192/GD61		
代理人(译)	酒井宏明		
其他公开文献	JP5825188B2		
外部链接	Espacenet		

摘要(译)

摘要：要解决的问题：当液晶显示元件以更高的速度交流驱动时，提高显示图像质量。解决方案：参考灯电压Ref_Ramp (+) 和Ref_Ramp (-) 是周期性扫描信号，其中图像的电平在各个极性之后的方向上从黑电平变为白电平，并用于将数字图像信号转换为模拟图像信号和用于将转换的图像信号提供给正极数据线Di+和负极数据线Di-。当负载特性控制信号B进入高状态并且正极侧的栅极控制信号S+或负极侧的栅极控制信号S-进入高态时，像素电极电压VPE正极侧或负极侧应用于液晶显示主体。通过顺序地移位定时，以用于多行中的每一行的像素部分划分的组单元中将信号S+和S-中的每一个置于高状态。在参考灯电压Ref_Ramp (+) 和Ref_Ramp (-) 的扫描周期的整个区域上执行信号S+和S-中的每一个的这种操作。

